



(12) 发明专利

(10) 授权公告号 CN 102385924 B

(45) 授权公告日 2015.01.14

(21) 申请号 201110210786.6

CN 1620702 A, 2005.05.25, 全文.

(22) 申请日 2006.05.26

CN 1555559 A, 2004.12.15, 全文.

(30) 优先权数据

审查员 邱晓宁

11/144, 264 2005.06.03 US

(62) 分案原申请数据

200680019739.0 2006.05.26

(73) 专利权人 三因迪斯克技术有限公司

地址 美国德克萨斯州

(72) 发明人 杰弗里·W·卢策

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G11C 16/10 (2006.01)

(56) 对比文件

US 2003151950 A1, 2003.08.14,

US 2004109362 A1, 2004.06.10,

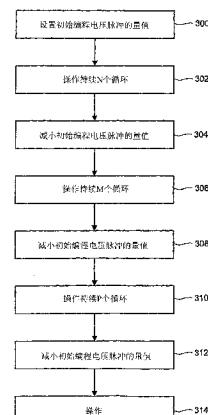
权利要求书2页 说明书13页 附图16页

(54) 发明名称

借助非易失性存储器的循环的开始编程电压偏移

(57) 摘要

本发明揭示一种用于对非易失性存储设备进行编程的系统，其用于通过将开始编程电压设置为用于新生零件的第一电平，且在存储器被循环时调整所述开始编程电压，来改进性能。举例来说，所述系统在第一周期期间，使用具有第一初始值的增加编程信号来对一组非易失性存储元件进行编程，且随后在第二周期期间，使用具有第二初始值的增加编程信号来对所述组非易失性存储元件进行编程，其中所述第二周期在所述第一周期之后，且所述第二初始值与所述第一初始值不同。



1. 一种用于操作非易失性存储设备的方法,其包括:

在第一周期期间,使用具有第一初始值的增加编程信号对一组非易失性存储元件进行编程;

从所述一组非易失性存储元件读取数据;

从所述数据的读取中确定所述数据中错误的量;

确定所述错误的量是否满足阈值;

响应于确定所述错误的量不满足所述阈值,使用具有所述第一初始值的所述增加编程信号对所述一组非易失性存储元件继续编程;以及

响应于确定所述错误的量满足所述阈值,在第二周期期间,使用具有第二初始值的增加编程信号对所述一组非易失性存储元件进行多个编程循环的编程,所述第二周期在所述第一周期之后,所述第二初始值与所述第一初始值不同。

2. 根据权利要求 1 所述的方法,其中:

所述第一初始值是第一电压;

所述第二初始值是小于所述第一电压的第二电压;且

所述编程信号是具有增加量值的一系列电压脉冲。

3. 根据权利要求 1 所述的方法,其进一步包括:

在第三周期期间,使用具有第三初始值的增加编程信号对所述一组非易失性存储元件进行编程,所述第三周期在所述第二周期之后,所述第三初始值与所述第二初始值不同。

4. 根据权利要求 1 所述的方法,其中:

所述一组非易失性存储元件是非易失性存储元件区块。

5. 根据权利要求 1 所述的方法,其中:

所述一组非易失性存储元件是整个非易失性存储元件阵列。

6. 根据权利要求 1 所述的方法,其中:

如果两个或两个以上位具有错误,那么所述错误的量满足所述阈值。

7. 根据权利要求 1 所述的方法,其中:

所述一组非易失性存储元件是快闪存储器元件。

8. 一种非易失性存储系统,其包括:

一组非易失性存储元件;以及

一个或一个以上管理电路,其与所述一组非易失性存储元件通信,所述一个或一个以上管理电路:

在第一组编程循环期间,使用具有第一开始编程信号值的编程信号对所述一组非易失性存储元件进行编程;

从所述一组非易失性存储元件读取数据;

从所述数据的读取中发现所述数据中错误的量;

确定所述错误的量是否超过阈值量;

如果所述错误的量不超过所述阈值量,则使用具有所述第一开始编程信号值的所述编程信号对所述一组非易失性存储元件继续进行编程;以及

如果所述错误的量超过所述阈值量,在第二组编程循环期间,使用具有第二开始编程信号值的编程信号对所述一组非易失性存储元件进行编程,所述第一开始编程信号值与所

述第二开始编程信号值不同，所述第二组编程循环在所述第一组编程循环之后。

9. 根据权利要求 8 所述的非易失性存储系统，其中：

所述第一开始编程信号值是第一电压；

所述第二开始编程信号值是小于所述第一电压的第二电压；

所述编程信号包括具有增加量值的一系列电压脉冲。

10. 根据权利要求 8 所述的非易失性存储系统，其中：

所述第一开始编程信号值对应于具有增加量值的一系列脉冲的第一脉冲的量值。

11. 根据权利要求 8 所述的非易失性存储系统，其中：

所述一组非易失性存储元件是非易失性存储元件区块。

12. 根据权利要求 8 所述的非易失性存储系统，其中：

所述一组非易失性存储元件是整个非易失性存储元件阵列。

13. 根据权利要求 8 所述的非易失性存储系统，其中：

当两个或多个位有错误时，出现所述阈值错误量。

14. 根据权利要求 8 所述的非易失性存储系统，其中：

所述非易失性存储元件包含快闪存储器。

## 借助非易失性存储器的循环的开始编程电压偏移

[0001] 本申请为 200680019739.0 号、申请日为 2006 年 5 月 26 日、发明名称为“借助非易失性存储器的循环的开始编程电压偏移”的发明专利申请的分案申请。

### 技术领域

[0002] 本发明涉及对非易失性存储器进行编程。

### 背景技术

[0003] 半导体存储器已经变得更普及以供在各种电子装置中使用。举例来说，在蜂窝式电话、数码相机、个人数字助理、移动计算装置、非移动计算装置和其它装置中使用非易失性半导体存储器。电可擦除可编程只读存储器 (EEPROM) 和快闪存储器是最普及的非易失性半导体存储器之一。

[0004] EEPROM 和快闪存储器两者都利用浮动栅极，其定位在半导体衬底中的沟道区域上方并与其绝缘。所述浮动栅极定位在源极区域与漏极区域之间。控制栅极提供在浮动栅极上方并与其绝缘。晶体管的阈值电压由保留在浮动栅极上的电荷的量来控制。也就是说，在晶体管接通以允许其源极与漏极之间传导之前必须施加到控制栅极的电压的最小量由浮动栅极上的电荷的电平来控制。

[0005] 当对 EEPROM 或快闪存储器装置（例如“与非”快闪存储器装置）进行编程时，通常将编程电压施加到控制栅极，且位线接地。将来自沟道的电子注射到浮动栅极中。当电子在浮动栅极中累积时，浮动栅极变成带负电荷，且存储器单元的阈值电压升高，使得存储器单元处于编程状态下。可在题为“Source Side Self Boosting Technique For Non-Volatile Memory”的第 6,859,397 号美国专利中，且在 2003 年 7 月 29 日申请的题为“Detecting Over Programmed Memory”的第 2005/0024939 号美国专利申请公开案中找到关于编程的更多信息；所述两个申请案全文以引用的方式并入本文中。

[0006] 一些 EEPROM 和快闪存储器装置具有用于存储两个范围的电荷的浮动栅极，且因此存储器单元可在两个状态（擦除状态和编程状态）之间被编程 / 擦除。此类快闪存储器装置有时被称为双态快闪存储器装置。

[0007] 通过识别由禁止范围隔开的多个不同的容许 / 有效编程的阈值电压范围，来实施多状态（也称为多层次）快闪存储器装置。每个不同的阈值电压范围对应于在存储器装置中编码的数据位组的预定值。

[0008] 通常，在编程操作期间施加到控制栅极的编程电压是作为一系列脉冲而施加的。在一个实施例中，脉冲的量值随每个连续脉冲而增加预定的步距（例如 0.2v、0.3v、0.2v 或其它步距）。图 1 展示可施加到快闪存储器单元的控制栅极（或，在一些情况下，导引栅极）的编程电压信号 V<sub>pgm</sub>。所述编程电压信号 V<sub>pgm</sub> 包含一系列脉冲，其量值随着时间而增加。在编程脉冲之间的周期中，执行检验操作。也就是说，在连续的编程脉冲之间读取并行编程的单元组中的每个单元的编程电平，以确定其等于还是大于所述单元正被编程到的检验电平。对于多状态快闪存储器单元阵列，存储器单元可执行每个状态的检验步骤，以允许确定

所述单元是否已达到其数据相关检验电平。举例来说，能够在四个状态下存储数据的多状态存储器单元可能需要针对三个比较点执行检验操作。

[0009] 编程电压  $V_{pgm}$  的量值的选择是一种折衷。太高的值将导致一些存储器单元被过度编程，而太低的值将导致较长的编程时间。通常，非易失性存储器的用户希望存储器快速地编程。

[0010] 在现有技术装置中，针对尚未相当多地使用的新装置（也称为新生装置）和频繁使用的装置使用同一编程信号。然而，随着非易失性存储器装置经历许多编程循环，电荷变得被捕获在浮动栅极与沟道区域之间的绝缘物中。此电荷捕获使阈值电压偏移到较高电平，这允许存储器单元较快速地编程。如果将编程信号的量值设置得太高，那么即使其不会导致新生装置的过度编程，随着所述装置变得较频繁地被使用，所述装置也可能经历过度编程。因此，新装置将使它们的编程电压设置得足够低，以在所述装置变旧时避免过度编程。编程电压的量值的此降低将降低新生装置对数据进行编程的速度。

## 发明内容

[0011] 本文所述的技术提供一种用于在不增加过度编程的风险的情况下，更快地对数据进行编程的解决方案。为了实现此结果，使用一组编程特征来对新装置进行编程，而在使用所述装置之后，使用另一组编程特征来对所述装置进行编程。

[0012] 在一个实施例中，所述系统在第一周期期间，使用具有第一初始值的增加编程信号来对一组非易失性存储元件进行编程，且随后在第二周期期间，使用具有第二初始值的增加编程信号来对所述组非易失性存储元件进行编程，其中所述第二周期在所述第一周期之后，且所述第二初始值与所述第一初始值不同。

[0013] 一个实施方案包含一组非易失性存储元件，和与所述非易失性存储元件通信的一个或一个以上管理电路。所述一个或一个以上管理电路接收对数据进行编程的请求。响应于所述请求，所述一个或一个以上管理电路在非易失性存储元件的使用率指示指示第一使用率时，使用具有第一开始值的编程信号对所述非易失性存储元件进行编程，且在所述使用率指示指示第二使用率时，使用具有第二开始值的编程信号对非易失性存储元件进行编程。使用率指示的一个实例是存储在非易失性存储器、控制器、状态机或其它地方的旗标（一个或一个以上位）。所述旗标存储反映非易失性存储元件的使用率的测量值的数据。

## 附图说明

[0014] 图 1 描绘可施加到快闪存储器装置的一个或一个以上控制栅极的编程电压的一个实例。

[0015] 图 2 是“与非”串的俯视图。

[0016] 图 3 是所述“与非”串的等效电路图。

[0017] 图 4 是所述“与非”串的横截面图。

[0018] 图 5 是非易失性存储器系统的框图。

[0019] 图 6 是非易失性存储器阵列的框图。

[0020] 图 7 描绘一组示范性阈值电压分布。

[0021] 图 8 描绘一组示范性阈值电压分布。

- [0022] 图 9A 到图 9C 展示各种阈值电压分布，并描述用于对非易失性存储器进行编程的过程。
- [0023] 图 10 是描述编程性能的表。
- [0024] 图 11 是描述用于对非易失性存储设备进行编程的过程的一个实施例的流程图。
- [0025] 图 11A 到图 11D 描绘具有不同量值的初始脉冲的编程信号。
- [0026] 图 12 是描述编程性能的表。
- [0027] 图 13 是描述用于对非易失性存储设备进行编程的过程的一个实施例的流程图。
- [0028] 图 14 是描述用于递增循环计数的过程的一个实施例的流程图。
- [0029] 图 15 是描述用于设置编程信号 V<sub>pgm</sub> 的初始值的过程的一个实施例的流程图。
- [0030] 图 16 是描述用于对非易失性存储设备进行编程的过程的一个实施例的流程图。
- [0031] 图 17 是描述用于执行软编程过程的过程的一个实施例的流程图。
- [0032] 图 18 是描述用于将数据写入到旗标的过程的一个实施例的流程图。
- [0033] 图 19 是描述用于对非易失性存储设备进行编程的过程的一个实施例的流程图。
- [0034] 图 20 是描述用于读取数据的过程的一个实施例的流程图。

## 具体实施方式

[0035] 非易失性存储器系统的一个适合实施本发明的实例使用“与非”快闪存储器结构，其包含将多个晶体管串联布置在两个选择栅极之间。所述串联晶体管和所述选择栅极被称为“与非”串。图 2 是展示一个“与非”串的俯视图。图 3 是其等效电路。图 2 和图 3 中所描绘的“与非”串包含四个晶体管，100、102、104 和 106，其串联且夹在第一选择栅极 120 与第二选择栅极 122 之间。选择栅极 120 将“与非”串连接到位线接头 126。选择栅极 122 将“与非”串连接到源极线接头 128。通过将适当的电压施加到控制栅极 120CG 来控制选择栅极 120。通过将适当的电压施加到控制栅极 122CG 来控制选择栅极 122。晶体管 100、102、104 和 106 中的每一者都具有控制栅极和浮动栅极。晶体管 100 具有控制栅极 100CG 和浮动栅极 100FG。晶体管 102 包含控制栅极 102CG 和浮动栅极 102FG。晶体管 104 包含控制栅极 104CG 和浮动栅极 104FG。晶体管 106 包含控制栅极 106CG 和浮动栅极 106FG。控制栅极 100CG 连接到字线 WL3，控制栅极 102CG 连接到字线 WL2，控制栅极 104CG 连接到字线 WL1，且控制栅极 106CG 连接到字线 WL0。在一个实施例中，晶体管 100、102、104 和 106 每一者为存储器单元。在其它实施例中，所述存储器单元可包含多个晶体管，或可以与图 2 和图 3 中描绘的不同。选择栅极 120 连接到选择线 SGD。选择栅极 122 连接到选择线 SGS。

[0036] 图 4 提供上文所述的“与非”串的横截面图。如图 4 中所描绘，“与非”串的晶体管形成于 p 阵区域 140 中。每个晶体管包含堆叠栅极结构，其由控制栅极（100CG, 102CG, 104CG 和 106CG）和浮动栅极（100FG, 102FG, 104FG 和 106FG）组成。浮动栅极形成于氧化物或其它介电薄膜之上的 p 阵的表面上。控制栅极在浮动栅极上方，其中多晶硅间介电层将控制栅极与浮动栅极隔开。存储器单元（100, 102, 104 和 106）的控制栅极形成字线。N+ 掺杂层 130, 132, 134, 136 和 138 在邻近单元之间共享，藉此所述单元彼此串联连接以形成“与非”串。这些 N+ 掺杂层形成所述单元中的每一者的源极和漏极。举例来说，N+ 掺杂层 130 充当晶体管 122 的漏极和晶体管 106 的源极，N+ 掺杂层 132 充当晶体管 106 的漏极和晶体管 104 的源极，N+ 掺杂层 134 充当晶体管 104 的漏极和晶体管 102 的源极，N+ 掺杂层

136 充当晶体管 102 的漏极和晶体管 100 的源极,且 N<sup>+</sup>掺杂层 138 充当晶体管 100 的漏极和晶体管 120 的源极。N<sup>+</sup>掺杂层 126 连接到用于“与非”串的位线,而 N<sup>+</sup>掺杂层 128 连接到用于多个“与非”串的共用源极线。

[0037] 注意,尽管图 2 到图 4 展示“与非”串中的四个存储器单元,但四个晶体管的使用仅作为实例而提供。与本文所述的技术一起使用的“与非”串可具有四个以下存储器单元或四个以上存储器单元。举例来说,一些“与非”串将包含 8 个存储器单元、16 个存储器单元、32 个存储器单元、64 个存储器单元等。本文的论述内容不限于“与非”串中任一特定数目的存储器单元。

[0038] 每个存储器单元可存储以模拟或数字形式表示的数据。当存储一个位的数字数据时,将存储器单元的可能的阈值电压的范围分成两个范围,向其分配逻辑数据“1”和“0”。在“与非”型快闪存储器的一个实例中,在存储器单元被擦除之后,电压阈值为负,且被界定为逻辑“1”。在编程操作之后,阈值电压为正,且被界定为逻辑“0”。当阈值电压为负且通过将 0 伏施加到控制栅极来尝试读取时,存储器单元将接通以指示逻辑一正被存储。当阈值电压为正且通过将 0 伏施加到控制栅极来尝试读取操作时,存储器单元将不接通,这指示逻辑零被存储。

[0039] 存储器单元还可存储多个状态,因而存储多个位的数字数据。在存储多个数据状态下,将阈值电压窗分成所述数目的状态。举例来说,如果使用四个状态,那么将会有四个阈值电压范围被分配给数据值“11”、“10”、“01”和“00”。在“与非”型存储器的一个实例中,阈值电压在擦除操作之后为负且被界定为“11”。针对“10”、“01”和“00”的状态使用正阈值电压。在一些实施方案中,使用葛莱码分配来将数据值(例如逻辑状态)分配给阈值范围,使得如果浮动栅极的阈值电压错误地偏移到其邻近物理状态,那么仅一个位将受影响。编程到存储器单元中的数据与所述单元的阈值电压范围之间的特定关系视针对所述存储器单元采用的数据编码方案而定。举例来说,第 6,222,762 号美国专利和 2003 年 6 月 13 日申请的题为“Tracking Cells For A Memory System”的第 10/461,244 号美国专利申请案描述用于多状态快闪存储器单元的各种数据编码方案,所述美国专利和美国专利申请案两者全文以引用的方式并入本文中。

[0040] 在以下美国专利 / 专利申请案中提供“与非”型快闪存储器和其操作的相关实例,所有以下美国专利 / 专利申请案全文以引用的方式并入本文中:第 5,570,315 号美国专利;第 5,774,397 号美国专利;第 6,046,935 号美国专利;第 5,386,422 号美国专利;第 6,456,528 号美国专利;第 09/893,277 号美国专利申请案(第 US2003/0002348 号公开案)。除“与非”快闪存储器之外的其它类型的非易失性存储器也可与本发明一起使用。

[0041] 在快闪 EEPROM 系统中有用的另一类型的存储器单元利用非导电介电材料代替导电浮动栅极来以非易失性方式存储电荷。在 Chan 等人的“A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device”,IEEE Electron Device Letters,第 EDL-8 卷,第 3 期,1987 年 3 月,第 93-95 页中描述此类单元。由氧化硅、氮化硅和氧化硅(“ONO”)形成的三层电介质夹在导电控制栅极与在存储器单元沟道上方的半导体衬底的表面之间。通过将电子从单元沟道注射到氮化物中来对单元进行编程,在氮化物处,电子被捕获并存储在受限区域中。此存储的电荷接着以可检测的方式改变单元的沟道的一部分的阈值电压。通过将热空穴注射到氮化物中来擦除所述单元。还见 Nozaki 等人的“A 1-Mb EEPROM with MONOS

Memory Cell for Semiconductor Disk Application”, IEEE Journal of Solid-State Circuits, 第 26 卷, 第 4 期, 1991 年 4 月, 第 497–501 页, 其描述呈分裂栅极配置的类似单元, 其中掺杂多晶硅栅极在存储器单元沟道的一部分上延伸, 以形成单独的选择晶体管。前面的两篇文章全文以引用的方式并入本文中。在 1998 年, IEEE 出版社, 由 William D. Brown 和 Joe E. Brewer 编辑的以引用的方式并入本文中的“Nonvolatile Semiconductor Memory Technology”的第 1.2 节中提及的编程技术也在所述节中被描述为可应用于电介质电荷捕获装置。此段中描述的存储器单元也可与本发明一起使用。因此, 本文所述的技术还应用于不同存储器单元的介电区域之间的耦合。

[0042] Eitan 等人的“NROM :A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell”, IEEE Electron Device Letters, 第 21 卷, 第 11 期, 2000 年 11 月, 第 543–545 页描述了另一种在每个单元中存储两个位的途径。ONO 介电层在源极与漏极扩散之间的沟道上延伸。用于一个数据位的电荷定位在邻近漏极的介电层中, 且用于另一数据位的电荷定位在邻近源极的介电层中。通过单独地读取电介质内的空间上隔开的电荷存储区域的二元状态来获得多状态数据存储。此段中描述的存储器单元也可与本发明一起使用。

[0043] 图 5 是可用于实施本发明的快闪存储器系统的一个实施例的框图。存储器单元阵列 202 由列控制电路 204、行控制电路 206、c 源极控制电路 210 和 p 阵控制电路 208 控制。列控制电路 204 连接到存储器单元阵列 202 的位线, 以用于读取存储在存储器单元中的数据, 用于在编程操作期间确定存储器单元的状态, 且用于控制位线的电位电平以促进编程或抑制编程。行控制电路 206 连接到字线以选择所述字线中的一者, 以施加读取电压、施加编程电压且施加擦除电压。举例来说, EPROM 和快闪存储器电路中所使用的编程电压电平高于存储器电路中通常所使用的电压。其通常高于供应到电路的电压。这些较高电压优选由行控制电路 206(或其它地方)中的电荷泵产生, 所述电荷泵在一个实例中实质上将电荷转储到电容性字线中, 以将其充电到较高电压。电荷泵接收电压  $V_{in}$  的输入, 且通过在一系列电压倍增阶段中逐渐使输入电压升压来提供较高电压  $V_{out}$  的输出。将电压输出供应到负载, 例如 EPROM 存储器电路的字线。在一些实施方案中, 存在从负载到电荷泵的反馈信号。常规的现有技术泵响应于指示负载已经达到预定电压的信号而断开。或者, 一旦负载达到预定电压, 就使用分流器来防止过充电。然而, 这消耗较多的功率, 且在低功率应用中是不合需要的。可在第 6,734,718 号美国专利中找到关于电荷泵的更多信息, 所述美国专利全文以引用的方式并入本文中。

[0044] C 源极控制电路 210 控制连接到存储器单元的共用源极线(在图 6 中标记为“C 源极”)。P 阵控制电路 208 控制 p 阵电压。

[0045] 存储在存储器单元中的数据由列控制电路 204 读出, 且经由数据输入 / 输出缓冲器 212 输出到外部 I/O 线。经由外部 I/O 线将待存储在存储器单元中的编程数据输入到数据输入 / 输出缓冲器 212, 且将其传送到列控制电路 204。外部 I/O 线连接到控制器 218。

[0046] 将用于控制快闪存储器装置的命令数据输入到控制器 218。命令数据告知快闪存储器什么操作被请求。将输入命令传送到状态机 216, 其控制列控制电路 204、行控制电路 206、c 源极控制 210、p 阵控制电路 208 和数据输入 / 输出缓冲器 212。状态机 216 还可输出快闪存储器的状态数据, 例如 READY/BUSY 或 PASS/FAIL。在一些实施例中, 状态机 216 负责管理编程过程, 包含下文所述的流程图中描绘的过程。

[0047] 控制器 218 与或可与例如个人计算机、数码相机、个人数字助理等主机系统连接。控制器 218 与主机通信,以便从主机接收命令、从主机接收数据、将数据提供到主机且将状态信息提供到主机。控制器 218 将来自主机的命令转换成命令信号,其可由命令电路 214 解译并执行,命令电路 214 与状态机 216 通信。控制器 218 通常含有缓冲存储器,其用于写入到存储器阵列或从存储器阵列读取的用户数据。在一些实施例中,编程过程可由控制器管理。

[0048] 一个示范性存储器系统包括一个集成电路,其包含控制器 218 以及一个或一个以上集成电路芯片,所述集成电路芯片的每一者含有一个存储器阵列和相关联的控制、输入 / 输出和状态机电路。趋势是将系统的存储器阵列和控制器电路一起集成在一个或一个以上集成电路芯片上。存储器系统可嵌入作为主机系统的一部分,或可包含在可移除地插入到主机系统中的存储卡(或其它封装)中。此类可移除卡可包含整个存储器系统(例如包含控制器),或仅包含存储器阵列和相关联的外围电路(其中控制器嵌入在主机中)。因此,控制器(或控制能力)可嵌入在主机中,或包含在可移除存储器系统内。

[0049] 在一些实施方案中,图 5 的组件中的一些可组合。在各种设计中,图 5 的组件中的一者或一者以上(除了存储器单元阵列 202)可被视为管理电路。举例来说,一个或一个以上管理电路可包含命令电路、状态机、行控制电路、列控制电路、阱控制电路、源极控制电路或数据 I/O 电路中的任意一者或其组合。

[0050] 参看图 6,描述存储器单元阵列 202 的示范性结构。举例来说,描述分成 1,024 个区块的“与非”快闪 EEPROM。同时擦除存储在每个区块中的数据。在一个实施例中,区块是同时擦除的单元的最小单位。在每个区块中,(在此实例中)存在 8,512 个列,其被分成偶数列和奇数列。位线也分成偶数位线(BLe)和奇数位线(BLo)。图 6 展示串联连接以形成“与非”串的四个存储器单元。尽管展示每个“与非”串中包含四个单元,但可使用四个以上或四个以下存储器单元。“与非”串的一个端子经由选择晶体管 SGD 连接到对应的位线,且另一个端子经由第二选择晶体管 SGS 连接到 c 源极。

[0051] 在读取和编程操作的一个实施例期间,4,256 个存储器单元同时被选择。选定的存储器单元具有同一字线和同一种位线(例如偶数位线或奇数位线)。因此,可同时读取或编程 532 个数据字节。同时读取或编程的这 532 个数据字节形成逻辑页。因此,一个区块可存储至少八个逻辑页(四个字线,每个字线具有奇数和偶数页)。当每个存储器单元存储两个数据位(例如,多状态存储器单元),其中这两个位中的每一者存储在不同的页中时,一个区块存储 16 个逻辑页。其它大小的区块和页也可与本发明一起使用。另外,除图 5 和图 6 的结构之外的结构也可用于实施本发明。举例来说,在一个实施例中,不将位线分成奇数和偶数位线,使得所有的位线都同时(或不同时)被编程和读取。

[0052] 可通过使 p 阵升高到擦除电压(例如 20 伏)并使选定区块的字线接地,来擦除存储器单元。源极和位线是浮动的。可对整个存储器阵列、单独的区块或另一单位的单元执行擦除。将电子从浮动栅极传送到 p 阵区域,且阈值电压变负(在一个实施例中)。

[0053] 在读取和检验操作中,将选择栅极(SGD 和 SGS)以及未选择的字线(例如 WL0、WL2 和 WL3)升高到读取通过电压(例如 4.5 伏),以使晶体管作为通过栅极而操作。选定字线(例如 WL1)连接到一电压,所述电压的电平针对每个读取和检验操作而指定,以便确定有关存储器单元的阈值电压在所述电平之上还是之下。举例来说,在两电平存储器单元的读

取操作中,选定字线 WL1 可接地,使得检测到阈值电压是否高于 0V。在两电平存储器单元的检验操作中,选定字线 WL1 连接到 0.8V(例如),以便检验出阈值电压是否已经达到至少 0.8V。源极和 p 阵位于零伏。将选定位线 (BLe) 预充电到(例如)0.7V 的电平。如果阈值电压高于字线上的读取或检验电平,那么由于非导电存储器单元的缘故,与所关注的单元相关联的位线 (BLe) 的电位电平维持高电平。另一方面,如果阈值电压低于读取或检验电平,那么由于导电存储器单元对有关位线 (BLe) 进行放电的缘故,所述位线的电位电平降低到低电平,例如小于 0.5V。存储器单元的状态由此由连接到位线的电压比较器读出放大器来检测。

[0054] 根据此项技术中已知的技术来执行上文所述的擦除、读取和检验操作。因此,所属领域的技术人员可改变所阐释细节中的许多细节。还可使用此项技术中已知的其它擦除、读取和检验技术。

[0055] 如上文所述,可将每个区块分成许多页。在一个实施例中,页是编程单位。在一些实施方案中,可将各个页分成多个片段,且所述片段可含有作为基础编程操作一次写入的最少数目的单元。一个或一个以上数据页通常存储在一个存储器单元行中。一个页可存储一个或一个以上扇区。扇区包含用户数据和开销数据。开销数据通常包含已经根据所述扇区的用户数据计算出的错误校正码 (ECC)。控制器的一部分在数据被编程到阵列中时计算 ECC,且还在数据被从所述阵列读取时对其进行检查。或者,ECC 和 / 或其它开销数据与它们属于的用户数据存储在不同的页中,乃至不同的区块中。在其它实施例中,存储器装置(例如状态机)的其它部分可计算 ECC。

[0056] 用户数据扇区通常是 512 个字节,对应于磁盘驱动器中的扇区的大小。开销数据通常是额外的 16-20 个字节。大量的页形成区块,从 8 个页(例如)到多达 32、64 或更多个页不等。

[0057] 图 7 说明当每个存储器单元存储两个数据位时,存储器单元阵列的阈值电压分布。图 7 展示用于经擦除存储器单元的第一阈值电压分布 E。还描绘经编程存储器单元的三个阈值电压分布,A、B 和 C。在一个实施例中,E 分布中的阈值电压为负,且 A、B 和 C 分布中的阈值电压为正。

[0058] 图 7 的每个不同阈值电压范围对应于数据位组的预定值。编程到存储器单元中的数据与所述单元的阈值电压电平之间的特定关系视针对所述单元而采用的数据编码方案而定。一个实例将“11”分配给阈值电压范围 E(状态 E),将“10”分配给阈值电压范围 A(状态 A),将“00”分配给阈值电压范围 B(状态 B),且将“01”分配给阈值电压范围 C(状态 C)。然而,在其它实施例中,使用其它方案。

[0059] 图 7 还展示用于从存储器单元读取数据的三个读取参考电压 Vra、Vrb 和 Vrc。通过测试给定存储器单元的阈值电压在 Vra、Vrb 和 Vrc 之上还是之下,系统可确定存储器单元处于何种状态。图 7 还展示三个检验参考电压 Vva、Vvb 和 Vvc。当将存储器单元编程到状态 A 时,系统将测试那些存储器单元是否具有大于或等于 Vva 的阈值电压。当将存储器单元编程到状态 B 时,系统将测试所述存储器单元是否具有大于或等于 Vvb 的阈值电压。当将存储器单元编程到状态 C 时,系统将确定所述存储器单元的阈值电压是否大于或等于 Vvc。

[0060] 在一个实施例(称为全序列编程)中,可将存储器单元从擦除状态 E 直接编程到

编程状态 A、B 或 C 中的任一者（如由弯曲箭头所描绘）。举例来说，可首先擦除待编程的存储器单元群体，使得所述群体中的所有存储器单元处于擦除状态 E。当一些存储器单元正从状态 E 被编程到状态 A 时，其它存储器单元正被从状态 E 编程到状态 B 且 / 或从状态 E 编程到状态 C。

[0061] 图 8 说明对存储两个不同页（下页和上页）的数据的多状态存储器单元进行编程的双通过技术的实例。描绘四个状态：状态 E(11)、状态 A(10)、状态 B(00) 和状态 C(01)。对于状态 E，两个页都存储“1”，对于状态 A，下页存储“0”，且上页存储“1”。对于状态 B，两个页都存储“0”。对于状态 C，下页存储“1”，且上页存储“0”。注意，尽管已经将特定位图案分配给所述状态中的每一者，但还可分配不同的位图案。在第一编程通过中，根据待编程到下逻辑页中的位而设置单元的阈值电压电平。如果所述位是逻辑“1”，那么阈值电压不变，因为其由于早先已经被擦除的缘故而处于适当的状态。然而，如果所述待编程的位是逻辑“0”，那么所述单元的阈值电平增加为状态 A，如由箭头 230 所示。其结束第一编程通过。

[0062] 在第二编程通过中，根据正编程到上逻辑页中的位来设置单元的阈值电压电平。如果上逻辑页位将存储逻辑“1”，那么不发生编程，因为所述单元处于状态 E 或 A 中的一者（视下页位的编程而定），状态 E 和 A 两者携带上页位“1”。如果上页位是逻辑“0”，那么阈值电压偏移。如果第一通过导致单元保持在擦除状态 E，那么在第二阶段中，对所述单元进行编程，使得阈值电压增加以处于状态 C 内，如由箭头 234 所描绘。如果由于第一编程通过的缘故，单元已经被编程到状态 A 中，那么在第二通过中进一步对存储器单元进行编程，使得阈值电压增加以处于状态 B 内，如由箭头 232 所描绘。第二通过的结果是将单元编程到指定为在不改变下页的数据的情况下，存储上页的逻辑“0”的状态中。

[0063] 在一个实施例中，一种系统可经设置以在足够的数据被写入以填满整个页时执行全序列写入。如果未针对全页写入足够的数据，那么编程过程可用接收到的数据对下页进行编程。当接收到随后的数据时，系统将接着对上页进行编程。在又一实施例中，所述系统可在对下页进行编程的模式下开始写入，并在随后接收到足够的数据以填满整个（或大部分）字线的存储器单元时，转换到全序列编程模式。2004 年 12 月 14 日申请的、发明人是 Sergy Anatolievich Gorobets 和 Yan Li 的题为“Pipelined Programming of Non-Volatile Memories Using Early Data”的第 11/013,125 号美国专利申请案中揭示此类实施例的更多细节，所述美国专利申请案全文以引用的方式并入本文中。

[0064] 图 9A 到图 9C 揭示用于对非易失性存储器进行编程的另一过程，其通过以下方式来减少浮动栅极与浮动栅极耦合：（针对任一特定存储器单元）在针对先前页写入相邻存储器单元之后，相对于特定页写入到所述特定存储器单元。在图 9A 到图 9C 所教示的过程的实施方案的一个实例中，非易失性存储器单元使用四个数据状态对每个存储器单元存储两个数据位。举例来说，假定状态 E 是擦除状态，且状态 A、B 和 C 是编程状态。状态 E 存储数据 11。状态 A 存储数据 01。状态 B 存储数据 10。状态 C 存储数据 00。这是非葛莱编码的实例，因为两个位都在邻近的状态 A 与 B 之间变化。还可使用将数据编码到物理数据状态的其它编码。每个存储器单元存储两个数据页。出于参考的目的，将这些数据页称为上页和下页；然而，可给予它们其它称号。参考图 9 过程的状态 A，上页存储位 0，且下页存储位 1。参考状态 B，上页存储位 1，且下页存储位 0。参考状态 C，两个页都存储位数据 0。图 9 的编程过程是两步骤过程。在第一步骤中，对下页进行编程。如果下页保持数据 1，那么

存储器单元状态保持在状态 E。如果所述数据待被编程到 0, 那么存储器单元的电压的阈值升高, 使得存储器单元被编程到状态 B'。图 9A 因此展示将存储器单元从状态 E 编程到状态 B'。图 9A 中描绘的状态 B' 是过渡状态 B; 因此, 将检验点描绘为 Vvb', 其低于 Vvb。

[0065] 在一个实施例中, 在将存储器单元从状态 E 编程到状态 B' 之后, 其在邻近字线上的相邻存储器单元将接着相对于其下页而被编程。在对相邻存储器单元进行编程之后, 浮动栅极与浮动栅极耦合效应将使考虑中的存储器单元(其处于状态 B')的视在阈值电压升高。这将具有使状态 B' 的阈值电压分布加宽到如图 9B 的阈值电压分布 250 所描绘的阈值电压分布的效应。当对上页进行编程时, 阈值电压分布的此视在加宽将被补救。

[0066] 图 9C 描绘对上页进行编程的过程。如果存储器单元处于擦除状态 E, 且上页将保持在 1, 那么存储器单元将保持在状态 E 下。如果存储器单元处于状态 E, 且其上页数据将被编程到 0, 那么存储器单元的阈值电压将升高, 使得存储器单元处于状态 A。如果存储器单元在中间阈值电压分布 250 中, 且上页数据将保持在 1, 那么存储器单元将被编程到最终状态 B。如果存储器单元在中间阈值电压分布 250 中, 且上页数据将变成数据 0, 那么存储器单元的阈值电压将升高, 使得存储器单元处于状态 C。图 9A 到图 9C 所描绘的过程会减少浮动栅极与浮动栅极耦合的影响, 因为仅相邻存储器单元的上页编程会对给定存储器单元的视在阈值电压产生影响。交替状态编码的实例是当上页数据处于 1 时, 从分布 250 移动到状态 C, 且当上页数据处于 0 时, 移动到状态 B。尽管图 9A 到图 9C 相对于四个数据状态和两个数据页提供实例, 但图 19A 到图 19C 所教示的概念可应用于具有四个以上或四个以下状态且不同于两个页的其它实施方案。可在 2005 年 4 月 5 日申请的题为“Compensating For Coupling During Read Operations Of Non-Volatile Memory”的第 11/099,133 号美国专利申请案中找到关于各种编程方案和浮动栅极与浮动栅极耦合的更多细节。

[0067] 图 10 提供描述对非易失性存储器进行编程期间的性能实例的表。针对新生装置(未使用的)和已经执行了 10,000 个编程循环的装置提供数据。在一个实施例中, 编程循环包含编程和擦除(或擦除且接着编程)的动作。在其它实施例中, 编程循环可包含编程而无擦除。图 10 的表展示根据上文相对于图 8 而描述的方法, 使用多少编程脉冲(Vpgm)来将数据编程到下页和上页。还有用于根据相对于图 7 而描述的方法执行全序列编程的数据。在两种情况下, 初始脉冲的量值是 16.0 伏, 且步距是 0.3 伏。如图 10 中所描绘, 用于新生装置的平均编程时间是 800 μ sec, 且用于使用过的装置的平均编程时间是 650 μ sec。新生装置需要的编程脉冲大约比循环过的装置多 3 个。另外, 在软编程过程(下文描述)期间, 新生装置需要更多编程脉冲。

[0068] 为了提高编程过程的速度, 而不会不合理地增加过度编程的风险, 提出在对新生装置进行编程时使用一组编程参数, 且在对已经经受某一量的使用的装置进行编程时, 使用另一组编程参数。

[0069] 在一个实施例中, 可通过改变编程信号 Vpgm(例如见图 1)的初始编程脉冲的量值, 来用不同编程参数对新生装置和使用过的装置进行编程。图 11 是描述用于通过随时间而改变初始编程脉冲的量值来对非易失性存储器进行编程的过程的一个实施例的流程图。在步骤 300 中, 设置初始编程电压。即, 装置确定编程信号 Vpgm 的第一脉冲的量值。在图 11A 中描绘的一个实例中, 施加到控制栅极的编程电压的第一脉冲的量值是 16.9v。每个相继脉冲的量值与前一脉冲相比增加 0.3v。在步骤 302 中, 操作所述装置持续 N 个循环, 其中

事先预定或在运行中确定数目 N。在步骤 304 中,在 N 个循环之后,V<sub>pgm</sub> 的初始编程脉冲的量值减小。在图 11B 中所描绘的一个实例中,施加到控制栅极的编程电压 V<sub>pgm</sub> 的第一脉冲的量值减小到 16.6v。每个相继脉冲的量值与前一脉冲相比增加 0.3v。在步骤 306 中,操作所述装置持续 M 个循环(M 可以与 N 相同或不同),其中事先或在运行中确定数目 M 的量值。在步骤 308 中,在操作持续 N+M 个循环之后,初始编程电压减小到新的值。在图 11C 中所描绘的一个实例中,施加到控制栅极的编程电压 V<sub>pgm</sub> 的第一脉冲的量值减小到 16.3v。每个相继脉冲的量值与前一脉冲相比增加 0.3v。在步骤 310 中,操作所述装置持续额外的 P 个循环,其中 P 的量值事先已知或在运行中确定。在步骤 312 中,编程电压 V<sub>pgm</sub> 的初始脉冲的量值减小。在图 11D 中所描绘的一个实例中,施加到控制栅极的编程电压 V<sub>pgm</sub> 的第一脉冲的量值减小到 16.0v。每个相继脉冲的量值与前一脉冲相比增加 0.3v。在步骤 314 中,用新的初始脉冲对装置进行操作。减小初始编程脉冲的量值的过程可持续所需数目的步骤。

[0070] 图 12 提供具有对应于图 11 的过程的示范性能量度的表。在一个实施例中,初始编程脉冲将具有在步骤 300 中设置为 16.9 伏的量值。在 1K 个编程循环(步骤 302)之后,初始脉冲的量值将减小到 16.6 伏(步骤 304)。在约 3,000 个循环的操作之后,初始脉冲的量值将降低到 16.3 伏,且编程电压将接着以每脉冲 0.3 伏增加。在 10,000 个循环的操作之后,初始编程脉冲的量值将设置成 16.0 伏。对于此方案,用于对下页进行编程的脉冲的数目将为 10;用于对上页进行编程的脉冲的数目将为 15;且用于对全序列进行编程的脉冲的数目将为 19。编程过程期间的性能在装置的寿命期间始终是恒定的。新生零件的编程性能增加,而不会增加过度编程。

[0071] 图 13 到图 20 提供用于实施与图 11 相关联的概念的各个实施例的额外细节。除对编程循环进行计数(如上文相对于图 12 而阐释)之外,其它实施例包含对执行软编程所需的软编程脉冲的数目进行计数。当软编程脉冲的数目达到阈值时,初始编程脉冲的量值将改变。在一实施例中,系统将对编程特定循环期间的编程迭代(或脉冲)的数目进行计数。当迭代(或脉冲)的数目超过阈值时,那么初始编程脉冲的量值将改变。在又一实施例中,系统可基于读取过程期间所使用的错误校正的量,来决定改变初始量值。用于调整编程特征的这些方案中的任一者可在逐区块基础上应用在作为一个整体的整个装置(例如,整个存储器阵列)上,或应用在存储器的另一子集上。所述过程可由控制器、状态机、两者的组合或另一结构来执行。

[0072] 图 13 是描述对存储器单元进行编程的更多细节的流程图,其中系统对编程循环的数目进行计数,并相应地调整初始编程脉冲的量值。可响应于接收到编程数据的请求而执行图 13 的过程。在步骤 402 中,系统将选择存储器的适当部分来编程。这可包含选择区块和/或页和/或扇区来写入。在步骤 404 中,循环计数递增。循环计数是编程循环的数目的计数。循环计数可存储在快闪存储器阵列、状态机、控制器或另一位置中。在一个实施例中,循环计数存储在与状态机相关联的寄存器中。在步骤 406 处,对存储器的选定部分进行预编程,这有利于快闪存储器的均匀耗损。将选定扇区或页中的所有存储器单元编程到同一阈值电压范围。步骤 406 是可选步骤。在步骤 408 处,接着擦除待编程的所有存储器单元。举例来说,步骤 408 可包含将旧存储器单元移动到状态 E(见图 7 到图 9)。在步骤 410 处,系统执行软编程过程。在擦除过程期间,所述存储器单元中的一些存储器单元的阈

值电压降低到低于分布 E(见图 7 到图 9) 的值。软编程过程会将类似于图 1 的编程电压脉冲施加到存储器单元,使得其阈值电压将增加到在阈值电压分布 E 内。在步骤 412 中,系统将存取指示初始编程脉冲的量值的旗标。举例来说,使用图 12 的表,如果零件已经执行了 1,000 个循环,那么初始脉冲的编程脉冲的量值将为 16.6 伏。通过合适地对电荷泵进行编程,在步骤 412 处设置初始值。在步骤 414 处,编程计数 PC 将被初始地设置为零。在步骤 416 中,将编程脉冲施加到适当的字线。在步骤 418 中,对所述字线上的存储器单元进行检验,以看其是否已经达到目标阈值电压电平。如果所有的存储器单元都已经达到目标阈值电压电平(步骤 420),那么编程过程已在步骤 422 中成功地完成(状态=通过)。如果不是所有的存储器单元都已经被检验,那么在步骤 424 中确定编程计数 PC 是否小于 20。如果编程计数不小于 20,那么编程过程已失败(步骤 426)。如果编程计数小于 20,那么在步骤 428 中,编程电压信号 Vpgm 的量值针对下一脉冲递增步距(例如 0.3v),且编程计数 PC 递增。注意,那些已经达到其目标阈值电压的存储器单元不参与当前编程循环的剩余部分的编程。在步骤 428 之后,图 13 的过程在步骤 416 处继续,且施加下一编程脉冲。

[0073] 图 14 是描述递增循环计数和调整旗标的流程图,所述过程作为图 13 的步骤 404 的一部分执行。在步骤 460 中,循环计数(标记为 C0)递增。循环计数代表已经对此特定装置、区块等执行的编程循环的数目。在步骤 462 中,确定循环计数是否小于第一阈值。第一阈值的一个实例是 1,000。如果循环计数小于第一阈值,那么在步骤 464 中,不对旗标作任何变化。旗标可以是一组一个或一个以上位,其存储关于针对初始编程脉冲使用哪一量值的指示。在一个实施例中,旗标可存储在快闪存储器阵列中。在另一实施例中,旗标可存储在与状态机或与控制器相关联的寄存器中。在包含用于开始脉冲的四个电位量值的实施例中,旗标将需要能够存储四个值;因此,旗标将需要为 2 个位。为了便于设计,可能希望使旗标包含一个字节。如果在步骤 462 处确定循环计数不小于第一阈值,那么在步骤 466 中确定循环计数是否小于第二阈值。第二阈值的实例是 3,000 个循环。如果循环计数小于第二阈值,那么用一指示来重写所述旗标,所述指示将初始编程脉冲的量值识别为与较少量的新生装置偏移相关联的量值。举例来说,当装置超过第一阈值时,在步骤 468 处,初始 Vpgm(例如 16.9 伏)减小较小偏移量(0.3 伏)达到 16.6 伏。如果在步骤 466 中确定循环计数 C0 不小于第二阈值,那么在步骤 470 处确定循环计数是否小于第三阈值。如果循环计数小于第三阈值,那么循环计数在第二阈值与第三阈值之间,且系统将用一指示来重写所述旗标,所述指示识别相对于与新生装置相关联的初始编程脉冲量值的中间偏移量。举例来说,初始编程电压将向下偏移两个步距(例如 0.6 伏)。如果循环计数不小于第三阈值,那么新生装置的初始编程电压将向下偏移较大偏移量,其可包含三个步距(例如 0.9 伏)。因此,在步骤 474 中,旗标指示在图 12 的实例中,初始编程脉冲的量值应为 16.0 伏。在一些实施例中,如果旗标的值不改变,那么旗标不需要被重写。图 14 中写入的旗标是在图 13 的步骤 412 中检查的旗标。

[0074] 图 15 是描述用于设置编程信号 Vpgm 的初始脉冲的量值的过程的流程图,所述过程作为图 13 的步骤 412 的一部分而执行。在步骤 500 中,读取由图 14 的过程写入的旗标。如果旗标指示较大偏移量(步骤 502),那么将编程信号 Vpgm 的初始脉冲的量值设置为初始量值减去较大偏移量。使用图 12 的实例,与新生装置相关联的初始编程电压 Vpgm0 为 16.9 伏,且所述较大偏移量为 0.9 伏;因此,步骤 504 使初始脉冲的量值偏移到 16.0 伏。如

果旗标不指示较大偏移量（步骤 502），那么系统确定所述旗标是否指示中间偏移量（步骤 506）。如果是，那么将第一脉冲的量值设置为 Vpgm0（例如 16.9V）减去中间偏移量（例如 0.6V）。在图 12 的实例中，步骤 508 会将初始脉冲的量值设置为 16.3 伏。如果旗标不指示中间偏移量，那么确定旗标是否指示较小偏移量（步骤 510）。如果旗标指示较小偏移量，那么在步骤 512 中，将第一脉冲的量值设置为 Vpgm0 减去较小偏移量（例如 0.3V）。如果旗标不指示较小偏移量，那么第一脉冲的量值保持在 Vpgm0（例如 16.9V）。

[0075] 图 16 是描述基于软编程过程期间的性能来确定初始编程脉冲的量值的实施例的编程过程的流程图。图 16 的步骤 532、534 和 536 分别类似于图 13 的步骤 402、406 和 408。图 16 的步骤 540 类似于图 13 的步骤 412。图 16 的步骤 542、544、546、548、550、552、554 和 556 类似于图 13 的步骤 414、416、418、420、422、424、426 和 428。

[0076] 图 17 是描述软编程和适当调整旗标的过程（如图 16 的步骤 538 中所执行）的流程图。图 17 的过程使用类似于图 1 的信号的具有增加量值的一组脉冲。因为这是在软编程过程中使用的，所以所述信号被称为 Vspgm，且所述脉冲被称为软编程脉冲。在图 17 的步骤 560 中，设置初始脉冲的量值。在一个实施例中，初始脉冲的量值在软编程期间约为 14 伏。还可使用其它值。另外，将环路计数 LC 设置为零。在步骤 562 中，将软编程脉冲施加到选定存储器单元的字线。在步骤 564 中，执行检验过程以看存储器单元的阈值电压是否在分布 E（见图 7 到图 9）内。如果不是所有的所检验存储器单元的阈值电压都在分布 E 中，那么软编程电压信号 Vspgm 递增到下一脉冲，且环路计数 LC 增加 1。在步骤 568 之后，过程返回到 562。步骤 562、564、566 和 568 的环路将继续，直到所有存储器单元都已检验，或过程因为系统断定已出现错误而停止为止。举例来说，系统可将迭代的数目限制为不大于 20。在 20 个迭代之后，系统将断定阈值电压仍低于阈值分布 E 的存储器单元被损坏，且将使那些存储器单元不参与正常操作使用。

[0077] 一旦所有的存储器单元检验（步骤 566），过程便将在步骤 570 处继续，且系统将确定环路计数 LC 是否小于 15。如果不是，那么将用不应相对于 Vpgm0 作出任何偏移的指示来写所述旗标。这对应于新生装置。如果环路计数小于 15，那么在步骤 574 处，确定环路计数小于 13。如果环路计数不小于 13（例如 LC = 13 或 14），那么将对旗标进行写入以指示相对于 Vpgm0 的较小偏移量。如果环路计数 LC 小于 13，那么在步骤 578 处，测试环路计数是否小于 11。如果环路计数不小于 11，那么在步骤 580 处，系统将对旗标进行写入以指示应使用相对于 Vpgm0 的中间偏移量。如果环路计数小于 11，那么在旗标中存储指示，以指示应针对初始编程脉冲的量值使用相对于 Vpgm0 的较大偏移量。

[0078] 图 18 是描述用于对旗标位进行写入的过程的一个实施例的流程图。此实施例防止旗标增加初始编程脉冲的量值。也就是说，一旦使用中间偏移量，那么旗标将不允许使用较小偏移量。以此方式，编程信号的初始量值将保持相同或减小，但决不会增加。在其它实施例中，可使用其它行为。在图 18 的步骤 600 处，确定需要对旗标进行写入以指示相对于 Vpgm0 的特定偏移量。在一个实施例中，步骤 600 包含执行图 14 或图 17 的过程。在步骤 602 中，确定旗标是否已经指示偏移了所述量或更大量。如果是，那么在步骤 604 处，不对旗标进行写入。如果不是，那么对旗标进行写入以指示相对于 Vpgm0 的新的偏移量。

[0079] 图 19 是描述用于对非易失性存储器进行编程的过程的一个实施例的流程图，所述过程对编程循环中的迭代的数目进行计数，以便确定在将来的编程循环中，如何设置初

始编程脉冲的量值。图 19 的步骤 650、652、654、656、658、660、662、664、666、668、670 和 672 分别与图 13 的步骤 402、406、408、410、412、414、416、418、420、424、426 和 428 相同。一个差异在于在步骤 664 处的检验之后,如果所有的存储器单元都检验(步骤 666),那么在步骤 680 中,确定编程计数 PC 是否小于 9。步骤 662、664、666、668 和 672 形成环路,其连续地迭代,直到所有的存储器单元编程或编程计数达到 20(或其它实施例中的不同数目)为止。如果所述环路的迭代数目小于 9,那么在步骤 684 中,旗标递增。如果迭代的数目不小于 9,那么编程过程完成而不改变旗标。每当旗标在步骤 684 处递增时,系统将改变(例如降低)编程信号的初始脉冲的量值。在下一次执行图 19 的过程时,在步骤 658 中检查所述旗标。因此,(例如)如果初始编程电压脉冲的量值是 16.9 伏,那么系统将继续使用初始脉冲具有 16.9 伏的量值的编程电压信号,直到对存储器进行编程所需的迭代的数目小于 9 为止。一旦迭代的数目小于 9,旗标便将递增。在下一次执行编程过程时,在步骤 658 处,系统将看到旗标已经递增,且将使初始编程脉冲的量值的值从 16.9 向下改变到 16.6。这将导致迭代的数目再次升高。最终,图 19 的过程的迭代数目将小于 9,在此情况下,旗标将递增,且初始脉冲的量值将降低到 16.3,依此类推。注意,在图 19 中,步骤 680 中的值 9 可改变成其它值。

[0080] 图 20 是描述这样一个基于前一读取操作期间所检测到的错误的量来确定是否降低初始编程脉冲的量值的过程的一个实施例的流程图。响应于读取数据的请求而执行图 20 的过程。在步骤 700 中,针对数据页执行正常读取操作。此操作将通过此项技术中已知的各种技术来执行。在步骤 702 中,检查与读取数据一起存储的错误校正代码,以看是否存在任何错误。如果没有错误,那么在步骤 704 中报告所述数据。如果有错误,那么在步骤 706 中,确定所述错误是否为可校正。如果所述错误是不可校正的,那么在步骤 708 处,报告错误。如果错误是可校正的,那么在步骤 710 处校正所述错误,且在步骤 712 处报告所述数据。在步骤 714 处,系统确定错误校正的量是否超过阈值。阈值的一个实例是是否每个扇区有 2 个以上位具有错误。还可使用其它阈值。如果错误超过所述阈值,那么在步骤 718 中,旗标递增。如果错误未超过所述阈值,那么旗标将不递增。当装置是新生的时,旗标处于零。在旗标递增之后,在下一次执行编程过程时,系统将改变初始编程脉冲的量值。举例来说,可使用图 13 的过程(无步骤 404)来进行编程。当执行步骤 412 时,将存取旗标,且如果所述旗标自从最后一次被存取以来已经递增,那么第一编程脉冲的量值将比先前使用的量值低一个步距。

[0081] 尽管用于改变编程参数的实例中的许多实例与降低初始编程脉冲的量值有关,但也可改变其它参数。另外,也可使用其它任务来确定何时降低初始脉冲的量值,或以其它方式改变编程参数。

[0082] 在替代实施例中,施加到控制栅极 / 字线的编程信号可具有不同于具有增加量值的一组脉冲的波形。

[0083] 已经出于说明和描述的目的提供了以上对本发明的具体描述内容。不希望所述具体描述内容是详尽的或使本发明限于所揭示的精确形式。根据上文的教示,许多修改和改变是可能的。选择所描述的实施例是为了最好地阐释本发明的原理和其实际应用,从而使所属领域的技术人员能够在适合于预期的特定用途的各个实施例中且通过适合于预期的特定用途的各种修改来最好地利用本发明。希望本发明的范围由所附权利要求书界定。

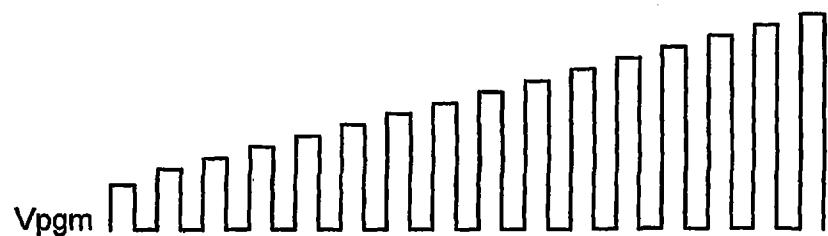


图 1

	典型编程脉冲计数			Vpgm	典型编 程时间	典型软 编程脉冲
	下页	上页	全序列			
新生	13	18	22	16.0V	800 usec	16
10k个循环	10	15	19	16.0V	650 usec	10

图 10

	典型编程脉冲计数			Vpgm	典型编 程时间	典型软 编程脉冲
	下页	上页	全序列			
新生	10	15	19	16.9V	650 usec	16
约1k个循环	10	15	19	16.6V	650 usec	14
约3k个循环	10	15	19	16.3V	650 usec	12
约10k个循环	10	15	19	16.0V	650 usec	10

图 12

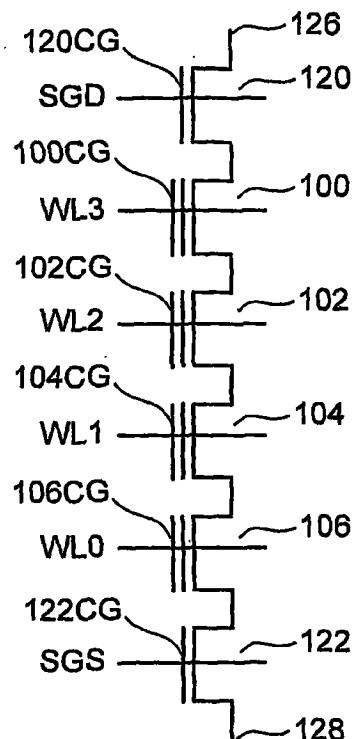
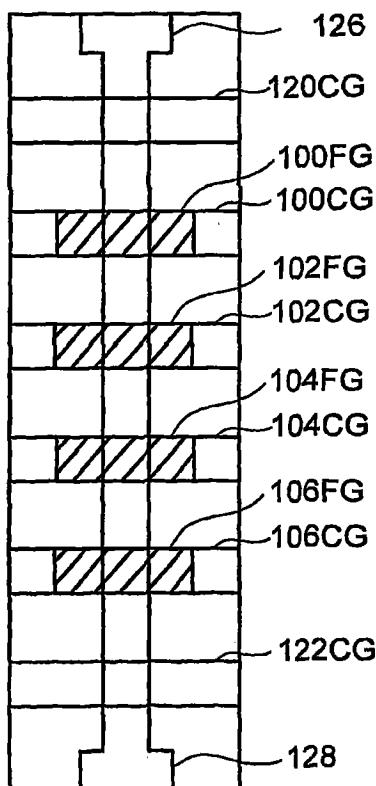


图 3

图 2

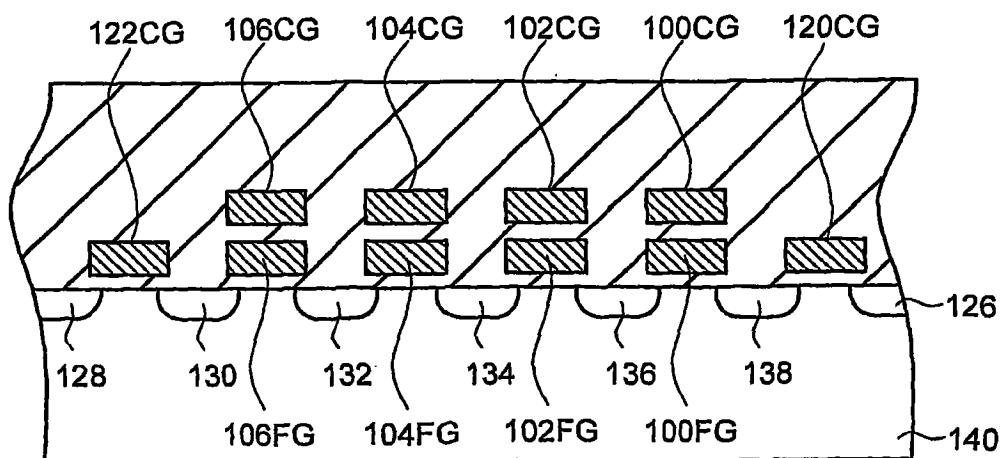


图 4

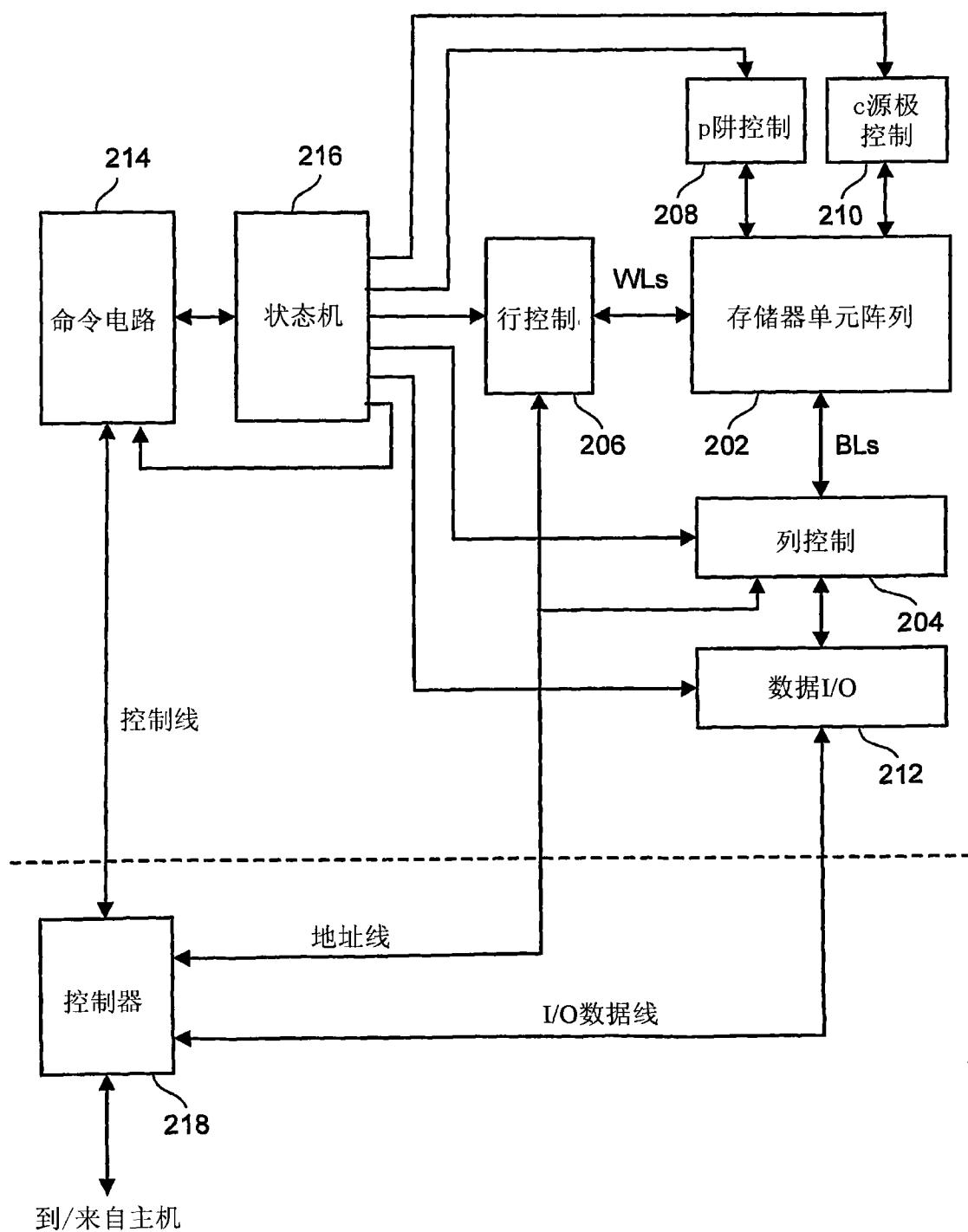


图 5

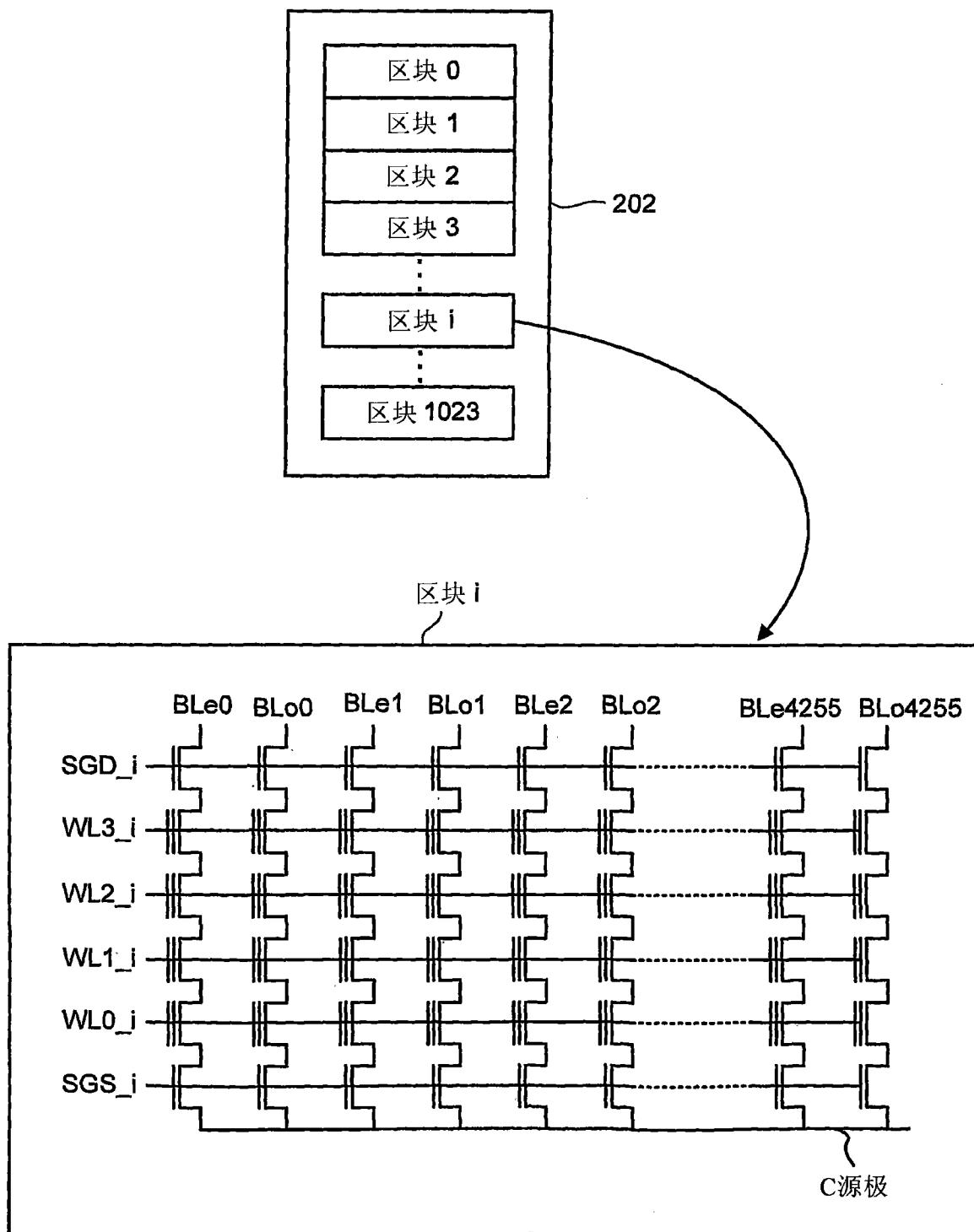


图 6

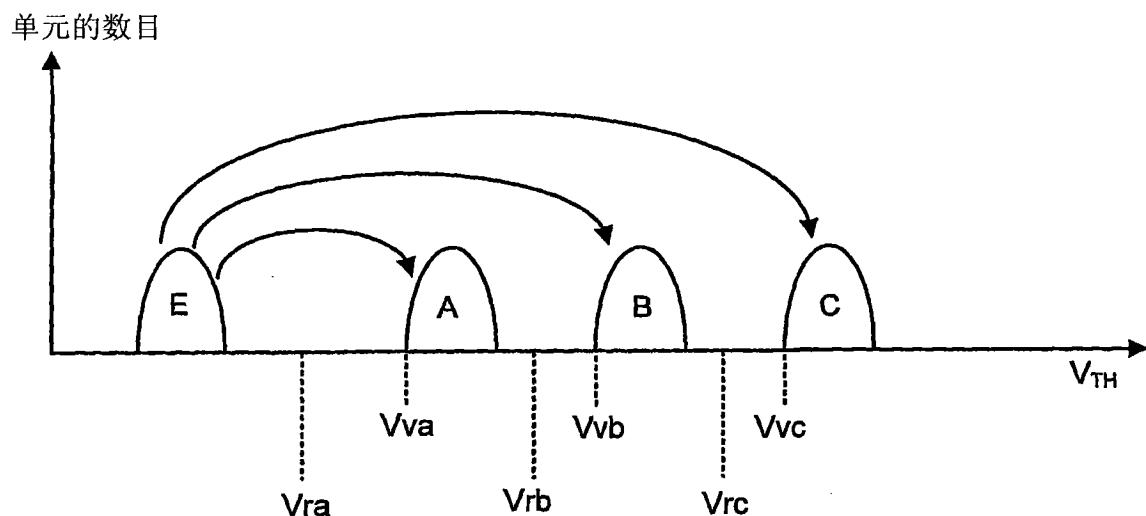


图 7

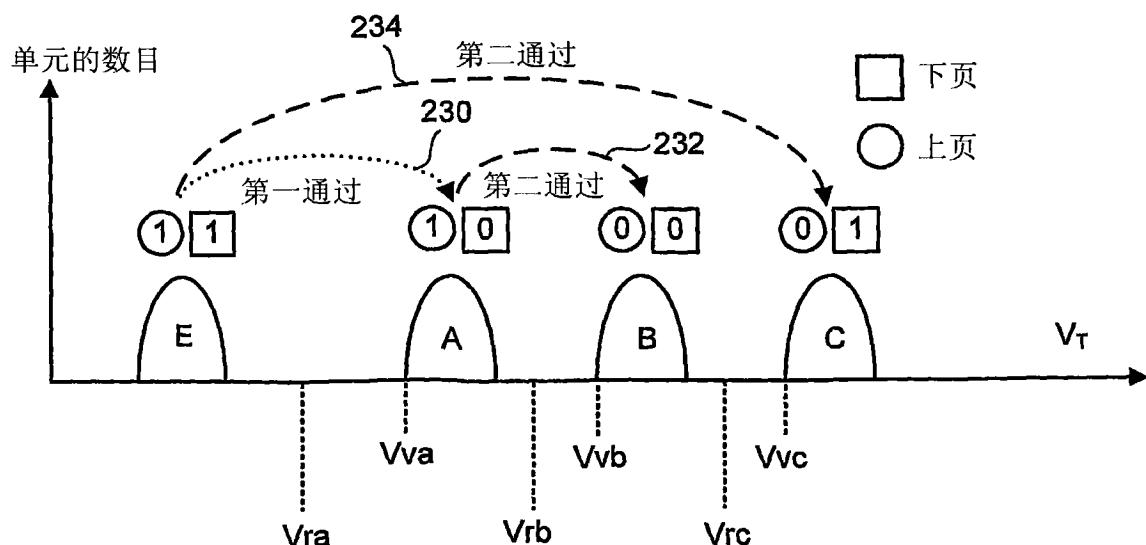


图 8

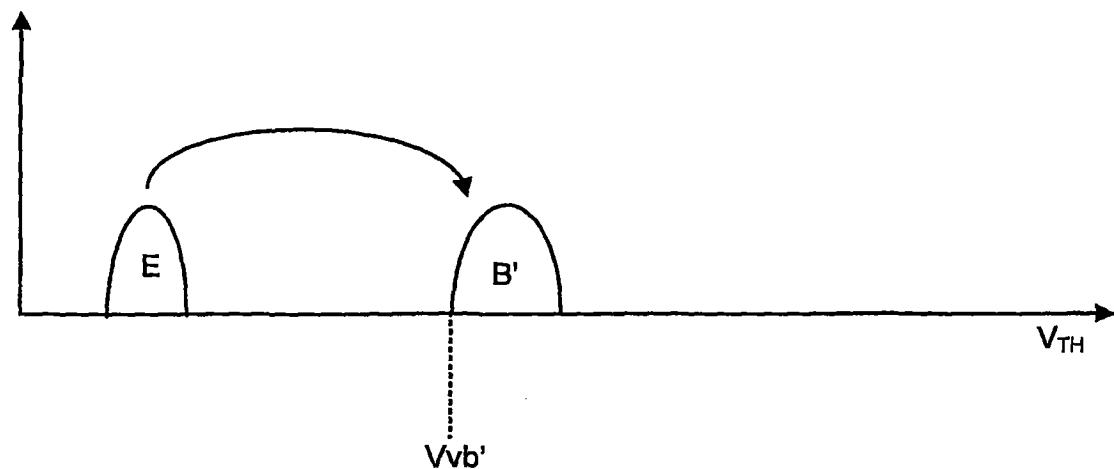


图 9A

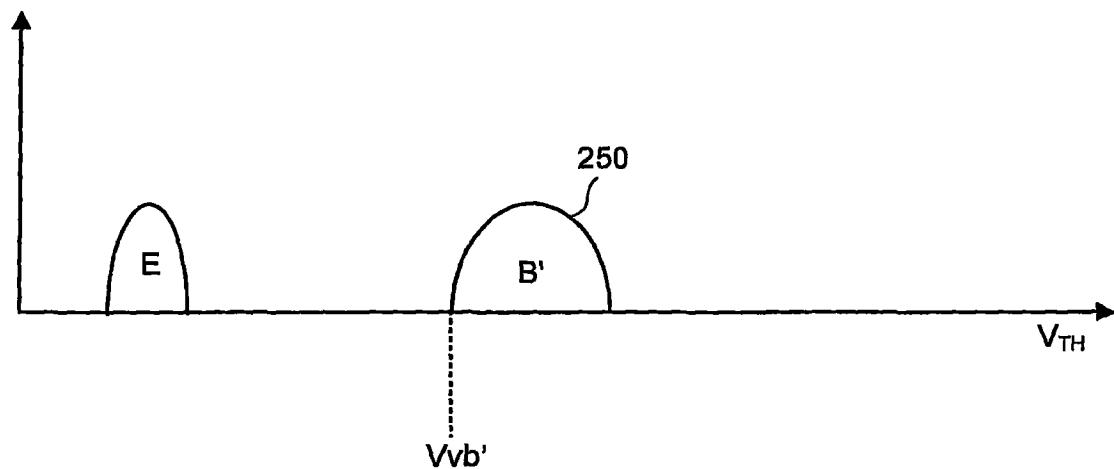


图 9B

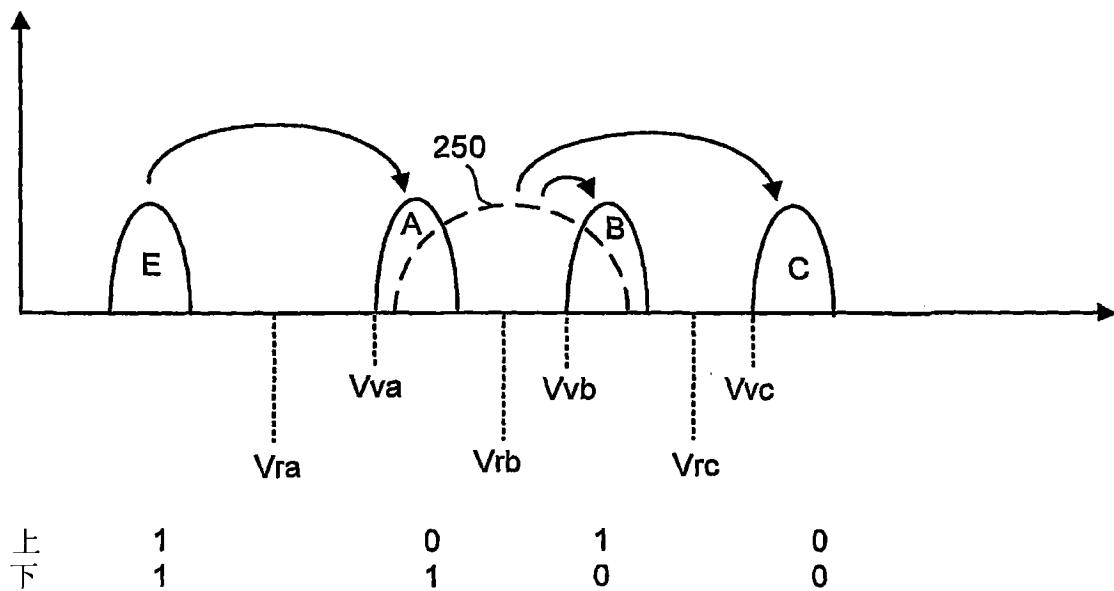


图 9C

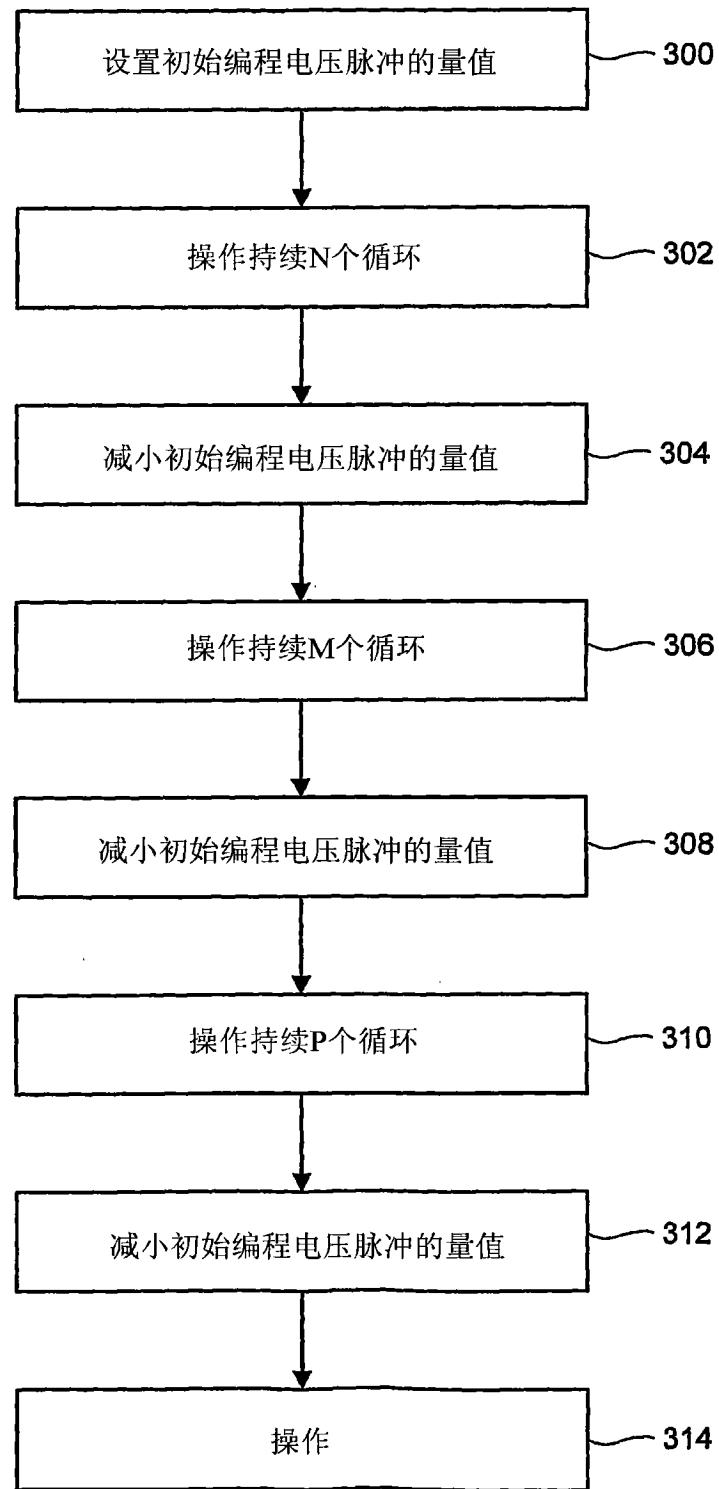


图 11



图 11A

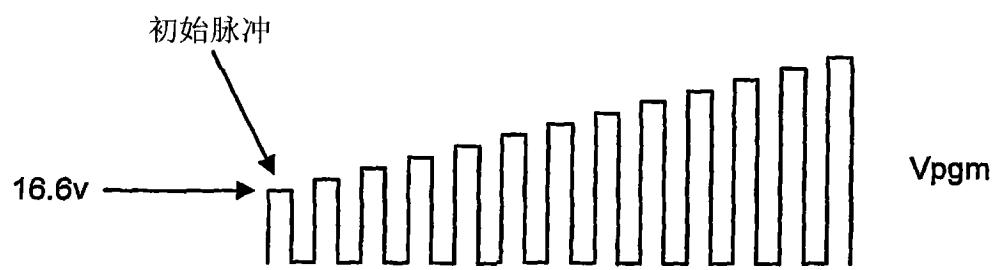


图 11B

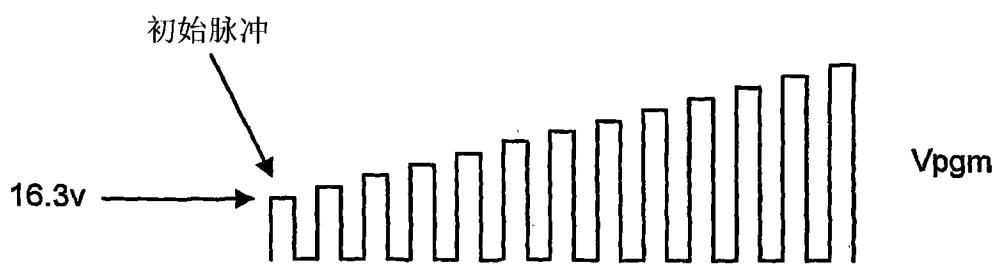


图 11C

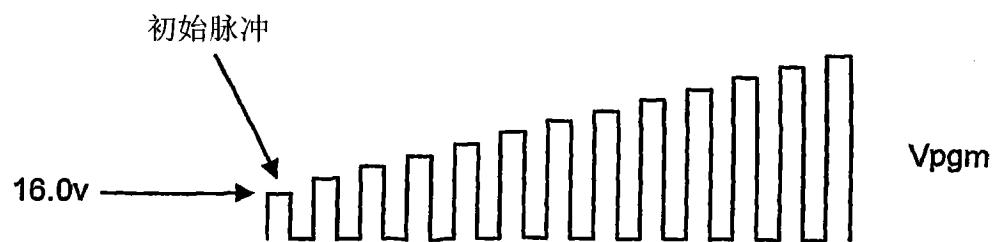
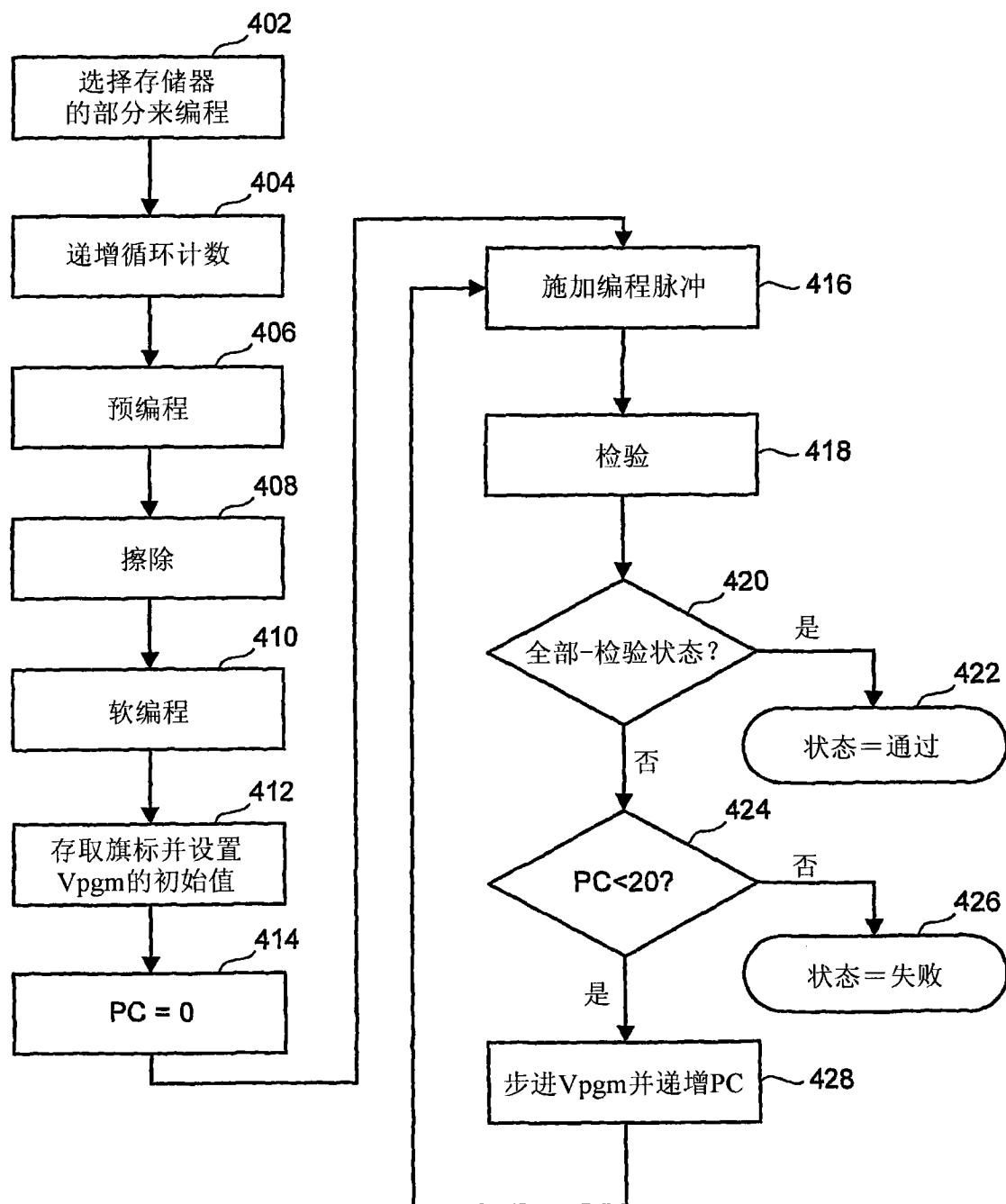


图 11D



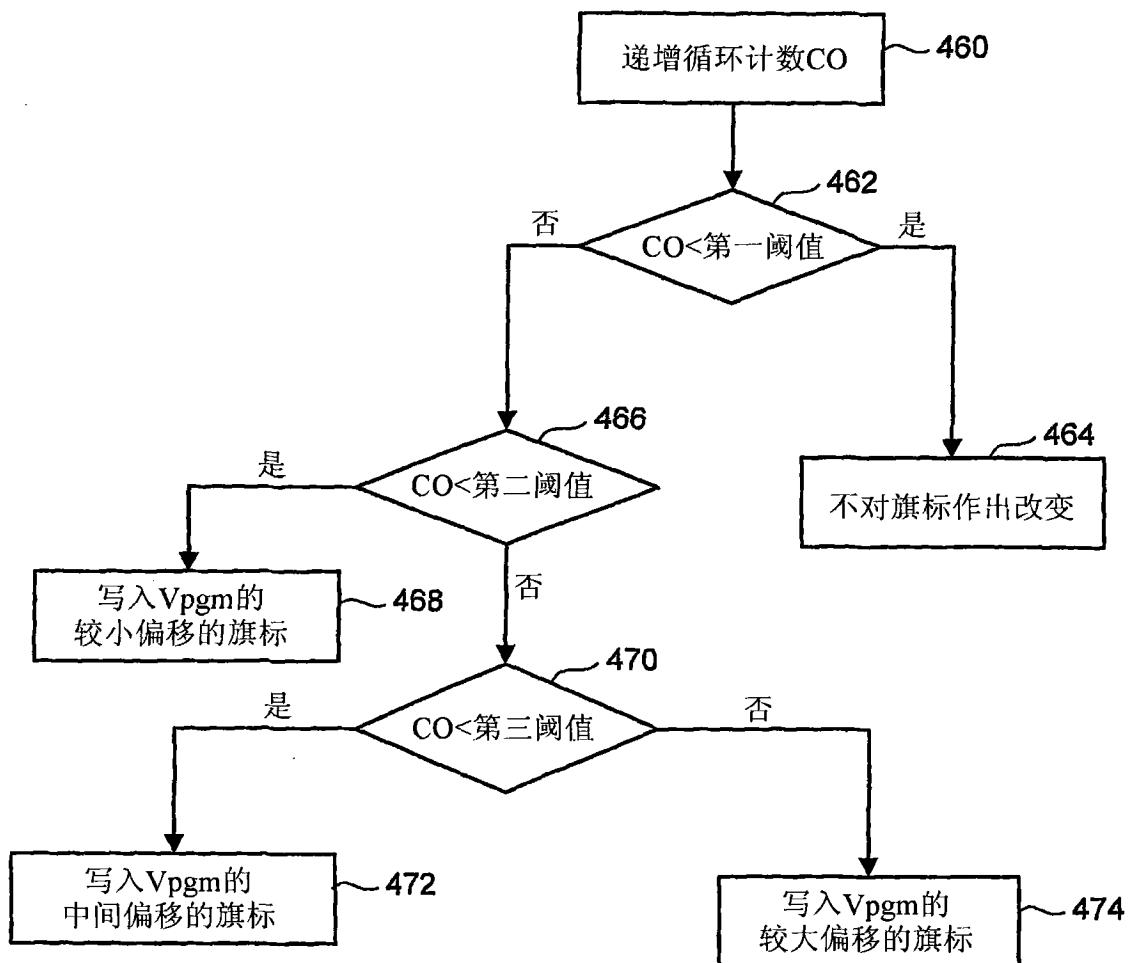


图 14

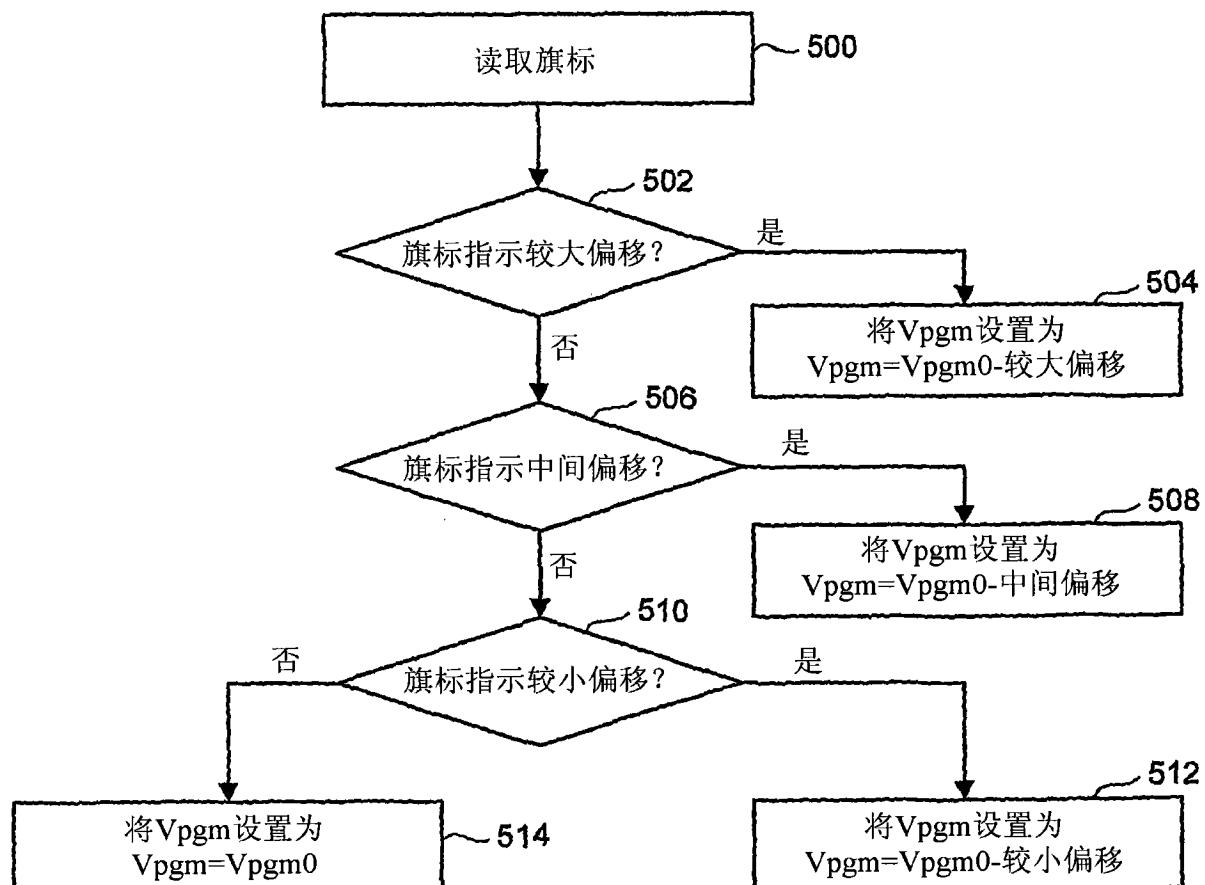


图 15

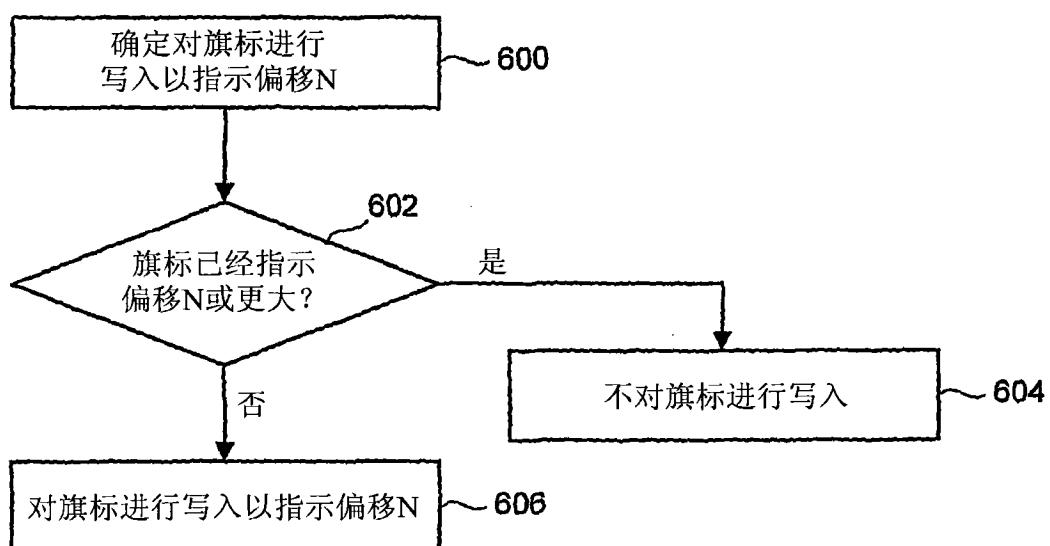


图 18

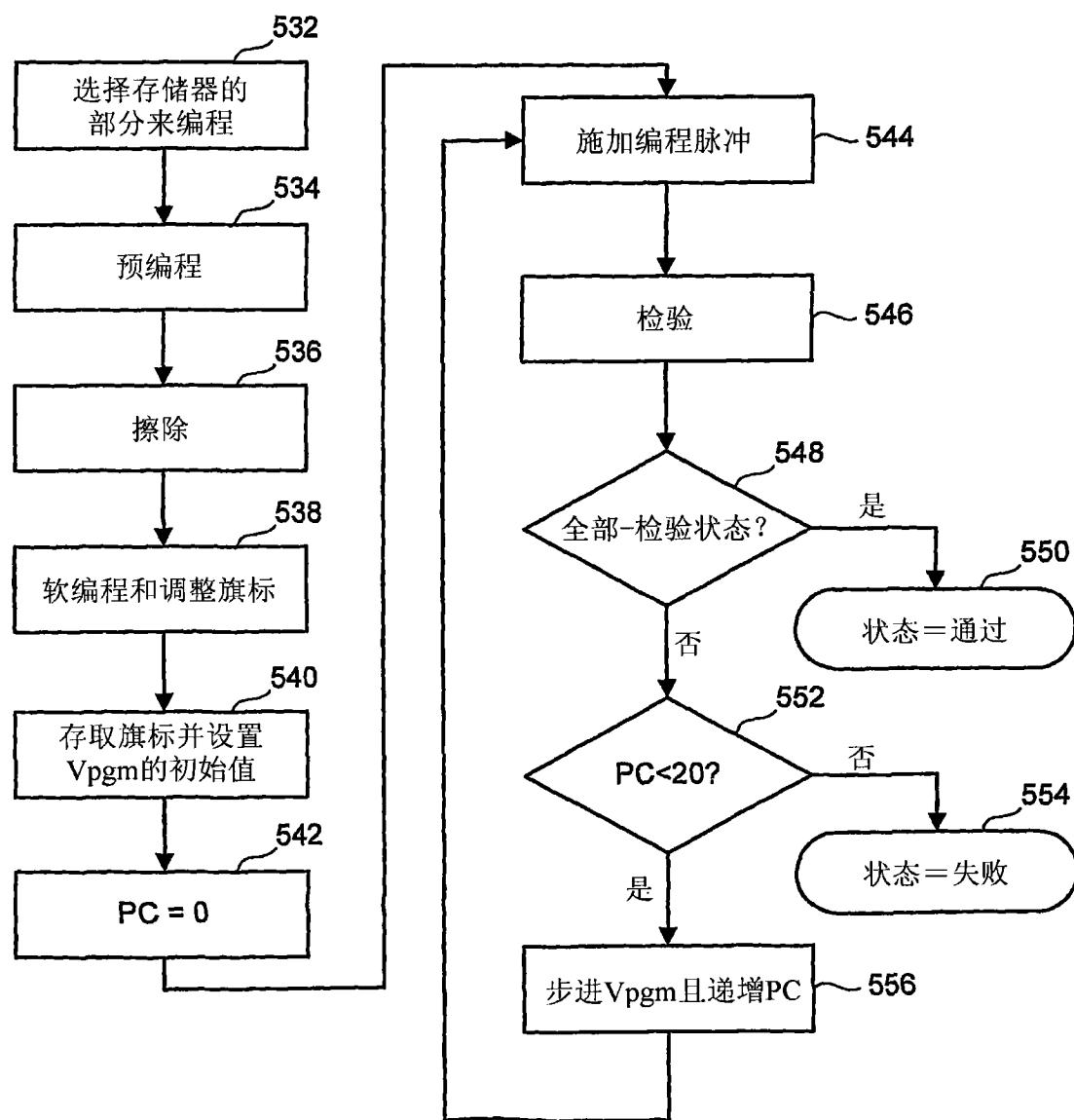


图 16

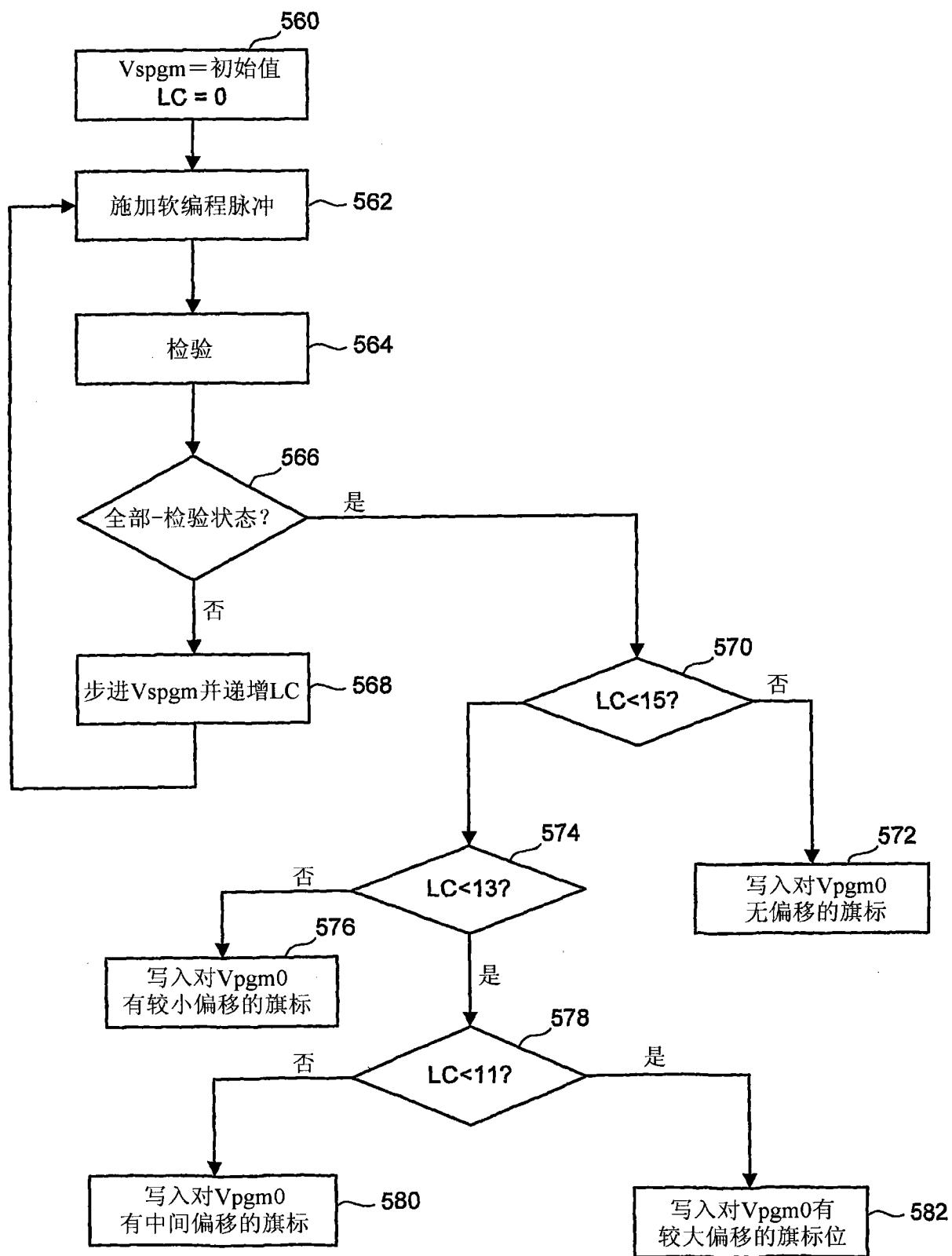


图 17

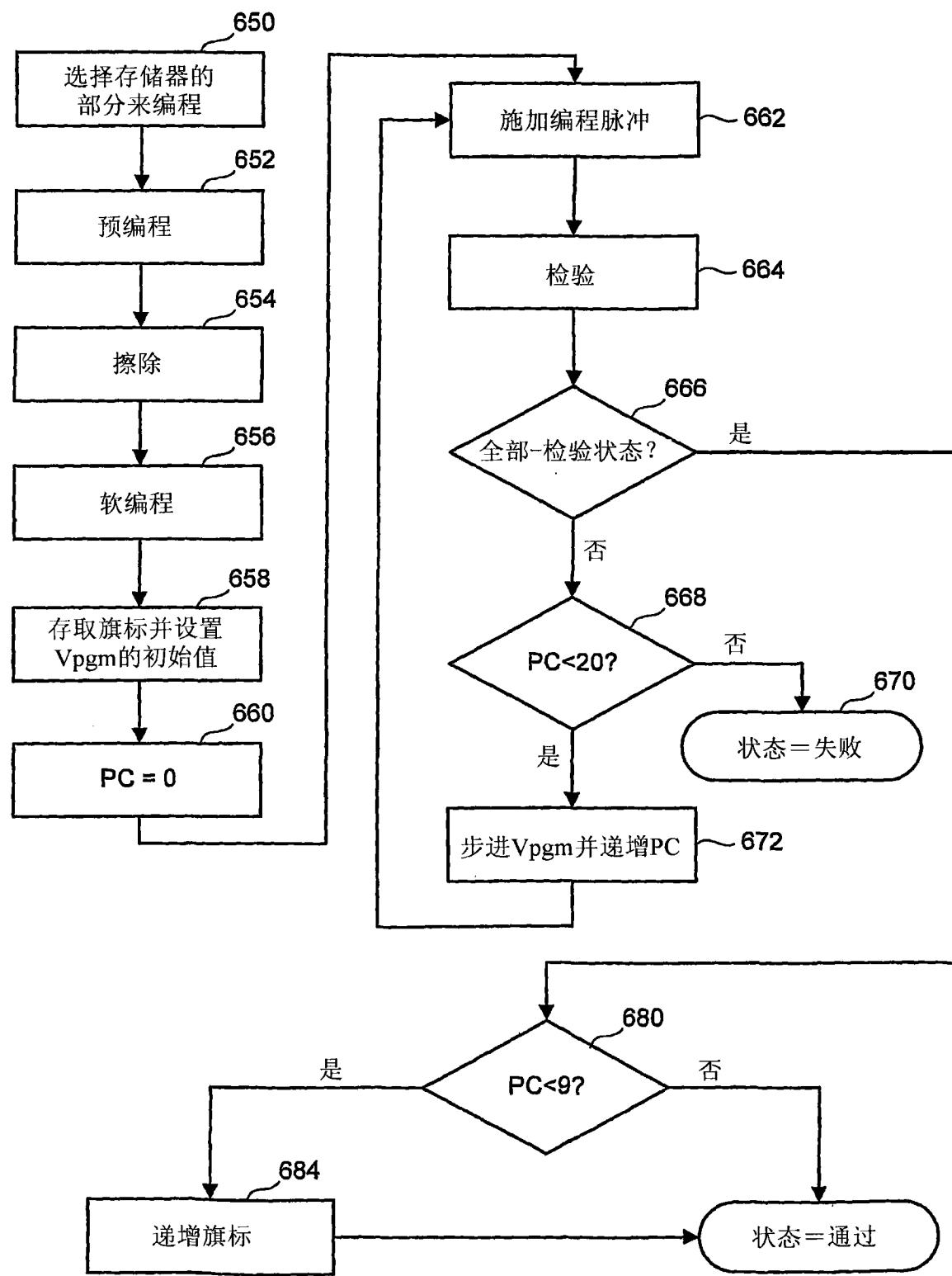


图 19

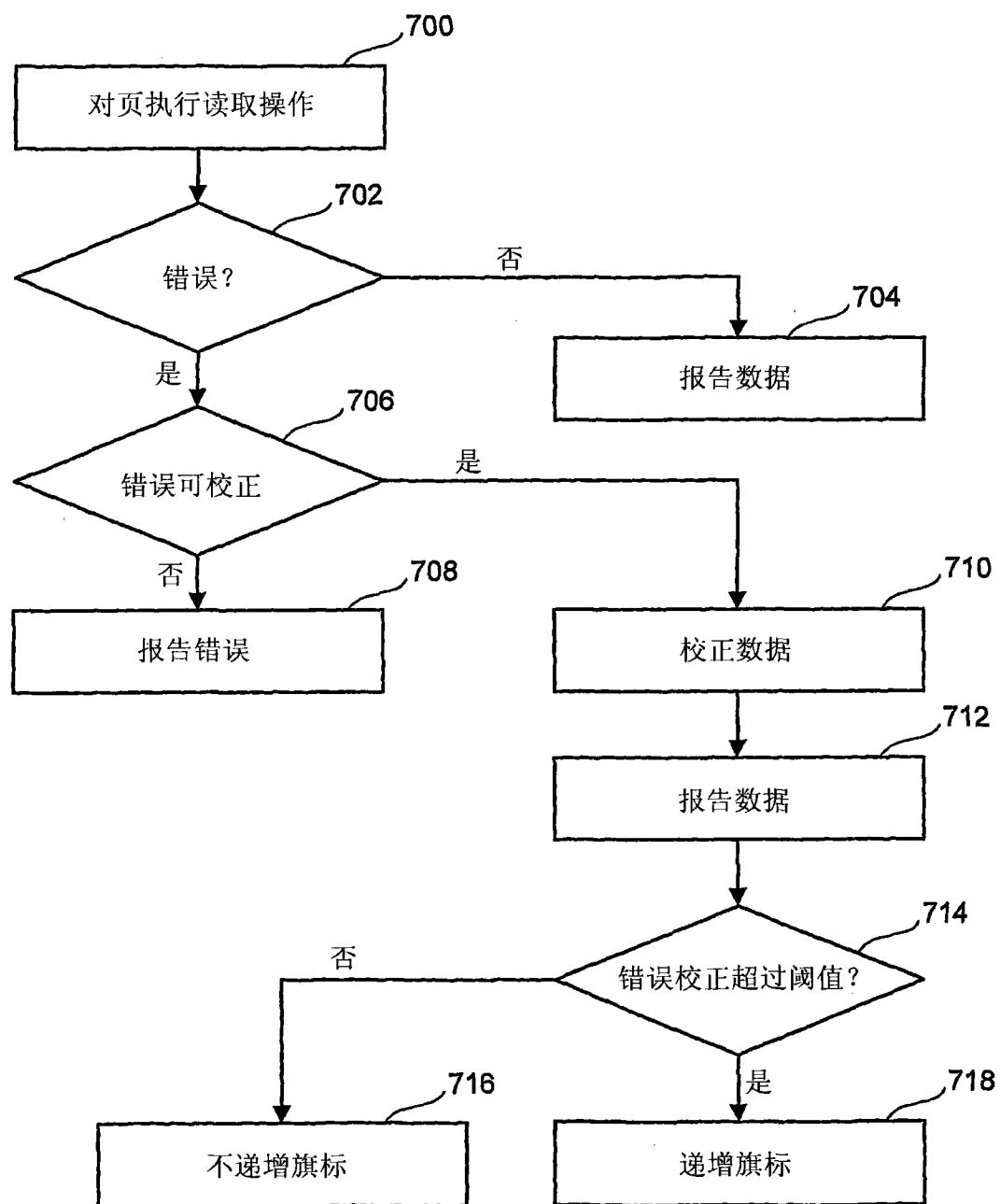


图 20