

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4024935号
(P4024935)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int. Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 1 1
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 7 1 C

請求項の数 7 (全 17 頁)

<p>(21) 出願番号 特願平10-244167 (22) 出願日 平成10年8月28日(1998.8.28) (65) 公開番号 特開2000-77624(P2000-77624A) (43) 公開日 平成12年3月14日(2000.3.14) 審査請求日 平成15年4月23日(2003.4.23)</p> <p>特許法第30条第1項適用 IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 45, NO. 3 (MARCH 1998) のP. 598-P. 607に発表</p>	<p>(73) 特許権者 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区梅灘洞416</p> <p>(74) 代理人 100064908 弁理士 志賀 正武</p> <p>(74) 代理人 100089037 弁理士 渡邊 隆</p> <p>(72) 発明者 金 奇南 大韓民国京畿道安養市平村洞(番地なし) ドリーム・タウン・ライフ・エービーティ 108-502</p> <p>審査官 瀧内 健夫</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 高集積半導体メモリ装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1半導体基板上に活性領域と非活性領域を定義するため非活性領域が露出されるように第1絶縁物質でトレンチエッチングマスクを形成する段階と、

前記トレンチエッチングマスクを使用して前記第1半導体基板の非活性領域をエッチングしてトレンチを形成する段階と、

前記第1半導体基板の非活性領域に形成されたトレンチ及びその上部の前記トレンチエッチングマスクの開口部を第2絶縁物質で完全に充填してトレンチ隔離を形成する段階と、

前記トレンチ隔離及び前記トレンチエッチングマスクを含んで前記第1半導体基板上に第1層間絶縁膜を形成する段階と、

前記第1半導体基板の活性領域の一部が露出される時まで前記第1層間絶縁膜及び前記トレンチエッチングマスクを部分的にエッチングしてキャパシタ下部電極コンタクトホールを形成する段階と、

前記キャパシタ下部電極コンタクトホールを通して前記第1半導体基板の活性領域と電氣的に接続されるキャパシタ下部電極を形成する段階と、

前記キャパシタ下部電極を含んで前記第1半導体基板上にキャパシタ誘電膜及びキャパシタ上部電極を順番的に形成してキャパシタを形成するが、前記キャパシタ上部電極は平坦な上部表面を有するように形成する段階と、

前記第1半導体基板と第2半導体基板をボンディングさせるがボンディング用絶縁層を

10

20

間に置いて、前記第1半導体基板のキャパシタが形成された上部表面と前記第2半導体基板の上部表面が向き合うようにボンディングさせる段階と、

前記キャパシタが形成されていない側の前記第1半導体基板の上部表面を平坦化エッチングするが、前記トレンチ隔離の上部表面が露出される時までエッチングして、前記活性領域の隣接するもの同士を前記トレンチ隔離によって分離する段階と、

前記平坦化エッチングされた前記第1半導体基板の活性領域上にワードラインとなるゲート電極及び一対の接合領域を有するトランジスタを形成するが、前記接合領域の一方を前記キャパシタ下部電極と電氣的に接続させる段階と、

前記トランジスタを覆うように第2層間絶縁膜を形成する段階と、

前記接合領域の他方の一部が露出される時まで前記第2層間絶縁膜を部分的にエッチングしてビットラインコンタクトホールを形成する段階と、

前記ビットラインコンタクトホールを通して前記接合領域の他方と電氣的に接続されるビットラインを形成する段階とを含むことを特徴とする高集積半導体メモリ装置の製造方法。

【請求項2】

隣接した前記活性領域の間の最短幅は、前記活性領域の最短幅より相対的に小さく形成されることを特徴とする請求項1に記載の高集積半導体メモリ装置の製造方法。

【請求項3】

隣接した前記ビットラインの間の幅（ F ）は、前記ビットラインの幅（ F ）及び隣接した前記ワードラインの間の幅（ F ）より相対的に小さく形成されることを特徴とする請求項1に記載の高集積半導体メモリ装置の製造方法。

【請求項4】

前記トランジスタが形成される前記第1半導体基板の活性領域の厚さは、前記トレンチの深さによって決定されることを特徴とする請求項1に記載の高集積半導体メモリ装置の製造方法。

【請求項5】

第1絶縁層を間に置いて、ボンディングされた第1半導体基板及び第2半導体基板を有し、前記第1半導体基板は、プロセスウェーハであり、前記第2半導体基板は、ハンドルウェーハであるSOI基板と、

前記第1半導体基板上に活性領域と非活性領域を定義するため前記第1半導体基板を部分的に隔離させるように形成された素子隔離膜と、

前記素子隔離膜と共に前記活性領域を囲むように前記活性領域の下部に形成され、前記素子隔離膜の底面に対して平坦化された底面を有する第2絶縁層と、

前記素子隔離膜及び前記第2絶縁層の下部に形成された第1層間絶縁膜と、

前記第1半導体基板上に形成されたワードラインとなるゲート電極及び前記第1半導体基板の活性領域内に形成された一対の接合領域を含むトランジスタと、

前記第1絶縁層と前記第1半導体基板との間に形成されているが、前記第2絶縁層及び前記第1層間絶縁膜に開口されたキャパシタ下部電極コンタクトホールを通して前記第1半導体基板の接合領域の一方と電氣的に接続されるように形成されたキャパシタ下部電極、キャパシタ誘電膜、そしてキャパシタ上部電極が順番的に積層されて形成されたキャパシタと、

前記トランジスタを覆って前記第1半導体基板上に形成された第2層間絶縁膜と、

前記第2層間絶縁膜に開口されたビットラインコンタクトホールを通して前記接合領域の他方と電氣的に接続されるように形成されたビットラインとを含み、

前記素子隔離膜は、トレンチ隔離であり、前記第2絶縁層は、トレンチ隔離を形成するためのトレンチエッチングマスクであることを特徴とする高集積半導体メモリ装置。

【請求項6】

前記第1半導体基板の上部から見て隣接した前記活性領域の間の最短幅（ F ）は、前記活性領域の最短幅（ F ）より相対的に小さく形成されることを特徴とする請求項5に記載の高集積半導体メモリ装置。

10

20

30

40

50

【請求項7】

前記第1半導体基板の上部から見て隣接した前記ビットラインの間の幅（F）は、前記ビットラインの幅（F）及び隣接した前記ワードラインの間の幅（F）より相対的に小さく形成されることを特徴とする請求項5に記載の高集積半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高集積半導体装置及びその製造方法に関するものであり、より詳しくはSOI（silicon on insulator）基板を利用した高集積DRAM（dynamic random access memory）及びその製造方法に関するもの

10

【0002】

【従来の技術】

半導体集積回路（semiconductor integrated circuit）で代表されるメモリ及びマイクロプロセッサ（microprocessor）は、3年に4倍ずつビット密度（bit density）と動作速度とが増加している。これによって、結局1Gb（giga bit）DRAMとか1GHz動作速度とかが実現されてきた。

【0003】

メモリ素子で代表されるDRAMの場合、64K DRAM時代に採用された $8F^2$ メモリセル（memory cell）形態が現在まで続いて使用されている。 $8F^2$ メモリセルは、センスアンプ（sense amplifier）との配置面で、フォールデッドビットラインセル構造（folded bit line cell architecture）と称し、このフォールデッドビットラインセル構造方式の一番小さい理論的なセル大きさが直ぐ $8F^2$ である。ここで、Fは最小フェッチャー大きさ（最小寸法：minimum feature size）を示し、パターニング（patterning）することができる最小設計ルール（minimum design rule）で定義される。又、メモリセルアレーを構成する反復的なビットラインピッチ（bit line pitch）の $1/2$ で定義される場合もある。例えば、 $0.6\mu\text{m}$ ピッチの一番小さいセル大きさは、 $8 \times 0.3 \times 0.3 = 0.72\mu\text{m}^2$ になる。

20

30

【0004】

図1は、現在高集積DRAMで主に使用されているCOB（capacitor over bit line）構造の $8F^2$ フォールデッドビットラインセル構造（folded bitline cell architecture）を有するメモリセルのレイアウト（layout）図面であり、図2は、図1を1A-1A'ラインに沿ってビットライン方向に切り取った図面である。

【0005】

図1及び図2を参照すると、従来COB構造の $8F^2$ フォールデッドビットラインセルのメモリセルは、素子隔離膜2が形成された半導体基板1にワードラインWL及びソース/ドレイン接合領域（図面に未図示）を有するトランジスタ6が形成されている。ワードラインWLの間の活性領域3と電氣的に接続されるコンタクトパッド8a、8bが形成されている。コンタクトパッド8a、8bは、ストレージ電極コンタクトパッド8a及びビットラインコンタクトパッド8bとを含む。層間絶縁膜10、12を明けてストレージ電極コンタクトパッド8a及びビットラインコンタクトパッド8bと各々電氣的に接続されるストレージ電極16及びビットライン11が形成されているが、この時ビットライン11はストレージ電極16の下部に形成されている。

40

【0006】

この時、上述のようなメモリセル構造では、メモリセルキャパシタ（memory cell capacitor）がワードラインWLとビットライン11の形成後に形成されるため、大きい縦横比（high aspect ratio）のメモリセルコンタクト

50

ホール (memory cell contact hole) を形成すべきである。このような大きい縦横比コンタクトホール14エッチング工程が有する難しさを克服するためセルパッド (cell pad) と称するランディングパッド (landing pad) 形成工程がよく使用される。

【0007】

しかし、ランディングパッドを使用する場合は、ゲートとソース/ドレインを同時にシリサイド化 (silicidation) することが不可能になる。このような問題は、高性能ロジック工程 (high performance logic process) とDRAM工程と共に集積させることを非常に複雑で難しくなる。又メモリセルコンタクトを形成する時、すでに形成されているワードライン乃至ビットラインとの誤整列によってメモリセルとワードライン、又はメモリセルとビットラインとのショート (short) 問題も非常に深刻になる。このような根本的な問題が既存のDRAMのセルの縮小が難しいため、大容量及び高性能DRAMを実現することにおいて大きな障害になっている。

10

【0008】

一旦、最小フェッチャー大きさ 'F' が決定されると、最小セル大きさが決定され、DRAMの密度によるアレー (array) が占める面積が算出される。アレーが占める面積は、'Nbit x セル大きさ' で与えられる。例えば、1GbDRAMの場合、Nbitは、230で、1,073,741,824である。このアレーが全体チップ (chip size) で占める比率を 'アレー効率 (array efficiency)' と称し、64Mb DRAM以上の高密度DRAMの場合は、そのアレー効率が約65%である。従ってチップ大きさを最小フェッチャー大きさFと関連づけると、次のような数学式で表示される。

20

【0009】

【数1】

$$S_c = \alpha^{-1} \times N_{bit} \times 8 F^2$$

ここで、 S_c は、チップの大きさを示し、 α は、アレー効率を示す。上の式によるDRAMチップの大きさを最小フェッチャー大きさ、又は密度によって得ることが図3に示している。

30

【0010】

この時、チップの大きさは、 $8 F^2$ フォールデッドビットラインセル構造によることで、アレー効率は、全ての世代に対して65%で仮定した。

【0011】

図3において、1Gbチップの大きさは約425mm²、4Gbチップの大きさは960mm²、そして16Gbチップの大きさは、2000mm²程度で予想される。このように大きいチップでは、優良チップ (good chip) の収率 (yield) を確保することは非常に難しいことが予測され、収率はチップの大きさに反比例するというのは既によく知られている。従って、高密度DRAMをより値段効率的 (cost-effective) に構成するためには同一な最小フェッチャー大きさ下で、メモリセル大きさを小さく作ることが根本的な解決策になる。フォールデッドビットラインセル構造の一番小さいセル大きさである $8 F^2$ より小さい $6 F^2$ のオープンビットライン構造 (open bit line architecture) が前々からよく知られているが、このオープンビットラインセル構造は、ノイズ (noise) に脆弱で、センスアンプのレイアウトが難しい問題点を有する。

40

【0012】

これによって、最近にはセルレイアウトをオープンビットラインで構成し、センシングすることは、フォールデッドビットラインセル方式とする組合せアプローチ (combined approach) も報告されているが、マスク (mask) の追加等に大きい長

50

所がないことで評価されている。

【0013】

【発明が解決しようとする課題】

本発明は、上述な諸般問題点を解決するため提案されたものとして、素子隔離領域の大きさを減らすことによって素子の大きさを減らすことができる高集積半導体メモリ装置及びその製造方法を提供することがその目的である。

【0014】

本発明の他の目的は、SOI基板を使用して半導体メモリ装置の特性を改善する高集積半導体メモリ装置及びその製造方法を提供することである。

【0015】

【課題を解決するための手段】

上述の目的を達成するための本発明によると、高集積半導体メモリ装置の製造方法は、第1半導体基板上に活性領域と非活性領域を定義するため非活性領域が露出されるように絶縁物質でトレンチエッチングマスクを形成する段階と、トレンチエッチングマスクを使用して第1半導体基板をエッチングしてトレンチを形成する段階と、トレンチを絶縁物質で完全に充填してトレンチ隔離を形成する段階と、第1半導体基板の一部が露出される時までトレンチエッチングマスクを部分的にエッチングしてキャパシタ下部電極コンタクトホールを形成する段階と、コンタクトホールを通して第1半導体基板と電氣的に接続されるキャパシタ下部電極を形成する段階と、キャパシタ下部電極を含んで第1半導体基板上にキャパシタ誘電膜及びキャパシタ上部電極を順番的に形成してキャパシタを形成するが、キャパシタ上部電極は平坦な上部表面を有するように形成する段階と、第1半導体基板と第2半導体基板をボンディングさせるがボンディング用絶縁層を間に置いて、第1半導体基板のキャパシタが形成された上部表面と第2半導体基板の上部表面が向き合うようにボンディングさせる段階と、キャパシタが形成されていない第1半導体基板の上部表面を平坦化エッチングするが、トレンチ隔離の上部表面が露出される時までエッチングする段階と、平坦化エッチングされた第1半導体基板上にゲート電極（ワードライン）及び接合領域を有するトランジスタを形成する段階と、トランジスタを覆うように層間絶縁膜を形成する段階と、接合領域の一部が露出される時まで層間絶縁膜を部分的にエッチングしてビットラインコンタクトホールを形成する段階と、ビットラインコンタクトホールを通して接合領域と電氣的に接続されるビットラインを形成する段階とを含む。

【0016】

この方法の望ましい実施の形態において、キャパシタ下部電極コンタクトホール形成前にトレンチ隔離を含んで第1半導体基板上に層間絶縁膜を形成する段階を含むことができる。

【0017】

上述の目的を達成するための本発明によると、高集積半導体メモリ装置は、第1絶縁層を間に置いて、ボンディングされた第1半導体基板及び第2半導体基板を有するSOI基板と、第1半導体基板はプロセスウェーハであり、第2半導体基板はハンドルウェーハであり、第1半導体基板上に活性領域と非活性領域を定義するため第1半導体基板を部分的に隔離させるように形成された素子隔離膜と、素子隔離膜と共に活性領域を囲むように活性領域の下部に形成された第2絶縁層と、第1半導体基板上に形成されたゲート電極（ワードライン）及び第1半導体基板の活性領域内に形成された接合領域を含むトランジスタと、第1絶縁層と第1半導体基板との間に形成されているが、第2絶縁層を明けて第1半導体基板の接合領域と電氣的に接続されるように形成されたキャパシタ下部電極、キャパシタ誘電膜、そしてキャパシタ上部電極が順番的に積層されて形成されたキャパシタと、第1半導体基板上に接合領域と電氣的に接続されるように形成されたビットラインとを含む。

【0018】

次に作用について説明する。

図4、図5、そして図6を参照すると、本発明の実施の形態による新規した高集積半導体

10

20

30

40

50

メモリ装置及びその製造方法は、高集積半導体メモリ装置をSOI基板に形成することによって、ウェルとウェルを分離するための面積消耗と、隔離空間の大きさと、チップの大きさを減らすことができる。そして、接合キャパシタンス及び接合漏洩電流が素子に与える影響が最小化でき、トランジスタをメモリセルキャパシタ形成してから形成することによって、トランジスタの特性劣化が防止できる。又トレンチエッチングマスクをトレンチ隔離と共に活性領域を囲むための絶縁物質で活用することによって工程を単純化させることができ、トレンチエッチングマスク除去工程によって発生されるトレンチ隔離の特性劣化が防止できる。又COB構造のように、セルキャパシタンスの面積を十分に確保でき、同時にCUB構造のように、平坦化工程が容易にできる。

【0019】

10

【発明の実施の形態】

以下、図4から図20までを参照して本発明の実施の形態を詳細に説明する。

【0020】

図4は、本発明の実施の形態による高集積半導体メモリ装置のレイアウト図面であり、図5及び図6は、各々図4の $3X-3X'$ 及び $3Y-3Y'$ に沿ってビットライン方向及びワードライン方向で切り取った断面図である。

【0021】

本発明による高集積半導体メモリ装置は、フォールデッドビットラインセル構造で $8F^2$ セル大きさより小さいセル大きさの設計方式によって具現される。

【0022】

20

図4及び図5を参照すると、本発明の実施の形態による半導体メモリ装置は、セルトランジスタとストレージ電極コンタクト及びセルトランジスタとビットラインコンタクトが形成される活性領域105がその上部表面を除外した全ての部分が絶縁物質によって完全に囲まれている。詳しくは、活性領域105は、素子隔離膜104（ここでは、トレンチ隔離）とトレンチエッチングマスク（trench etch mask）102によって囲まれている。又、活性領域105は、周辺セル及びバルクシリコンとも完全に電氣的に分離されている。

【0023】

例えば、絶縁物質はシリコン酸化膜、又はBPSG（borophosphosilicate glass）のようなドピングされたシリコン酸化膜、又はシリコン窒化膜である。

30

【0024】

一般的に、シリコン酸化膜は、バルクシリコンよりブレイクダウン電圧（breakdown voltage）が1オーダー（order）程度大きいため、本発明はバルクシリコンを通して素子を電氣的に分離させなければならない既存のDRAMより大分小さい隔離空間（isolation space）だけでも十分に隔離を確保できる。これによって本発明による隣接な活性領域105の間の最短幅、即ち隔離空間の大きさ（dimension）は、既存の F より小さい大きさである F で実現可能になる。ここで、 F は、0と1との間の値を有する。

【0025】

40

図6に図示されたように、本発明による高集積半導体メモリセルのレイアウトをワードライン方向に切り取った断面で分かるように、ビットライン方向への最小大きさは F でレイアウトされているが、ワードライン方向では F が最小大きさであることが分かる。この時、 F は、隔離空間の大きさに該当する。このように、隔離空間の大きさを減らすことができることは、素子の隔離がそれ以上バルクシリコンによって行われなく、絶縁物質である酸化膜によって行われるためである。酸化膜の場合、ブレイクダウン（breakdown）に達する電界強度（electric field strength）がバルクシリコンの割に約10程度大きいため、 $1/10$ 大きさでも隔離が達成できるためである。

【0026】

50

従って、このような最小フェッチャー大きさ‘ F ’に対して、‘ $8F^2$ ’より小さい‘ $4(1 + \dots)F^2$ ’セル大きいが具現できる。 $\alpha = 1$ 、 0.5 、そして 0 の場合は、最小フェッチャー大きさによる密度に対するチップの大きさが図6に図示されている。 $\alpha = 1$ の場合は、既存のフォールデッドビットラインセル構造のセル構造の最小セル大きいのような場合であり、 $\alpha = 0.5$ の場合は、フォールデッドビットラインセル構造での最小セル大きさの約 $3/4$ として、チップ大きさもこれに比例して小さくなる。そして、 $\alpha = 0$ の場合は、フォールデッドビットラインセル構造のセル構造の最小セル大きいの $1/2$ 大きさとして、その以下のセル大きさは、不可能であることに認められる。

【0027】

再び、図4及び図5を参照すると、メモリセルキャパシタ116がプロセスウェーハ(p process wafer)である薄い半導体基板100a及び素子隔離膜104の下部に形成されている。メモリセルキャパシタ116は、層間絶縁膜108及びトレンチエッチングマスク102を明けてストレージ電極コンタクトホールを通してトランジスタ210のソース/ドレーン領域208の下部に連結されているストレージ電極110と、ストレージ電極110上に順番に形成されたキャパシタ誘電膜112及びプレート電極114を含む。このように、メモリセルキャパシタ116がアクティブ素子(active device)の下部に形成されることによって、メモリセルキャシタによって発生されるメモリセルアレー領域と周辺回路領域との間の大きい段差が発生されない。そして、トランジスタ210以後の工程は、一般的なCMOS工程と完全に同一であるため、ロジックCMOS工程とかDRAMとロジック(logic)が併合されるエンベデッドロジック(embedded logic)工程でもそのまま適用可能である。

【0028】

酸化膜204を間において、プロセスウェーハ100a上のメモリセルキャパシタ116と、ハンドルウェーハ(handle wafer)200が付着されるように形成されている。プロセスウェーハ100a上に形成された層間絶縁膜212を明けてソース/ドレーン領域208と電氣的に接続されるビットライン214が形成されている。ビットライン214上に層間絶縁膜216及び金属配線218が順番的に形成されている。

【0029】

次は、このようなセルを具現する方法を詳細に叙述しようとする。

【0030】

図8及び図14を参照すると、本発明の実施の形態による高集積半導体メモリ装置の製造方法は、まず半導体基板100上に活性領域105と非活性領域を定義するためアクティブマスク(active mask)を使用してトレンチエッチングマスク102が形成される。トレンチエッチングマスク102は絶縁物質で形成され、例えばパッド酸化膜102a及びシリコン窒化膜102bが順番的に積層された多層膜で形成される。トレンチエッチングマスク102を使用して半導体基板100がエッチングされてトレンチ103が形成される。トレンチ103が完全に充填される時までトレンチ隔離膜が蒸着される。トレンチエッチングマスク102の上部表面が露出される時までトレンチ隔離膜がCMP(chemical mechanical polishing)工程等によって平坦化エッチング(planarization etch)されて素子隔離膜104である薄いトレンチ隔離(shallow trench isolation; 以下‘STI’ と称する)104が形成される。

【0031】

この時、隣接な活性領域105の間の最短幅(F)は、活性領域105の最短幅(F)より相対的に小さく形成される。

【0032】

本発明によるSTI104は、既存のSTI工程より簡単な工程で形成される。これは既存のバルク(bulk silicon)を使用するSTIの場合、トレンチ深さが隔離パンチスルー(isolation punchthrough)によって決定される反面、本発明はトレンチ深さがアクティブ素子(active device)が形成されるシリ

コン層の厚さによって決定されるためである。

【0033】

又、既存のSTIは、トレンチ隔離膜平坦化エッチング工程後、必ず活性領域上に形成されているトレンチエッチングマスクが除去される工程が必要であるが、本発明ではトレンチエッチングマスク102をそのまま置きばなし後続工程が進行される。従ってトレンチエッチングマスク除去工程、特にシリコン窒化膜ストリップ(strip)工程時発生される様々な問題点を防止するようになる。

【0034】

図9及び図15において、STI104が形成された半導体基板100上に層間絶縁膜108が蒸着される。次、メモリセルストリッジ電極コンタクトホール形成マスクを使用して活性領域105の一部が露出される時まで層間絶縁膜108及びトレンチエッチングマスク102がエッチングされてストレージ電極コンタクトホール109が形成される。

10

【0035】

一方、層間絶縁膜108が形成されていない状態でストレージ電極コンタクトホール109が形成されることもできる。

【0036】

ストレージ電極コンタクトホール109形成工程がワードラインWL及びビットライン214形成工程前に行われることによって、既存の割に相対的にストレージ電極コンタクトホール109形成のための絶縁膜のエッチング厚さが非常に薄くなる。

【0037】

図10及び図16を参照すると、ストレージ電極コンタクトホール109が完全に満たされる時まで半導体基板100上にストレージ電極膜が蒸着される。ストレージ電極マスクを使用してストレージ電極膜がパターンングされてストレージ電極110が形成される。次、ストレージ電極110及び層間絶縁膜108上にキャパシタ誘電膜112及びプレート電極114が形成される。結果的にキャパシタ116が形成される。プレート電極114は、平坦な上部表面を有するように形成される。

20

【0038】

ストレージ電極110が、ドーピングされたポリシリコン、又はワーク関数(work function)が大きい金属膜で形成され、キャパシタ誘電膜112は、NO膜、Ta₂O₅、Al₂O₅、そしてBSTのうちある1つで形成され、プレート電極114はステップカバーラジ(step coverage)特性のいいドーピングされたポリシリコン(doped polysilicon)、CVD TiN膜、そしてワーク関数が高い金属のうち、ある1つで形成される。

30

【0039】

プレート電極114上に酸化膜118が形成される。

【0040】

キャパシタ116が形成されたウェーハ100は、プロセスウェーハ(process wafer)100であり、このプロセスウェーハ100が図17のように、酸化膜202が形成された他の半導体基板200、即ちハンドルウェーハとボンディング(bonding)されてSOI(silicon on insulator)基板206が形成される。

40

【0041】

ボンディング工程は、プロセスウェーハ100がアップサイドダウン(upside down)され、プロセスウェーハ100の最上部に形成された酸化膜118とハンドルウェーハ200上に形成された酸化膜202が合い接するように接触された後、高真空及び高温(例えば、650 ~ 750)条件で行われる。

【0042】

ボンディング工程によって、プロセスウェーハ100及びハンドルウェーハ200は、完全に付着されて1つのウェーハのような役割を果たすようになる。

【0043】

50

通常的なバルクシリコン基板を利用したCMOS (complementary metal oxide silicon) 工程では、ウェル(well)とウェルを分離しなければならないため、このためのチップの面積消費が大きくなるが、本発明のように、SOI基板を使用する場合、ウェルとウェルの分離に多くの面積が消費されないため、その程チップの大きさを減少させるようになる。又既存バルクシリコン基板を利用したCMOS工程で発生されることが出来るラッチ(latch)のような問題を根本的に防止させる。この他にも本発明は、ソフトエラー免疫(soft-error immunity)特性のいい点、薄い接合(shallow junction)を具現しやすい長所を有する

10

【0044】

図18を参照すると、STI104の上部表面が露出される時までプロセスウェーハ100のボンディングされない面がCMP工程等によって平坦化エッチングされる。即ち、STI104をCMP工程のエッチング停止層で作用させる。このように行うことによって、願うプロセスウェーハ100aの厚さが正確に調節される。

【0045】

言い換えて、プロセスウェーハ100aの厚さは、STI104の深さによって決定される。

【0046】

次、図11及び図19において、プロセスウェーハ100aのボンディングされない面上に薄いゲート酸化膜が成長される。そしてゲート酸化膜上にゲート電極層が蒸着及びパターンニングされてゲート電極、即ちワードラインWLが形成される。ゲート電極は、ゲートマスク及びゲートスペーサによって囲まれるように形成される。ゲートスペーサ形成前にLDD(lightly doped drain)形成のための低濃度ソース/ドレイン注入(ion implantation)工程が行われることができる。そしてゲートスペーサ形成後、高濃度ソース/ドレインイオン注入工程が行われてトランジスタ210が完成される。参照番号208は、イオン注入工程によって形成された接合領域であるソース/ドレイン領域を示す。

20

【0047】

このように、トランジスタ210がSOI基板上に形成されることによって、接合キャパシタンス(junction capacitance)乃至接合漏洩電流(junction leakage current)の影響が排除される。従って、ビットライン寄生キャパシタンス(bit line parasitic capacitance)が減少され、センシング信号マージン(sensing signal margin)が増加される。又、データ維持時間(data retention time)も増加される。

30

【0048】

そして、トランジスタ210がメモリセルキャパシタ以後に形成されるため、既存のDRAMで発生されたヒット予算(heat budget)によるトランジスタの特性劣化が防止され、従ってよりトランジスタ具現が可能になる。又、トランジスタ210以後工程は、平らな半導体基板表面上に形成されることによって、ロジック工程(logic process)で使用される多重レベル金属工程(multiple level metalization)も容易に使用できるようになる。

40

【0049】

一方、この分野でよく知られたシリサイド化(silicidation)工程でゲート電極の上部及びソース/ドレイン領域に低抵抗コンタクト形成のためのシリサイド(silicide)膜を形成することもできる。

【0050】

トランジスタ210形成工程が完了された後、図12及び図20のように、層間絶縁膜212が蒸着された後、ビットラインコンタクトホール形成マスクを使用してソース/ドレ

50

ーン領域の一部が露出されるように層間絶縁膜 2 1 2 がエッチングされる。というわけで、ビットラインコンタクトホール 2 1 3 が形成される。ビットラインコンタクトホール 2 1 3 が完全に充填される時まで層間絶縁膜 2 1 2 上にビットライン電極膜が蒸着される。ビットライン電極膜は、低抵抗物質、例えばタングステンで形成される。ビットライン電極膜がパターンングされて図 1 3 及び図 2 1 のように、ビットライン 2 1 4 が形成される。この時、隣接なビットラインの間の幅 (F) は、ビットライン 2 1 4 の幅 (F) 及び隣接なワードライン W L の間の幅 (F) より相対的に小さく形成される。

【 0 0 5 1 】

この時、既存のビットラインで周辺回路領域の n^+ コンタクト及び p^+ コンタクトを同時に形成することが非常に難しい反面、本発明ではその同時形成が可能になる。具体的に、既存の C O B 構造の半導体メモリ装置のビットラインは、キャパシタ形成前に形成され、後続キャパシタ形成工程で n 型不純物イオンと p 型不純物イオンの拡散差によるコンタクト抵抗が変化される問題点があった。しかし本発明では、C U B 構造の半導体メモリ装置のビットラインのようにキャパシタ形成後に、ビットラインが形成されることによって、問題点が発生されない。又本発明によるキャパシタは、C O B 構造の半導体メモリ装置のキャパシタのようにスタック構造で最大限な広い面積を確保するように形成される。

10

【 0 0 5 2 】

このように、 n^+ コンタクト及び p^+ コンタクトが同時に形成可能であるため、工程が単純化され、その程値段が節減される長所がある。

【 0 0 5 3 】

後続工程で、金属工程 (metalization process) によって金属配線 2 1 8 が形成されて図 4 a に図示されたように、本発明による高集積半導体メモリ装置が完成される。

20

【 0 0 5 4 】

上述のような本発明の特性によって高密度及び高性能の標準 (standard) D R A M の製造工程だけではなく、高性能ロジック工程を含むエンベデッド (embedded) D R A M 製造工程にも適用されることができる。

【 0 0 5 5 】

【 発明の効果 】

本発明は、高集積半導体メモリ装置を S O I 基板に形成することによって、ウェルとウェルを分離するための面積消耗と、隔離空間の大きさと、チップの大きさを減らすことができる効果がある。

30

【 0 0 5 6 】

本発明は、高集積半導体メモリ装置を S O I 基板に形成することによって、接合キャパシタンス及び接合漏洩電流が素子に与える影響が最小化でき、トランジスタをメモリセルキャパシタ形成してから形成することによって、トランジスタの特性劣化が防止できる効果がある。

【 0 0 5 7 】

本発明は、トレンチエッチングマスクをトレンチ隔離と共に活性領域を囲むための絶縁物質で活用することによって工程を単純化させることができ、トレンチエッチングマスク除去工程によって発生されるトレンチ隔離の特性劣化が防止できる効果がある。

40

【 0 0 5 8 】

本発明は C O B 構造のように、セルキャパシタンスの面積を十分に確保でき、同時に C U B 構造のように、平坦化工程が容易にできる効果がある。

【 図面の簡単な説明 】

【 図 1 】 フォールデッドビットラインセル構造 (folded bit line cell architecture) を有するメモリセルのレイアウト (layout) 図面である。

【 図 2 】 図 1 を 1 A - 1 A ' ラインに沿ってビットライン方向切り取った断面図として、C O B (capacitor over bit line) 積層セル (stacked

50

cell)構造を示す断面図である。

【図3】 最小フェチャー(feature)大きさによるDRAMのチップ大きさ及び密度を示すグラフである。

【図4】 本発明の実施の形態による高集積半導体メモリセルのレイアウト図面である。

【図5】 図4を3X-3X'ラインに沿ってビットライン方向に切り取った断面図である。

【図6】 図4を3Y-3Y'ラインに沿ってワードライン方向に切り取った断面図である。

【図7】 最小フェチャー大きさによる密度(density)に対するチップ大きさを示すグラフである。

【図8】 本発明の実施の形態による高集積半導体メモリ装置の製造方法の工程を示すレイアウト図面である。

【図9】 本発明の実施の形態による高集積半導体メモリ装置の製造方法の工程を示すレイアウト図面である。

【図10】 本発明の実施の形態による高集積半導体メモリ装置の製造方法の工程を示すレイアウト図面である。

【図11】 本発明の実施の形態による高集積半導体メモリ装置の製造方法の工程を示すレイアウト図面である。

程を示すレイアウト図面である。

【図12】 本発明の実施の形態による高集積半導体メモリ装置の製造方法の工程を示すレイアウト図面である。

【図13】 本発明の実施の形態による高集積半導体メモリ装置の製造方法の工程を示すレイアウト図面である。

【図14】 図8を6A-6A'ラインに沿ってビットライン方向に切り取った断面図である。

【図15】 図9を6B-6B'ラインに沿ってビットライン方向に切り取った断面図である。

【図16】 図10を6C-6C'ラインに沿ってビットライン方向に切り取った断面図である。

【図17】 本発明の実施の形態による高集積半導体メモリ装置の製造方法のウェーハボンディング(wafer bonding)工程を示す断面図である。

【図18】 本発明の実施の形態による高集積半導体メモリ装置の製造方法のウェーハをCMPした後の形状を示す断面図である。

【図19】 図11を6D-6D'ラインに沿ってビットライン方向に切り取った断面図である。

【図20】 図12を6E-6Eラインに沿ってビットライン方向に切り取った断面図である。

【図21】 図13を6F-6Fラインに沿ってビットライン方向に切り取った断面図である。

【符号の説明】

1:半導体基板

2、104:素子隔離膜、STI

3、105:活性領域

6、210:トランジスタ

8a、8b:コンタクトパッド

11、214:ビットライン

10、12、108、212、216:層間絶縁膜

16、110:ストレージ電極

100、100a:半導体基板、プロセスウェーハ

102:トレンチエッチングマスク

10

20

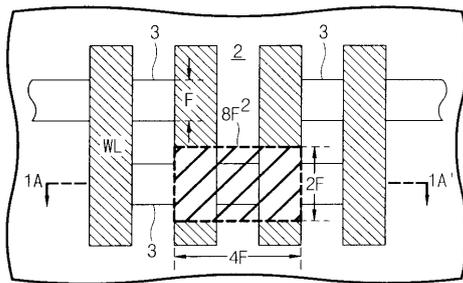
30

40

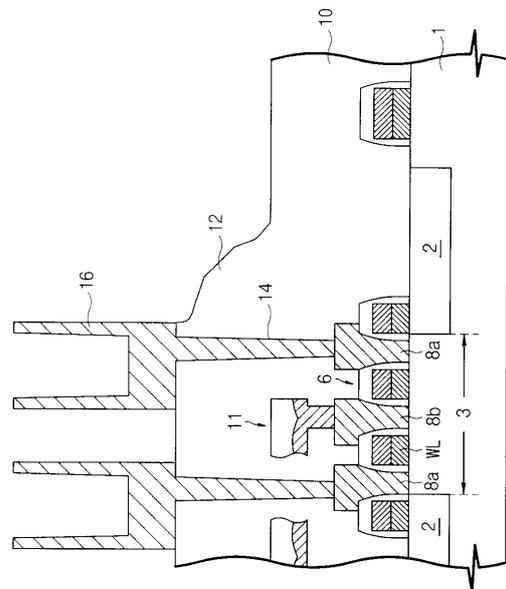
50

- 103 : トレンチ
- 109 : ストレージ電極コンタクトホール
- 112 : キャパシタ誘電膜
- 114 : プレート電極
- 116 : セルキャパシタ
- 118、202、204 : 酸化膜
- 200 : 半導体基板、ハンドルウェーハ
- 208 : 接合領域、ソース/ドレイン領域
- 213 : ビットラインコンタクトホール
- 218 : 金属配線

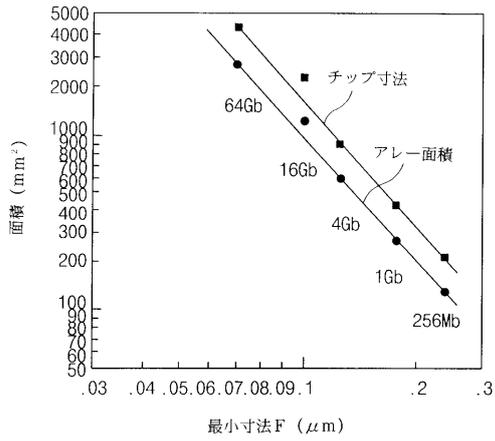
【図1】



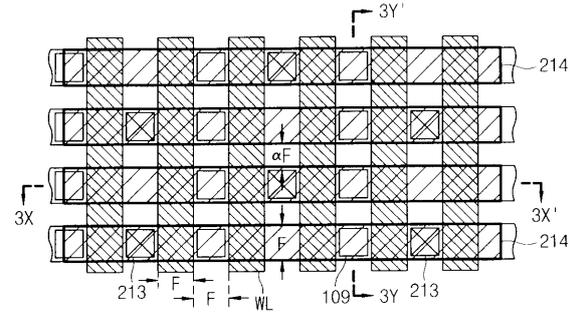
【図2】



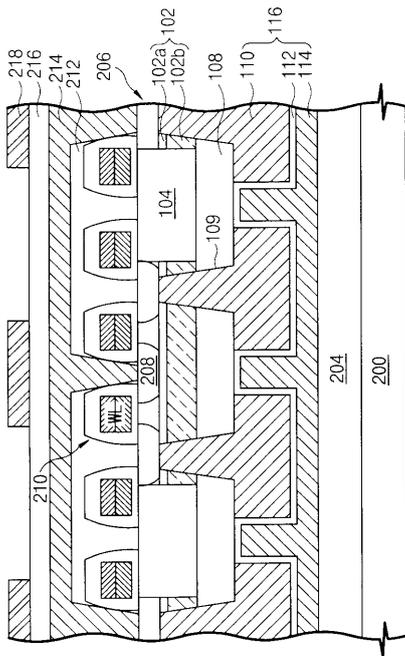
【 図 3 】



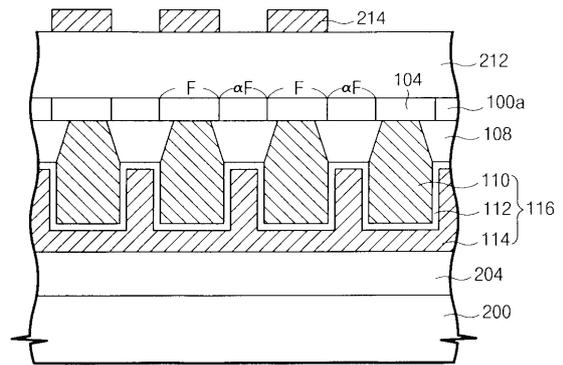
【 図 4 】



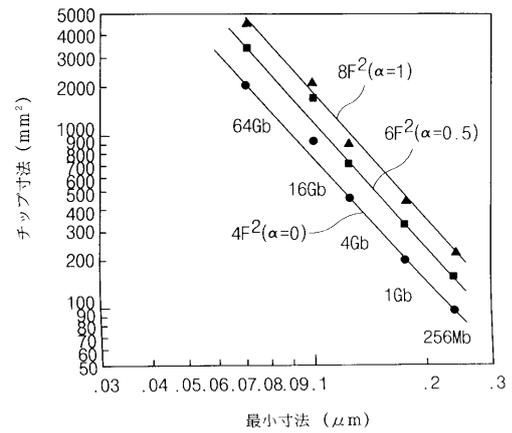
【 図 5 】



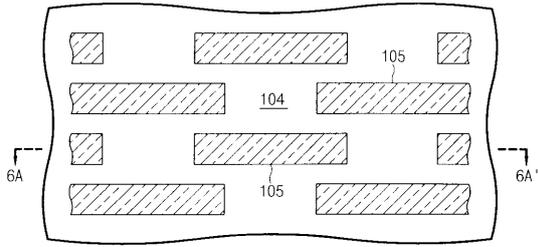
【 図 6 】



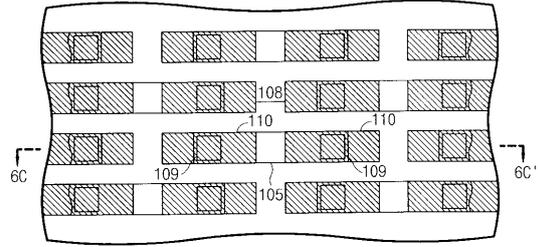
【 図 7 】



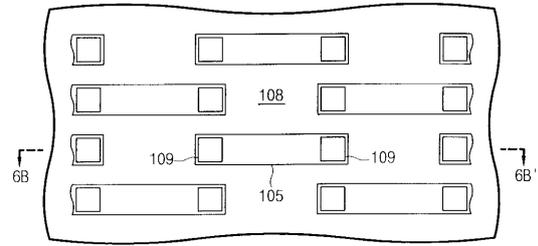
【 図 8 】



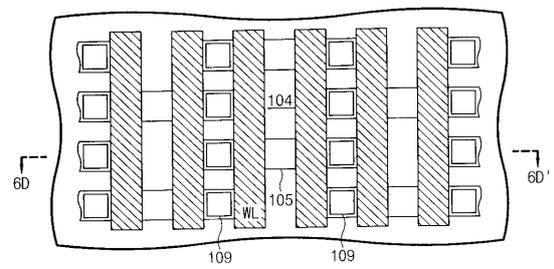
【 図 10 】



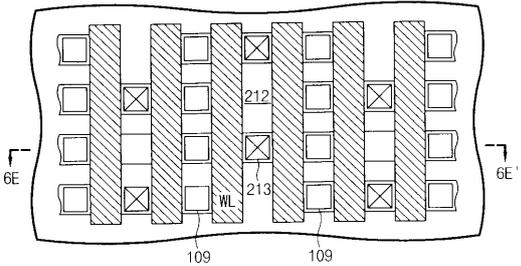
【 図 9 】



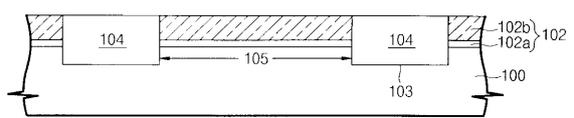
【 図 11 】



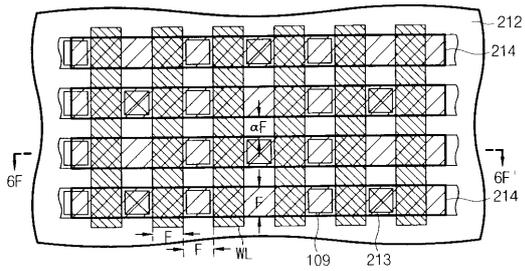
【 図 12 】



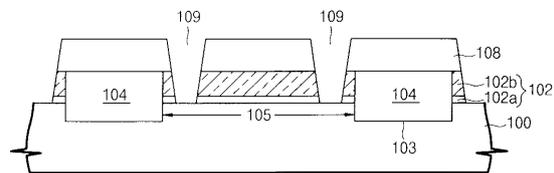
【 図 14 】



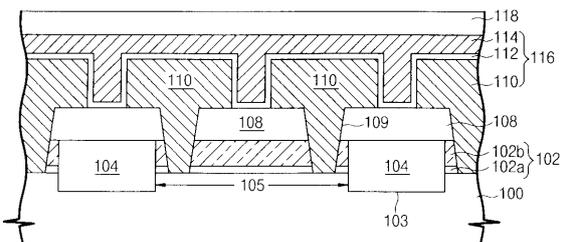
【 図 13 】



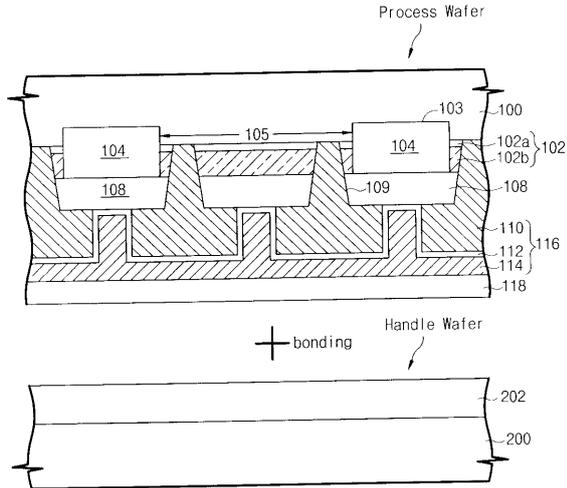
【 図 15 】



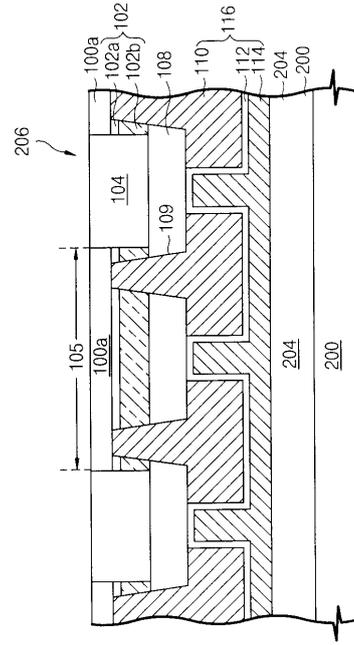
【 図 16 】



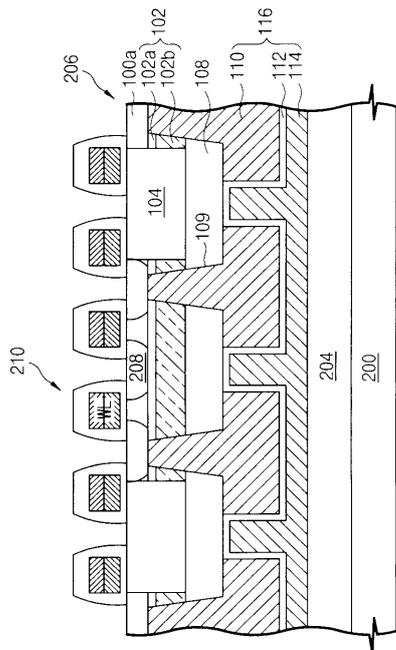
【 図 17 】



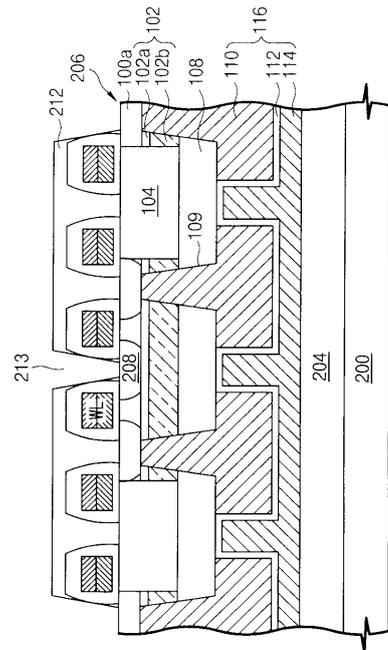
【 図 18 】



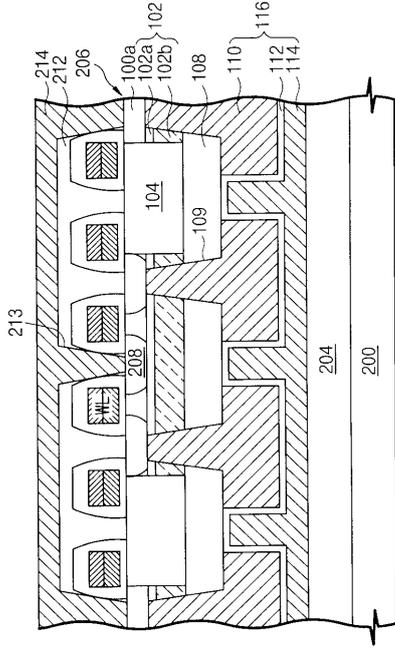
【 図 19 】



【 図 20 】



【 図 2 1 】



フロントページの続き

- (56)参考文献 特開平10 - 056183 (JP, A)
特開平06 - 232367 (JP, A)
特開平03 - 190161 (JP, A)
特開平01 - 225353 (JP, A)
特開平10 - 056148 (JP, A)
特開平05 - 206408 (JP, A)
特開平04 - 216667 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108