

Vynález se týká zapojení pro testování mikroprocesorového systému, které je jednoduché a je vhodné pro pracoviště, na kterých se řeší návrhy, případně diagnostika číslicových systémů založených na sběrniceovém uspořádání.

Používaná zařízení pro takového účely jsou vesměs značně složitá, což je i z praktických hledisek pro jejich obsluhu často nežádoucí. Navíc jsou těžko dostupná. Na základě průzkumu dostupné literatury lze konstatovat, že chybí jednoduché zařízení, které by umožňovalo testování a kontrolu základních operací mikroprocesorového systému, a které by bylo možno operativně upravovat podle okamžité potřeby, tak jak často vyplývá ze záměrů diagnostiky.

Výše uvedené nedostatky přispívá odstranit zapojení podle vynálezu, kde na datovou sběrnici mikroprocesoru je připojena vstupní sběrnice dekodéru dat, výstupní sběrnice dekodéru dat je přitom připojena na vstupní sběrnici zobrazení dat. Adresová sběrnice mikroprocesoru je připojena na první vstupní sběrnici komparátoru logických stavů. Druhá vstupní sběrnice komparátoru logických stavů je připojena na druhou výstupní sběrnici bloku předvolby adres a výstup komparátoru logických stavů je připojen na první vstup generátoru blokovacího impulsu, jehož druhý vstup je připojen na výstup rozhodovacího obvodu, přičemž třetí vstup generátoru blokovacího impulsu je připojen na výstup spouštěcího obvodu. Čtvrtý vstup generátoru blokovacího impulsu je připojen na druhý vstup čítače kroků.

První vstup čítače kroků je připojen na první výstup generátoru blokovacího impulsu, který má svůj druhý výstup připojen jednak na vstup obvodu signalizace stavu zastavení a dále na první vstup součtového obvodu. Výstup součtového obvodu je připojen na výstupní svorku a jeho druhý vstup je připojen na první vstupní svorku. Druhá vstupní svorka je připojena na druhý vstup čítače kroků jehož výstupní sběrnice je připojena současně na vstupní sběrnici zobrazení kroků. Třetí vstupní svorka zapojení je připojena na vstup obvodu signalizace stavu odpojení sběrnice, čtvrtá vstupní svorka je připojena na vstup obvodu signalizace stavu čtení a zápisu. Přitom první výstupní sběrnice předvolby adres je připojena na vstupní sběrnici dekodéru adres, jehož výstupní sběrnice je připojena na vstupní sběrnici zobrazení, přitom první vstup spouštěcího obvodu je připojen na první vývod přepínače spouštění a druhý vstup spouštěcího obvodu je připojen na druhý vývod přepínače spouštění.

Třetí vývod přepínače spouštění je připojen na první svorku stálé napěťové úrovně, přitom první vstup rozhodovacího obvodu je připojen na první vývod přepínače volby zastavení, jehož druhý vývod je připojen na druhý vstup rozhodovacího obvodu. Třetí vývod přepínače volby zastavení je připojen na druhou svorku stálé napěťové úrovně, přitom třetí svorka stálé napěťové úrovně je připojena na třetí vývod přepínače volby provozu, jehož první vývod je připojen na první vstup obvodu volby provozu a jehož druhý vývod je připojen na druhý vstup téhož obvodu. Výstup obvodu volby provozu je připojen na pátý vstup generátoru blokovacího impulsu. Pátý vstup zapojení je připojen na třetí vstup čítače kroků.

Výhoda předloženého zapojení spočívá v tom, že umožňuje realizovat testovací zařízení jednoduché koncepce, které není náročné na složité prvky. Umožňuje zastavit práci systému na kterékoliv adrese, při současném sledování aktivity datové sběrnice. Činnost systému lze řídit po jednotlivých krocích programu, můžeme kontrolovat počet operačních kroků v operačním cyklu.

Zapojení podle vynálezu bude dále blíže popsáno podle připojeného obrázku, kde je uvedeno skupinové schéma zapojení.

Základními celky zapojení jsou:

Datová sběrnice 1 testovaného mikroprocesorového systému, která je připojena přes vstupní sběrnici 3a dekodéru 2 dat. Výstupní sběrnice 3b dekodéru 3 je připojena na vstupní sběrnici 5a zobrazení dat 5. Adresová sběrnice 2 mikroprocesoru je připojena na první vstupní sběrnici 7a komparátoru 7 logických stavů.

Druhá vstupní sběrnice 7b komparátoru 7 logických stavů je připojena na druhou výstupní sběrnici 4b bloku předvolby adres a výstup 7c komparátoru 7 logických stavů je připojen na první vstup 9a generátoru 9 blokovacího impulsu, jehož druhý vstup 9b je připojen na výstup 10a rozhodovacího obvodu 10. Třetí vstup 9c generátoru 9 blokovacího impulsu je připojen na výstup 11c spouštěcího obvodu 11, čtvrtý vstup 9f generátoru 9 blokovacího impulsu je připojen na druhý vstup 12b čítače 12 kroků, jehož první vstup 12a je připojen na první výstup 9d generátoru 9 blokovacího impulsu, který má svůj druhý výstup 9e připojen jednak na vstup 15a obvodu 15 signalizace stavu zastavení a dále na první vstup 14a součtového obvodu 14, jehož výstup 14c je připojen na výstupní svorku R1 a jehož druhý výstup 14b je připojen na první vstupní svorku R2.

Druhá vstupní svorka S je, připojena na druhý vstup 12b čítače kroků 12, jehož výstupní sběrnice 12c je připojena na vstupní sběrnici 13a zobrazení 13 kroků. Třetí vstupní svorka H je připojena na vstup 17a obvodu 17 signalizace stavu odpojení sběrnice. Čtvrtá vstupní svorka, RW je připojena na vstup 16a obvodu 16 signalizace stavu čtení a zápisu, přitom první výstupní sběrnice 4a předvolby 4 adres je připojena na vstupní sběrnici 6a dekodéru 6 adres, jehož výstupní sběrnice 6b je připojena na vstupní sběrnici 8a zobrazení 8. První vstup 11a spouštěcího obvodu 11 je propojen na první vývod P1a přepínače P1 spouštění.

Druhý vstup 11b spouštěcího obvodu 11 je připojen na první vývod P1a přepínače P1 spouštění. Druhý vstup 11b spouštěcího obvodu 11 je připojen na druhý vývod P1b přepínače P1 spouštění. Třetí vývod P1c přepínače P1 spouštění je připojen na první svorku U1 stálé napěťové úrovně.

První vstup 10b rozhodovacího obvodu 10 je připojen na první vývod P2a přepínače P2 volby zastavení, jehož druhý vývod P2b je připojen na druhý vstup 10c rozhodovacího obvodu 10. Třetí vývod P2c přepínače P2 volby zastavení je připojen na druhou svorku U2 stálé napěťové úrovně. Třetí svorka U3 stálé napěťové úrovně je připojena na třetí vývod P3c přepínače P3 volby provozu, jehož první vývod P3a je připojen na první vstup 18a obvodu 18 volby provozu a jehož druhý vývod P3b je připojen na druhý vstup 18b obvodu 18 volby provozu. Výstup 18c obvodu 18 volby provozu je připojen na pátý vstup 9g generátoru 9 blokovacího impulsu. Pátý vstup zapojení Ø1 je připojen na třetí vstup 12d čítače kroků 12.

Popsané zapojení pracuje tak, že činnost mikroprocesorového systému se vždy zastavuje na předvolené adrese. Tuto předvolbu umožňuje blok předvolby adres 4, obsahující spínače, jimiž se zvolí adresa, na které se má systém, který je testován, zastavit. Předvolená adresa se jednak přivádí do komparátoru 7 logických stavů a jednak přes vstupní sběrnici 6a dekodéru adres 6 na vstupní sběrnici 8a zobrazení 8. V okamžiku, kdy nastane souhlas předvolené adresy s adresou, která je aktuální na adresové sběrnici 2 mikroprocesoru, a která je přes první vstupní sběrnici 7a komparátoru 7 logických stavů na komparátor 7 logických stavů převedena, se na výstupu 7c komparátoru logických stavů vyskytne řídicí impuls. Ten je přiveden do generátoru 9 blokovacího impulsu přes jeho první vstup 9a. Princip celého zapojení spočívá v tom, že řídicím impulsem z výstupu 7c komparátoru logických stavů je řízen vstup READY mikroprocesoru v testovaném systému.

Zapojení obsahuje tři přepínače. Přepínač spouštění P1, přepínač volby zastavení P2, přepínač volby provozu P3. Ovládáním přepínačů řídíme blokování signálu READY, který je přiveden z testovaného systému do zapojení podle vynálezu a to na první vstupní svorku R2. Z výstupní svorky R1 je modifikovaný signál READY opět přiveden zpět do testovaného systému. Řízení signálu READY na výstupu 14c součtového obvodu 14 je zajištěno v součtovém obvodu 14, na jehož druhý vstup 14b je přiveden signál READY z vývodu mikroprocesoru, /vývod na čipu/. Je přiveden přes první vstupní svorku R2. Na první vstup 14a součtového obvodu 14 je připojen výstup 9e generátoru 9 blokovacího impulsu.

Funkce generátoru blokovacího impulsu 9 je řízena nastavením přepínače P1 spouštění, přepínače P2 volby zastavení a přepínačem P3 volby provozu. Přepínač P3 volby provozu je přepnut buď do polohy normálního provozu /RUN/, nebo do polohy zastavení /STOP/.

V poloze RUN není signál READY na výstupní svorce blokován, a testovaný systém pracuje podle svého programu. Je-li přepínač P3 volby provozu v poloze STOP, činnost testovaného systému se zastaví v okamžiku výskytu předvolené adresy na sběrnici a je-li přepínač P2 volby zastavení v potřebné poloze. Na výstupní svorce R1 je v tomto případě úroveň L.

Přepínač P1 spouštění slouží ke spuštění dalšího běhu, který bude opět ukončen na nově zvolené adrese. Pro synchronizaci zapojení s testovaným mikroprocesorovým systémem je přiveden na druhou vstupní svorku S průběh SYNC z testovaného systému, který je jednak použit v generátoru 9 blokovacího impulsu a jednak v čítači 12 kroků, který umožňuje počítač operační kroky v operačním cyklu mikroprocesoru. Počítání je založeno na určení počtů impulsů 01, které jsou přivedeny z testovaného systému na pátou vstupní svorku 01. Počet kroků je pak zobrazován na obvodu zobrazení 13 kroků. Pro funkci předmětného zapojení je z testovaného systému dále využit průběh pro čtení a zápis, R/W, který je přiveden na čtvrtou vstupní svorku RW a dále na obvod 16 signalizace stavu čtení a zápisu.

Na třetí vstupní svorku H je přiveden průběh HOLD z testovaného systému, který určuje stav připojení sběrnice. Obvod 17 signalizace stavu odpojení sběrnice potom tento stav určuje. Popisované zařízení je realizováno na jedné desce tištěného spoje.

Zapojení podle vynálezu je možno využít pro diagnostiku mikroprocesorových systémů, a to pro konstrukci jednoduchých testerů pro uživatele i pro výrobu. Taková zařízení jsou v tuzemsku velmi žádaná a přitom jsou nedostupná. Zapojení může velmi dobře sloužit při opravách velmi rozšířených osobních mikropočítačů.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro testování mikroprocesorového systému, sestavené z elektronických číslicových obvodů složených ve skupinách z aktivních i pasivních prvků připojených na adresovou i datovou sběrnici mikroprocesoru a na vstup a výstupy řídících a informačních vývodů mikroprocesoru, vyznačující se tím, že na datovou sběrnici /1/ mikroprocesoru je připojena vstupní sběrnice /3a/ dekodéru /3/ dat, výstupní sběrnice /3b/ dekodéru /3/ dat je přitom připojena na vstupní sběrnici /5a/ zobrazení /5/ dat, přičemž adresová sběrnice /2/ mikroprocesoru je připojena na první vstupní sběrnici /7a/ komparátoru /7/ logických stavů, přičemž druhá vstupní sběrnice /7b/ komparátoru /7/ logických stavů je připojena na druhou výstupní sběrnici /4b/ bloku /4/ předvolby adres a výstup /7c/ komparátoru /7/ logických stavů je připojen na první vstup /9a/ generátoru /9/ blokovacího impulsu, jehož druhý vstup /9b/ je připojen na výstup /10a/ rozhodovacího obvodu /10/, přičemž třetí vstup /9c/ generátoru /9/ blokovacího impulsu je připojen na výstup /11c/ spouštěcího obvodu /11/, čtvrtý vstup /9f/ generátoru /9/ blokovacího impulsu je připojen na druhý vstup /12b/ čítače /12/ kroků, jehož první vstup /12a/ je připojen na první výstup /9d/ generátoru /9/ blokovacího impulsu, který má svůj druhý výstup /9e/ připojen jednak na vstup /15a/ obvodu /15/ signalizace stavu zastavení a dále na první vstup /14a/ součtového obvodu /14/, jehož výstup /14c/ je připojen na výstupní svorku /R1/ a jehož druhý vstup /14b/ je připojen na první vstupní svorku /R2/, zatímco druhá vstupní svorka /S/ je připojena na druhý vstup /12b/ čítače /12/ kroků, jehož výstupní sběrnice /12c/ je připojena na vstupní sběrnici /13a/ zobrazení /13/ kroků, přičemž třetí vstupní svorka /H/ je připojena na vstup /17a/ obvodu /17/ signalizace stavu odpojení sběrnice, přitom čtvrtá vstupní svorka /RW/ je připojena na vstup /16a/ obvodu /16/ signalizace stavu čtení a zápisu, přitom první výstupní sběrnice /4a/ předvolby /4/ adres je připojena na vstupní sběrnici /6a/ dekodéru /6/ adres, jehož výstupní sběrnice /6b/ je připojena na vstupní sběrnici /8a/ zobrazení /8/, přitom první vstup /11a/ spouštěcího obvodu /11/ je připojen na první vývod /P1a/ přepínače /P1/ spouštění a druhý vstup /11b/ je současně připojen na druhý vývod /P1b/ přepínače /P1/ spouštění, přitom třetí vývod /P1c/ přepínače /P1/ spouštění je připojen na první svorku /U1/ stálé napěťové úrovně, přitom první vstup /10b/ rozhodovacího obvodu /10/ je připojen na první vývod /P2a/ přepínače /P2/ volby zastavení, jehož druhý vývod /P2b/ je připojen na druhý vstup /10c/ rozhodovacího obvodu /10/,

přítom třetí vývod /P2c/ přepínače /P2/ volby zastavení je připojen na druhou svorku /U2/ stálé napěťové úrovně, přítom třetí svorka /U3/ stálé napěťové úrovně je připojena na třetí vývod /P3c/ přepínače /P3/ volby provozu, jehož první vývod /P3a/ je připojen na první vstup /18a/ obvodu /18/ volby provozu a jehož druhý vývod /P3b/ je připojen na druhý vstup /18/ volby provozu, přítom výstup /18c/ obvodu /18/ volby provozu je připojen na pátý vstup /9g/ generátoru /9/ blokovacího impulsu, přítom pátý vstup zapojení /Ø1/ je připojen na třetí vstup /12d/ čítače kroků /12/.

1 výkres

