



⑫ **DEMANDE DE BREVET EUROPEEN**

⑳ Numéro de dépôt : **91403426.9**

⑤① Int. Cl.⁵ : **G06F 15/74**

㉔ Date de dépôt : **17.12.91**

㉓ Priorité : **21.12.90 FR 9016123**

④③ Date de publication de la demande :
01.07.92 Bulletin 92/27

⑧④ Etats contractants désignés :
BE DE GB IT NL

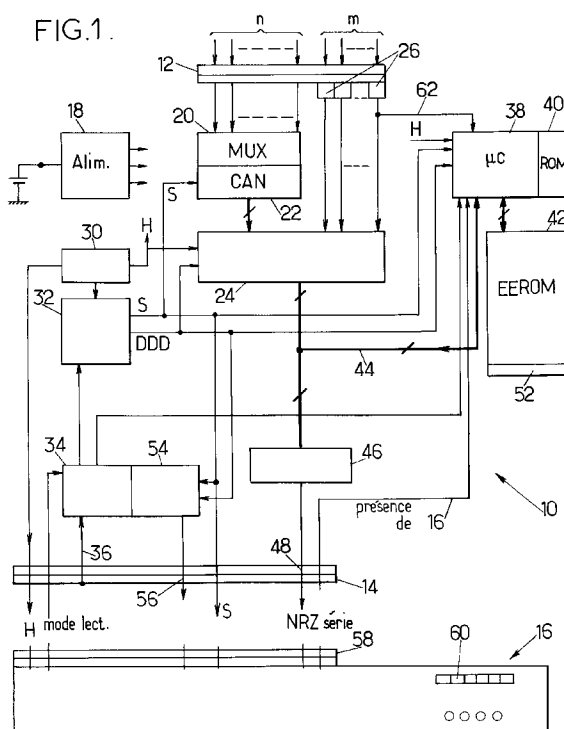
⑦① Demandeur : **MATRA DEFENSE**
4, rue de Presbourg
F-75116 Paris (FR)

⑦② Inventeur : **Goossens, Jean-Paul**
11 Rue de la Marne
F-33127 Martignes Sur Jalles (FR)
Inventeur : **Allard, André**
Villa Tous Vents, Cazaux
F-33360 La Teste (FR)

⑦④ Mandataire : **Fort, Jacques**
CABINET PLASSERAUD 84, rue d'Amsterdam
F-75009 Paris (FR)

⑤④ **Dispositif d'enregistrement et de restitution de données.**

⑤⑦ Le dispositif, utilisable pour des essais en vol, a un module embarcable qui comprend, reliés à un bus interne (44), une mémoire statique non volatile effaçable (42), un bloc d'acquisition (24) relié à des entrées de données analogiques par des moyens de conversion analogique-numérique (22) et à des entrées binaires, prévu pour échantillonner les entrées à fréquence déterminée et sérialiser les échantillons sous forme de séquences successives ayant chacune au moins un mot de synchronisation (sy), n octets représentatifs des échantillons de données analogiques et au moins un octet d'échantillons de données binaires, un micro-contrôleur (38) programmable pour fixer la cadence d'élaboration des séquences par le circuit d'acquisition et leur écriture dans la mémoire statique (42) et pour provoquer le déroulement de l'enregistrement jusqu'à remplissage de la mémoire statique (42), en réponse à une valeur déterminée d'une donnée sélectionnée. Le micro-contrôleur étant commandable par un ordre externe de lecture pour restituer les séquences successives sous forme d'un message en code MIC en NRZ.



La présente invention concerne les dispositifs d'enregistrement de données et de restitution de ces données en temps différé. Elle trouve une application particulièrement importante, bien que non exclusive, chaque fois qu'il est nécessaire d'enregistrer des données sur un mobile et qu'il n'est pas possible d'utiliser des télémesures pendant la totalité de l'intervalle de temps où les données doivent être acquises.

Cette situation se rencontre très souvent dans le cas d'essais en vol, notamment à proximité du sol, dans des conditions qui rendent incertaines les transmissions radio en codage MIC que l'on utilise couramment à l'heure actuelle.

La présente invention vise à fournir un dispositif d'enregistrement et de restitution de données permettant l'exploitation de l'enregistrement par les moyens de décommutation MIC couramment disponibles à l'heure actuelle dans les centres d'essais, n'interdisant pas la transmission par télémesure des données en même temps que leur enregistrement et ayant une fiabilité élevée, tout en ne mettant en oeuvre que des moyens simples.

Dans ce but l'invention propose notamment un dispositif d'enregistrement et de restitution de données comprenant un module embarcable d'acquisition qui comprend, reliés à un bus interne, une mémoire statique non volatile effaçable, un circuit d'acquisition relié à des entrées de données analogiques par des moyens de conversion analogique-numérique et éventuellement à des entrées binaires et prévus pour échantillonner les entrées à fréquence déterminée et sérialiser les échantillons sous forme de séquences successives ayant chacune au moins un mot de synchronisation, n octets représentatifs des échantillons de données analogiques et éventuellement au moins un octet d'échantillons de données binaires, un micro-contrôleur programmable pour fixer la cadence d'élaboration des séquences par le circuit d'acquisition, commander leur écriture dans la mémoire statique et provoquer le déroulement de l'enregistrement jusqu'à remplissage de la mémoire, en réponse à une valeur déterminée d'une donnée sélectionnée, ledit micro-contrôleur étant commandable par un ordre externe de lecture pour restituer les séquences successives sous forme d'un message en code MIC en NRZ.

Il existe à l'heure actuelle des mémoires mortes à effacement électrique, ou EEROM, permettant de conserver les données enregistrées sans alimentation électrique pendant une durée supérieure à une semaine, donc largement suffisante, ayant un encombrement faible et résistant bien aux chocs. Pour éviter tout risque de perturbation du contenu des mémoires après fin de l'enregistrement, par exemple à la suite d'un impact, le micro-contrôleur est avantageusement prévu pour verrouiller la mémoire EEROM par voie logicielle dès que la mémoire est entièrement écrite ou en cas d'interruption d'alimentation électri-

que pendant une durée supérieure au seuil au-delà duquel il y a perturbation de l'enregistrement. La sécurité est avantageusement encore accrue en aménageant la mémoire de façon qu'il ne soit possible d'y écrire qu'en faisant précéder l'ordre d'écriture d'un mot de code déterminé.

Pour éviter toute perte du contenu des mémoires par effacement et ré-écriture intempestifs, la mémoire comporte avantageusement un emplacement de stockage d'un mot témoin ayant une première valeur lorsque la mémoire est vide et une autre valeur dans tous les autres cas et le microprocesseur est prévu pour vérifier l'état du mot témoin avant écriture et inhiber l'écriture en mémoire si ledit emplacement prévu pour que son effacement intervienne en dernier lors de l'effacement de la mémoire, contient un mot indiquant que la mémoire n'est pas vide.

Le module peut être prévu pour être directement raccordable à des moyens classiques d'exploitation d'enregistrement sous forme MIC. Cependant il est plus avantageux que le dispositif comprenne également une unité de lecture, permettant de transférer le contenu de la mémoire statique sur une mémoire à grande capacité, munie d'un connecteur raccordable à un connecteur du module et comprenant des moyens permettant d'amener ledit module d'un état normal permettant l'enregistrement à un état de lecture par vidage de la mémoire statique et à un état de transfert direct du circuit d'acquisition vers une sortie et permettant d'effacer la mémoire statique.

Pour éviter la nécessité de munir le module d'un connecteur de sortie du bus interne, le module comporte avantageusement une interface parallèle/série, fournissant les bits de chaque octet sur le connecteur du module sous forme série plutôt que sous forme parallèle : l'unité de lecture est dans ce cas prévue pour recevoir le contenu de la mémoire statique sous forme série.

Un tel module est utilisable notamment pour des mesures lors d'essais en vol pouvant provoquer des dommages, par exemple en cas d'incident. L'enregistrement peut alors être déclenché par un événement extérieur modifiant une des données binaires (ouverture d'un parachute, séparation d'avec un véhicule porteur, accélération ou décélération brutales). L'enregistrement peut également être déclenché par le dépassement d'un seuil déterminé par un ou plusieurs des signaux analogiques d'entrée.

L'invention sera mieux comprise à la lecture de la description qui suit d'un mode particulier de réalisation, donné à titre d'exemple non limitatif. La description se réfère aux dessins qui l'accompagnent, dans lesquels :

- la figure 1 est un schéma synoptique de principe du module d'un dispositif selon l'invention,
- la figure 2 montre une constitution possible d'une séquence mémorisée et restituée d'un module suivant la figure 1,

– la figure 3 est un chronogramme montrant l'échelonnement des signaux dans un module du genre montré en figure 1, lors de l'enregistrement.

Le module d'acquisition et d'enregistrement 10 montré schématiquement en figure 1 est contenu dans un boîtier embarcable muni d'un connecteur 12 d'entrée de données et d'un connecteur 14 de raccordement à une unité 16 de test et de lecture. Ce module 10 est prévu pour acquérir, numériser et mémoriser n voies analogiques et pour acquérir m signaux binaires et les mémoriser. Il est également prévu pour restituer le contenu mémorisé sous forme d'un message MIC constitué de séquences successives 50, pouvant avoir la structure schématisée en figure 2, lorsque $n = 8$ et $m = 8$. Le message est alors constitué de séquences successives ayant chacune un mot de synchronisation initial Sy constitué de deux octets Sy1 et Sy2 de valeur déterminée, par exemple FB et 30 (en hexadécimal). Les huit octets représentant chacun un échantillon de signal analogique ANA1,... ANA8 sont émis en deux groupes, séparés par un octet NUM constitué de huit bits représentatifs de signaux binaires à acquérir et un indice d'incrémentement ID. Ce dernier donne le numéro d'ordre, et donc la date, d'une séquence en écriture lorsqu'un événement est mémorisé en temps réel et l'adresse mémoire où est stockée la séquence.

Le module 10 comporte des circuits d'alimentation 18 permettant, à partir d'une source extérieure, de générer les différentes tensions nécessaires au fonctionnement. Les n entrées analogiques sont reliées, par l'intermédiaire d'un multiplexeur 20, à un convertisseur analogique/numérique ou CAN 22 fournissant, à un bloc d'acquisition 24, chaque échantillon à son tour sous forme d'un octet (ou de plusieurs octets). Chacune des entrées de données binaires attaque le bloc d'acquisition par l'intermédiaire d'un coupleur octoélectronique 26 d'isolement galvanique.

Le rythme d'acquisition des données est fixé par une horloge interne 30, à 144 KHz par exemple, et par une base de temps 32 fournissant, par division de la fréquence d'horloge, une horloge de mot DDD et une horloge de séquence S. L'horloge S fixe la cadence de fonctionnement du convertisseur analogique-numérique 22. Les rapports de division peuvent être fixés par câblage du connecteur 14 ou par acquisition de commandes externes, avant fonctionnement. Dans ce but le module peut comporter un circuit d'acquisition de commandes externes 34 ayant une entrée reliée au connecteur 14 pour autoriser soit un câblage de sélection avant fonctionnement soit une acquisition d'instruction, indiqués par la flèche 36. Le circuit d'acquisition 34 est également prévu pour recevoir de l'unité 16, lorsqu'elle est connectée, un signal faisant passer le module 10 du mode d'enregistrement au mode de lecture ou au mode d'effacement des mémoires.

Le fonctionnement du module est commandé par un micro-contrôleur 38 associé à une mémoire morte de programme et à une mémoire d'enregistrement non volatile 42, effaçable, généralement constituée par une mémoire morte électriquement effaçable ou EEROM.

La mémoire 42 peut notamment avoir un cycle d'écriture de 150 μ s et avoir une capacité de 64 K octets par voie analogique ou numérique d'entrée, permettant d'enregistrer pendant 40 secondes au rythme de 1500 séquences par seconde. Par programmation du circuit d'acquisition 34, le rythme peut être modifié et par exemple commander 12 séquences par seconde, portant la durée d'enregistrement à 86 minutes.

Le bloc d'acquisition 24 et le micro-contrôleur 38 sont reliés par un bus 44 auquel est également connecté une interface parallèle/série 46 alimentant une sortie 48 sur le connecteur 14, ce qui évite la nécessité de contacts de bus sur le connecteur 14. L'interface 46 sérialise les bits de chacun des octets des séquences lues successivement en mémoire EEROM, lorsque le module est en mode lecture, et fournit alors les séquences successives en codage PCM, par exemple avec le format montré en figure 2.

Ce format permet diverses variantes et, en particulier, autorise une surcommutation par un facteur 2 ou un facteur 4 pour un ou plusieurs signaux analogiques, ce qui permet d'augmenter la cadence d'échantillonnage pour ces signaux d'entrée, au prix d'une réduction du nombre de signaux analogiques acquis.

La mémoire 42 comporte avantageusement un emplacement 52 de stockage d'un mot témoin. La mémoire est organisée pour qu'un mot prédéterminé y soit inscrit par le micro-contrôleur 38 dès le début de l'enregistrement et que ce mot soit effacé en dernier en cas d'effacement de la mémoire 42 commandée à partir de l'unité 16. Le micro-contrôleur est programmé de façon qu'à réception d'une commande d'écriture, il teste d'abord le contenu de l'emplacement 52. Si un mot y est écrit, il interdit toute écriture. Ainsi, par exemple en cas de coupure de l'alimentation suivie d'un rétablissement, aucune inscription supplémentaire effaçant l'inscription initiale ne peut être effectuée dans la mémoire 42 du fait de la ré-initialisation du micro-contrôleur 38.

La mémoire 42 est avantageusement prévue pour que l'écriture n'y soit possible que si elle est précédée de l'envoi d'un mot de code. Le micro-contrôleur 38 est également programmé de façon à verrouiller la mémoire 42 par voie logicielle dès que la capacité totale de la mémoire 42 est atteinte. On évite ainsi des perturbations, dues par exemple à un choc en fin d'essai.

Le connecteur 12 est avantageusement prévu pour permettre, au moyen de liaisons :

- de programmer la dynamique des n voies analogiques ;

– de choisir le mode de déclenchement de l'écriture (par dépassement d'une valeur déterminée dans une des n voies analogiques ou par apparition d'un signal sur une voie binaire, reliée en 62 au micro-contrôleur).

La figure 3 montre un chronogramme des signaux en cours d'enregistrement. La première et la seconde lignes montrent respectivement le signal DDD à la cadence des octets, et le signal S à la cadence d'émission des séquences. Un compteur de mots 54 (figure 1) permet de mémoriser le numéro d'ordre des octets successifs et de fournir une information correspondante sur une broche 56 du connecteur 14.

La partie basse de la figure 3 est un chronogramme à grande échelle montrant l'échelonnement des signaux au cours d'un octet. Un ordre RDA de sélection de mots d'état est émis au début de l'octet et un ordre TP de sélection d'interface 46 à la fin de l'octet. La détection du mot d'état RDA provoque le fonctionnement du convertisseur analogique-numérique, qui fournit le résultat à mémoriser en un temps qui doit être suffisamment court pour autoriser l'enregistrement. Dans le cas illustré sur la figure 3, la durée maximale peut être de 15 μ s pour une durée de bit de 7 μ s.

L'unité de test 16 est munie d'un connecteur 58 destiné à s'accoupler au connecteur 14 et de moyens de visualisation 60 (rangée de diodes électroluminescentes par exemple), permettant d'afficher chacun des octets des séquences. Elle comporte également des moyens de commande et de programmation, constitués par exemple par des sélecteurs et des boutons poussoirs.

L'unité 16 comportera généralement une alimentation pouvant se substituer à l'alimentation 18. Elle permet notamment de vérifier que la mémoire 42 est totalement effacée.

Cette opération est effectuée avant une séquence d'essai.

A l'issue d'une séquence d'essai, lorsque l'écriture en mémoire a été réalisée, l'unité 16 peut être prévue pour :

- sélectionner une fréquence d'horloge de lecture ;
- sélectionner un mode de fonctionnement qui peut être direct (par fourniture, soit en mode série, des séquences codées en PCM sur la sortie 48, soit en mode de lecture lent).

L'unité peut être prévue pour effectuer l'effacement de la mémoire 42, en vue d'un nouvel enregistrement.

De nombreuses variantes de réalisation sont possibles et en particulier le module peut être prévu pour, en même temps qu'il mémorise les voies d'entrée, les fournir sur sa sortie en vue d'une transmission directe, permettant simultanément une télémesure et un enregistrement.

Revendications

1. Dispositif d'enregistrement et de restitution de données, ayant un module embarcable qui comprend, reliés à un bus interne (44), une mémoire statique non volatile effaçable (42), un bloc d'acquisition (24) relié à des entrées de données analogiques par des moyens de conversion analogique-numérique (22) et à des entrées binaires, prévu pour échantillonner les entrées à fréquence déterminée et sérialiser les échantillons sous forme de séquences successives ayant chacune au moins un mot de synchronisation (sy), n octets représentatifs des échantillons de données analogiques et au moins un octet d'échantillons de données binaires, un micro-contrôleur (38) programmable pour fixer la cadence d'élaboration des séquences par le circuit d'acquisition et leur écriture dans la mémoire statique (42) et pour provoquer le déroulement de l'enregistrement jusqu'à remplissage de la mémoire statique (42), en réponse à une valeur déterminée d'une donnée sélectionnée, ledit micro-contrôleur étant commandable par un ordre externe de lecture pour restituer les séquences successives sous forme d'un message en code MIC en NRZ.
2. Dispositif selon la revendication 1, caractérisé en ce que la mémoire statique (42) comporte un bloc de stockage d'un mot témoin ayant une première valeur lorsque la mémoire est vide et une autre valeur dans tous les autres cas et en ce que le micro-processeur (38) est prévu pour vérifier l'état du mot témoin avant écriture et inhiber l'écriture en mémoire statique si ledit bloc, prévu pour que son effacement intervienne en dernier lors de l'effacement de la mémoire, a la valeur indiquant que la mémoire n'est pas vide.
3. Dispositif selon la revendication 1 ou 2, caractérisé en ce que le micro-contrôleur (38) est prévu pour verrouiller la mémoire statique (42) par voie logicielle dès remplissage de la mémoire ou interruption d'une alimentation électrique (18) pendant une durée supérieure à un seuil prédéterminé.
4. Dispositif selon la revendication 1, 2 ou 3, caractérisé en ce que le micro-contrôleur (38) est programmable pour sélectionner la cadence des séquences entre une fréquence maximale, correspondant à une succession ininterrompue de séquences, et des cadences qui se déduisent de la première par division par des puissances de 2.
5. Dispositif selon l'une quelconque des revendica-

tions précédentes, caractérisé en ce que le circuit d'acquisition (24) est commandable pour échantillonner un au moins des paramètres à une fréquence double ou quadruple d'un autre paramètre et affecter au moins deux octets à des échantillons successifs d'une même donnée analogique d'entrée, prélevés à des instants séparés d'un intervalle déterminé.

5

6. Dispositif selon l'une quelconque des revendications précédentes, caractérisé en ce que le bus interne (44) est relié à une sortie (48) de lecture de ladite mémoire statique (42) par une interface de conversion parallèle/série (46).

10

15

7. Dispositif selon l'une quelconque des revendications précédentes, caractérisé en ce que le micro-contrôleur (38) est programmable par une instruction externe pour transférer directement, sur une sortie de restitution, les séquences successives élaborées par le bloc d'acquisition (24).

20

8. Dispositif selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comprend également une unité de test et de lecture (16) munie d'un connecteur raccordable à un connecteur (14) du module et comprenant des moyens permettant d'amener ledit module d'un état de repos permettant l'enregistrement à un état de lecture par vidage de la mémoire statique, un état de transfert direct du circuit d'acquisition vers une sortie et de provoquer l'effacement de la mémoire statique.

25

30

35

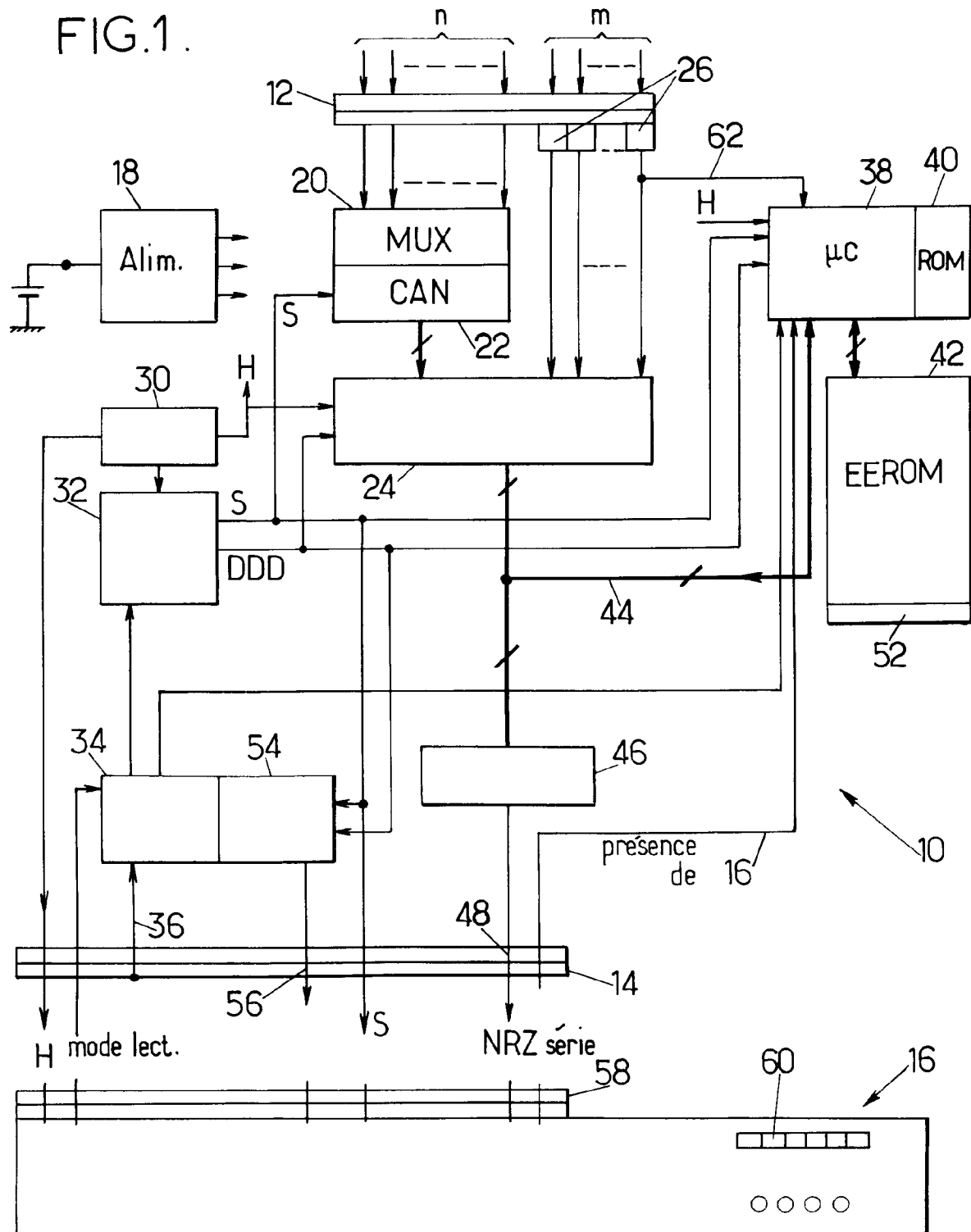
40

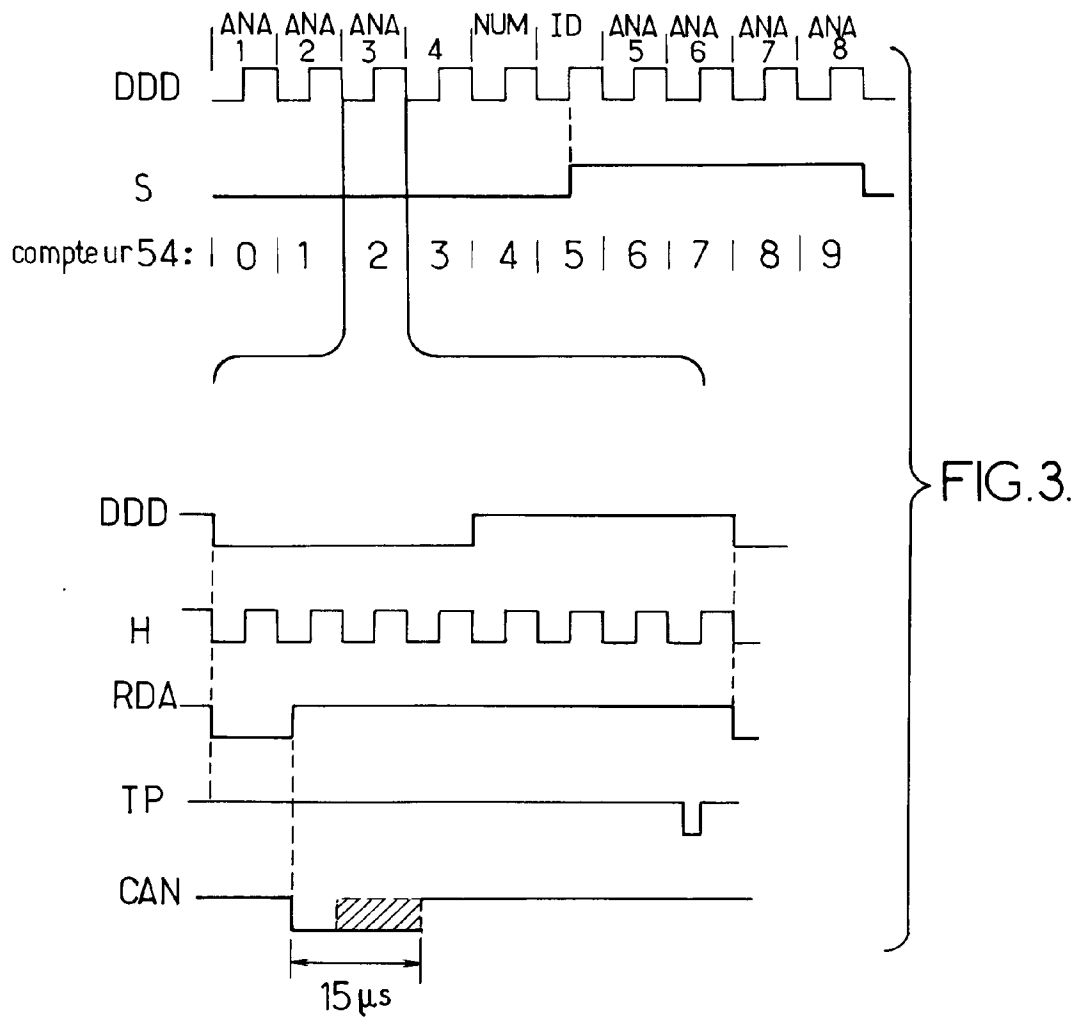
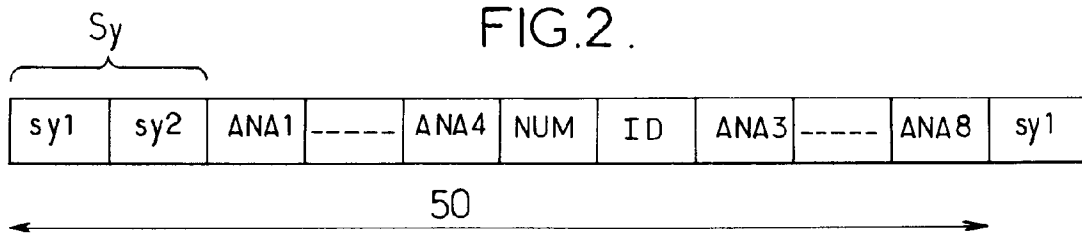
45

50

55

FIG.1.







European Patent
Office

EUROPEAN SEARCH REPORT

Application Number

EP 91 40 3426

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int. Cl.5)
Y	US-A-4 817 049 (A.J. BATES ET AL.) * column 1, line 48 - line 63 * * column 3, line 27 - line 35 * * column 4, line 5 - line 64 * * column 5, line 6 - line 8 * * column 5, line 14 - line 23 * ---	1-8	G06F15/74
Y	INSTITUTION OF ELECTRICAL ENGINEERS INTERNATIONAL CONFERENCE ON MAGNETIC RECORDING 6 July 1964, LONDON GB pages 57 - 59; J.P. LEBEL ET AL.: 'Earth science data acquisition in digital form using audio tape recorders' * page 57, column 2, line 5 - line 10 * * page 58, column 2, line 9 - line 15 * * page 58, column 2, line 19 - line 26 * -----	1-8	TECHNICAL FIELDS SEARCHED (Int. Cl.5) G06F
The present search report has been drawn up for all claims			
Place of search THE HAGUE		Date of completion of the search 10 MARCH 1992	Examiner HARRADINE J.
CATEGORY OF CITED DOCUMENTS X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document			

EPO FORM 1503 (03.82) (P0401)