

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7288464号
(P7288464)

(45)発行日 令和5年6月7日(2023.6.7)

(24)登録日 令和5年5月30日(2023.5.30)

(51)国際特許分類	F I			
G 0 1 R 31/28 (2006.01)	G 0 1 R	31/28	H	
G 0 1 R 31/26 (2020.01)	G 0 1 R	31/28	K	
	G 0 1 R	31/26	J	

請求項の数 19 (全15頁)

(21)出願番号	特願2020-568269(P2020-568269)	(73)特許権者	502391840
(86)(22)出願日	平成31年4月19日(2019.4.19)		テラデザイン、インコーポレイテッド
(65)公表番号	特表2021-527203(P2021-527203 A)		アメリカ合衆国 0 1 8 6 4 マサチューセッツ州 ノース リーディング リバーク ドライブ 6 0 0
(43)公表日	令和3年10月11日(2021.10.11)	(74)代理人	100083806
(86)国際出願番号	PCT/US2019/028246		弁理士 三好 秀和
(87)国際公開番号	WO2019/236200	(74)代理人	100095500
(87)国際公開日	令和1年12月12日(2019.12.12)		弁理士 伊藤 正和
審査請求日	令和4年4月5日(2022.4.5)	(74)代理人	100111235
(31)優先権主張番号	16/003,466		弁理士 原 裕子
(32)優先日	平成30年6月8日(2018.6.8)	(74)代理人	100195257
(33)優先権主張国・地域又は機関	米国(US)		弁理士 大淵 一志
		(72)発明者	ミルカニ、モハマドレザ レイ
			アメリカ合衆国 9 1 3 2 6 カリフォル
			最終頁に続く

(54)【発明の名称】 分散されたリソースを有する試験システム

(57)【特許請求の範囲】

【請求項1】

システムであって、
試験するための複数のデバイスに接続される複数のサイトを含む一のデバイスインタフェースボード(DIB)と、
複数の試験機器を保持するように構成された複数のスロットを含む一のテストとを含み、
各試験機器は、前記DIBの一の次元にわたって分散される複数のリソースを有し、
前記リソースは、前記サイト内の前記デバイスが前記リソースに同等にアクセスできるようにするために分散され、
前記DIBは、複数の層から構成されるプリント回路基板(PCB)を含み、
前記層の数は、前記テスト内の前記試験機器の数に比例する、システム。

【請求項2】

システムであって、
試験するための複数のデバイスに接続される複数のサイトを含む一のデバイスインタフェースボード(DIB)と、
複数の試験機器を保持するように構成された複数のスロットを含む一のテストと、
前記DIBと前記テストとの間の一のインタコネクとを含み、
各試験機器は、前記DIBの一の次元にわたって分散される複数のリソースを有し、

前記リソースは、前記サイト内の前記デバイスが前記リソースに同等にアクセスできるようにするために分散され、

前記インタコネクタは、前記試験機器と前記D I Bとの間の複数のルーティング接続部を含み、

前記試験機器は、第一のピッチでの複数のコンタクトを含み、

前記リソースは第二のピッチであり、

前記第二のピッチは前記第一のピッチより小さく、

前記ルーティング接続部は、前記第一のピッチの前記試験機器の前記コンタクトから前記第二のピッチの前記リソースへと延びるように構成される、システム。

【請求項 3】

前記インタコネクタは、前記ルーティング接続部を通じて伝導される信号を処理するための回路構成を含む、請求項 2 に記載のシステム。

【請求項 4】

前記回路構成は、さらに 2 つのルーティング接続部からの複数の第一の信号を結合して、単一のルーティング電気接続部へ出力される第二の信号を生成することによって前記信号を処理するように構成され、

前記単一のルーティング接続は、前記D I B上の一のリソースに至る、請求項 3 に記載のシステム。

【請求項 5】

前記第二の信号は、前記第一の信号の各々より高いビットレートを有する、請求項 4 に記載のシステム。

【請求項 6】

前記リソースは、前記D I B上の複数の電気コンタクトを含む、請求項 1 又は 2 に記載のシステム。

【請求項 7】

前記D I B上の各サイトは同じ構成を有する、請求項 1 又は 2 に記載のシステム。

【請求項 8】

前記次元は、前記D I Bの一の縁辺に対応し、

前記リソースは、前記縁辺の全体にわたって分散される、請求項 1 又は 2 に記載のシステム。

【請求項 9】

前記次元は、前記D I Bの一の縁辺に対応し、

前記リソースは、前記D I Bの複数の縁辺にわたって対称に分散される、請求項 1 又は 2 に記載のシステム。

【請求項 10】

前記リソースは、前記D I B上に、前記リソースが少なくとも部分的に前記サイトと整列するように分散される、請求項 1 又は 2 に記載のシステム。

【請求項 11】

前記D I Bは、前記試験機器と前記D I B上の前記サイトとの間の電氣的経路を可能にする複数の電気コンタクトを含む、請求項 1 又は 2 に記載のシステム。

【請求項 12】

一の対象試験機器と前記D I B上の複数のサイトとの間の前記電氣的経路は、同等の電氣的経路長を有する、請求項 11 に記載のシステム。

【請求項 13】

前記D I B上の前記サイトと一の対象試験機器との間の前記電氣的経路は、同等のインピーダンスを有する、請求項 11 に記載のシステム。

【請求項 14】

前記D I B上の一のサイトと一の対象試験機器との間の各電氣的経路は、同じ量の信号劣化を生じさせる、請求項 11 に記載のシステム。

【請求項 15】

10

20

30

40

50

前記サイトは、前記サイトに接続された同型デバイスの並行試験を可能にするように分散される、請求項 1 又は 2 に記載のシステム。

【請求項 16】

システムであって、

試験するための複数のデバイスに接続される複数のサイトを含む一のデバイスインタフェースボード (DIB) と、

複数の試験機器を保持するように構成された複数のスロットを含む一のテストであって、各スロットは、前記 DIB の、前記テストとインタフェースする一の縁辺全体にわたって分散される複数の電気コンタクトに対応し、前記電気コンタクトは、一の対象試験機器と、異なる複数のサイトの複数の同型デバイスとの間の少なくとも幾つかの電氣的経路が同等の電氣的経路長を有するように分散されるテストと、

前記テストと前記 DIB との間の一のインタコネクトとを含み、

前記インタコネクトは、前記試験機器と前記 DIB との間の複数のルーティング接続部を含み、

前記インタコネクトは、前記試験機器上の複数のコンタクトのピッチを前記 DIB 上の前記電気コンタクトの一のピッチに変換するように構成され、

前記コンタクトは第一のピッチであり、

前記電気コンタクトは第二のピッチであり、

前記第二のピッチは前記第一のピッチより小さく、

前記ルーティング接続部は、前記第一のピッチの前記試験機器の前記コンタクトから前記第二のピッチの前記電気コンタクトに至るように構成される、システム。

【請求項 17】

前記インタコネクトは、前記ルーティング接続部を通じて伝導される複数の信号を処理する回路構成を含む、請求項 16 に記載のシステム。

【請求項 18】

前記回路構成は、さらに 2 つのルーティング接続部からの複数の第一の信号を結合して、単一のルーティング電気コンタクトへ出力される第二の信号を生成することによって前記信号を処理するように構成され。

前記単一のルーティング接続部は、前記 DIB 上の一の電気コンタクトに至る、請求項 17 に記載のシステム。

【請求項 19】

前記第二の信号は、前記第一の信号の各々より高いビットレートを有する、請求項 18 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は一般に、被試験デバイス (DUT: devices under test) によるアクセスのために分散されたリソースを有する試験システムに関する。

【背景技術】

【0002】

デバイスインタフェースボード (DIB: device interface board) は、汎用試験システムとのデバイス特定インタフェースである。例えば、DIB は、マイクロプロセッサやメモリチップ等、異なる種類のデバイスを受け入れるように構成されてよい。DIB はまた、メーカー特定であってもよく、この場合、あるデバイスのメーカーが試験前に DIB を提供することもある。試験信号は、試験システムから DIB を通って被試験デバイス (DUT) へとルーティングされる。DUT からの信号は、DIB を通って試験システムへとルーティングされ、DUT が試験に合格したか否かを特定するために分析される。

【発明の概要】

10

20

30

40

50

【 0 0 0 3 】

例示的な試験システムは、被試験デバイス（DUT）によるアクセスのために分散されたリソースを有する。例示的な試験システムは、試験するためにデバイスに接続されるサイトを含むデバイスインタフェースボード（DIB）と、試験機器を保持するように構成されたスロットを含むテストを含む。各試験機器は、DIBのある次元にわたり分散されるリソースを有する。リソースは、サイト内のデバイスがリソースに同等にアクセスできるようにするために分散される。例示的な試験システムは、以下の特徴のうちの1つ又は複数を単独で、又は組み合わせて含んでいてよい。

【 0 0 0 4 】

DIBのある次元は、DIBの縁辺に対応してよい。リソースは、縁辺全体にわたって分散されてよい。リソースは、DIBの複数の縁辺にわたり対称に分散されてよい。リソースは、DIB上に、リソースが少なくとも部分的にDIB上のサイトと整列するように分散されてよい。

10

【 0 0 0 5 】

DIBは、試験機器とDIB上のサイトとの間の電氣的経路を実現する電気コンタクトを含んでいてよい。対象試験機器とDIB上の複数のサイトとの間の電氣的経路は、同等の電氣的経路長を有していてよい。DIB上のサイトと対象試験機器との間の電氣的経路は、同等のインピーダンスを有していてよい。DIB上のサイトと対象試験機器との間の各電氣的経路は、同じ量の信号劣化を生じさせてよい。

【 0 0 0 6 】

DIB上のサイトは、サイトに接続された同型デバイスの並行試験を可能にするように分散されてよい。DIBは、複数の層から構成されるプリント回路基板（PCB：p i n t e d c i r c u i t b o a r d）であるか、それを含んでいてよい。層の数は、テスト内の試験機器の数に比例してよい。

20

【 0 0 0 7 】

例示的な試験システムは、DIBとテストとの間のインタコネクトを含んでいてよい。インタコネクトは、試験機器とDIBとの間のルーティング接続を含んでいてよい。試験機器は、第一のピッチのコンタクトを含んでいてよく、リソースは第二のピッチであってよい。第二のピッチは、第一のピッチより小さくてよい。ルーティング接続は、第一のピッチの試験機器のコンタクトから第二のピッチのリソースへと延びるように構成されてよい。

30

【 0 0 0 8 】

インタコネクトは、ルーティング接続を通じて伝導される信号を処理するための回路構成を含んでいてよい。回路構成は、さらに2つのルーティング接続からの第一の信号を結合して、単独のルーティング電気接続への出力とするための第二の信号を生成することによって、信号を処理するように構成されてよい。単独のルーティング接続は、DIB上のリソースに到達してよい。第二の信号は、第一の信号の各々より高いビットレート、すなわち周波数を有していてよい。

【 0 0 0 9 】

試験機器のリソースは、DIB上の電気コンタクトを含んでいてよい。DIB上の各サイトは、同じ構成を有していてよい。

40

【 0 0 1 0 】

例示的な試験システムは、DUTによるアクセスのために分散されたリソースを有する。例示的な試験システムは、試験するためにデバイスに接続されるサイトを含むDIBと、試験機器を保持するように構成されたスロットを含むテストを含む。各スロットは、DIBの、テストとインタフェースする縁辺全体にわたり分散される電気コンタクトに対応する。電気コンタクトは、対象試験機器と異なるサイトの同型デバイスとの間の少なくとも幾つかの電氣的経路が同等の電氣的経路長を有するように分散される。例示的な試験システムはまた、テストとDIBとの間のインタコネクトを含む。インタコネクトは、試験機器上のコンタクトのピッチをDIB上の電気コンタクトのピッチに変換するように構成

50

されてよい。例示的な試験システムは、以下の特徴のうちの1つ又は複数を単独で、又は組み合わせて含んでいてよい。

【0011】

試験機器上のコンタクトは第一のピッチであってよく、DIBの縁辺にわたり分散される電気コンタクトは第二のピッチであってよい。第二のピッチは、第一のピッチより小さくてよい。インタコネクタは、第一のピッチの試験機器のコンタクトから第二のピッチの電気コンタクトに至るように構成されたルーティング接続を含んでいてよい。インタコネクタは、ルーティング接続を通じて伝導される信号を処理する回路構成を含んでいてよい。回路構成は、さらに2つのルーティング接続からの第一の信号を結合して、単独のルーティング電気コンタクトに出力されることになる第二の信号を生成することによって、信号を処理するように構成されてよい。単独のルーティング接続は、DIB上の電気コンタクトまでであってよい。第二の信号は、第一の信号の各々より高いビットレート、すなわち周波数を有してよい。

10

【0012】

この概要の項を含めた本明細書に記載されている何れかの2つ又はそれ以上を組み合わせて、本明細書に明記されていない実施態様を形成することができる。

【0013】

本明細書に記載のシステム及びプロセス又はそれらの一部は、1つ又は複数の非一時的機械可読記憶媒体上に記憶され、1つ又は複数の処理装置上で実行されて本明細書に記載の動作を制御（例えば、調整する）ことのできる命令を含むコンピュータプログラム製品として実装でき/それによって制御できる。本明細書に記載のシステム及びプロセス又はそれらの一部は、装置、方法、又は電子システムとして実装でき、これは1つ又は複数の処理装置及び、各種の動作を実行するための実行可能な命令を記憶するためのメモリを含むことができる。

20

【0014】

1つ又は複数の実施態様の詳細が、添付の図面及び以下の説明の中に示されている。その他の特徴、目的、及び利点は、説明と図面から、また特許請求の範囲から明らかとなるであろう。

【図面の簡単な説明】

【0015】

【図1】例示的な試験システムの側面ブロック図である。

【図2】例示的なデバイスインタフェースボード(DIB)の上面図である。

【図3】図3の例示的なDIBの一部の上面図である。

【図4】例示的なDIBの上面図である。

【図5】図4の例示的なDIBの一部の上面図である。

【図6】DIBの内部構成要素を示す例示的なDIBの斜視図である。

【図7】他の例示的な試験システムの側面ブロック図である。

【図8】例示的なインタコネクタの側面断面図である。

【発明を実施するための形態】

【0016】

様々な図面中の同様の参照番号は同様の要素を示す。

40

【0017】

多くのデバイスを試験するために、メーカーは一般にATE、すなわち「自動試験装置(Automatic Test Equipment)」(又は「テスタ」)を使用する。試験プログラムセット(TPS: test program set)の中の命令に応答して、ATEは、ベアダイ又はダイス等の被試験デバイス(DUT)に印加されることになる試験入力信号(又は、「試験信号」)を自動的に生成し、その結果として得られる出力信号をモニタする。ATEは、出力信号を期待される応答と比較して、各DUTが欠陥品であるか否かを特定する。ATEは典型的に、その動作を制御するコンピュータシステムと、DUTの異なる面を試験するように構成された試験機器を含む。

50

【 0 0 1 8 】

試験機器の例には、DUTに対して高周波(RF: radio frequency)試験を行うためのRF試験機器、DUTにデジタルデータを送信し、そこからデジタルデータを受信するための高密度デジタル試験機器、及びDUTにアナログ信号を送信し、そこからアナログ信号を受信するための交流(AC: alternating current)試験機器が含まれる。その他の種類の試験機器もまた、試験システムで使用されてよい。

【 0 0 1 9 】

デバイスインタフェースボード(DIB)は、ATEに連結される構造である。DIBは、デバイス特定であり、典型的にはそのDUTのメーカーが製作する。DIBはATEに連結されて、DUTとATEとの間の電気インタフェースを確立させる。

10

【 0 0 2 0 】

ATEは、試験機器を保持するように構成されたスロットを含む。各試験機器は、DIBのある次元にわたり分散されたリソースを有する。例えば、各試験機器からの試験信号等の電気信号は、1つ又は複数の伝送媒体を介してDIBへとルーティングされてよい。DIBは、各試験サイトがこれらの信号に同等にアクセスできるようにする電気コンタクトと、これらの信号を送信するATE内の電氣的経路を含む。幾つかの実施態様において、電気コンタクトはDIBのある次元全体に沿って、例えばDIBの1つ、2つ、又はそれ以上の縁辺全体にたって配置される。DIBのある次元にわたって電気コンタクトを配置することによって、リソース、例えば電気コンタクト及び試験信号は、DIB上の試験サイト内のDUTがこれらのリソースに同等にアクセスできるようにするために分散され得る。幾つかの例において、同等なアクセスとは、試験機器とDIB上の複数のサイトとの間の電氣的経路が同等の電氣的経路長を有することを意味してよい。幾つかの例において、同等のアクセスとは、DIB上のサイトと試験機器との間の電氣的経路が同等のインピーダンスを有することを意味してよい。幾つかの例において、同等なアクセスとは、DIB上のあるサイトと試験機器との間の各電氣的経路が同じ量の信号劣化又はノイズを生じさせることを意味してよい。

20

【 0 0 2 1 】

図1は、例示的なATE 10の構成要素を示す。しかしながら、特に、本明細書に記載されているシステムとプロセスは、図1のATEとの使用又は何れかの特定の種類のDUTとの使用に限定されるのではなく、試験環境の外を含めた、あらゆる適当な技術的内容で使用されてよい。図1において、破線は、概念的に、デバイス間の考え得る信号経路を示している。

30

【 0 0 2 2 】

ATE 10は、試験ヘッド11と試験コンピュータ12を含む。試験ヘッド11は、その上で試験が行われるDUT(図示せず)とインタフェースする。試験コンピュータ12は、試験ヘッド11と通信して試験を制御する。例えば、試験コンピュータは、試験プログラムセットを試験ヘッド上の試験機器にダウンロードしてよく、それが今度は試験プログラムセットを実行して、試験ヘッドと通信するDUTを試験する。

【 0 0 2 3 】

ATE 10は、試験機器13A~13N(N>3)を含む。この例において、試験機器は試験ヘッド内に格納される。各試験機器は、試験ヘッドの別々のスロット内に格納されてよい。幾つかの実施態様において、試験機器はモジュール式である。すなわち、1つの試験機器を異なる試験機器に置き換えてよく、その際、他の試験機器は交換しなくてよい。各試験機器は、DUTを試験するための試験信号を出力し、DUTから信号を受信するように構成されてよい。信号は、例えばデジタル、アナログ、無線、又は有線であってよい。受信される信号には、試験信号に基づく応答信号及び/又は試験信号によって促されたのではなく(例えば、それに応答したのではなく)DUTから発せられた信号が含まれてよい。

40

【 0 0 2 4 】

50

A T E 10は、試験機器の出力15をD I B 16に接続する接続インタフェース14を含む。接続インタフェース14は、コネクタ20又は、試験機器とD I B 16との間で信号をルーティングするためのその他の装置を含んでいてよい。例えば、接続インタフェースは、1つ又は複数の回路基板又は、その上にこのようなコネクタが実装されるその他の基板を含んでいてよい。その他の種類の接続も使用されてよい。

【0025】

図1の例において、D I B 16は、試験ヘッド11に電氣的及び機械的に接続される。D I B 16は試験サイト21を含み、これはピン、トレース又は、そこにD U Tが接続されるその他の電氣的及び機械的接続点を含んでいてよい。試験信号、応答信号、及びその他の信号は、D U Tと試験機器との間のサイト上で受け渡される。D I B 16はまた、例えば、試験機器とD U Tとの間で信号をルーティングするためのコネクタ、導電性トレース、回路構成、又はそれらの何れかの組合せを含んでいてよい。

10

【0026】

この点に関して、D I B 16は、ローンチエリア22を含む。図1ではローンチエリアが1つしか示されていない。しかしながら、後で説明するように、1つのD I Bは複数のローンチエリアを含んでいてよい。試験機器からの信号は、1つ又は複数の伝送媒体を介して、ローンチエリア内の電気コンタクトへとルーティングされる。導電性トレース24又はその他の適当な伝送媒体は、ローンチエリア内の電気コンタクトをD I B上の試験サイト21に電氣的に接続する。試験サイトはD I B上で、そのサイトに接続された同型デバイスの並行試験を可能にするように分散される。試験サイト及び電気コンタクトをそのように配置することにより、サイト内のデバイスは試験信号に同等にアクセスできる。例えば、異なるサイト内の同型デバイスは、同じ試験機器からの同じ試験信号に同等にアクセスできてよい。このような同等のアクセスを提供することにより、信号伝送による試験誤差を削減することができる場合もある。これらの試験誤差の原因の例には、インピーダンスのミスマッチ、信号劣化、又は異なる電氣的経路長が含まれるが、これらに限定されない。

20

【0027】

図2は、例示的なD I B 25の上面図である。D I B 16は、D I B 25と同じであってよい。D I B 25は、ローンチエリア26を含む。ローンチエリア26は電気コンタクトを含み、これは試験ヘッドのスロット内の1つ又は複数の試験機器に電氣的に接続される。図のように、電気コンタクトはD I B 26のある次元全体にわたって分散され、それによって電気コンタクトは、少なくとも部分的に、各試験サイト30と整列する。図2において、それに沿って電気コンタクトが分散される次元は矢印29により表される。幾つかの実施態様において、電気コンタクトは試験サイトの各々と同じように整列する。例えば、1つの電気コンタクトと各試験サイトとの間の電氣的経路長の物理的距離は同じであってよい。この例において、電気コンタクトは、D I Bの縁辺31全体にわたり分散される。幾つかの実施態様において、電気コンタクトは、D I Bの縁辺31の全体より短い部分にわたり分散されていてもよい。例えば、電気コンタクトは、D I Bの縁辺の一部にわたって分散されてもよい。幾つかの実施態様において、電気コンタクトは、D I Bの、D I Bの縁辺に沿っていないある次元の全部又は一部にわたり分散されてもよい。この例において、試験サイト30は1行に配置されている。幾つかの実施態様において、2行の試験サイト又は3行以上の試験サイトがあってよい。2行の試験サイトを含む例が図4に示されている。

30

40

【0028】

図3は、D I B 25の一部の上の試験サイト34の拡大図を示す。図3に示されるように、ローンチエリア25は電気コンタクト34～40を含む。この例において、電気コンタクト34は第一の試験機器用であり、電気コンタクト37は第二の試験機器用であり、電気コンタクト35、36、38、及びコンタクト39は第三の試験機器用であり、電気コンタクト40は第四の試験機器用である。コンタクトのこの数とレイアウトは例に過ぎず、コンタクトの何れの適当な数も何れの適当なレイアウトも使用されてよい。同じく

50

図示されているように、導電性トレース42は、試験サイト34と電気コンタクトのそれぞれとの間でルーティングされる。図3に示される導電性トレースの配置は、試験サイト30の各々について、DIB上で同じように繰り返されてよい。導電性トレースのこの構成の結果として、及び電気コンタクトをDIBの次元にわたり分散させた結果として、試験サイト内の各DUTは全ての試験機器又は試験機器の小集合からリソースに同等にアクセスできてよい。

【0029】

図4は、他の例示的なDIB45の上面図である。DIB16は、DIB45と同じであってよい。DIB45は、2つのローンチエリア46及び47を含む。各ローンチエリアは、それぞれの電気コンタクト48及び49を含み、これは試験ヘッドのスロット内の1つ又は複数の試験機器に電氣的に接続される。この例において、電気コンタクトは、DIB45のある次元全体にわたり分散されている。図4では、それに沿って電気コンタクトが分散される次元は矢印50により表されている。この例において、電気コンタクトは、DIBの2つの縁辺51及び52の全体にわたり分散されている。幾つかの実施態様において、電気コンタクトは、DIBの各縁辺の全体より短い部分にわたり分散されてもよい。例えば、電気コンタクトは、DIBの各縁辺の一部にわたり分散されてもよい。幾つかの実施態様において、電気コンタクトは、DIBの、DIBの縁辺に沿っていないある次元の全部又は一部にわたり分散されてもよい。試験サイト53及び54は、この例では2つの平行な行に配置される。他の配置も使用されてよい。

【0030】

図5は、DIB45の試験サイト53を含む一部の拡大図を示す。試験サイト54は、試験サイト53と同じ構成及び接続を有してよい。図5の例示的な構成は、この例では図3の例示的な構成と同じである。図5に示される導電性トレース55の配置は、試験サイトの各々についてDIB45上で同様に繰り返されてよい。各試験サイトとDIB上の、それに対応する電気コンタクトとの間の接続が同じである結果、試験サイト内の各DUTは試験機器からリソースに同等にアクセスできる場合もある。

【0031】

前述のように、図4の例では、縁辺51に沿って分散された電気コンタクトの構成は、縁辺52に沿って分散された電気コンタクトの構成と同じである。幾つかの実施態様において、縁辺51に沿って分散された電気コンタクトの構成は、縁辺52に沿って分散された電気コンタクトの構成と異なってもよい。すなわち、DIBの異なる縁辺又は次元にわたるコンタクト構成が異なってもよい。

【0032】

幾つかの実施態様において、異なる試験機器の電気コンタクトは、DIBの異なる層に配置されてよい。例えば、DIBは、複数の層から構成されるプリント回路基板(PCB)であるか、それを含んでいてよい。コンタクトは、縁辺に沿ってだけでなく、複数の層にわたって分散されてもよい。例えば、図6に関して、それに沿って電気コンタクトが分散される縁辺又は次元60には、デカルト座標X-Y平面のみが含まれていてもよく、又はこの寸法にはデカルト座標Z成分も含まれていてよい。例えば、図6では、コンタクト59はDIB58の縁辺60にわたり、デカルト座標Z次元においても分散されてよい。幾つかの実施態様において、これらのコンタクトは、複数の平面内のPCBの異なる層間で分散されてよい。

【0033】

幾つかの実施態様において、コンタクトはDIBの異なる層間で分散されることによって、より多くの試験機器のためのより多くのコンタクトを受け入れてよい。すなわち、追加の次元を使って分散させることによって、DIBの大きさを大きくせずに、又はDIBの大きさをそれほど大きくせずに、より多くの数のコンタクトがDIBに含められ得る。幾つかの実施態様において、DIBの層の数はテスト内の試験機器の数に比例する。例えば、試験機器が多くあるほど、多くのコンタクトがある場合もある。その結果、これらのコンタクトを受け入れるために、DIBの追加の層が含まれてよい。

10

20

30

40

50

【 0 0 3 4 】

図 7 に関して、幾つかの実施態様において、試験ヘッド 1 1 と D I B 1 6 との間にインタコネクタ 6 1 があってよい。インタコネクタ 6 1 を除き、図 7 のそれ以外の構成要素の構造と機能は、図 1 の、それらに対応する構成要素の構造及び機能と同じであってよい。インタコネクタは、インタコネクタを通じて信号をルーティングするために、電気コンジット等のルーティング接続を含む。

【 0 0 3 5 】

これに関して、ある例示的な試験システムでは、D I B 上の電気コンタクトは第一のピッチで配置されてよく、試験機器上の、それに対応する電気コンタクトは、第一のピッチとは異なる（例えば、それより大きい）第二のピッチで配置されてよい。これに関して、ピッチは、隣接する電気コンタクトが空間的に離間される量を含む。インタコネクタ 6 1 は、試験機器上の電気コンタクトのピッチを D I B 上の電気コンタクトのピッチに変換するように構成される。例えば、試験機器上の電気コンタクトがセンチメートル単位で離間されている場合、インタコネクタはその離間を D I B 上のミリメートルに変換するように構成されてよい。すなわち、D I B 上の電気コンタクトは、ミリメートル単位で離間されていてよく、これらの電気コンタクトは、センチメートル単位で離間されている試験機器上の電気コンタクトへの電氣的経路であってよい。ある例において、試験機器上の電気コンタクトのピッチは 1 . 3 5 インチであり、D I B 上の電気コンタクトのピッチは 0 . 3 4 インチである。インタコネクタはこの差を橋渡す。

【 0 0 3 6 】

図 8 は、例示的なインタコネクタ 6 4 を示す。インタコネクタ 6 1 は、インタコネクタ 6 4 と同じであってよい。インタコネクタ 6 4 は、試験機器 6 6 と D I B 6 8 との間で信号をルーティングする。D I B 上の試験サイト 7 0 の電気接続は、前述のように実装されてよい。試験機器は、D U T に対する実際の試験を、例えばインタコネクタ 6 4 を通り、D I B 上の電気コンタクトを通り、及び試験サイトへの D I B 上の導電性トレースを通じて D U T に信号を送信することによって実行してよい。これらの信号への応答は、この経路を引き返して試験機器に戻ってよく、そこでこれらの応答が測定され、D U T が適正に動作しているか否かが特定される。幾つかの実施態様において、試験機器は試験ヘッドの外、例えばコンピューティングシステム等の 1 つ又は複数の処理装置で処理を行ってよい。

【 0 0 3 7 】

図 8 の例において、試験機器 6 6 上の電気コンタクトから出る電気コンジット 7 1 は、インタコネクタを通じてルーティングされ、D I B のローンチエリア内の電気コンタクトに結合される。D I B 上の電気コンタクトは、図 2 及び 4 に示されているように、D I B のある次元の全部又は一部に沿って配置されてよい。

【 0 0 3 8 】

幾つかの実施態様において、インタコネクタ内の電気コンジット 7 1 はケーブルを含む。ケーブルは、何れの適当な種類の電気伝送媒体を含んでいてもよい。幾つかの実施態様において、ケーブルは光伝送媒体を含んでいてよい。ある例において、ケーブルは同軸構造の一部であってよい。これに関して、ケーブルは、同軸構造に組み込まれる同軸ケーブルであってよい。例えば、ケーブルは同軸構造の一体部分であってよく、同軸構造の内部に形成されてもよい。幾つかの実施態様において、同軸ケーブル内の同軸線には、空気等の誘電体により完全に取り囲まれ、それがさらに戻り線（アース線）により完全に取り囲まれる信号線（又は力線）が含まれるが、これに限定されない。「同軸」とは、本明細書で使用されるかぎり、同じ誘電体が力線を完全に取り囲むことを必要とせず、また、戻り線が誘電体を完全に取り囲むことも必要としない。これは、本明細書に記載されている何れの同軸線、ケーブル、構造等にも当てはまる。

【 0 0 3 9 】

信号伝送の一貫性を向上させるために、異なるコンジットの電気特性が実質的に一致させられてよい。例えば、異なるコンジットのインピーダンスは、実質的に同じになるよう

10

20

30

40

50

に制御されてよい。これに関して、インピーダンスの制御には、個々のコンジットのインピーダンスを指定し、異なるコンジットのインピーダンスをそれと一致させる能力が含まれる。また、異なるコンジットのT o F（飛行時間）により測定される電氣的経路長（物理的経路長とは異なる）を実質的に同じにすべきである。さらに、異なる電気コンジットにより生じさせられる信号減衰は実質的に同じにすべきである。いくつかの実施態様において、インタコネクต์内の全ての電気コンジットが同じインピーダンス、電氣的経路長、及び減衰を有する。他の実施態様では、これが当てはまらなくてもよい。例えば、幾つかの実施態様において、試験電子機器は、これらのパラメータの1つ又は複数のばらつきを考慮し、及び/又は補正してよい。

【0040】

本明細書に記載されている例示的なインタコネクต์において、電気コンジットの少なくとも幾つか（例えば、全部）は、実質的に一致する電気特性、例えば電氣的経路長/飛行時間（T o F）、インピーダンス、及び信号減衰を有するように構成される。これらの電気特性を実質的に一致させることによって、コンジット間で信号伝送時間に差が出る機会を減らし、それによってインタコネクต์を通じた伝送に起因するタイミングエラーを減らすことができる場合もある。これに関して、実質的な一致には、同一の、又は1%、2%、5%、若しくは10%等の1つ若しくは複数の所定の誤差内の一致を含んでいてよい。幾つかの実施態様において、電氣的経路長、インピーダンス、及び信号減衰の中の1つ又は2つだけを実質的に一致させることが適切である場合もある。

【0041】

幾つかの実施態様において、電気特性を一致させることは、少なくとも一部に、例えば湾曲した、ジグザグの、蛇行する、又はばね状のコンジット部分を使用することによって実現される。例えば、インタコネクต์内の個々のコンジットは、まっすぐでないこれらのような部分を含んでいてよい。これらの部分は、電氣的経路長、インピーダンス、及び信号減衰が異なるコンジット間で同じであるように構成されてよい。例えば、湾曲した、ジグザグの、蛇行する、又はばね状のコンジット部分を追加することにより、コンジットの信号伝送経路は有効に長くなり、それによってこれらのコンジットの電気特性が変化する。例えば、このような湾曲した、ジグザグの、蛇行する、又はばね状のコンジット部分は、電氣的経路長、インピーダンス、及び信号減衰を変化させるために使用できる。これらの変化は、インタコネクต์内の2つの異なるコンジット間の電気特性（例えば、電氣的経路長、インピーダンス、及び信号減衰）を一致させるようになされてよい。湾曲した、ジグザグの、蛇行する、又はばね状のコンジット部分は、コンジットの中の、所望の電気特製を実現するために適当な何れの1つ又は複数の部分に追加されてもよい。

【0042】

幾つかの実施態様において、DIB上のEEPROM（electrically erasable programmable read-only memory）又はその他のメモリに記憶されたデータは、電氣的長さの情報を含む較正データを含んでいてよく、これも試験機器によってトレース又はケーブルの電気特性のミスマッチを補正するために使用されてよい。

【0043】

幾つかの実施態様において、追加の受動及び/又は能動電気部品をインタコネクต์に組み込んで、電氣的経路長、インピーダンス、及び信号減衰等の電気特性を変化させて、2つ以上の電気コンジット間のこれらの特性を一致させてもよい。幾つかの実施態様において、適切な一致を実現するために異なるコンジットの形状を変えてもよい。幾つかの実施態様において、異なる形状のコンジットと能動及び/又は受動部品の組合せを用いて、電氣的経路長、インピーダンス、及び信号減衰等の電気特性を変化させ、2つ以上の電気コンジット間のこれらの特性を一致させてもよい。

【0044】

幾つかの実施態様において、インタコネクต์は、電気コンジットを通じて伝えられる信号を処理するための回路構成を含む。例えば、この回路構成は、さらに2つの電気コンジ

10

20

30

40

50

ットからの第一の信号を結合して、D I B上の電気コンタクトへの経路上にある1つの電気コンジットに出力されることになる第二の信号を生成することによって、信号を処理するように構成されてよい。第二の信号は、第一の信号の各々より高いビットレートを有してよい。それゆえ、インタコネクは、より低速の信号からより高速の信号を生成するために主要されてよい。幾つかの実施態様において、マルチプレクサを使って信号を結合し、1つの信号を出力してもよい。幾つかの実施態様において、1つ又は複数のマルチプレクサは、3つ以上の信号を結合して、より高いビットレートを有する1つの出力信号を生成するように構成されてもよい。幾つかの実施態様においてインタコネクは、デマルチプレクサを含んで、1つの高ビットレート信号を受信し、1つの高ビットレート信号から複数のより低ビットレートの信号を創出してもよい。

10

【0045】

幾つかの実施態様において、1つ又は複数のMEMS (Micro Electro-Mechanical Systems) デバイスがインタコネクに含められてよい。MEMS デバイスは、インタコネク内のルーティング接続を変化させるように構成可能なスイッチ又はその他の構造を含むか、実装してよい。例えば、コンピューティングシステムは、MEMS デバイスのコンフィギュレーション及びリコンフィギュレーションを制御してよい。それゆえ、インタコネクは異なる種類のD I Bを受け入れるように構成可能である。例えば、インタコネクは異なるD U Tのための、又は異なるデバイスメーカー製のD I Bを受け入れるように構成されてよい。

【0046】

幾つかの実施態様において、試験機器とD I B上のコンタクトとの間の電氣的経路は、インタコネクに追加される構造を含む。例えば、幾つかの実施態様において、1つ又は複数のピン(例えば、スプリング型P O G O (登録商標)ピン)はインタコネク内の電気コンジットをD I B上の、それに対応するコンタクトに電氣的及び物理的に接続してよい。幾つかの実施態様において、1つ又は複数のMEMS デバイスはインタコネク内の電気コンジットとD I B上の、それに対応するコンタクトとの間の適切な電氣的及び物理的接続を成立させてよい。

20

【0047】

幾つかの実施態様において、第二のP C BがD I Bに接続されてもよい。第二のP C Bは、ユーザスペースを広げてよく、追加の試験電子機器のために使用されてよい。インタコネクは、D I Bについて本明細書に記載したものと同様の方法で第二のP C Bへの電氣的経路を含むように構成されてもよい。

30

【0048】

幾つかの実施態様において、D U Tは、試験すべき複数のチップから構成されるウェハであるか、それを含んでいてよい。試験後にチップがウェハから切断されて、個別に試験されてよい。プローブカードは、幾つかの実施態様において、試験システムと試験されるウェハとの間のインタフェースとして使用されてよい。

【0049】

本明細書に記載されている例示的な試験システムは、ハードウェア又はハードウェアとソフトウェアの組合せを含む1つ又は複数のコンピュータシステムによって実装され、及び/又はそれを使って制御されてもよい。例えば、本明細書に記載されているようなシステムは、自動化された要素の動作を制御するために、システム内の様々な箇所に配置された各種のコントローラ及び/又は処理装置を含んでいてよい。中央コンピュータは、各種のコントローラ又は処理装置間で動作を調整してよい。中央コンピュータ、コントローラ、及び処理装置は、様々なソフトウェアルーチンを実行して、各種の自動化された要素の制御及び調整を行ってよい。

40

【0050】

本明細書に記載されている例示的な試験システムは、少なくとも部分的に、1つ又は複数のデータ処理装置、例えばプログラマブルプロセッサ、1つのコンピュータ、複数のコンピュータ、及び/又はプログラマブルロジックコンポーネントによって実行されるため

50

、又はその動作を制御するための、1つ又は複数のコンピュータプログラム製品、例えば1つ又は複数の情報キャリア、例えば1つ又は複数の非一時的機械可読媒体において有形に具現化された1つ又は複数のコンピュータプログラムを使って制御できる。

【0051】

コンピュータプログラムは、コンパイル型又はインタプリタ型言語を含む何れの形態のプログラム言語で書くこともでき、また、スタンドアロンプログラムとして、又はモジュール、コンポーネント、サブルーチン、若しくはコンピューティング環境での使用に適したその他のユニットとして等、何れの形態でも展開できる。コンピュータプログラムは、1つのコンピュータ上で、又は1つのサイトの、又は複数のサイトに分散されてネットワークで相互接続された複数のコンピュータ上で実行されるように展開できる。

10

【0052】

試験の全部又は一部の実行に関連するアクションは、本明細書に記載されている機能を行うために1つ又は複数のコンピュータプログラムを実行する1つ又は複数のプログラマブルプロセッサによって行うことができる。試験の全部又は一部は、特定目的のロジック回路構成、例えばFPGA（フィールドプログラマブルゲートアレイ）及び/又はASIC（特定用途集積回路：application-specific integrated circuit）を使って行うことができる。

【0053】

コンピュータプログラムの実行に適したプロセッサには、例えば、一般及び特定目的マイクロプロセッサの両方、及びあらゆる種類のデジタルコンピュータの何れか1つ又は複数のプロセッサが含まれる。一般に、プロセッサは読取専用ストレージエリア若しくはランダムアクセスストレージエリア又はその両方から命令及びデータを受け取る。コンピュータの要素（サーバを含む）は、命令を実行するための1つ又は複数のプロセッサと、命令及びデータを記憶するための1つ又は複数のストレージエリアデバイスを含む。一般に、コンピュータはまた、1つ又は複数の機械可読記憶媒体、例えば磁気、磁気光ディスク、又は光ディスク等のデータ保存のためのマストレージデバイスを含むか、それからデータを受信する、又はそれにデータを送信する、又は両方のために動作的に連結されてもよい。コンピュータプログラム命令及びデータの具現化に適した機械可読記憶媒体には、例えば半導体ストレージエリアデバイス、例えばEPROM、EEPROM、及びフラッシュストレージエリアデバイス、磁気ディスク、例えば内蔵ハードディスク又はリムーバブルディスク、磁気光ディスク、並びにCD-ROM及びDVD-ROMディスクを含む、あらゆる形態の不揮発性ストレージエリアが含まれる。

20

30

【0054】

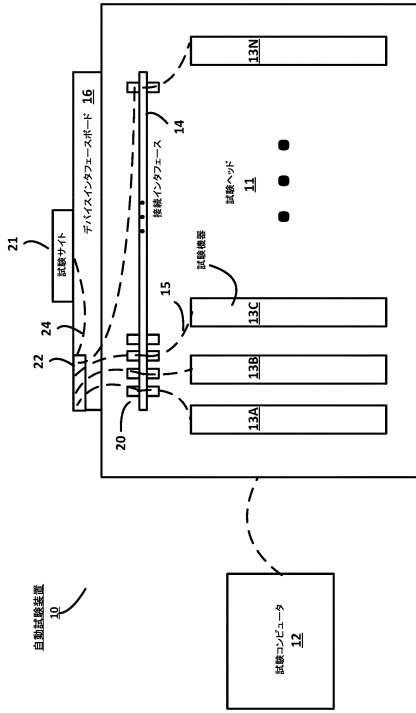
「電氣的接続」は何れも、本明細書で使用されるかぎり、直接的な物理的接続又は、介在部品を含むか、若しくは含まないが、それでもなお電気信号が接続された構成要素間で流れることができるようにするワイヤ若しくはワイヤレス接続を意味してよい。信号の流れを可能にする電気回路構成を含む何れの「接続」も、別段の明記がないかぎり、電氣的接続であり、「電氣的」という単語で「接続」が修飾されているか否かにかかわらず、必ずしも直接的な物理的接続であるとはかぎらない。

【0055】

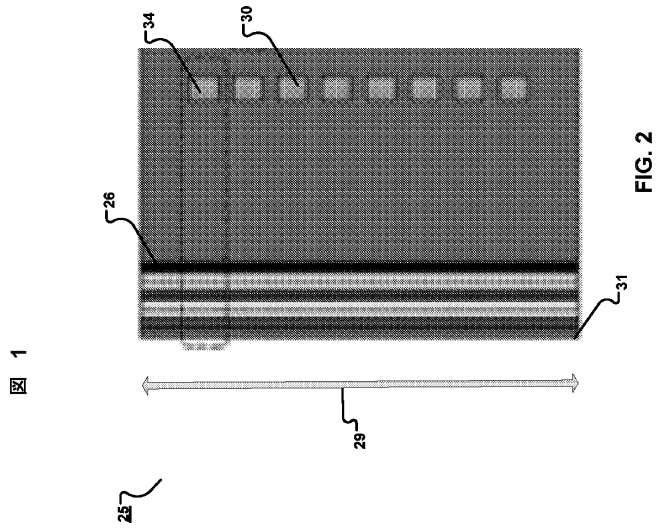
本明細書に記載の異なる実施態様の要素を組み合わせ、上で具体的に示されたもの以外の実施形態を形成してもよい。要素は、本明細書に記載の構造から、その動作に不利な影響を与えることなく、除外されてもよい。さらに、様々な別の要素を組み合わせ、1つ又は複数の個々の要素として、本明細書に記載の機能を実行してもよい。

40

【図面】
【図 1】



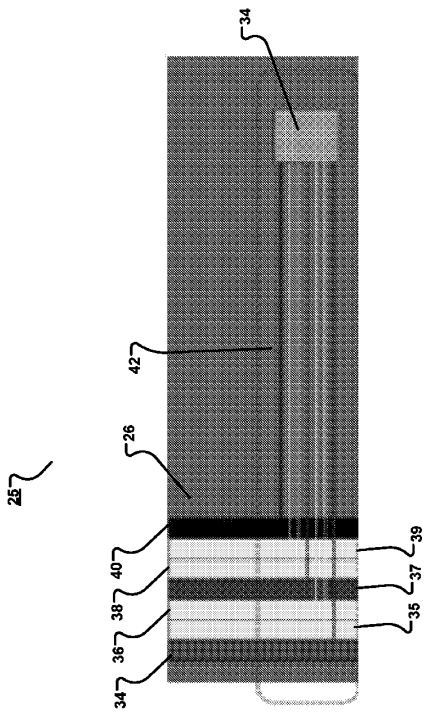
【図 2】



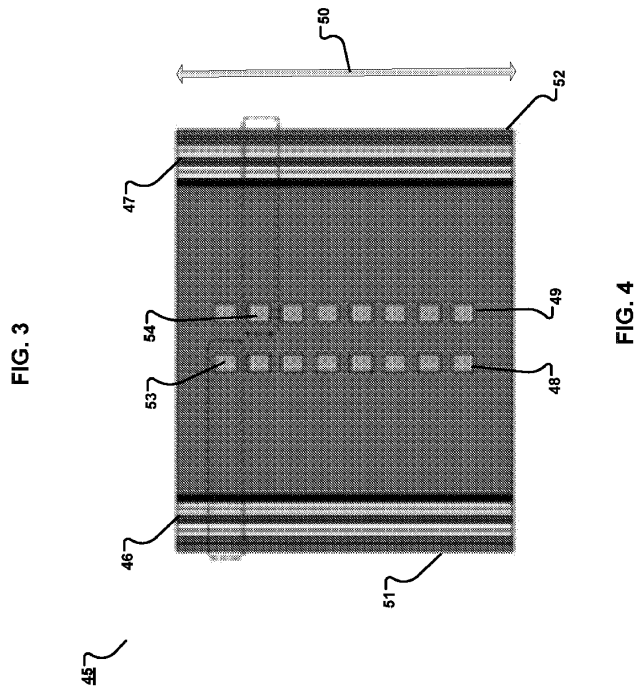
10

20

【図 3】



【図 4】



30

40

50

【 図 5 】

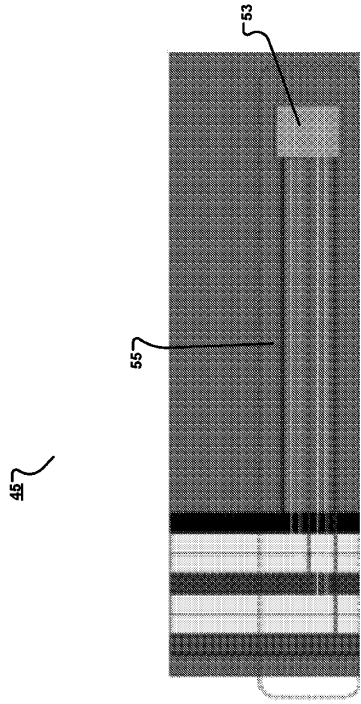


FIG. 5

【 図 6 】

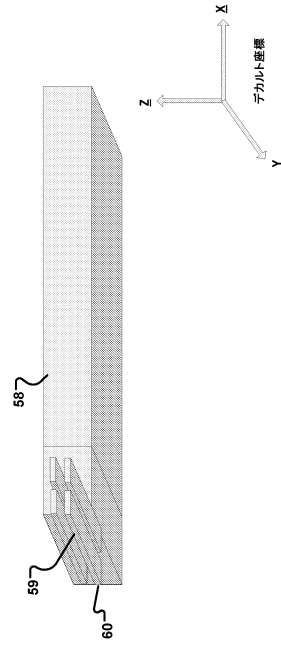


図 6

【 図 7 】

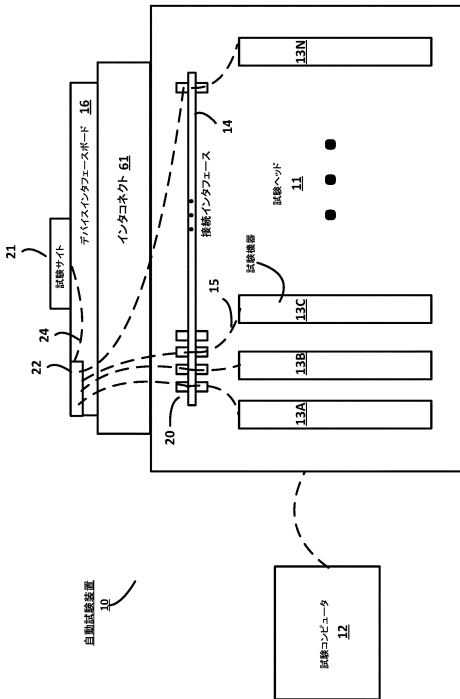


図 7

【 図 8 】

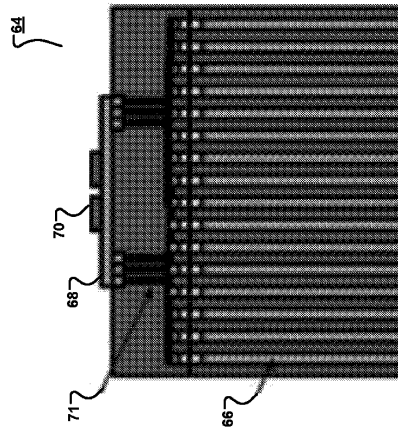


FIG. 8

10

20

30

40

50

フロントページの続き

- ニア州 ポーターランチ ダービー アヴェニュー 11888
 (72)発明者 マニング、 ケビン ピー .
 アメリカ合衆国 91360 カリフォルニア州 サウザンドオークス カートランド サークル 2
 070
- (72)発明者 ヤグマイ、 ロヤ
 アメリカ合衆国 91361 カリフォルニア州 ウェストレークビレッジ ランチグローブ ドライ
 ブ 2417
- (72)発明者 ファリス、 ティモシー リー
 アメリカ合衆国 93021 カリフォルニア州 ムーアパーク アットウッド コート 14078
- (72)発明者 パリッシュ、 フランク
 アメリカ合衆国 93021 カリフォルニア州 シミバレー シカモア グローブ ストリート 245
- 審査官 田口 孝明
- (56)参考文献 特開平10-213628(JP,A)
 特開2012-068220(JP,A)
 特開平11-083935(JP,A)
 特開平07-122601(JP,A)
 特開2009-198258(JP,A)
 国際公開第2016/017292(WO,A1)
 特開2015-179821(JP,A)
 特開2003-337310(JP,A)
 特表2002-502019(JP,A)
 特表2013-542440(JP,A)
 米国特許出願公開第2015/0377946(US,A1)
 米国特許出願公開第2008/0136439(US,A1)
 特開平04-323578(JP,A)
 特表2008-517267(JP,A)
 米国特許出願公開第2017/0212164(US,A1)
 特表2016-538718(JP,A)
 特表2013-506842(JP,A)
 米国特許出願公開第2005/0174137(US,A1)
 特表2016-521852(JP,A)
 国際公開第2017/091259(WO,A1)
- (58)調査した分野 (Int.Cl., DB名)
 IPC G01R 31/28 - 31/3193