



MINISTÈRE DES AFFAIRES ÉCONOMIQUES

N° 894.119

Classif. Internat. :

H03K/H03G

Mis en lecture le :

01-12-1982

Le Ministre des Affaires Économiques,

*Vu la loi du 24 mai 1854 sur les brevets d'invention ;*

*Vu la Convention d'Union pour la Protection de la Propriété Industrielle ;*

*Vu le procès-verbal dressé le 13 août 1982 à 15 h. 40*

*au Service de la Propriété industrielle ;*

## ARRÊTE :

**Article 1.** — Il est délivré à la Sté dite : RCA CORPORATION  
30 Rockefeller Plaza, New York, New York 10020 (Etats-Unis  
d'Amérique)

repr. par l'Office Kirkpatrick-G.C. Plucker à Bruxelles

un brevet d'invention pour : Matrice réglable à décalage et agencement  
de plusieurs de ces matrices

qu'elle déclare avoir fait l'objet d'une demande de brevet  
déposée en Grande-Bretagne le 14 août 1981, n° 81.24927  
et d'une demande de brevet déposée aux Etats-Unis  
d'Amérique le 31 mars 1982, n° 363.827 au nom de L.A.  
Christopher dont elle est l'ayant cause.

**Article 2.** — Ce brevet lui est délivré sans examen préalable, à ses risques et  
périls, sans garantie soit de la réalité, de la nouveauté ou du mérite de l'invention, soit  
de l'exactitude de la description, et sans préjudice du droit des tiers.

Au présent arrêté demeure joint un des doubles de la spécification de l'invention  
(mémoire descriptif et éventuellement dessins) signés par l'intéressé et déposés à l'appui  
de sa demande de brevet.

Bruxelles, le 31 août 1982

PAR DÉLÉGATION SPÉCIALE :

Le Directeur

L. SALPETEUR

89419

# MÉMOIRE DESCRIPTIF

DÉPOSÉ A L'APPUI D'UNE DEMANDE

DE

## BREVET D'INVENTION

FORMÉE PAR

RCA CORPORATION

p o u r

Matrice réglable à décalage et agencement de plusieurs de ces  
matrices.

-----

Demandes de brevets anglais n° 8124927 du 14 août 1981 et américain  
n° 363.827 du 31 mars 1982 en faveur de L.A. CHRISTOPHER.

-----

MDB.3

RCA 77399 A

La présente invention se rapporte à des circuits de filtrage numérique et plus particulièrement à des circuits à fonction de pondération pour des filtres numériques.

5 Dans un filtre numérique, des échantillons en séquence dans le temps d'un signal d'entrée numérique sont pondérés en multipliant les échantillons respectifs par des coefficients de pondération. Les échantillons pondérés sont accumulés à une sortie qui présente une caractéristique de réponse souhaitée.

10 Les filtres numériques peuvent être construits en utilisant soit des registres numériques à décalage à prises de sortie ou des registres numériques à décalage à prises d'entrée. Dans la variété à prise de sortie, les échantillons du signal numérique d'entrée sont décalés en série à  
15 travers le registre, qui a un certain nombre de prises de sortie en parallèle. Les signaux présents aux prises de sortie sont pondérés et les signaux pondérés sont alors additionnés pour produire un signal numérique et filtré de sortie. Dans les variétés à prise d'entrée, les échantillons  
20 du signal d'entrée numérique sont appliqués en parallèle à des circuits à fonction de pondération. Les échantillons résultants pondérés du signal sont alors appliqués en parallèle aux prises d'entrée respectives du registre à décalage. Les échantillons pondérés sont accumulés tandis  
25 que les signaux sont décalés à travers le registre pour produire un signal numérique filtré à la sortie du dernier étage du registre à décalage.

La caractéristique de réponse de chaque filtre est fonction du nombre d'échantillons qui sont accumulés

(également ordre du filtre) et des valeurs des coefficients qui pondèrent les échantillons. En conséquence, il est souhaitable de pouvoir contrôler dynamiquement les aléas des coefficients de pondération afin que la caractéristique de réponse et l'ordre du filtre puissent être dynamiquement modifiés afin de répondre, par exemple, à différentes caractéristiques de signaux. Par exemple, il est souhaitable qu'un filtre de signaux de chrominance dans un téléviseur présente une bande passante relativement large quand le signal de chrominance est relativement exempt de bruit et présente une bande passante relativement étroite quand le signal de chrominance est contaminé de bruit.

Selon les principes de l'invention, un circuit à fonction de pondération pour un filtre numérique est prévu qui multiplie effectivement un signal numérique par un coefficient de pondération exprimé comme un multiple d'une puissance inverse de deux. Le circuit à fonction de pondération comprend au moins une matrice à décalage pour décaler les bits du signal numérique vers les positions des bits d'ordre inférieur afin de former un signal de sortie pondéré.

Selon un autre aspect de l'invention, le circuit à fonction de pondération comprend des première et seconde matrices à décalage pour décaler les positions des bits du signal numérique appliqué. Les signaux de sortie des matrices sont additionnés pour produire un signal numérique pondéré.

Selon les principes d'un autre aspect de l'invention, au moins l'une des matrices est rendue programmable en utilisant des portes de transmission pour contrôler le décalage. Les portes de transmission répondent à des signaux de contrôle ou commande de coefficients pour décaler le signal numérique appliqué d'un nombre souhaité de positions de bit.

Dans un mode de réalisation préféré de la présente invention, le décalage séquentiel de une, deux ou quatre

positions de bit peut être obtenu sous le contrôle des signaux de contrôle de coefficient . La matrice à décalage peut également pouvoir produire une forme de signal à complément ou sans complément . La matrice peut de plus  
5 avoir la possibilité de mettre à zéro le signal appliqué, ce qui peut être fait quand on souhaite changer l'ordre du filtre. La matrice est appropriée à une fabrication sous forme de circuit intégré en utilisant une matrice de cellules de porte de construction identique pour donner à  
10 la fois compacité et facilité de disposition .

L'invention sera mieux comprise, et d'autres buts, caractéristiques, détails et avantages de celle-ci apparaîtront plus clairement au cours de la description explicative qui va suivre faite en référence aux dessins schématiques annexés donnés uniquement à titre d'exemple illustrant plu-  
15 sieurs modes de réalisation de l'invention et dans lesquels:

- la figure 1 illustre, sous forme de schéma bloc, un filtre numérique programmable;
- la figure 2 illustre, sous forme de schéma bloc,  
20 un circuit de fonction de pondération pour un filtre numérique construit selon les principes de l'invention;
- la figure 3 montre, sous forme de schéma bloc, une matrice à décalage programmable construite selon les principes de la présente invention;
- 25 - les figures 4 et 5 illustrent, sous forme de schéma bloc et schématique, respectivement, un registre à décalage de contrôle de coefficient adapté à une utilisation dans le circuit de fonction de pondération de la figure 2;
- la figure 6 illustre, sous forme schématique,  
30 la matrice à décalage programmable de la figure 3;
- la figure 7 illustre sous forme schématique, une cellule de la matrice à décalage de la figure 6.

En se référant à la figure 1, un filtre numérique pondéré à prise d'entrée est illustré sous forme de schéma  
35 bloc. Un signal numérique d'entrée  $x(n)$  est appliqué aux

entrées de multiplicateurs par des coefficients de pondération 20, 22, 24, 26 et 28. Les multiplicateurs multiplient le signal numérique d'entrée par des fonctions de pondération  $a_{N-1}$ ,  $a_{N-2}$ ,  $a_{N-3}$ ,  $a_1$  et  $a_0$ , respectivement. Les  
5 valeurs des fonctions de pondération sont établies par des mots de contrôle ou commandes de coefficients de pondération qui sont stockés dans des verrouillages ou registres à décalage 30, 32, 34, 36 et 38. Les mots de contrôle ou commande de coefficients sont décalés en série dans les verrouillages  
10 sur un bus de contrôle de coefficient 77, qui interconnecte les verrouillages.

Les signaux pondérés d'entrée produits aux sorties des multiplicateurs 22, 24, 26 et 28 sont appliqués aux entrées d'additionneurs 10, 12, 14 et 16 qui sont séparés par  
15 des éléments retardateurs d'une impulsion d'horloge représentés par la transformation de  $Z$ ,  $Z^{-1}$ . Un signal pondéré d'entrée produit à la sortie du multiplicateur 20 est appliqué à l'entrée du premier élément retardateur à la séquence alternée d'éléments retardateurs et d'additionneurs, qui forment  
20 un registre à décalage du filtre numérique. Les échantillons pondérés sont accumulés dans les additionneurs tandis que les signaux sont décalés à travers le registre, avec un signal filtré de sortie  $y(n)$  apparaissant à la sortie de l'élément retardateur final. L'ordre du filtre est déterminé par  
25 le nombre d'éléments retardateurs dans le registre à décalage; lequel est également égal au nombre de prises d'entrée du mode de réalisation de la figure 1. Les cinq entrées pondérées de prises sont séparées par quatre éléments retardateurs et suivies d'un cinquième élément retardateur pour  
30 former un filtre de cinquième ordre. L'ordre du filtre peut être accru en insérant des circuits supplémentaires de fonction de pondération, des additionneurs supplémentaires et des éléments retardateurs supplémentaires à l'emplacement indiqué par les lignes en pointillé afin de produire  
35 un filtre ayant une caractéristique de réponse différente.

La caractéristique du filtre peut également être modifiée en décalant des mots différents de contrôle de coefficient dans les verrouillages 30-38. Les nouveaux mots de contrôle de coefficient établiront des valeurs différentes pour les fonctions de pondération  $a_0$ - $a_{N-1}$ , forçant les signaux d'entrée à être différemment pondérés pour la production d'une caractéristique de réponse différente du filtre.

L'ordre du filtre peut également être modifié par les mots de contrôle de coefficient. Par exemple, les mots de contrôle de coefficient peuvent être décalés dans les verrouillages 30 et 38, forçant les fonctions de pondération  $a_0$  et  $a_{N-1}$  à avoir des valeurs de zéro. Cela forcera les multiplicateurs 20 et 28 à produire des signaux de sortie d'une valeur de zéro. Le filtre de la figure 1 sera alors un filtre de troisième ordre, avec des signaux pondérés non nuls appliqués aux additionneurs 10, 12 et 14. Le signal de sortie du filtre de troisième ordre est produit à la sortie de l'additionneur 14 et est retardé de deux cycles d'horloge par les éléments retardateurs qui suivent.

L'utilisation de multiplicateurs à coefficient dans un filtre numérique n'est généralement pas souhaitable du fait de leur complexité et de leur vitesse lente. La figure 2 montre un agencement d'un circuit de fonction de pondération, construit selon les principes de l'invention, qui remplace les paires verrouillage-multiplicateur de la figure 1. Sur la figure 2, les verrouillages des mots de contrôle de coefficient comprennent des registres à décalage semi-dynamiques couplés en série 72 et 74. La multiplication est accomplie par une technique de décalage et d'addition par des matrices à décalage 76 et 78 et additionneur 70. Le signal d'entrée  $x(n)$  est appliqué aux entrées des matrices à décalage, qui peuvent décaler les positions des bits du signal appliqué vers la droite (c'est-à-dire les positions des bits d'ordre inférieur) sous le contrôle des mots de contrôle de coefficient. Chaque matrice à décalage

peut également laisser le signal appliqué sans décalage, auquel cas le signal appliqué est pondéré d'une valeur de 1. Si le signal d'entrée est décalé vers la droite de la position d'un bit, il est pondéré d'un demi. Deux décalages  
 5 produisent des signaux pondérés de un quart et ainsi de suite. Les signaux décalés produits par les matrices à décalage sont combinés dans l'additionneur 70, qui produit un signal d'entrée bien pondéré pour une prise d'entrée du filtre.

Par exemple, on suppose que la matrice à décalage  
 10 76 décale le signal d'entrée  $x(n)$  vers la droite de trois positions de bit, ce qui produit  $(1/8)x(n)$ . On suppose également que la matrice 78 décale le signal d'entrée  $x(n)$  vers la droite de quatre positions de bit, ce qui produit  $(1/16)x(n)$ . L'additionneur 70 ajoutera ces deux signaux pon-  
 15 dérés pour produire un signal de sortie de  $(3/16)x(n)$ . Ainsi, le circuit de fonction de pondération de la figure 2 produit un signal  $x(n)$  qui est pondéré d'un terme qui est la somme de multiples de puissances inverses de deux.

Sur la figure 3, l'une des matrices à décalage de  
 20 la figure 2 est illustrée en plus de détails sous forme de schéma bloc. La matrice de la figure 3 reçoit des signaux de commande ou contrôle INVERSION,  $C_1$ ,  $C_2$  et  $C_4$ , et leurs compléments, qui sont des bits des mots de contrôle de coefficient stockés dans le registre à décalage semi-dyna-  
 25 mique approprié 72 ou 74. Un signal d'entrée  $x(n)$  de huit bits, dans cet exemple, est appliqué à l'entrée d'une section d'inversion 80 de la matrice à décalage. La section d'inversion 80 inversera le signal  $x(n)$  ou le laissera passer sans inversion, selon les valeurs des signaux  
 30 complémentaires de contrôle de commande INVERSION et INVERSION. Le signal produit par la section d'inversion est alors appliqué à une section de pondération de un demi 82, où il peut être pondéré de un demi ou bien il peut passer sans pondération, selon les valeurs des signaux  
 35 complémentaires de commande  $C_1$  et  $\bar{C}_1$ . Un signal à neuf bits

est produit par la section de pondération de un demi et il est appliqué à une section de pondération de un quart 84. Dans cette section, le signal peut être encore pondéré de un quart ou passer sans être pondéré, selon la valeur des signaux complémentaires de commande  $C_2$  et  $\bar{C}_2$ . Des signaux à onze bits produits par la section de pondération 84 sont appliqués à une section de pondération de un seizième 86, qui pondère le signal d'un autre facteur de un seizième ou le laisse passer sans être pondéré selon l'ajustement des signaux complémentaires de commande  $C_4$  et  $\bar{C}_4$ . Le signal pondéré est alors appliqué à une section de mise à zéro et tampon 88, qui reçoit un signal de commande d'une porte ET 87. Quand les signaux de commande  $C_1$ ,  $C_2$  et  $C_4$  appliqués à la porte ET 87 sont tous vrais, la section 88 produit un signal de sortie de valeur zéro. Autrement, le signal pondéré  $x(n)$  n'est que tamponné par la section 88 et appliqué à l'additionneur 70 de la figure 3.

La matrice à décalage de la figure 3 peut être contrôlée pour pondérer le signal  $x(n)$  par des facteurs de  $UN$ ,  $1/2$ ,  $1/4$ ,  $1/8$ ,  $1/16$ ,  $1/32$  ou  $1/64$  selon les valeurs des signaux de commande. Le signal pondéré peut alors être inversé (complément à un) ou peut passer sans être inversé quand les valeurs des signaux de commande INVERSION et INVERSION. Par exemple, si deux signaux pondérés doivent être soustraits, alors il faut d'abord prendre le complément à deux du signal à soustraire de l'autre. L'opération de prise du complément à deux produit un signal dont la valeur est le négatif de la valeur du signal d'entrée. Pour prendre le complément à deux d'un signal binaire, les bits du signal d'entrée sont d'abord inversés puis "1" en chiffre binaire est ajouté au résultat. Si il faut prendre le complément à deux de signaux pondérés, le signal de commande INVERSION peut également être appliqué à la position du bit le moins important (retenue) de l'additionneur 70 pour compléter le processus de prise du complément

à deux en ajoutant 1 à la somme du cumulateur et du cumulant.

La figure 4 montre un registre à décalage à quatre étages adapté à une utilisation pour l'un des registres semi-dynamiques à décalage 72 ou 74 de la figure 2. Le bus de contrôle de coefficient 77 applique l'information de mot de contrôle de coefficient à l'entrée du premier étage 40 de quatre étages de verrouillages couplés en série 40-46. L'information est transférée à travers les étages par des signaux complémentaires d'horloge  $\phi$  et  $\bar{\phi}$ . Quand les signaux  $\phi$  et  $\bar{\phi}$  s'arrêtent, l'information est maintenue dans les étages par des signaux d'horloge complémentaires ECRITURE et ECRITURE. L'information du mot de contrôle de coefficient passe en série à travers tous les verrouillages dans tous les circuits de fonction de pondération du filtre jusqu'à ce que les mots appropriés soient contenus dans les registres appropriés. Dans ces conditions, les signaux complémentaires INVERSION sont maintenus dans l'étage de verrouillage 40, les signaux  $C_1$  et  $\bar{C}_1$  sont maintenus dans les étages 42, les signaux  $C_2$  et  $\bar{C}_2$  sont maintenus dans l'étage 44, et les signaux  $C_4$  et  $\bar{C}_4$  sont maintenus dans l'étage 46.

En se référant à la figure 5, un verrouillage semi-dynamique adapté à une utilisation comme étage de verrouillage 40, 42, 44 ou 46 dans le registre à décalage de la figure 4, est illustré sous forme schématique. Quatre des verrouillages de la figure 5 peuvent être montés en cascade pour produire le registre à décalage à quatre étages de la figure 4.

Sur la figure 5, le signal de contrôle ou commande de coefficient est appliqué à une porte de transmission 200, comprenant deux transistors MOS 202 et 204 complémentaires du type p et du type n couplés de la source au drain. La sortie de la porte de transmission 200 est couplée à l'entrée d'un inverseur 208, dont la sortie est couplée à l'entrée d'un inverseur 208, dont la sortie est couplée à une seconde porte de transmission 210 comprenant des transistors complémentaires MOS couplés de la source au

drain 212 et 214. La sortie de la porte de transmission 210 est couplée à l'entrée de l'inverseur 218, dont la sortie est couplée à l'entrée d'une troisième porte de transmission, 220, comprenant des transistors MOS complémentaires 222 et 224 couplés de la source au drain. La sortie de la porte de transmission 220 est couplée à l'entrée de l'inverseur 208. Les signaux complémentaires de sortie SORTIE et ~~SORTIE~~ sont produits aux sorties des inverseurs 218 et 208.

10 L'étage de verrouillage semi-dynamique de la figure 5 est déclenché par des signaux complémentaires d'horloge  $\phi$  et  $\bar{\phi}$ , tandis que la porte 220 est ouverte parce que le signal ECRITURE est à l'état haut et que le signal ~~ECRITURE~~ est à l'état bas. Quand le signal d'horloge  $\bar{\phi}$  est bas et  
15 que le signal d'horloge  $\phi$  est haut, le signal de contrôle de coefficient est conduit par la porte de transmission 200 et stocké dans la capacité d'entrée 206 de l'inverseur 208. Les signaux d'horloge  $\phi$  et  $\bar{\phi}$  changent alors d'état (c'est-à-dire que l'horloge  $\bar{\phi}$  passe à l'état haut et  $\phi$  passe  
20 à l'état bas), ce qui ouvre la porte de transmission 200 et rend la porte de transmission 210 conductrice. Le niveau du signal à l'entrée de l'inverseur 208 est inversé, transmis par la porte 210, et maintenu à la capacité d'entrée 216 de l'inverseur 218. Quand le verrouillage a été chargé avec  
25 des valeurs souhaitées, le signal ECRITURE passe à l'état bas et le signal ~~ECRITURE~~ passe à l'état haut, ce qui rend la porte de transmission 220 conductrice. Le niveau du signal à l'entrée de l'inverseur 218 est inversé par cet inverseur et transmis par la porte 220, renforçant  
30 ainsi le niveau du signal stocké à l'entrée de l'inverseur 208. Le signal de sortie de l'inverseur 208 continue à être conduit par la porte 210 pour renforcer le niveau du signal maintenu à l'entrée de l'inverseur 218. Ainsi, les niveaux des signaux stockés sont maintenus aux entrées des deux  
35 inverseurs par contre réaction positive et les signaux

complémentaires de SORTIE et SORTIE sont présentés à la matrice à décalage par le verrouillage.

La figure 6 montre un mode de réalisation plus détaillé des matrices 76 ou 78 de la figure 2, adapté à une fabrication sous forme de circuit intégré MOS. Sur cette figure des trajets métallisés sont représentés par les lignes en traits épais, les trajets de couches de diffusion sont représentés par les lignes en traits minces et les trajets de polysilicium sont représentés par les pointillés minces. Les intersections des trajets du même type signifient des connexions à ces points. Les signaux sont acheminés à travers la matrice par des portes de transmission formées par les intersections des trajets de couche de diffusion et des trajets de polysilicium sous le contrôle des niveaux des signaux sur les trajets de polysilicium. Quand le signal sur le trajet de polysilicium est à l'état haut, les signaux peuvent passer par ce point dans le trajet de couche de diffusion ; quand le signal sur le trajet de polysilicium est à l'état bas, les signaux sont inhibés et ne peuvent passer par ce point dans le trajet de couche de diffusion. Les portes de transmission 50 et 90 sont des exemples et seront décrites en plus de détails ci-après.

Les bits  $B_7-B_0$  d'un signal d'entrée à huit bits  $x(n)$  sont appliqués à une première colonne 100 de huit inverseurs dans la section d'inversion de la matrice à décalage. Chacun de ces inverseurs est bypassé par un trajet de signaux commandés qui est partiellement un conducteur métallisé et partiellement un trajet de couche de diffusion. Les sorties des huit premiers inverseurs sont couplés aux entrées d'une seconde colonne 102 de huit inverseurs. Les signaux de sortie sont produits par la seconde colonne d'inverseurs sur sept trajets de signaux de couche de diffusion 110-116 et un trajet 117 qui est partiellement un conducteur métallisé et partiellement un trajet de diffusion.

Les huit trajets de signaux 110-117 passent d'abord

par la section de pondération de un demi 82, comprenant un trajet de polysilicium 130 qui transfère le signal de commande  $\bar{C}_1$  et un trajet de polysilicium et métallisé 132 qui transfère le signal de commande  $C_1$ . Les huit trajets de signaux 5 110-117 et un trajet du signal de bit d'ordre inférieur 120 passent ensuite par la section de pondération de un quart 84, comprenant un trajet en polysilicium 140 qui transfère le signal de commande  $\bar{C}_2$  et un trajet en polysilicium et métallisé 142 qui transfère le signal de  $C_2$ . Les huit trajets de signaux 10 110-117 et trois trajets de signaux de bits d'ordre inférieur 120-122 passent alors par la section de pondération de un seizième 86, comprenant un trajet en polysilicium 150 qui transfère le signal de commande  $\bar{C}_4$  et un trajet de polysilicium et métallisé 152 qui transfère le signal de commande  $C_4$ . 15 Enfin, les huit trajets de signaux 110-117 et les trois trajets de signaux de bit d'ordre inférieur 120-122 passent par une section de mise à zéro et tampon 88. Un circuit de mise à zéro 160, comprend un trajet de polysilicium 166, une couche de diffusion et un trajet métallisé 162 ainsi qu'un 20 bus métallisé 164 de mise à la masse. Les onze trajets de signaux sont alors couplés aux inverseurs à des colonnes 170 et 172 qui produisent onze bits de sortie  $WB_7-WB_3$ .

Le circuit 160 de mise à zéro est commandé par des signaux d'une porte ET 87, qui reçoit les signaux d'entrée 25 des trajets 132, 142 et 152 de  $C_1$ ,  $C_2$  et  $C_4$ . La sortie de la porte ET 87 est couplée au trajet métallisé et de polysilicium 162 et à l'entrée d'un inverseur 165. La sortie de l'inverseur 165 est couplée à un trajet de polysilicium 166.

Si le signal d'entrée  $x(n)$  ne doit pas être inversé, 30 le signal INVERSION est bas et le signal INVERSION est haut. Le signal INVERSION à l'état bas ouvre les portes de transmission (comme on l'a décrit ci-dessus) dans les trajets de signaux qui bypassent les premiers inverseurs 100 et le signal INVERSION à l'état haut ferme les portes de transmission 35 aux entrées des premiers inverseurs 100. Les huit bits du

signal d'entrée sont alors doublement inversés par deux inverseurs de chaque trajet de bit et les signaux aux lignes 110-117 ne sont pas inversés par rapport aux signaux d'entrée.

Le signal INVERSION est également appliqué aux entrées de trois inverseurs 104, 106 et 108, dont les sorties sont couplées aux entrées des trajets de signaux de bit d'ordre inférieur 120, 121 et 122, respectivement. Quand le signal d'entrée ne doit pas être inversé, le signal INVERSION à l'état haut force les inverseurs 104, 106 et 108 à appliquer des niveaux de signaux de valeur nulle aux entrées des trajets de signaux de bit d'ordre inférieur 120, 121 et 122.

Quand la section d'inversion 80 doit inverser le signal d'entrée, le signal INVERSION est à l'état bas et le signal INVERSION est à l'état haut. Le signal INVERSION ouvre alors les portes de transmission aux entrées de la première colonne 100 d'inverseurs et le signal INVERSION ferme les trajets qui bypassent les premiers inverseurs. Les bits du signal d'entrée sont alors inversés une fois seulement par les inverseurs 102. En même temps, le signal INVERSION à l'état bas aux entrées des inverseurs 104, 106 et 108 produit des signaux au niveau un logique aux entrées des trajets de bit fractionnés 120, 121, 122. Cela produit un signal à onze bits totalement complété à la sortie de la matrice à décalage.

Quand le signal d'entrée doit être pondéré de un-demi par la section de pondération 82, le signal  $C_1$  est à l'état haut et le signal  $\bar{C}_1$  est à l'état bas. Le signal  $C_1$  à l'état haut sur le trajet de contrôle 132 ferme alors les trajets en diagonale connectant des trajets adjacents de signaux. Le trajet de contrôle ou commande 130 ouvre également les trajets de signaux 110-116 et 120 à des points suivant les points de départ pour les trajets en diagonale et avant les points où les signaux sont appliqués aux trajets inférieurs respectivement. Ainsi, les signaux au conducteur 117 seront conduits vers le trajet 116, les signaux sur le trajet 116 seront conduits au trajet 115 et ainsi

de suite (les signaux sur le trajet 117 resteront sans être affectés car le trajet 117 est un trajet métallisé). Si la section de pondération 82 doit laisser passer le signal d'entrée sans décalage, le signal  $C_1$  est à l'état bas, ce  
 5 qui ouvre les trajets en diagonale et le signal  $\bar{C}_1$  ferme le trajet 110-116 et 120 à travers la section.

Les sections 84 et 86 fonctionnent d'une façon analogue à la section 82 à l'exception que le signal d'entrée est décalé de deux et de quatre positions de bit, respecti-  
 10 vement, par ces sections. Les trajets de contrôle ou de commande 140 et 150 commandent les portes de transmission dans les trajets directs 110-116 et 120-122, et les trajets de commande 142 et 152 commandent les portes de transmission dans les trajets en diagonale pour un décalage. Toutes les sec-  
 15 tions de pondération 82, 84 et 86 reproduisent également le bit le plus important  $B_7$  tandis que le signal est décalé vers le bas, pour addition subséquente du complément à deux. Par exemple, quand le signal d'entrée est pondéré de un seizième par la section 86, le signal  $B_7$  du trajet 117 est également appliqué aux trajets 116, 115 et 114 ainsi qu'au trajet  
 20 113 par le trajet de diffusion 154.

Quand les signaux ou commandes  $C_1$ ,  $C_2$  et  $C_4$  sont tous à l'état haut, le signal de la matrice de décalage est remis à zéro. La combinaison de ces trois signaux par la  
 25 porte ET 87 place un signal à l'état haut au conducteur 162. Ce signal à l'état haut connecte alors les trajets de signaux 110-122 au bus à la masse 164. En même temps, l'inverseur 165 et le trajet de polysilicium 166 ouvrent tous les trajets de signaux (comprenant 117, qui est un trajet de couche de  
 30 diffusion) avant les points auxquels ils sont mis à la masse. Un signal n'ayant que des zéros est alors produit à la sortie des inverseurs tampon 170 et 172.

A titre d'exemple, on suppose que le signal  $x(n)$  doit être pondéré d'un facteur de  $1/64$ . Cela est accompli  
 35 par l'opération des sections de pondération 84 et 86, qui ensemble produisent un décalage de six positions de bits.

Le bit  $B_5$  sera placé sur le trajet 115, par les inverseurs des colonnes 100 et 102 et passera directement à travers la section de pondération de un-demi 82 en restant sur le trajet 115. Le bit  $B_5$  sera alors conduit au trajet de signaux 113 par la section de pondération 84, puis au trajet 120 par la section de pondération 86. Le bit  $B_5$  d'origine du signal d'entrée passera alors à travers la sortie  $WB_1$ , avec un décalage de six places à partir de sa position d'origine. Tous les bits du signal d'entrée seront décalés de cette façon, pondérant ainsi les  $x(n)$  signaux d'entrée d'un facteur de  $1/64$ .

En raison du fonctionnement de la section d'inversion 80, les circuits de fonction de pondération de la matrice à décalage utilisant la matrice de la figure 6 peuvent produire  $x(n)$  signaux d'entrée pondérés de termes qui sont soit une somme ou une différence de multiples de puissances inverses de deux. Par exemple, on suppose que le circuit de fonction de pondération de la figure 2 doit pondérer un signal appliqué d'un facteur de  $15/64$ . L'une des matrices peut être contrôlée pour décaler le signal appliqué de deux positions de bit, produisant ainsi un signal de la forme  $(1/4)x(n)$ . L'autre matrice peut être contrôlée pour décaler le signal appliqué de six positions de bit, produisant ainsi un signal de forme  $(1/64)x(n)$ . Si les signaux de cette matrice sont inversés et que "1" est ajouté au résultat, un signal de la forme  $(-1/64)x(n)$  est produit. L'inversion est produite par le fonctionnement de la section d'inversion 80 de la matrice à décalage, et le "1" est ajouté en plaçant "1" à l'entrée de retenue de l'additionneur 70, comme on l'a décrit ci-dessus. Quand l'additionneur 70 ajoute deux signaux, il en résulte un signal pondéré de la forme  $(15/64)x(n)$ . Un tel terme ne peut être produit par deux matrices à décalage sans caractéristique d'inversion.

La matrice de la figure 6 peut se composer d'un certain nombre de cellules de constructions identiques comme celle représentée sur la figure 7. La cellule de la

figure 7 contient des portions de matrice à décalage, et on l'utilise pour construire les deux matrices 76 et 78 de la figure 2. L'agencement fini de cellule contiendra les deux matrices en configuration imbriquée pour un usage économique d'un dispositif semi-conducteur.

La cellule de la figure 7 comprend quatre portes de transmission 50, 90, 50' et 90' chacune comprenant des transistors MOS couplés en parallèle. Les portes 50 et 90 dirigent les bits d'une matrice à décalage et les portes 50' et 90' dirigent les bits de la seconde matrice à décalage. Le bit  $B_5$  au conducteur 115 de la première matrice est appliqué aux transistors 52 et 54 de la porte 50. Le conducteur 115 continue à la sortie de la porte 50. Le bit  $B_6$  au conducteur 116 de la première matrice est appliqué aux transistors 92 et 94 de la porte 90. La sortie de la porte 90 est également connectée à la continuation du conducteur 115. Les transistors 52 et 94 sont contrôlés par le signal  $C_1$  sur la ligne de contrôle ou commande 132 et les transistors 54 et 92 sont contrôlés par le signal  $\bar{C}_1$  sur la ligne de contrôle ou commande 130.

L'autre moitié de la cellule de la figure 7 dirige les bits de la seconde matrice à décalage et est construite d'une façon analogue à la première moitié. Le bit  $B'_5$  au conducteur 115' de la première matrice est couplé à l'entrée de la porte 50', dont la sortie est couplée à la continuation du conducteur 115'. Le bit  $B'_6$  au conducteur 116' de la seconde matrice est couplé à l'entrée de la porte 90', dont la sortie est également couplée au conducteur 115'. Les transistors 92' et 54' des portes 90' et 50' sont contrôlés par le signal  $C'_1$  sur la ligne de contrôle ou commande 132' et les transistors 94' et 52' des portes 90' et 50' sont contrôlés ou commandés par le signal  $\bar{C}'_1$ , sur la ligne de contrôle ou commande 130'.

La cellule de la figure 7 est agencée comme faisant partie de la section de pondération de un demi de la figure 6, où les portes de transmission 50 et 90 sont désignées

par des repères correspondants dans la matrice 76 de la figure 2 par exemple. Les deux moitiés de la cellule fonctionnent indépendamment selon respectivement les signaux de commande  $C_1$ ,  $\bar{C}_1$  et  $C'_1$ ,  $\bar{C}'_1$ . Par exemple, si le signal de commande  $C_1$  est à l'état bas et que le signal  $\bar{C}_1$  est à l'état haut, la section 82 laisse passer les bits appliqués sans décalage. Dans ces conditions, les transistors 52 et 54 de la porte 50 sont conducteurs et les transistors 92 et 94 de la porte 90 sont ouverts. Le bit  $B_5$  au conducteur 115 est alors conduit par la porte 50 et apparaît sur la continuation du conducteur 115 à la sortie de la porte. Le bit  $B_5$  passe alors à la section suivante de pondération 84 de la première matrice.

Quand on souhaite pondérer le signal d'entrée d'un facteur de un demi, le signal  $C_1$  est à l'état haut et le signal  $\bar{C}_1$  est à l'état bas. Dans ces conditions, les transistors 92 et 94 sont rendus conducteurs et les transistors 52 et 54 sont ouverts. Le bit  $B_6$  au conducteur 116 est alors conduit par la porte 90 et apparaît sur la continuation du conducteur 115. Le bit  $B_6$  a alors été décalé à la position du bit  $B_5$  d'origine, un décalage d'une position de un bit, et passe à la section de pondération suivante 84.

La moitié inférieure de la cellule accomplit une fonction semblable dans la seconde matrice à décalage 78 de la figure 2, par exemple. Quand le signal  $C'_1$  est bas et que le signal  $\bar{C}'_1$  est haut, le bit  $B'_5$  au conducteur 115' est conduit par la porte 50' jusqu'à la continuation du conducteur 115' et à la section 84' suivante. Quand le signal  $C'_1$  est haut et que le signal  $\bar{C}'_1$  est bas, la porte 90' est conductrice pour laisser le bit  $B'_6$  du conducteur 116' à la continuation du conducteur 115'.

Quand la cellule de la figure 7 est fabriquée sous forme d'un agencement de cellules semblables sur une partie de circuit intégré, les deux matrices sont entremêlées à la façon d'un échiquier. La cellule placée en-dessous de la cellule de la figure 7 recevra les bits  $B_5$ ,  $B_4$ ,  $B'_5$  et  $B'_4$ .

et produira des signaux sur la continuation du conducteur 114 et 114'. Dans la section de pondération de un quart 84, une cellule recevra les bits  $B_6$ ,  $B_4$ ,  $B'_6$  et  $B'_4$  et produira des signaux de sortie sur la continuation des conducteurs 114 et 114'.

On a trouvé que la disposition du circuit intégré était facilitée en inversant l'ordre des matrices d'une cellule verticale à l'autre. Par exemple, sur la figure 7, les bits  $B_6$  et  $B_5$  de la première matrice sont appliqués à la première moitié supérieure de la cellule et les bits  $B'_6$  et  $B'_5$  de la seconde matrice sont appliqués à la moitié inférieure de la cellule. Dans la cellule verticale suivante de l'agencement, les bits  $B'_5$  et  $B'_4$  de la seconde matrice sont appliqués à la moitié supérieure de la cellule et les bits  $B_5$  et  $B_4$  de la première matrice sont appliqués à la moitié inférieure.

On peut également noter que les cellules peuvent être avancées avec leurs entrées et sorties inversées par rapport à ce qui est représenté sur la figure 7. Au lieu de multiplexer deux bits d'entrée sur une ligne de sortie, les cellules peuvent également être agencées pour multiplexer un bit d'entrée sur l'une des deux lignes de sortie.

Les circuits de fonction de pondération et les matrices à décalage de la présente invention sont particulièrement utiles dans un filtre modulaire du type décrit dans la demande de brevet U.S. N° 363 827, intitulée "Folder FIR Filters", de Lauren A. Christopher et Steven A. Steckler.

## RE V E N D I C A T I O N S

1. Matrice à décalage réglable ayant des bornes d'entrée et de sortie répondant à des bits d'un mot de signal d'entrée auxdites bornes d'entrée en ordre ascendant d'une position du bit le moins important à la position du bit le plus important pour produire de façon réglable un signal de sortie auxdites bornes de sortie où les bits du signal d'entrée peuvent occuper respectivement différentes positions, caractérisées par :

un certain nombre de sections comprenant au moins une section de division (84) couplée entre lesdites bornes d'entrée et de sortie ayant des entrées et sorties comprenant un moyen de commutation commandé (50, 90) répondant à un premier signal de commande ( $C_2$ ,  $\bar{C}_2$ ) pour sélectivement laisser passer les bits sur les lignes d'entrée de division vers les lignes de sortie de division du même ordre que les positions des bits sur les lignes d'entrée de division ou transférer les bits sur les lignes d'entrée de division à des lignes de sortie de division qui sont plus d'une position de bit plus bas, en ordre, que les positions des bits des lignes d'entrée de division.

2. Matrice selon la revendication 1, caractérisée en ce que la section de division (84) comprend une section de division par quatre pour sélectivement transférer les bits des lignes d'entrée de division à des lignes de sortie de division qui sont à deux positions de bit plus bas, en ordre, que les positions des lignes d'entrée de division; et comprend de plus :

une section de division par seize (86) couplée entre les bornes d'entrée et les bornes de sortie, et ayant des entrées et des sorties et comprenant un moyen de commutation commandé (50, 90) répondant à un second signal de commande ( $C_4$ ,  $\bar{C}_4$ ) pour sélectivement laisser les bits sur les lignes d'entrée de division par seize aux lignes de sortie de division par seize du même ordre que les positions des

bits des lignes d'entrée de division par seize ou transférer les bits d'entrée de division par seize à des lignes respectives de sortie de division par seize qui sont à quatre positions de bits plus bas, en ordre, que les positions des bits des lignes d'entrée de division par seize;

5 une section de division par deux (82) entre les bornes d'entrée et de sortie, ayant des entrées et des sorties comprenant un moyen de commutation commandé (50,90) répondant à un troisième signal de commande (C1, C 1) pour  
10 laisser sélectivement passer les bits des signaux d'entrée de division par deux aux lignes de sortie de division par deux du même ordre que les positions des bits d'entrée de division par deux, ou transférer les bits d'entrée de division par deux à des lignes respectives de sortie de division  
15 par deux qui sont une position de bit plus basse dans l'ordre que les positions d'entrée de division par deux.

3. Matrice selon la revendication 2, caractérisée par une section d'inversion (80) couplée entre les bornes d'entrée et de sortie ayant des entrées et des sorties répondant à un quatrième signal de commande (INVERSION,  
20 INVERSION) pour sélectivement laisser passer les bits aux entrées d'inverseurs sous une forme inversée ou une forme non inversée vers les sorties d'inverseur .

4. Matrice selon la revendication 2, caractérisée  
25 par une section de mise à zéro (160) couplée entre les bornes d'entrée et de sortie ayant des entrées et des sorties, et répondant à un quatrième signal de commande (C1 . C2 . C3) pour laisser passer sélectivement les bits présents aux lignes d'entrée de mise à zéro vers les sorties de mise à zéro  
30 ou produire des signaux à un niveau de bit de zéro aux sorties de mise à zéro.

5. Matrice selon la revendication 2, caractérisée par un certain nombre de tampons (170,172) couplés entre les bornes d'entrée et de sortie ayant des entrées respecti-  
35 ves et un certain nombre de sorties.

6. Matrice selon l'une quelconque des revendications précédentes, caractérisée en ce que le moyen de commutation commandé (50,90) comprend des portes de transmission.

5 7. Matrice selon l'une quelconque des revendications précédentes, caractérisée en ce que c'est un système de traitement de signaux numériques pour décaler de façon réglable les bits de mots numériques appliqués à des positions différentes de bits, ledit système de traitement comprenant :

10 une source de signaux de commande de décalage (30, 32, 34, 36, 38) où :

la matrice à décalage réglée (20, 22, 24, 26, 28) a les bornes d'entrée couplées pour recevoir les bits des mots numériques ( $x(n)$ ), des signaux de commande ( $a_{N-1}$ ,  $a_{N-2}$ ,  $a_{N-3}$ ,  $a_1$ ,  $a_0$ ) sont couplés pour recevoir les signaux de commande de décalage et qui produit des mots numériques décalés de façon réglable aux bornes de sortie.

8. Matrices à décalage réglable réglables de préférence du type selon la revendication 1, caractérisé en ce qu'elles sont dans un filtre numérique qui produit des signaux filtrés de sortie ( $y(n)$ ) en combinant des signaux pondérés en séquence dans le temps ( $x(n)$ ) d'un signal d'entrée numérique et comprend un circuit de fonction de pondération (20, 22, 24, 26, 28) comprenant :

25 une première matrice de décalage réglable (76) ayant les bornes d'entrée et qui reçoit un signal numérique ( $x(n)$ ) qui doit être pondéré et dont les bornes de sortie produisent un signal numérique décalé d'un premier nombre prédéterminé de position de bit ;

30 une seconde matrice à décalage réglable (78) ayant des bornes d'entrée pour recevoir le signal numérique et des bornes de sortie qui produisent le signal numérique décalé d'un second nombre prédéterminé de positions de bit;

35 un additionneur (70) ayant une première entrée couplée aux bornes de sortie de la première matrice à décalage réglable, une seconde entrée couplée aux bornes de sortie de la seconde matrice à décalage réglable et une

sortie où est produit un signal pondéré ( $x(n)$ ) PONDERE.

9. Matrices selon la revendication 8, caractérisées par :

5 une source de signaux de commande de matrice à décalage (77); et

un premier registre (72) ayant une entrée couplée pour recevoir lesdits signaux de commande et une sortie couplée à la première matrice à décalage réglable (76), pour lui appliquer les signaux de commande, et

10 lesdits signaux de commande commandant la première matrice à décalage réglable afin de décaler les signaux numériques appliqués par le premier nombre prédéterminé de position de bit .

10. Matrices selon la revendication 9, caractérisées par un second registre (74) ayant une entrée couplée pour recevoir les signaux de commande de la matrice à décalage et une sortie couplée à la seconde matrice à décalage réglable (78) afin de contrôler la seconde matrice à décalage réglable pour décaler les signaux numériques appliqués par le second nombre prédéterminé de positions de bit .

11. Matrices selon la revendication 8 , caractérisée en ce que la première matrice à décalage réglable comprend :

25 les bornes d'entrée recevant des bits du signal numérique ( $x(n)$ ) ;

une première section à décalage (82) couplée aux bornes d'entrée de la première matrice à décalage pour décaler de façon réglable les bits du signal numérique d'une position;

30 la section de division (84) reliée à la première section pour décaler de façon réglable les bits du signal numérique de deux positions;

une seconde de décalage (86) couplée à la section de division pour décaler de façon réglable les bits du signal numérique de quatre positions.

12. Matrices selon la revendication 11,  
caractérisées en ce que les sections de décalage et de divi-  
sion (82,84, 86) comprennent chacune un certain nombre de  
portes de transmission (50 , 90) pour décaler de façon ré-  
glable les bits du signal numérique ( $x(n)$ ) vers les positions  
5 d'ordre inférieur du signal numérique de sortie.

13. Matrices selon la revendication 12, caractérisées  
par une section d'inversion (80) reliée à la première section  
de décalage pour compléter de façon réglable les bits du si-  
10 gnal numérique.

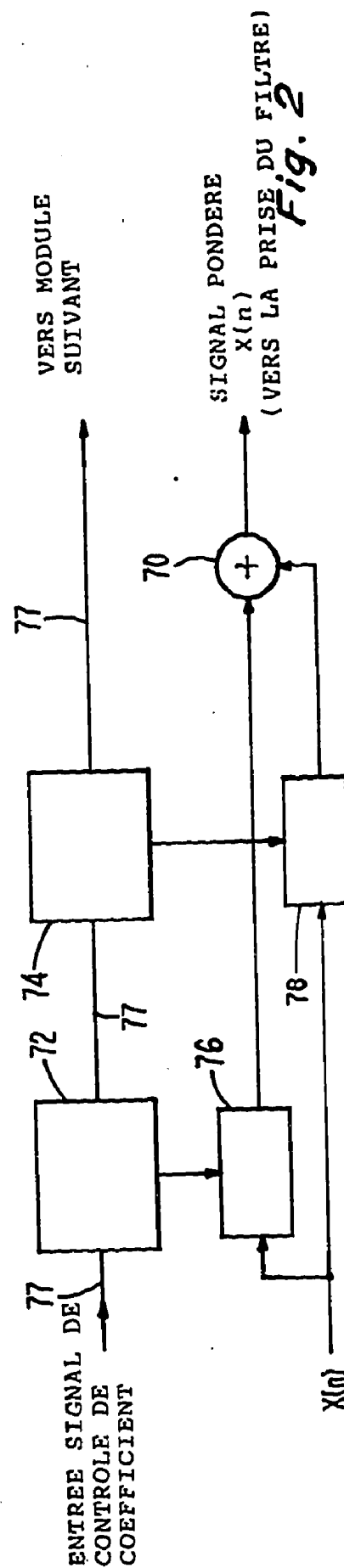
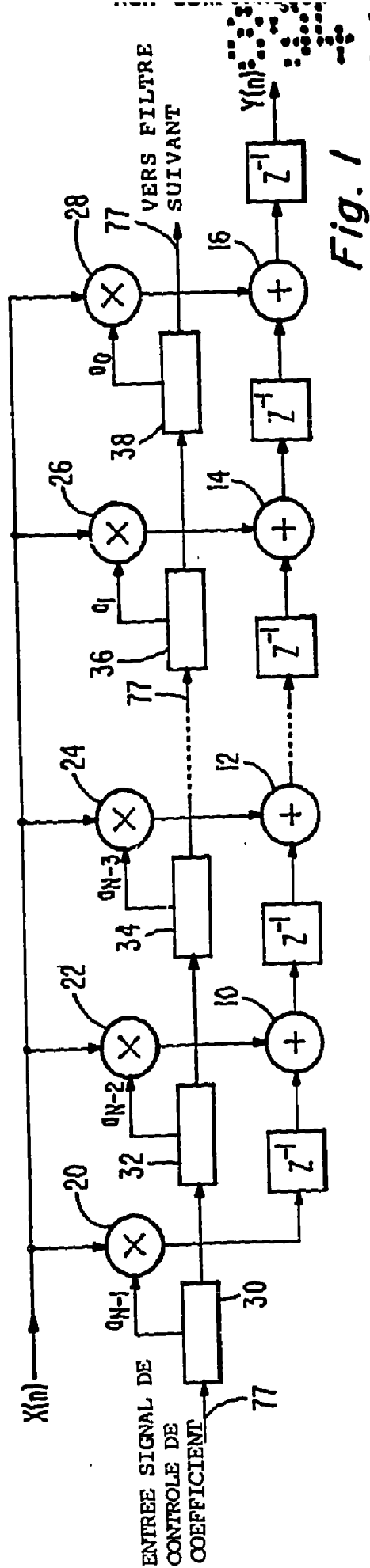
14. Matrices selon la revendication 12,  
caractérisées par une section de mise à zéro (88) couplée  
à la troisième section de décalage, pour forcer de façon  
réglable les bits du signal numérique à des valeurs de bit .

Bruxelles, le 13 août 1982

P.Pon. de RCA CORPORATION

OFFICE KIRKPATRICK - G.C. PLUCKER

*mi*



Bruxelles, le 13 août 1982  
P.Pon. de FCA CORPORATION  
OFFICE KIRKPATRICK - G.C. PLUCKER

8419

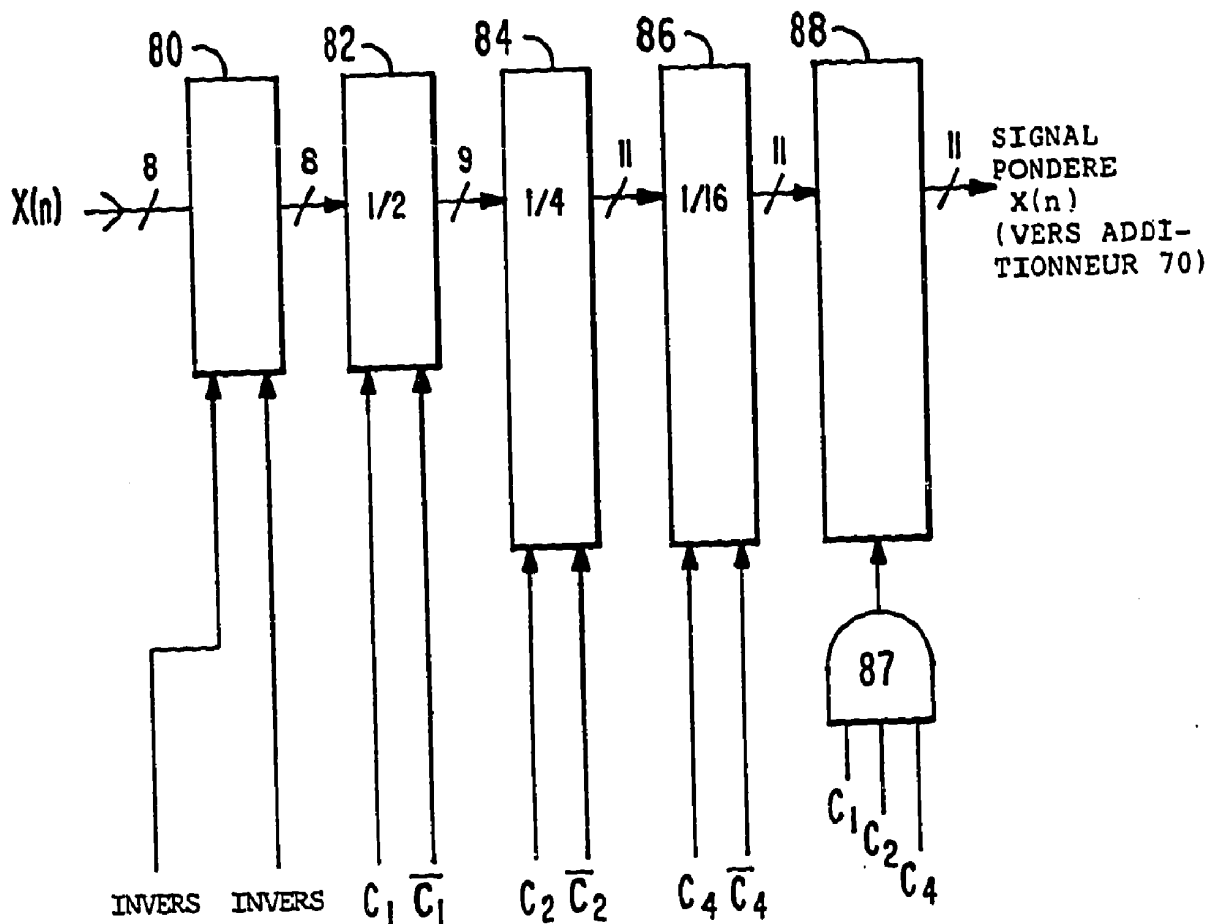


Fig. 3

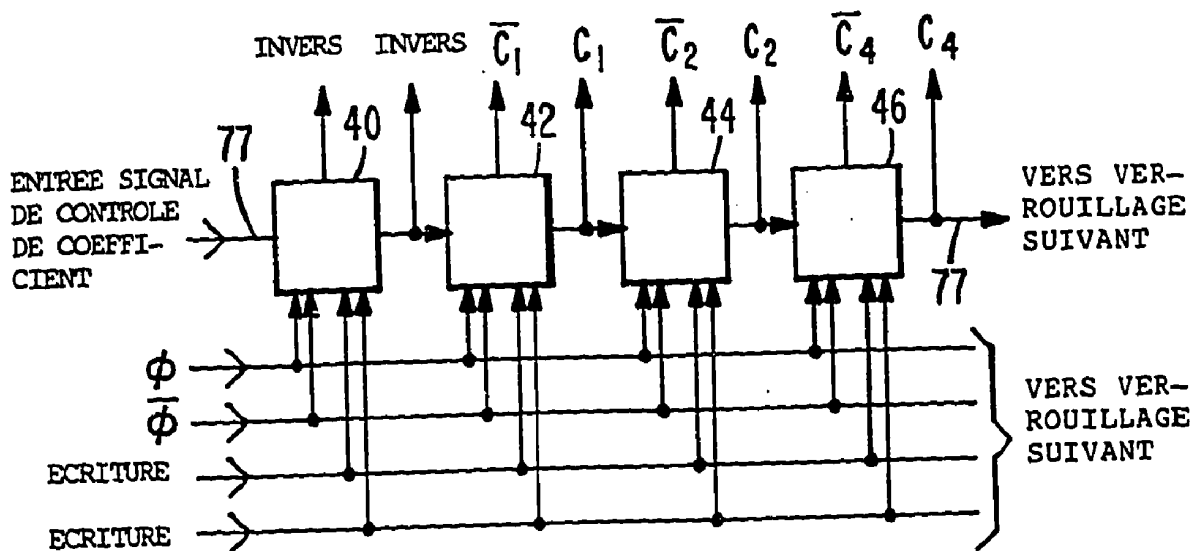


Fig. 4

Bruxelles, le 13 août 1982  
 P.Pon. de RCA CORPORATION  
 OFFICE KIRKPATRICK - G.C. PLUCKER



Bruxelles, le 13 août 1982  
P.Pon. de RCA CORPORATION  
OFFICE KIRKPATRICK - G.C. PLUCKER  
*his*

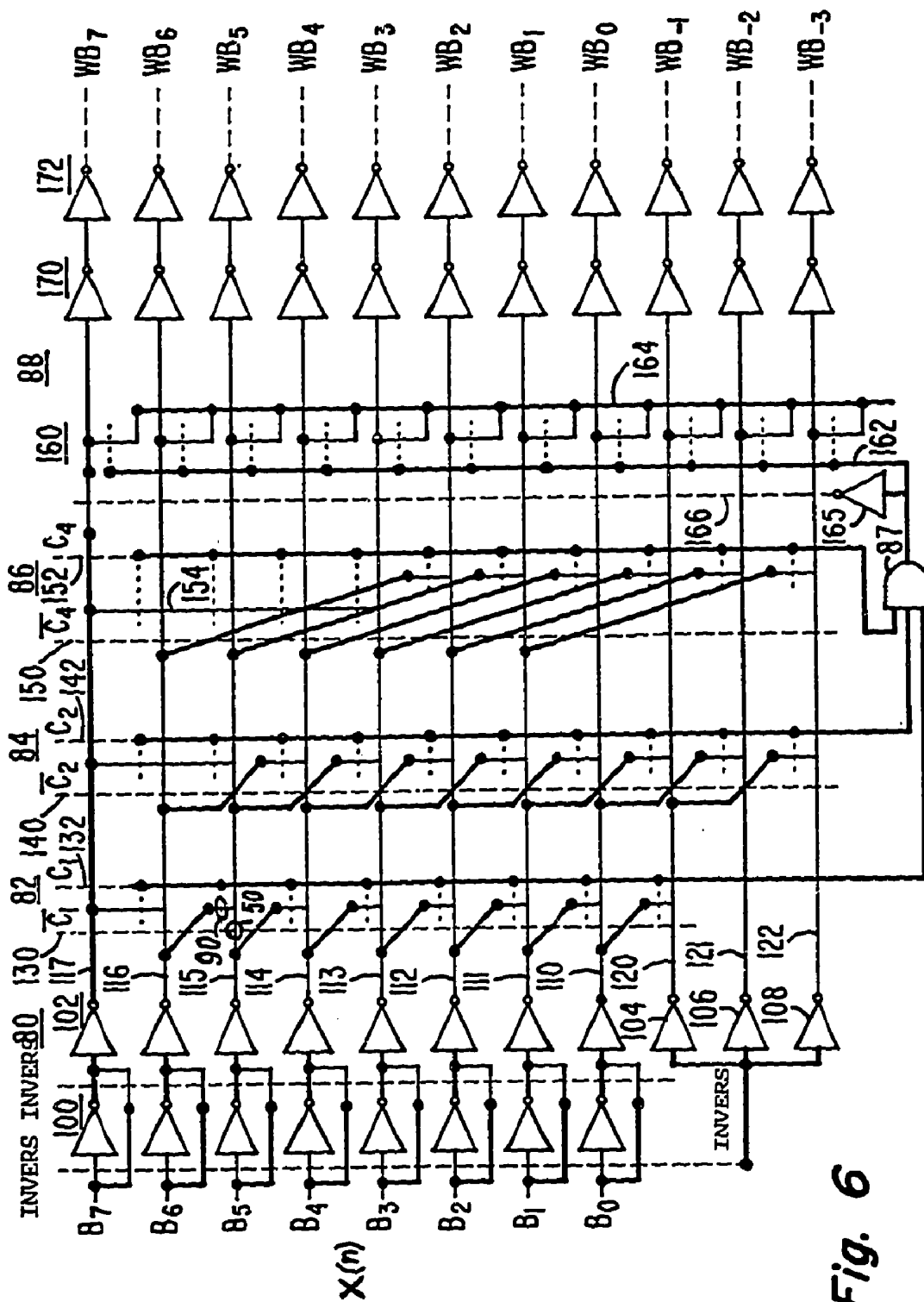


Fig. 6

Bruxelles, le 13 août 1982  
P.Pon. de RCA CORPORATION  
OFFICE KIRKPATRICK - G.C. PLUCKER

*mi*



Bruxelles, le 13 août 1982  
P.Pon. de RCA CORPORATION  
OFFICE KIRKPATRICK - G.C. PLUCKER