I714211

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I714211 B**

(45)公告日： 中華民國 109 (2020) 年 12 月 21 日

(21)申請案號：108128858　(22)申請日： 中華民國 108 (2019) 年 08 月 14 日

(51)Int. Cl.：　*H01L27/1157(2017.01)*

(30)優先權：2018/12/05　日本　2018-228428

(71)申請人：日商東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION　(JP)
日本

(72)發明人：乳井浩平 NYUI, KOHEI (JP) ；鹿嶋孝之 KASHIMA, TAKAYUKI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW	201834147A	TW	201836128A
TW	201841264A	CN	108028256A
CN	108431961A	CN	108695338A
JP	2018-157155A	US	9911752B2
US	2018/0342531A1		

審查人員：廖天佑

申請專利範圍項數：20 項　圖式數：34　共 75 頁

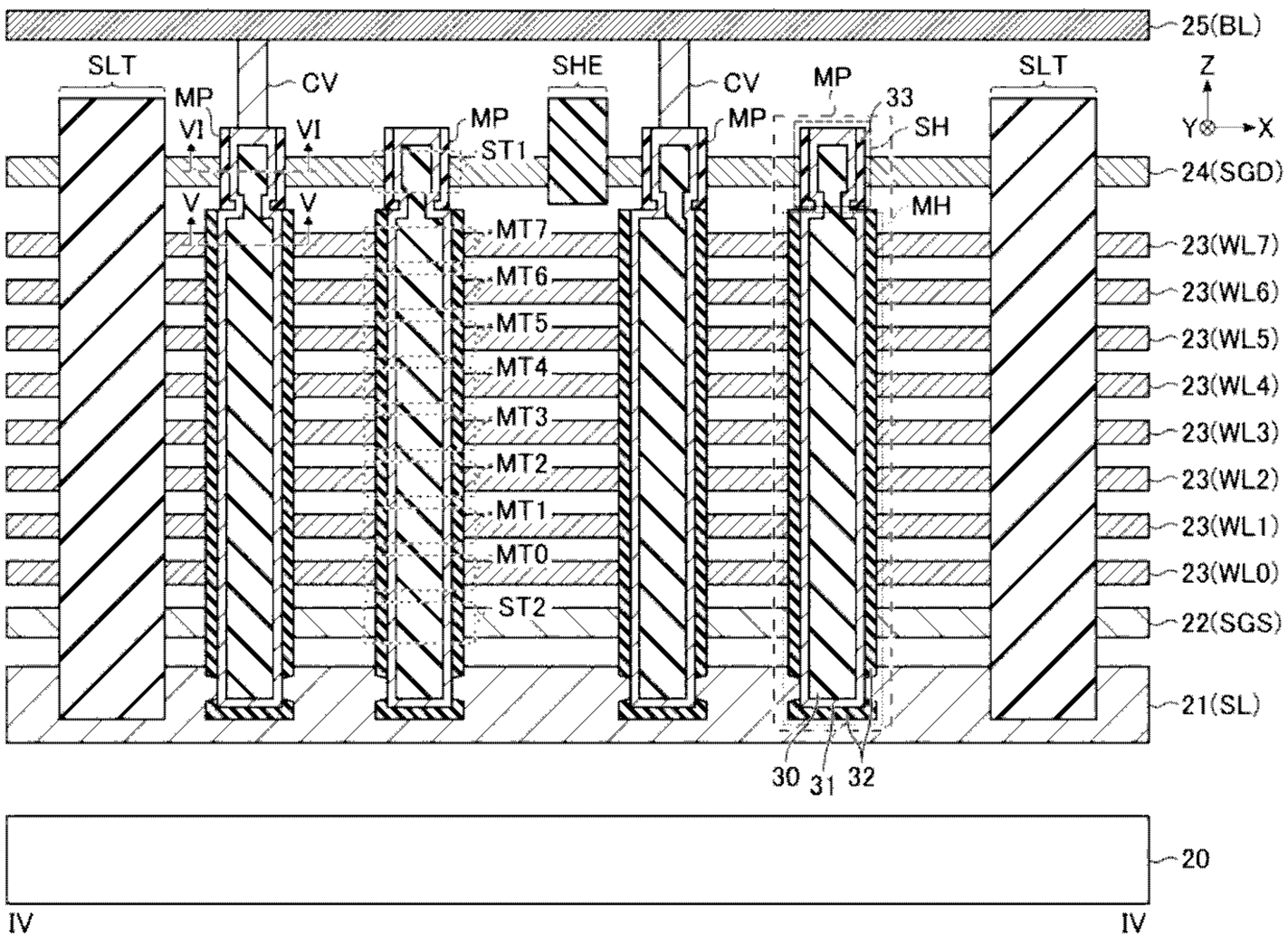
(54)名稱

半導體記憶裝置

(57)摘要

本發明之實施形態之半導體記憶裝置包含複數個第 1 導電體層、第 2 導電體層、第 1 柱及第 2 柱。第 2 導電體層設置於複數個第 1 導電體層之上方。第 1 柱貫通複數個第 1 導電體層且包含沿第 1 方向延伸之第 1 半導體層之一部分。第 2 柱貫通第 2 導電體層且包含第 1 半導體層之另一部分，設置於第 1 柱上。與基板平行且包含第 2 導電體層之截面中之第 2 柱之截面積小於與基板平行且包含第 1 導電體層之截面中之第 1 柱之截面積。第 1 半導體層包含與最上層之第 1 導電體層對向之第 1 部分及與第 2 導電體層對向之第 2 部分，第 1 半導體層至少自第 1 部分至第 2 部分為連續膜。

指定代表圖：



【圖4】

符號簡單說明：

20:半導體基板

21:導電體層

22:導電體層

23:導電體層

24:導電體層

25:導電體層

30:核心構件

31:半導體層

32:積層膜

33:積層膜

BL:位元線

CV:觸點

MH:記憶體孔

MP:記憶體柱

MT0~MT7:記憶胞電晶體

SGD:選擇閘極線

SGS:選擇閘極線

SH:SGD 孔

SHE:狹縫

SL:源極線

SLT:狹縫

ST1:選擇電晶體

ST2:選擇電晶體

WL0~WL7:字元線

109年05月08日 所提修正

公告本

I714211

【發明摘要】

【中文發明名稱】

半導體記憶裝置

【中文】

本發明之實施形態之半導體記憶裝置包含複數個第1導電體層、第2導電體層、第1柱及第2柱。第2導電體層設置於複數個第1導電體層之上方。第1柱貫通複數個第1導電體層且包含沿第1方向延伸之第1半導體層之一部分。第2柱貫通第2導電體層且包含第1半導體層之另一部分，設置於第1柱上。與基板平行且包含第2導電體層之截面中之第2柱之截面積小於與基板平行且包含第1導電體層之截面中之第1柱之截面積。第1半導體層包含與最上層之第1導電體層對向之第1部分及與第2導電體層對向之第2部分，第1半導體層至少自第1部分至第2部分為連續膜。

【指定代表圖】

圖4

【代表圖之符號簡單說明】

20	半導體基板
21	導電體層
22	導電體層
23	導電體層
24	導電體層
25	導電體層
30	核心構件
31	半導體層

32	積層膜
33	積層膜
BL	位元線
CV	觸點
MH	記憶體孔
MP	記憶體柱
MT0～MT7	記憶胞電晶體
SGD	選擇閘極線
SGS	選擇閘極線
SH	SGD孔
SHE	狹縫
SL	源極線
SLT	狹縫
ST1	選擇電晶體
ST2	選擇電晶體
WL0～WL7	字元線

【發明說明書】

【中文發明名稱】

半導體記憶裝置

【技術領域】

【0001】 實施形態係關於一種半導體記憶裝置。

【先前技術】

【0002】 作為非揮發性地記憶資料之半導體記憶裝置，已知有NAND(Not AND，反及)型快閃記憶體。

【發明內容】

【0003】 實施形態提供一種能夠抑制製造成本之半導體記憶裝置。

【0004】 實施形態之半導體記憶裝置包含複數個第1導電體層、第2導電體層、第1柱及第2柱。複數個第1導電體層設置於基板之上方，於第1方向相互分離地積層。第2導電體層設置於複數個第1導電體層之上方。第1柱貫通複數個第1導電體層且包含沿第1方向延伸之第1半導體層之一部分。第1柱與第1導電體層之交叉部分作為記憶胞電晶體發揮功能。第2柱貫通第2導電體層且包含第1半導體層之另一部分，設置於第1柱上。第2柱與第2導電體層之交叉部分作為選擇電晶體發揮功能。與基板平行且包含第2導電體層之截面中之第2柱之截面積小於與基板平行且包含第1導電體層之截面中之第1柱之截面積。第1半導體層包含與最上層之第1導電體層對向之第1部分及與第2導電體層對向之第2部分，且至少自第1部分至第2部分為連續膜。

【圖式簡單說明】

【0005】

圖1係表示第1實施形態之半導體記憶裝置之構成例之方塊圖。

圖2係表示第1實施形態之半導體記憶裝置所具備之記憶胞陣列之電路構成之一例的電路圖。

圖3係表示第1實施形態之半導體記憶裝置所具備之記憶胞陣列之平面佈局之一例的俯視圖。

圖4係表示沿圖3之IV-IV線之記憶胞陣列之剖面構造之一例的剖視圖。

圖5係表示沿圖4之V-V線之記憶體柱之剖面構造之一例的剖視圖。

圖6係表示沿圖4之VI-VI線之記憶體柱之剖面構造之一例的剖視圖。

圖7係表示第1實施形態之半導體記憶裝置之製造方法之一例的流程圖。

圖8、圖9、圖10、圖11、圖12、圖13、圖14、圖15、圖16、圖17、圖18、圖19、圖20、圖21、圖22、圖23及圖24係表示第1實施形態之半導體記憶裝置之製造製程之一例的記憶胞陣列之剖視圖。

圖25係表示第2實施形態之半導體記憶裝置所具備之記憶胞陣列之剖面構造之一例的剖視圖。

圖26係用以將第1實施形態中之記憶體柱之構造與第2實施形態中之記憶體柱之構造進行比較之剖視圖。

圖27係表示第2實施形態之半導體記憶裝置之製造方法之一例的流程圖。

圖28及圖29係表示第2實施形態之半導體記憶裝置之製造製程之一例的記憶胞陣列之剖視圖。

圖30係表示第3實施形態之半導體記憶裝置所具備之記憶胞陣列之剖

面構造之一例的剖視圖。

圖31係表示第4實施形態之半導體記憶裝置所具備之記憶胞陣列之剖面構造之一例的剖視圖。

圖32係表示沿圖31之XXXII-XXXII線之記憶體柱之剖面構造之一例的剖視圖。

圖33係表示第1實施形態之變化例之半導體記憶裝置所具備之記憶胞陣列之平面佈局之一例的俯視圖。

圖34係表示第1實施形態之變化例之半導體記憶裝置所具備之記憶胞陣列之剖面構造之一例的剖視圖。

【實施方式】

【0006】 以下，參照圖式對實施形態進行說明。各實施形態例示用以體現發明之技術思想之裝置或方法。圖式係模式性或概念性者，各圖式之尺寸及比率等未必與實際相同。本發明之技術思想並不受構成要素之形狀、構造、配置等特定。

【0007】 再者，於以下說明中，對具有大致相同之功能及構成之構成要素標註相同之符號。構成參照符號之字母後的數字由包含相同字母之參照符號參照，且用於區分具有相同構成之要素。於無需區分由包含相同字母之參照符號表示的要素之情形時，該等要素分別藉由僅包含字母的參照符號參照。

【0008】 [1]第1實施形態

以下，對第1實施形態之半導體記憶裝置1進行說明。

【0009】 [1-1]半導體記憶裝置1之構成

[1-1-1]半導體記憶裝置1之整體構成

圖1表示第1實施形態之半導體記憶裝置1之構成例。半導體記憶裝置1係能夠非揮發性地記憶資料之NAND型快閃記憶體，由外部之記憶體控制器2進行控制。半導體記憶裝置1與記憶體控制器2之間之通信例如支持NAND介面標準。

【0010】 如圖1所示，半導體記憶裝置1例如具備記憶胞陣列10、指令寄存器11、位址寄存器12、定序器13、驅動器模組14、列解碼器模組15以及感測放大器模組16。

【0011】 記憶胞陣列10包含複數個區塊BLK0～BLKn(n為1以上之整數)。區塊BLK係能夠非揮發性地記憶資料之複數個記憶胞之集合，例如用作資料之抹除單位。又，於記憶胞陣列10中設置有複數條位元線及複數條字元線。各記憶胞例如與1條位元線及1條字元線建立關聯。關於記憶胞陣列10之詳細構成將於下文敘述。

【0012】 指令寄存器11保持半導體記憶裝置1自記憶體控制器2接收到之指令CMD。指令CMD例如包含使定序器13執行讀出動作、寫入動作、抹除動作等之命令。

【0013】 位址寄存器12保持半導體記憶裝置1自記憶體控制器2接收到之位址資訊ADD。位址資訊ADD例如包含區塊位址BA、頁位址PA及行位址CA。例如區塊位址BA、頁位址PA及行位址CA分別用於區塊BLK、字元線及位元線之選擇。

【0014】 定序器13控制半導體記憶裝置1整體之動作。例如定序器13基於指令寄存器11中保持之指令CMD而控制驅動器模組14、列解碼器模組15及感測放大器模組16等，從而執行讀出動作、寫入動作、抹除動作等。

【0015】 驅動器模組14產生用於讀出動作、寫入動作、抹除動作等之電壓。而且，驅動器模組14基於例如位址寄存器12中保持之頁位址PA，對與所選擇之字元線對應之信號線施加所產生之電壓。

【0016】 列解碼器模組15基於位址寄存器12中保持之區塊位址BA，選擇對應之記憶胞陣列10內之1個區塊BLK。而且，列解碼器模組15將例如施加至與所選擇之字元線對應之信號線之電壓傳輸至所選擇之區塊BLK內選擇之字元線。

【0017】 感測放大器模組16於寫入動作中，對應於自記憶體控制器2接收到之寫入資料DAT，對各位元線施加所需之電壓。又，感測放大器模組16於讀出動作中，基於位元線之電壓判定記憶胞中記憶之資料，並將判定結果作為讀出資料DAT傳輸至記憶體控制器2。

【0018】 以上說明之半導體記憶裝置1及記憶體控制器2亦可藉由其等之組合而構成1個半導體裝置。作為此種半導體裝置，例如可列舉如SD(secure digital，安全數位)™卡之記憶卡、或SSD(solid state drive，固態驅動器)等。

【0019】 [1-1-2]記憶胞陣列10之電路構成

圖2係抽選記憶胞陣列10中所包含之複數個區塊BLK中之1個區塊BLK而揭示第1實施形態之半導體記憶裝置1所具備之記憶胞陣列10之電路構成之一例。如圖2所示，區塊BLK包含例如4個串單元SU0～SU3。

【0020】 各串單元SU包含與位元線BL0～BLm(m為1以上之整數)分別建立關聯之複數個NAND串NS。各NAND串NS例如包含記憶胞電晶體MT0～MT7以及選擇電晶體ST1及ST2。記憶胞電晶體MT包含控制閘極及電荷蓄積層，非揮發性地保持資料。選擇電晶體ST1及ST2之各者用於

各種動作時之串單元SU之選擇。

【0021】於各NAND串NS中，記憶胞電晶體MT0～MT7串聯連接。選擇電晶體ST1之汲極連接於建立關聯之位元線BL，選擇電晶體ST1之源極連接於經串聯連接之記憶胞電晶體MT0～MT7之一端。選擇電晶體ST2之汲極連接於經串聯連接之記憶胞電晶體MT0～MT7之另一端。選擇電晶體ST2之源極連接於源極線SL。

【0022】於同一區塊BLK中，記憶胞電晶體MT0～MT7之控制閘極分別共通連接於字元線WL0～WL7。串單元SU0～SU3內之選擇電晶體ST1之閘極分別共通連接於選擇閘極線SGD0～SGD3。選擇電晶體ST2之閘極共通連接於選擇閘極線SGS。

【0023】於以上說明之記憶胞陣列10之電路構成中，位元線BL由各串單元SU中分配有同一行位址之NAND串NS共有。源極線SL例如於複數個區塊BLK間共有。

【0024】於1個串單元SU內連接於共用字元線WL之複數個記憶胞電晶體MT之集合例如稱為胞單元(cell unit)CU。例如將包含分別記憶1位元資料之記憶胞電晶體MT的胞單元CU之記憶容量定義為「1頁資料」。胞單元CU對應於記憶胞電晶體MT記憶之資料之位元數，可具有2頁資料以上之記憶容量。

【0025】再者，第1實施形態之半導體記憶裝置1所具備之記憶胞陣列10之電路構成並不限定於以上說明之構成。例如，各NAND串NS所包含之記憶胞電晶體MT以及選擇電晶體ST1及ST2之個數分別可設計為任意個數。各區塊BLK所包含之串單元SU之個數可設計為任意個數。

【0026】[1-1-3]記憶胞陣列10之構造

以下，對實施形態中之記憶胞陣列10之構造之一例進行說明。

【0027】 再者，於以下參照之圖式中，X方向與位元線BL之延伸方向對應，Y方向與字元線WL之延伸方向對應，Z方向與相對於供半導體記憶裝置1形成之半導體基板20之表面的鉛直方向對應。為了易於對圖進行觀察，對俯視圖適當附加影線。附加至俯視圖之影線與附加有影線之構成要素之素材或特性未必相關。於剖視圖中，適當地省略絕緣層(層間絕緣膜)、配線、觸點等構成要素以使圖易於觀察。

【0028】 圖3係第1實施形態之半導體記憶裝置1所具備之記憶胞陣列10之平面佈局之一例，抽選包含與串單元SU0及SU1對應之構造體之區域進行例示。如圖3所示，記憶胞陣列10例如包含狹縫SLT及SHE、記憶體柱MP、觸點CV以及位元線BL。

【0029】 複數個狹縫SLT分別沿Y方向延伸，沿X方向排列。狹縫SHE沿Y方向延伸，配置於相鄰之狹縫SLT間。狹縫SLT之寬度例如大於狹縫SHE之寬度。狹縫SLT及SHE各者包含絕緣體。狹縫SLT例如將與字元線WL對應之配線層、與選擇閘極線SGD對應之配線層及與選擇閘極線SGS對應之配線層之各者分斷。狹縫SHE將與選擇閘極線SGD對應之配線層分斷。

【0030】 由狹縫SLT及SHE隔開之區域與1個串單元SU對應。具體而言，例如於在X方向上相鄰之狹縫SLT間設置有串單元SU0及SU1。於該情形時，於串單元SU0及SU1間配置有狹縫SHE。於記憶胞陣列10中，例如於X方向上重複配置有相同之佈局。

【0031】 複數個記憶體柱MP例如於與串單元SU對應之區域配置成錯位狀。記憶體柱MP各者具有形成於記憶體孔MH內之部分與形成於

SGD孔SH內之部分。SGD孔SH設置於較記憶體孔MH更上層，且直徑小於記憶體孔MH。對應之記憶體孔MH與SGD孔SH之組具有於俯視下重疊之部分。於俯視下，對應之記憶體孔MH之中心與SGD孔SH之中心可重疊亦可不重疊。

【0032】 於對應之記憶體孔MH之中心與SGD孔SH之中心不重疊之情形時，重疊之記憶體孔MH與SGD孔SH之位置關係例如對應於該記憶體柱MP與狹縫SLT及SHE之位置關係而變化。例如狹縫SLT附近之記憶體柱MP之SGD孔SH以與狹縫SLT分離之方式配置。同樣地，狹縫SHE附近之記憶體柱MP之SGD孔SH以與狹縫SHE分離之方式配置。

【0033】 換言之，SGD孔SH以靠近X方向上相鄰之狹縫SLT及SHE間之中間位置之方式配置。關於記憶體孔MH之中心位置與SGD孔SH之中心位置之間之長度，例如對應之記憶體柱MP與狹縫SLT及SHE之間隔越近則越長。藉此，記憶胞陣列10被設計成避免狹縫SHE與SGD孔SH之接觸之佈局。

【0034】 複數條位元線BL分別沿X方向延伸，沿Y方向排列。各位元線BL針對每個串單元SU以與至少1個SGD孔SH重疊之方式配置。例如於各SGD孔SH重疊有2條位元線BL。於重疊於SGD孔SH之複數條位元線BL中之1條位元線BL與該SGD孔SH之間設置有觸點CV。SGD孔SH內之構造體經由觸點CV而與對應之位元線BL電性連接。

【0035】 再者，以上說明之記憶胞陣列10之平面佈局僅為一例，並不限定於此。例如，配置於相鄰之狹縫SLT間之狹縫SHE之數量可被設計為任意數量。相鄰之狹縫SLT間之串單元SU之個數基於狹縫SHE之數量而變化。記憶體柱MP之個數及配置可被設計為任意之個數及配置。與各記

憶體柱MP重疊之位元線BL之條數可被設計為任意之條數。

【0036】 圖4係沿圖3之IV-IV線之剖視圖，表示第1實施形態之半導體記憶裝置1所具備之記憶胞陣列10之剖面構造之一例。如圖4所示，記憶胞陣列10例如進而包含導電體層21～25。導電體層21～25設置於半導體基板20之上方。

【0037】 具體而言，於半導體基板20之上方，隔著絕緣體層設置有導電體層21。雖省略圖示，但例如於半導體基板20與導電體層21之間之絕緣體層設置有感測放大器模組16等電路。導電體層21例如形成為沿XY平面擴展之板狀，用作源極線SL。導電體層21例如含有矽(Si)。

【0038】 於導電體層21之上方，隔著絕緣體層設置有導電體層22。導電體層22例如形成為沿XY平面擴展之板狀，用作選擇閘極線SGS。導電體層22例如含有矽(Si)。

【0039】 於導電體層22之上方交替地積層有絕緣體層與導電體層23。導電體層23例如形成為沿XY平面擴展之板狀。例如積層之複數個導電體層23自半導體基板20側依序分別用作字元線WL0～WL7。導電體層23例如含有鎢(W)。

【0040】 於最上層之導電體層23之上方，隔著絕緣體層設置有導電體層24。導電體層24例如形成為沿XY平面擴展之板狀，用作選擇閘極線SGD。最上層之導電體層23與導電體層24之Z方向上之間隔大於相鄰之導電體層23間之Z方向上之間隔。換言之，最上層之導電體層23與導電體層24之間之絕緣體層之厚度較相鄰之導電體層23間之絕緣體層之厚度厚。導電體層24例如含有鎢(W)。

【0041】 於導電體層24之上方，隔著絕緣體層設置有導電體層25。

例如導電體層25形成為沿X方向延伸之線狀，用作位元線BL。即，於未圖示之區域，複數個導電體層25沿Y方向排列。導電體層25例如含有銅(Cu)。

【0042】記憶體柱MP沿Z方向延伸設置，貫通導電體層22～24。具體而言，記憶體柱MP之與記憶體孔MH對應之部分貫通導電體層22及23，底部與導電體層21接觸。記憶體柱MP之與SGD孔SH對應之部分設置於與記憶體孔MH對應之部分之上，貫通導電體層24。包含記憶體孔MH與SGD孔SH之邊界之層包含於最上層之導電體層23與導電體層24之間之層。

【0043】又，記憶體柱MP例如包含核心構件30、半導體層31以及積層膜32及33。核心構件30及半導體層31包含於與記憶體孔MH對應之部分及與SGD孔SH對應之部分之各者。積層膜32包含於與記憶體孔MH對應之部分。積層膜33包含於與SGD孔SH對應之部分。

【0044】核心構件30沿Z方向延伸設置。核心構件30之上端包含於例如較設置有導電體層24之層更上層，核心構件30之下端包含於例如設置有導電體層21之層內。關於與半導體基板20之表面平行之截面中之核心構件30之截面積，與導電體層24對向之部分小於與導電體層23對向之部分。又，記憶體孔MH與SGD孔SH之邊界部分附近之核心構件30之截面積例如小於核心構件30之與導電體層24對向之部分之截面積。核心構件30例如含有氧化矽(SiO_2)等絕緣體。

【0045】半導體層31覆蓋核心構件30。即，半導體層31例如具有呈圓筒狀設置於記憶體孔MH內之部分及呈圓筒狀設置於SGD孔SH內之部分。設置於記憶體孔MH內之半導體層31之側面之一部分與導電體層21接

觸。關於與半導體基板20之表面平行之截面中之半導體層31之外徑，與導電體層24對向之部分小於與導電體層23對向之部分。

【0046】 又，半導體層31於對應於記憶體孔MH之部分與對應於SGD孔SH之部分之間連續地設置。換言之，至少於與最上層之導電體層23對向之半導體層31之部分和與導電體層24對向之半導體層31之部分之間連續地設置。半導體層31之厚度於與導電體層24對向之部分和與導電體層23對向之部分大致相等。

【0047】 積層膜32除導電體層21與半導體層31接觸之部分以外，覆蓋記憶體孔MH內之半導體層31之側面及底面。即，積層膜32包含呈圓筒狀設置於記憶體孔MH內之部分。

【0048】 積層膜33覆蓋SGD孔SH內之半導體層31之側面。即，積層膜33包含呈圓筒狀設置於SGD孔SH內之部分。又，積層膜33可於記憶體孔MH與SGD孔SH之邊界部分附近具有沿半導體層31之下表面設置之部分。

【0049】 再者，設置有導電體層24之層中之積層膜33之外徑小於設置有導電體層23之層中之積層膜32之外徑。又，積層膜33之膜厚可設計為較積層膜32之膜厚薄。積層膜32之上表面與積層膜33之底面至少一部分分離。

【0050】 於記憶體柱MP內之半導體層31之上表面設置有柱狀之觸點CV。圖示之區域包含與4根記憶體柱MP中之2根記憶體柱MP對應之觸點CV。於該區域中未連接觸點CV之記憶體柱MP在未圖示之區域連接有觸點CV。1個導電體層25、即1條位元線BL與觸點CV之上表面接觸。

【0051】 狹縫SLT例如形成為沿YZ平面擴展之板狀，將導電體層22

～24分斷。狹縫SLT之上端包含於較記憶體柱MP之上表面更上層且較導電體層25更下層。狹縫SLT之下端例如包含於設置有導電體層21之層。狹縫SLT例如含有氧化矽(SiO_2)等絕緣體。

【0052】 狹縫SHE例如形成為沿YZ平面擴展之板狀，將導電體層24分斷。狹縫SHE之上端包含於較記憶體柱MP之上表面更上層且較導電體層25更下層。狹縫SHE各者之下端例如包含於設置有最上層之導電體層23之層與設置有導電體層24之層之間之層。狹縫SHE例如含有氧化矽(SiO_2)等絕緣體。

【0053】 圖5係沿圖4之V-V線之剖視圖，表示第1實施形態之半導體記憶裝置1中之記憶體柱MP之剖面構造之一例。更具體而言，圖5表示與半導體基板20之表面平行且包含導電體層23之層中之記憶體柱MP之與記憶體孔MH對應之部分之剖面構造。

【0054】 如圖5所示，於包含導電體層23之層中，例如核心構件30設置於記憶體柱MP之中央部。半導體層31包圍核心構件30之側面。積層膜32包圍半導體層31之側面。具體而言，積層膜32例如包含隧道絕緣膜34、絕緣膜35及阻擋絕緣膜36。

【0055】 隧道絕緣膜34包圍半導體層31之側面。絕緣膜35包圍隧道絕緣膜34之側面。阻擋絕緣膜36包圍絕緣膜35之側面。導電體層23包圍阻擋絕緣膜36之側面。隧道絕緣膜34及阻擋絕緣膜36各者例如含有氧化矽(SiO_2)。絕緣膜35例如含有氮化矽(SiN)。

【0056】 圖6係沿圖4之VI-VI線之剖視圖，表示第1實施形態之半導體記憶裝置1中之記憶體柱MP之剖面構造之一例。更具體而言，圖6表示與半導體基板20之表面平行且包含導電體層24之層中之記憶體柱MP之與

SGD孔SH對應之部分之剖面構造。

【0057】 如圖6所示，於包含導電體層24之層中，例如核心構件30設置於SGD孔SH之中央部。半導體層31包圍核心構件30之側面。積層膜33包圍半導體層31之側面。具體而言，積層膜33例如包含隧道絕緣膜37、絕緣膜38及阻擋絕緣膜39。

【0058】 隧道絕緣膜37包圍半導體層31之側面。絕緣膜38包圍隧道絕緣膜37之側面。阻擋絕緣膜39包圍絕緣膜38之側面。導電體層24包圍阻擋絕緣膜39之側面。隧道絕緣膜37及阻擋絕緣膜39各者例如含有氧化矽(SiO_2)。絕緣膜38例如含有氮化矽(SiN)。

【0059】 於以上說明之記憶體柱MP之構造中，記憶體柱MP與導電體層22交叉之部分作為選擇電晶體ST2發揮功能。記憶體柱MP與導電體層23交叉之部分作為記憶胞電晶體MT發揮功能。記憶體柱MP與導電體層24交叉之部分作為選擇電晶體ST1發揮功能。

【0060】 即，半導體層31用作記憶胞電晶體MT以及選擇電晶體ST1及ST2各者之通道。絕緣膜35用作記憶胞電晶體MT之電荷蓄積層。藉此，記憶體柱MP各者作為例如1個NAND串NS發揮功能。

【0061】 再者，以上說明之記憶胞陣列10之構造僅為一例，記憶胞陣列10亦可具有其他構造。例如導電體層23之個數可基於字元線WL之條數進行設計。亦可對選擇閘極線SGS分配以複數層設置之複數個導電體層22。於選擇閘極線SGS以複數層設置之情形時，亦可使用與導電體層22不同之導電體。亦可對選擇閘極線SGD分配以複數層設置之複數個導電體層24。

【0062】 記憶體柱MP與導電體層25之間可經由2個以上之觸點而電

性連接，亦可經由其他配線而電性連接。狹縫SLT內亦可包含複數種絕緣體。例如亦可於在狹縫SLT中嵌埋氧化矽之前，形成氮化矽(SiN)作為狹縫SLT之側壁。亦可於核心構件30之內側形成空隙。空隙例如可形成於記憶體柱MP之與記憶體孔MH對應之部分。

【0063】 [1-2]半導體記憶裝置1之製造方法

以下，適當參照圖7，對第1實施形態之半導體記憶裝置1中自與源極線SL對應之積層構造之形成至狹縫SHE之形成為止之一系列製造製程之一例進行說明。圖7係表示第1實施形態之半導體記憶裝置1之製造方法之一例之流程圖。圖8～圖24分別表示第1實施形態之半導體記憶裝置1之製造製程中之包含與記憶胞陣列10對應之構造體之剖面構造之一例。

【0064】 首先，執行步驟S101之處理，積層源極線部與字元線部之犧牲構件。具體而言，如圖8所示，於半導體基板20上依序形成絕緣體層40、導電體層41、犧牲構件42、導電體層43、絕緣體層44及導電體層22。於導電體層22上交替地積層絕緣體層45及犧牲構件46。於最上層之犧牲構件46上形成絕緣體層47。雖省略圖示，但於絕緣體層40內形成與感測放大器模組16等對應之電路。

【0065】 導電體層41及43以及犧牲構件42之組與源極線部對應。導電體層41及43之各者例如含有矽(Si)。犧牲構件42係相對於導電體層41及43之各者能夠增大蝕刻選擇比之材料。絕緣體層44、45及47之各者例如含有氧化矽(SiO_2)。各犧牲構件46與字元線部對應。例如形成犧牲構件46之層數與積層之字元線WL之條數對應。犧牲構件46例如含有氮化矽(SiN)。

【0066】 其次，執行步驟S102之處理，形成記憶體孔MH。具體而

言，如圖9所示，首先，藉由光微影法等，形成與記憶體孔MH對應之區域開口之遮罩。然後，藉由使用所形成之遮罩之各向異性蝕刻，形成記憶體孔MH。

【0067】本製程中形成之記憶體孔MH貫通絕緣體層44、45及47、犧牲構件42及46以及導電體層22及43之各者，記憶體孔MH之底部例如於導電體層41內停止。本製程中之各向異性蝕刻例如為RIE(Reactive Ion Etching，反應式離子蝕刻)。

【0068】其次，執行步驟S103之處理，於記憶體孔MH內形成積層膜32。具體而言，如圖10所示，於記憶體孔MH之側面及底面與絕緣體層47之上表面形成積層膜32、即依序形成阻擋絕緣膜36、絕緣膜35及隧道絕緣膜34。

【0069】其次，執行步驟S104之處理，於記憶體孔MH內形成犧牲構件48。具體而言，如圖11所示，首先，以填埋記憶體孔MH內之方式形成犧牲構件48。然後，藉由例如CMP(Chemical Mechanical Polishing，化學機械拋光)將形成於記憶體孔MH外之犧牲構件48及積層膜32去除。犧牲構件48例如為非晶矽。

【0070】其次，藉由步驟S105之處理積層選擇閘極線部之犧牲構件，繼而藉由步驟S106之處理形成SGD孔SH。具體而言，如圖12所示，首先，依序積層絕緣體層49、犧牲構件50及絕緣體層51。然後，藉由光微影法等，形成與SGD孔SH對應之區域開口之遮罩。其後，藉由使用所形成之遮罩之各向異性蝕刻，形成SGD孔SH。

【0071】本製程中形成之SGD孔SH貫通絕緣體層49及51以及犧牲構件50各者，SGD孔SH之底部例如於形成有絕緣體層47之層內停止。

SGD孔SH以如下方式進行加工，即，至少底部位於較最上層之犧牲構件46更上層，且對應之記憶體孔MH內之犧牲構件48露出。本製程中之各向異性蝕刻例如為RIE(Reactive Ion Etching)。

【0072】其次，執行步驟S107之處理，於SGD孔SH內形成積層膜33。具體而言，如圖13所示，於SGD孔SH之側面及底面與絕緣體層51之上表面形成積層膜33、即依序形成阻擋絕緣膜39、絕緣膜38及隧道絕緣膜37。

【0073】其次，執行步驟S108之處理，使SGD孔SH之底部開口。具體而言，首先，如圖14所示，於積層膜33之表面形成保護膜52。保護膜52例如為非晶矽。繼而，如圖15所示，將例如形成於SGD孔SH外之積層膜33及保護膜52與形成於SGD孔SH底部之積層膜33及保護膜52去除。本製程中，以至少記憶體孔MH內之犧牲構件48於SGD孔SH之底部露出之方式進行加工。本製程中使用例如RIE等各向異性蝕刻。

【0074】其次，執行步驟S109之處理，將記憶體孔MH內之犧牲構件48去除。具體而言，如圖16所示，藉由例如濕式蝕刻，將記憶體孔MH內之犧牲構件48去除。根據用於犧牲構件48之材料與用於保護膜52之材料，可藉由本製程將保護膜52亦一起去除。

【0075】其次，執行步驟S110之處理，形成半導體層31及核心構件30。具體而言，首先，如圖17所示，於記憶體孔MH及SGD孔SH內連續地形成半導體層31，且記憶體孔MH及SGD孔SH內被絕緣體(核心構件30)嵌埋。繼而，如圖18所示，首先，藉由回蝕將形成於SGD孔SH之上部之核心構件30去除，於核心構件30已去除之區域嵌埋與半導體層31相同之半導體構件。然後，藉由例如CMP將形成於較絕緣體層51更上層之半導

體層31及核心構件30去除。其結果為，形成核心構件30被半導體層31覆蓋之構造。

【0076】其次，執行步驟S111之處理，形成狹縫SLT。具體而言，如圖19所示，首先，於絕緣體層51及SGD孔SH內之構造體上形成絕緣體層53。然後，藉由光微影法等，形成與狹縫SLT對應之區域開口之遮罩。其後，藉由使用所形成之遮罩之各向異性蝕刻，形成狹縫SLT。

【0077】本製程中形成之狹縫SLT將絕緣體層44、45、47、49、51及53、犧牲構件42、46及50以及導電體層22及43之各者分斷，狹縫SLT之底部例如於設置有導電體層41之層內停止。再者，狹縫SLT之底部只要至少到達形成有犧牲構件42之層即可。本製程中之各向異性蝕刻例如為RIE。

【0078】其次，執行步驟S112之處理，執行源極線部之置換處理。具體而言，首先，如圖20所示，藉由經由狹縫SLT之濕式蝕刻將犧牲構件42選擇性地去除。此時，經由犧牲構件42已去除之區域，積層膜32之一部分被去除，半導體層31之側面之一部分露出。犧牲構件42已去除之構造體藉由複數個記憶體柱MP等而維持其立體構造。

【0079】繼而，如圖21所示，於藉由例如CVD(Chemical Vapor Deposition)將犧牲構件42去除所得之空間內嵌埋導電體層54。作為導電體層54，例如形成摻雜有磷之多晶矽。然後，藉由回蝕處理，將形成於狹縫SLT內部與絕緣體層53之上表面之導電體層54去除。

【0080】藉由本製程，將記憶體柱MP內之半導體層31與導電體層41、54及43之組之間電性連接。導電體層41、54及43之組與使用圖4說明之導電體層21對應，用作源極線SL。

【0081】其次，執行步驟S113之處理，執行字元線部與選擇閘極線部之置換處理。具體而言，如圖22所示，首先，將狹縫SLT內露出之導電體層41、54及43之表面氧化，形成未圖示之氧化保護膜。其後，藉由例如利用熱磷酸之濕式蝕刻，將犧牲構件46及50選擇性地去除。犧牲構件46及50已去除之構造體藉由複數個記憶體柱MP等而維持其立體構造。

【0082】然後，於藉由例如CVD將犧牲構件46及50去除所得之空間內嵌埋導電體。其後，藉由回蝕處理，將形成於狹縫SLT內部與絕緣體層53之上表面之該導電體去除。藉此，形成與字元線WL0～WL7分別對應之複數個導電體層23及與選擇閘極線SGD對應之導電體層24。本製程中形成之導電體層23及24亦可包含障壁金屬。於該情形時，於犧牲構件46及50去除後形成導電體時，例如，於使作為障壁金屬之氮化鈦(TiN)成膜後，形成鎢(W)。又，亦可經由積層膜32及33中之阻擋絕緣膜36及39並且經由成為記憶胞電晶體MT或選擇電晶體ST1之阻擋絕緣膜的絕緣體而於犧牲構件46及50已去除之空間內嵌埋導電體。

【0083】其次，執行步驟S114之處理，於狹縫SLT內形成絕緣體55。具體而言，如圖23所示，首先，於絕緣體層53上形成絕緣體55，狹縫SLT內被絕緣體55嵌埋。其後，藉由例如CMP將形成於狹縫SLT外之絕緣體55去除。其結果為，形成狹縫SLT被絕緣體55嵌埋之構造。絕緣體55例如含有氧化矽(SiO_2)。

【0084】其次，執行步驟S115之處理，形成狹縫SHE。具體而言，如圖24所示，首先，藉由光微影法等，形成與狹縫SHE對應之區域開口之遮罩。然後，藉由使用所形成之遮罩之各向異性蝕刻，形成狹縫SHE。

【0085】本製程中形成之狹縫SHE將導電體層24分斷，狹縫SHE之

底部例如於形成有絕緣體層49之層內停止。狹縫SHE之底部亦可於不對NAND串NS之特性產生影響之範圍內到達絕緣體層47。本製程中之各向異性蝕刻例如為RIE。

【0086】 其後，於絕緣體層53上形成絕緣體56，狹縫SHE內被絕緣體56嵌埋。形成於狹縫SHE外之絕緣體56藉由例如CMP被去除。其結果為，形成狹縫SHE被絕緣體56嵌埋之構造。絕緣體56例如含有氧化矽(SiO_2)。

【0087】 藉由以上說明之第1實施形態之半導體記憶裝置1之製造製程，形成記憶體柱MP、連接於記憶體柱MP之源極線SL、字元線WL以及選擇閘極線SGS及SGD之各者。再者，以上說明之製造製程僅為一例，可於各製造製程之間插入其他處理，亦可於不產生問題之範圍內替換製造製程之順序。

【0088】 [1-3]第1實施形態之效果

根據以上說明之第1實施形態之半導體記憶裝置1，可抑制半導體記憶裝置1之製造成本。以下，對第1實施形態之半導體記憶裝置1之詳細之效果進行說明。

【0089】 於記憶胞三維地積層而成之半導體記憶裝置中，積層例如用作字元線WL之板狀之配線，於貫通該積層配線之記憶體柱內形成用以作為記憶胞電晶體MT發揮功能之構造體。又，於半導體記憶裝置中，與例如字元線WL同樣地，形成記憶體柱貫通之板狀之選擇閘極線SGD，並將選擇閘極線SGD適當進行分割，藉此實現頁單位之動作。為了增大此種半導體記憶裝置之每單位面積之記憶容量，較佳為提高記憶體柱之配置密度。

【0090】 然而，於單純地提高記憶體柱之配置密度之情形時，難以將用以分割選擇閘極線SGD之狹縫SHE與高密度地排列之記憶體柱MP不重疊地形成。於狹縫SHE與記憶體柱MP接觸之情形時，選擇電晶體ST1之特性變動增大，動作可能變得不穩定。因此，狹縫SHE與記憶體柱MP較佳為分離地配置。

【0091】 對此，第1實施形態之半導體記憶裝置1具有記憶體柱MP分成2個部分(與記憶體孔MH對應之部分及與SGD孔SH對應之部分)形成之構造。而且，於第1實施形態之半導體記憶裝置1中，設計為SGD孔SH之直徑小於記憶體孔MH之直徑，且對應於與狹縫SLT及SHE之位置關係，對應之記憶體孔MH與SGD孔SH之間之位置關係發生變化。

【0092】 藉此，於第1實施形態之半導體記憶裝置1中，可形成高密度地配置有與記憶體孔MH對應之構造且與SGD孔SH對應之構造與狹縫SHE分離之構造。其結果為，第1實施形態之半導體記憶裝置1可增大每單位面積之記憶容量，例如能夠對於1片矽晶圓形成更多之半導體記憶裝置1。因此，第1實施形態之半導體記憶裝置1可抑制半導體記憶裝置1之製造成本。

【0093】 又，於第1實施形態之半導體記憶裝置1之製造製程中，以分開製程形成記憶體孔MH內之積層膜32與SGD孔SH內之積層膜33。即，於第1實施形態之半導體記憶裝置1中，可使記憶胞電晶體MT所使用之絕緣膜之層構造與選擇電晶體ST1所使用之絕緣膜之層構造成為不同之構造。例如，由於選擇電晶體ST1不用於資料之記憶，故而可使積層膜33中所包含之各絕緣膜(隧道絕緣膜37、絕緣膜38及阻擋絕緣膜39)之膜厚較積層膜32薄。

【0094】 其結果為，於第1實施形態之半導體記憶裝置1中，可減小SGD孔SH之直徑，可提高記憶體孔MH及SGD孔SH之佈局之自由度。而且，於第1實施形態之半導體記憶裝置1中，亦可抑制積層膜33之形成成本。

【0095】 進而，於第1實施形態之半導體記憶裝置1之製造製程中，藉由相同之製造製程一次形成記憶體孔MH內之半導體層31與SGD孔SH內之半導體層31。即，於第1實施形態之半導體記憶裝置1中，連續地形成記憶體孔MH內之半導體層31與SGD孔SH內之半導體層31。

【0096】 藉此，第1實施形態之半導體記憶裝置1相較以分開製程形成記憶體孔MH內之半導體層31與SGD孔SH內之半導體層31之情形，可減小NAND串NS之通道電阻。又，第1實施形態之半導體記憶裝置1亦可消除以分開製程形成記憶體孔MH內之半導體層31與SGD孔SH內之半導體層31之情形時可能產生之不良的產生。

【0097】 如上所述，第1實施形態之半導體記憶裝置1可抑制因記憶體柱MP所導致之不良之產生，且可抑制製造製程之增加。因此，第1實施形態之半導體記憶裝置1之製造方法可提高半導體記憶裝置1之良率，且可抑制製造成本。

【0098】 [2]第2實施形態

第2實施形態之半導體記憶裝置1相對於第1實施形態之半導體記憶裝置1，記憶體柱MP內之半導體層31之構造不同。以下，對第2實施形態之半導體記憶裝置1說明與第1實施形態不同之方面。

【0099】 [2-1]記憶胞陣列10之構造

圖25表示第2實施形態之半導體記憶裝置1所具備之記憶胞陣列10之

剖面構造之一例。如圖25所示，第2實施形態之記憶胞陣列10之構造相對於第1實施形態中使用圖4說明之記憶胞陣列10之構造，記憶體柱MP之構造不同。

【0100】具體而言，於第2實施形態之記憶體柱MP中，記憶體孔MH與SGD孔SH之邊界部分之核心構件30及半導體層31之構造不同。第2實施形態之半導體層31具有設置於SGD孔SH內之積層膜33之底面之部分。又，根據對應之記憶體孔MH與SGD孔SH之位置關係，半導體層31可能與記憶體孔MH內之積層膜32之上表面接觸。

【0101】以下，使用圖26，對第1實施形態之記憶體柱MP之構造與第2實施形態之記憶體柱MP之構造之詳細差異進行說明。圖26分別表示第1實施形態及第2實施形態之記憶體柱MP之詳細之剖面構造。再者，以下，將SGD孔SH內之構造體之底部稱為連接部BP。

【0102】如圖26所示，於第1實施形態之記憶體柱MP中，連接部BP之積層膜33(隧道絕緣膜37、絕緣膜38及阻擋絕緣膜39)具有朝向SGD孔SH內之中央部延伸之部分。而且，記憶體柱MP內之半導體層31具有沿該部分內縮之部分。本構造中之積層膜33之底部係依序積層有阻擋絕緣膜39、絕緣膜38、隧道絕緣膜37之構造，且於積層膜33之底部，僅阻擋絕緣膜39與半導體層31接觸。

【0103】另一方面，於第2實施形態之記憶體柱MP中，連接部BP之積層膜33不具有朝向例如SGD孔SH內之中央部延伸之部分。因此，記憶體柱MP內之半導體層31與第1實施形態相比，不具有於連接部BP內縮之部分。本構造中之積層膜33之底部係例如隧道絕緣膜37、絕緣膜38及阻擋絕緣膜39各者與半導體層31接觸。

【0104】 並不限定於此，於第2實施形態之記憶體柱MP中，只要至少半導體層31不具有於連接部BP內縮之部分即可。又，於第2實施形態之記憶體柱MP中，記憶體孔MH內之積層膜32與SGD孔SH內之積層膜33之間較佳為於Z方向上分離。

【0105】 基於以上說明之積層膜33及半導體層31之構造，例如第1實施形態中之核心構件30形成具有沿連接部BP之積層膜33內縮之部分之構造。另一方面，第2實施形態中之核心構件30形成不具有沿連接部BP之積層膜33內縮之部分之構造。第2實施形態之半導體記憶裝置1之其他構成由於與第1實施形態之半導體記憶裝置1之構成相同，故而省略說明。

【0106】 [2-2]半導體記憶裝置1之製造方法

以下，適當參照圖27，對第2實施形態之半導體記憶裝置1中自與源極線SL對應之積層構造之形成至狹縫SHE之形成為止之一系列製造製程之一例進行說明。圖27係表示第2實施形態之半導體記憶裝置1之製造方法之一例之流程圖。圖28及圖29分別表示第2實施形態之半導體記憶裝置1之製造製程中包含與記憶胞陣列10對應之構造體之剖面構造之一例。

【0107】 如圖27所示，第2實施形態之半導體記憶裝置1之製造方法係將第1實施形態中使用圖7說明之製造方法中之步驟S109之處理替換為步驟S201及S202之處理。

【0108】 具體而言，首先，與第1實施形態同樣地，依序執行步驟S101～S108之處理。其結果為，與第1實施形態中參照之圖15同樣地，形成SGD孔SH之底部開口之構造體。

【0109】 其次，執行步驟S201之處理，執行積層膜33之凹槽處理。具體而言，如圖28所示，藉由例如CDE(Chemical Dry Etching，化學乾

式蝕刻)，將露出之積層膜33之一部分去除。本製程中，較佳為將設置於較保護膜52之底面更下層之積層膜33去除，只要至少去除設置於保護膜52之底部之積層膜33即可。

【0110】 其次，執行步驟S202之處理，去除記憶體孔MH內之犧牲構件48。具體而言，如圖29所示，藉由例如濕式蝕刻將記憶體孔MH內之犧牲構件48去除。與第1實施形態同樣地，根據犧牲構件48所使用之材料與保護膜52所使用之材料，可藉由本製程將保護膜52亦一起去除。本製程中，使用相對於絕緣體層49之蝕刻選擇比較低之條件。

【0111】 然後，與第1實施形態同樣地，依序執行步驟S110～S115之處理。其結果為，形成圖25及圖26所示之第2實施形態中之導電體層21～24、記憶體柱MP以及狹縫SLT及SHE之構造。其他第2實施形態之半導體記憶裝置1之製造方法之詳細情況由於與第1實施形態之半導體記憶裝置1之製造方法相同，故而省略說明。

【0112】 [2-3]第2實施形態之效果

如上所述，於第2實施形態之半導體記憶裝置1中，以不具有內縮之構造之方式形成記憶體柱MP內之半導體層31。即，於第2實施形態之半導體記憶裝置1中，連接部BP之半導體層31之曲率之大幅之變化得到抑制。

【0113】 藉此，第2實施形態之半導體記憶裝置1可較第1實施形態穩定地形成半導體層31。因此，第2實施形態之半導體記憶裝置1可較第1實施形態提高良率，可抑制半導體記憶裝置1之製造成本。

【0114】 [3]第3實施形態

第3實施形態之半導體記憶裝置1相對於第1實施形態之半導體記憶裝置1，記憶體孔MH內之半導體層31與導電體層21之連接構造不同。以

下，對第3實施形態之半導體記憶裝置1說明與第1實施形態不同之方面。

【0115】 [3-1]記憶胞陣列10之構造

圖30表示第3實施形態之半導體記憶裝置1所具備之記憶胞陣列10之剖面構造之一例。如圖30所示，第3實施形態之記憶胞陣列10之構造相對於第1實施形態中使用圖4說明之記憶胞陣列10之構造，記憶體柱MP之構造不同。

【0116】 具體而言，於第1實施形態之記憶體柱MP中，導電體層21與半導體層31之側面接觸，與此相對，於第3實施形態之記憶體柱MP中，導電體層21與半導體層31之底面接觸。因此，於第3實施形態之記憶體柱MP之製造製程中，將積層膜32之底部之一部分去除，於積層膜32已去除之部分形成半導體層31。第3實施形態之半導體記憶裝置1之其他構成由於與第1實施形態之半導體記憶裝置1之構成相同，故而省略說明。

【0117】 [3-2]第3實施形態之效果

如上所述，於第3實施形態之半導體記憶裝置1中，於記憶體柱MP之底部將半導體層31與導電體層21之間電性連接。於此種構造中，半導體記憶裝置1亦可與第1實施形態同樣地形成NAND串NS之電流路徑。第4實施形態之半導體記憶裝置1之其他效果與第1實施形態之半導體記憶裝置1相同。

【0118】 [4]第4實施形態

第4實施形態之半導體記憶裝置1相對於第1實施形態之半導體記憶裝置1，選擇電晶體ST1之構造不同。以下，對第4實施形態之半導體記憶裝置1說明與第1實施形態不同之方面。

【0119】 [4-1]記憶胞陣列10之構造

圖31表示第4實施形態之半導體記憶裝置1所具備之記憶胞陣列10之剖面構造之一例。如圖31所示，第4實施形態中之記憶胞陣列10之構造相對於第1實施形態中使用圖4說明之記憶胞陣列10之構造，記憶體柱MP之構造不同。

【0120】 具體而言，於第1實施形態之記憶體柱MP中，於SGD孔SH內形成有積層膜33，與此相對，於第4實施形態之記憶體柱MP中，形成有單層之閘極絕緣膜60代替積層膜33。閘極絕緣膜60用作選擇電晶體ST1之閘極絕緣膜60。閘極絕緣膜60之膜厚可與第1實施形態之積層膜33之膜厚相同，亦可較記憶體孔MH內之積層膜32之膜厚薄。

【0121】 圖32係沿圖31之XXII-XXII線之剖視圖，表示第4實施形態之半導體記憶裝置1中之記憶體柱MP之剖面構造之一例。更具體而言，圖32表示與半導體基板20之表面平行且包含導電體層24之層中之記憶體柱MP之與SGD孔SH對應之部分之剖面構造。

【0122】 如圖32所示，於包含導電體層24之層中，例如核心構件30設置於SGD孔SH之中央部。半導體層31包圍核心構件30之側面。閘極絕緣膜60包圍半導體層31之側面。閘極絕緣膜60例如使用與積層膜32中之隧道絕緣膜34相同之材料形成。閘極絕緣膜60例如含有氧化矽(SiO_2)。第4實施形態之半導體記憶裝置1之其他構成由於與第1實施形態之半導體記憶裝置1之構成相同，故而省略說明。

【0123】 [4-2]第4實施形態之效果

如上所述，於第4實施形態之半導體記憶裝置1中，於SGD孔SH內以單層設置有閘極絕緣膜60。如此，即便於SGD孔SH內之閘極絕緣膜60不具有電荷蓄積層之構造中，SGD孔SH內之構造體與選擇閘極線SGD之交

叉部分亦可作為不用於資料之記憶之選擇電晶體ST1進行動作。第4實施形態之半導體記憶裝置1之其他效果與第1實施形態之半導體記憶裝置1相同。

【0124】 [5]其他變化例等

實施形態之半導體記憶裝置包含複數個第1導電體層、第2導電體層、第1柱及第2柱。複數個第1導電體層設置於基板之上方，於第1方向上相互分離地積層。第2導電體層設置於複數個第1導電體層之上方。第1柱貫通複數個第1導電體層且包含沿第1方向延伸之第1半導體層之一部分。第1柱與第1導電體層之交叉部分作為記憶胞電晶體發揮功能。第2柱貫通第2導電體層且包含第1半導體層之另一部分，設置於第1柱上。第2柱與第2導電體層之交叉部分作為選擇電晶體發揮功能。與基板平行且包含第2導電體層之截面中之第2柱之截面積小於與基板平行且包含第1導電體層之截面中之第1柱之截面積。第1半導體層包含與最上層之第1導電體層對向之第1部分及與第2導電體層對向之第2部分，且至少自第1部分至第2部分為連續膜。藉此，可抑制半導體記憶裝置之製造成本。

【0125】 上述實施形態可適當進行組合。例如第2實施形態可與第3實施形態及第4實施形態各者組合。第3實施形態可與第4實施形態組合。

【0126】 於上述實施形態中，例示了對應之記憶體孔MH與SGD孔SH之位置關係相應於與狹縫SLT及SHE之位置關係而變化之情形，但並不限定於此。圖33表示第1實施形態之變化例之半導體記憶裝置1所具備之記憶胞陣列10之平面佈局之一例。如圖33所示，於記憶胞陣列10之平面佈局中，對應之記憶體孔MH之中心與SGD孔SH之中心亦可不錯開。

【0127】 於第1實施形態之變化例之半導體記憶裝置1中，藉由形成

為SGD孔SH之直徑小於記憶體孔MH之直徑，可形成狹縫SLT及SHE與SGD孔SH之間分離之構造。半導體記憶裝置1即便為如第1實施形態之變化例之構造，亦可獲得與上述實施形態相同之效果。

【0128】於上述實施形態中，對SGD孔SH貫通之導電體層24為1層之情形進行了例示，但並不限定於此。圖34表示第1實施形態之變化例之半導體記憶裝置1所具備之記憶胞陣列10之剖面構造之一例。如圖34所示，於記憶胞陣列10之剖面構造中，SGD孔SH亦可貫通複數個導電體層24。更具體而言，各記憶體柱MP之與SGD孔SH對應之部分例如貫通4層導電體層24。

【0129】該等導電體層24自下層依序用作例如選擇閘極線SGDa、SGDb、SGDc及SGDd。例如於各記憶體柱MP中，SGD孔SH與選擇閘極線SGDa交叉之部分作為選擇電晶體ST1a發揮功能，SGD孔SH與選擇閘極線SGDb交叉之部分作為選擇電晶體ST1b發揮功能，SGD孔SH與選擇閘極線SGDc交叉之部分作為選擇電晶體ST1c發揮功能，SGD孔SH與選擇閘極線SGDd交叉之部分作為選擇電晶體ST1d發揮功能。選擇閘極線SGDa、SGDb、SGDc及SGDd可獨立被控制，亦可一起被控制。如此，於半導體記憶裝置1中亦可設置複數層選擇閘極線SGD。

【0130】於上述實施形態中，記憶胞陣列10之構造亦可為其他構造。例如，記憶體柱MP亦可為複數個柱於Z方向上連結而成之構造。於該情形時，記憶體柱MP亦可為例如貫通導電體層24(選擇閘極線SGD)及複數個導電體層23(字元線WL)之柱與貫通複數個導電體層23(字元線WL)及導電體層22(選擇閘極線SGS)之柱連結而成之構造。又，記憶體柱MP亦可包含複數個貫通複數個導電體層23之柱。

【0131】於上述實施形態中，以半導體記憶裝置1具有在記憶胞陣列10下設置有感測放大器模組16等電路之構造之情形為例進行了說明，但並不限定於此。例如，半導體記憶裝置1亦可為於半導體基板20上形成有記憶胞陣列10及感測放大器模組16之構造。於該情形時，記憶體柱MP例如形成為第3實施形態中說明之構造。又，半導體記憶裝置1亦可為設置有感測放大器模組16等之晶片與設置有記憶胞陣列10之晶片貼合而成之構造。

【0132】於上述實施形態中，對字元線WL與選擇閘極線SGS相鄰、字元線WL與選擇閘極線SGD相鄰之構造進行了說明，但並不限定於此。例如，亦可於最上層之字元線WL與選擇閘極線SGD之間設置有虛設字元線。同樣地，亦可於最下層之字元線WL與選擇閘極線SGS之間設置有虛設字元線。又，於為複數個柱連結之構造之情形時，亦可將連結部分附近之導電體層用作虛設字元線。

【0133】於上述實施形態中用於說明之圖式中，例示有記憶體孔MH或SGD孔SH等之截面積不依存於積層位置而為固定之情形，但並不限定於此。例如，記憶體孔MH或SGD孔SH可具有錐形狀，亦可具有中間部分鼓起之形狀。同樣地，狹縫SLT及SHE可具有錐形狀，亦可具有中間部分鼓起之形狀。

【0134】本說明書中，所謂“連接”表示電性連接，並不排除例如在其間介隔其他元件之情況。所謂“連續地設置”表示藉由相同之製造製程而形成。於某一構成要素中連續地設置之部分不形成邊界。“連續地設置”與自某一膜或層中之第1部分至第2部分為連續膜之含義相同。“膜厚”例如表示形成於記憶體孔MH或SGD孔SH內之構成要素之內徑與外徑

間之差。“內徑”及“外徑”分別表示與半導體基板20平行之截面中之內徑及外徑。

【0135】本說明書中，所謂“對向之部分”係與於與半導體基板20之表面平行之方向上近接之2個構成要素之部分對應。例如，與導電體層23對向之半導體層31之部分與形成有該導電體層23之層中所含之半導體層31之部分對應。“厚度大致相等”表示藉由相同之製造製程所形成之層(膜)，亦包含基於成膜位置之不均。

【0136】本說明書中，“柱狀”表示設置於半導體記憶裝置1之製造製程中所形成之孔內之構造體。形成於記憶體孔MH及SGD孔SH內之構造體亦可分別稱為“柱”。即，於上述實施形態中，記憶體柱MP具有於與記憶體孔MH對應之柱上形成有與SGD孔SH對應之柱之構造。

【0137】雖然對本發明之若干實施形態進行了說明，但該等實施形態係作為示例提出者，並非意欲限定發明之範圍。該等新穎之實施形態可藉由其他各種形態實施，可於不脫離發明主旨之範圍內進行各種省略、替換、變更。該等實施形態或其變化包含於發明之範圍或主旨內，並且包含於申請專利範圍所記載之發明及其均等之範圍內。

【0138】

[相關申請案]

本申請案享有將日本專利申請案2018-228428號(申請日：2018年12月5日)作為基礎申請案之優先權。本申請案藉由參照該基礎申請案而包含基礎申請案之全部內容。

【符號說明】

【0139】

1	半導體記憶裝置
2	記憶體控制器
10	記憶胞陣列
11	指令寄存器
12	位址寄存器
13	定序器
14	驅動器模組
15	列解碼器模組
16	感測放大器模組
20	半導體基板
21	導電體層
22	導電體層
23	導電體層
24	導電體層
25	導電體層
30	核心構件
31	半導體層
32	積層膜
33	積層膜
34	隧道絕緣膜
35	絕緣膜
36	阻擋絕緣膜
37	隧道絕緣膜

38	隧道絕緣膜
39	阻擋絕緣膜
40	絕緣體層
41	導電體層
42	犧牲構件
43	導電體層
44	絕緣體層
45	絕緣體層
46	犧牲構件
47	絕緣體層
48	犧牲構件
49	絕緣體層
50	犧牲構件
51	絕緣體層
52	保護膜
53	絕緣體層
54	導電體層
55	絕緣體
56	絕緣體
60	閘極絕緣膜
ADD	位址資訊
BA	區塊位址
BL	位元線

BL0～BLm	位元線
BLK0～BLKn	區塊
BP	連接部
CA	行位址
CMD	指令
CU	胞單元
CV	觸點
DAT	資料
MH	記憶體孔
MP	記憶體柱
MT0～MT7	記憶胞電晶體
NS	NAND串
PA	頁位址
SGD	選擇閘極線
SGD0～SGD3	選擇閘極線
SGS	選擇閘極線
SH	SGD孔
SHE	狹縫
SL	源極線
SLT	狹縫
ST1	選擇電晶體
ST1a	選擇電晶體
ST1b	選擇電晶體

ST1c	選擇電晶體
ST1d	選擇電晶體
ST2	選擇電晶體
SU0～SU3	串單元
WL0～WL7	字元線

【發明申請專利範圍】

【第1項】

一種半導體記憶裝置，其具備：

複數個第1導電體層，其等設置於基板之上方，於第1方向相互分離地積層；

第2導電體層，其設置於上述複數個第1導電體層之上方；

第1柱，其係貫通上述複數個第1導電體層而設置者，且上述第1柱包含沿上述第1方向延伸之第1半導體層之一部分，上述第1柱與上述第1導電體層之交叉部分作為記憶胞電晶體發揮功能；及

第2柱，其係貫通上述第2導電體層且設置於上述第1柱上者，且上述第2柱包含上述第1半導體層之另一部分，上述第2柱與上述第2導電體層之交叉部分作為選擇電晶體發揮功能；且

與上述基板平行且包含上述第2導電體層之截面中之上述第2柱之截面積小於與上述基板平行且包含上述第1導電體層之截面中之上述第1柱之截面積，

上述第1半導體層包含與最上層之第1導電體層對向之第1部分及與上述第2導電體層對向之第2部分，上述第1半導體層至少自上述第1部分至上述第2部分為連續膜。

【第2項】

如請求項1之半導體記憶裝置，其中上述最上層之第1導電體層與上述第2導電體層之間之上述第1方向上之間隔大於相鄰之第1導電體層間之上述第1方向上之間隔。

【第3項】

如請求項1之半導體記憶裝置，其於俯視下，上述第1柱之中心與上述第2柱之中心不重疊。

【第4項】

如請求項1之半導體記憶裝置，其中上述第1柱進而包含上述第1半導體層與上述複數個第1導電體層之間之第1積層膜，

上述第2柱進而包含上述第1半導體層與上述第2導電體層之間之第2積層膜，且

上述第1積層膜與上述第2積層膜之間至少一部分分離。

【第5項】

如請求項1之半導體記憶裝置，其中上述第1柱進而包含上述第1半導體層與上述複數個第1導電體層之間之第1積層膜，

上述第2柱進而包含上述第1半導體層與上述第2導電體層之間之第2積層膜，且

上述第2積層膜之膜厚較上述第1積層膜之膜厚薄。

【第6項】

如請求項4之半導體記憶裝置，其中上述第1積層膜包含第1電荷蓄積層、上述第1電荷蓄積層與上述第1半導體層之間之第1隧道絕緣膜、及上述第1電荷蓄積層與上述複數個第1導電體層之間之第1阻擋絕緣膜，且

上述第2積層膜包含第2電荷蓄積層、上述第2電荷蓄積層與上述第1半導體層之間之第2隧道絕緣膜、及上述第2電荷蓄積層與上述第2導電體層之間之第2阻擋絕緣膜。

【第7項】

如請求項6之半導體記憶裝置，其中上述第2隧道絕緣膜之底面、上

述第2阻擋絕緣膜之底面、及上述第2電荷蓄積層之底面與上述第1半導體層接觸。

【第8項】

如請求項1之半導體記憶裝置，其中上述第1柱進而包含上述第1半導體層與上述複數個第1導電體層之間之第1積層膜，

上述第2柱進而包含上述第1半導體層與上述第2導電體層之間之閘極絕緣膜，且

上述第1積層膜具有電荷蓄積層，上述閘極絕緣膜不具有電荷蓄積層。

【第9項】

如請求項8之半導體記憶裝置，其中上述第1積層膜包含第1電荷蓄積層、上述第1電荷蓄積層與上述第1半導體層之間之第1隧道絕緣膜、及上述第1電荷蓄積層與上述複數個第1導電體層之間之第1阻擋絕緣膜。

【第10項】

如請求項9之半導體記憶裝置，其中上述閘極絕緣膜係以與上述第1隧道絕緣膜相同之材料所形成之單層膜。

【第11項】

如請求項8之半導體記憶裝置，其中上述閘極絕緣膜之膜厚較上述第1積層膜之膜厚薄。

【第12項】

如請求項8之半導體記憶裝置，其中上述第1積層膜與上述閘極絕緣膜之間至少一部分分離。

【第13項】

如請求項1之半導體記憶裝置，其中上述第1柱進而包含上述第1半導體層與上述複數個第1導電體層之間之第1積層膜，

上述第2柱進而包含上述第1半導體層與上述第2導電體層之間之第2積層膜或閘極絕緣膜，且

上述第1積層膜與上述第2積層膜或閘極絕緣膜於上述第1方向分離。

【第14項】

如請求項1之半導體記憶裝置，其中上述第1柱及上述第2柱進而包含由上述第1半導體層覆蓋之第1絕緣體層，上述第1絕緣體層跨及上述第1柱及上述第2柱而沿上述第1方向延伸。

【第15項】

如請求項1之半導體記憶裝置，其進而具備：

第3導電體層，其設置於與上述第2導電體層相同之層且與上述第2導電體層分離；

上述第2導電體層與上述第3導電體層之間之絕緣體；

第3柱，其係貫通上述複數個第1導電體層而設置者，且上述第3柱包含沿上述第1方向延伸之第2半導體層之一部分，上述第3柱與上述第1導電體層之交叉部分作為記憶胞電晶體發揮功能；及

第4柱，其係貫通上述第3導電體層且設置於上述第3柱上者，且上述第4柱包含上述第2半導體層之另一部分，上述第4柱與上述第3導電體層之交叉部分作為選擇電晶體發揮功能；且

與上述基板平行且包含上述第3導電體層之截面中之上述第4柱之截面積小於與上述基板平行且包含上述第1導電體層之截面中之上述第3柱之截面積，

上述第2半導體層包含與最上層之第1導電體層對向之第3部分及與上述第3導電體層對向之第4部分，上述第2半導體層至少自上述第3部分至上述第4部分為連續膜，

於上述第1柱與上述第3柱之間未設置貫通上述複數個第1導電體層之柱，

上述第2柱及上述第4柱分別與上述絕緣體分離。

【第16項】

如請求項15之半導體記憶裝置，其中上述複數個第1導電體層、上述第2導電體層、上述第3導電體層及上述絕緣體分別沿與上述第1方向交叉之第2方向延伸。

【第17項】

如請求項16之半導體記憶裝置，其中於俯視下，上述第1柱之中心與上述第2柱之中心、及上述第3柱之中心與上述第4柱之中心於與上述第1方向及第2方向交叉之第3方向錯開。

【第18項】

如請求項17之半導體記憶裝置，其中於俯視下，上述第2柱與上述第4柱隔著上述絕緣體而相互對向，上述第2柱之中心相對於上述第1柱之中心於上述第3方向上向與上述第4柱對向之側之相反側偏移，且上述第4柱之中心相對於上述第3柱之中心於上述第3方向上向與上述第2柱對向之側之相反側偏移。

【第19項】

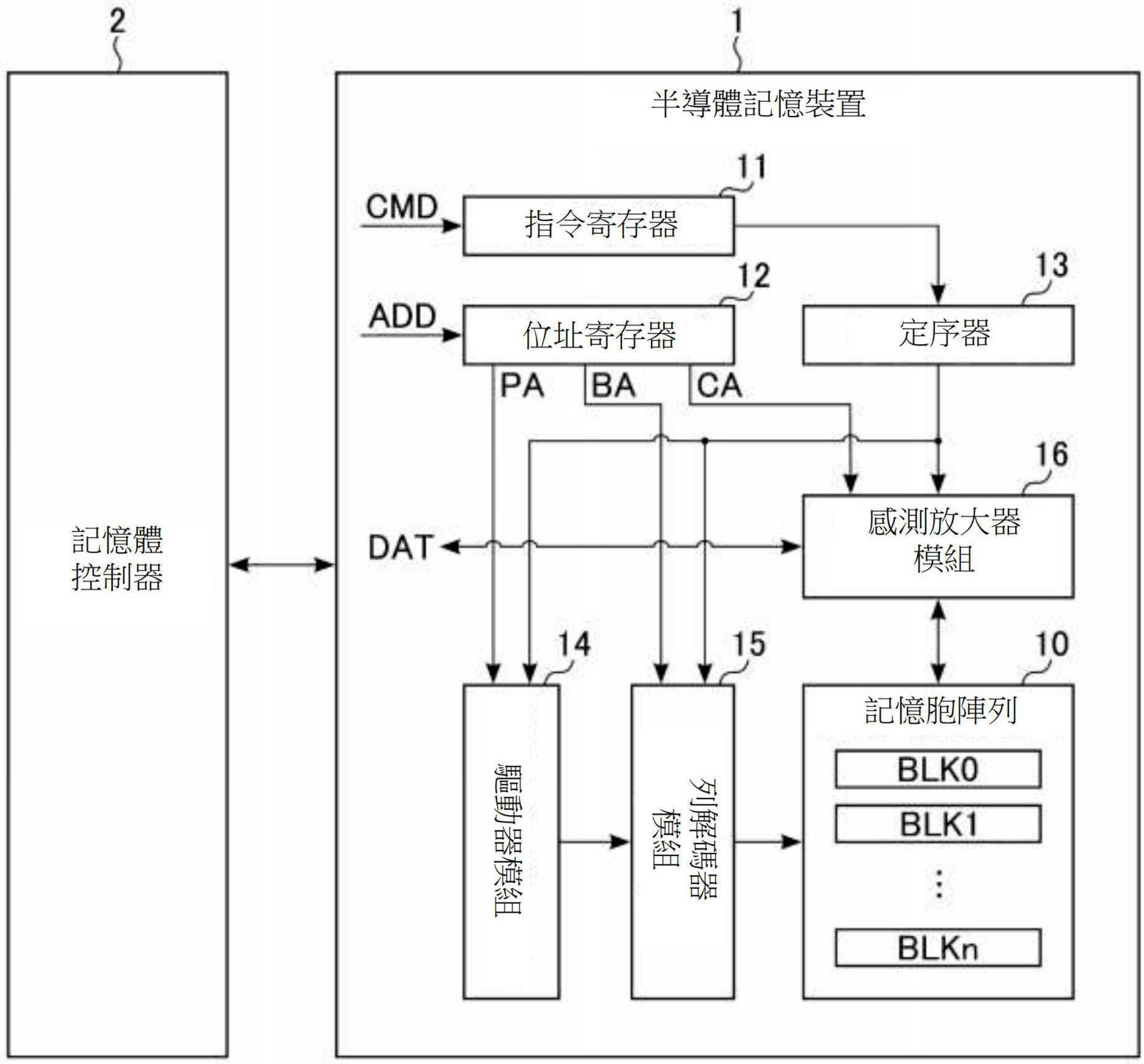
如請求項1之半導體記憶裝置，其進而具備上述基板與上述複數個第1導電體層之間之第4導電體層，且上述第1半導體層之側面與上述第4導

電體層接觸。

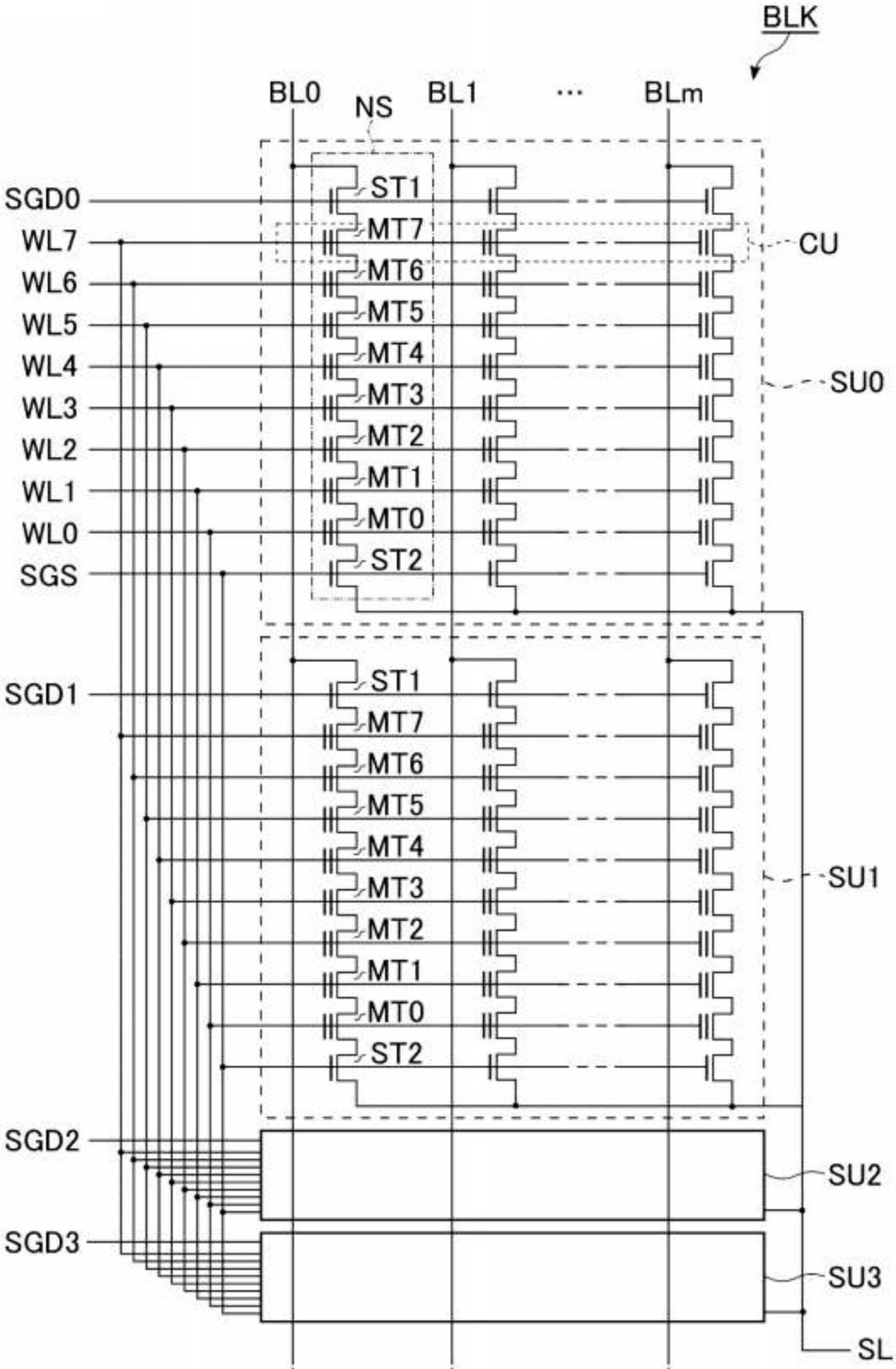
【第20項】

如請求項1之半導體記憶裝置，其進而具備上述基板與上述複數個第1導電體層之間之第4導電體層，且上述第1半導體層之底面與上述第4導電體層接觸。

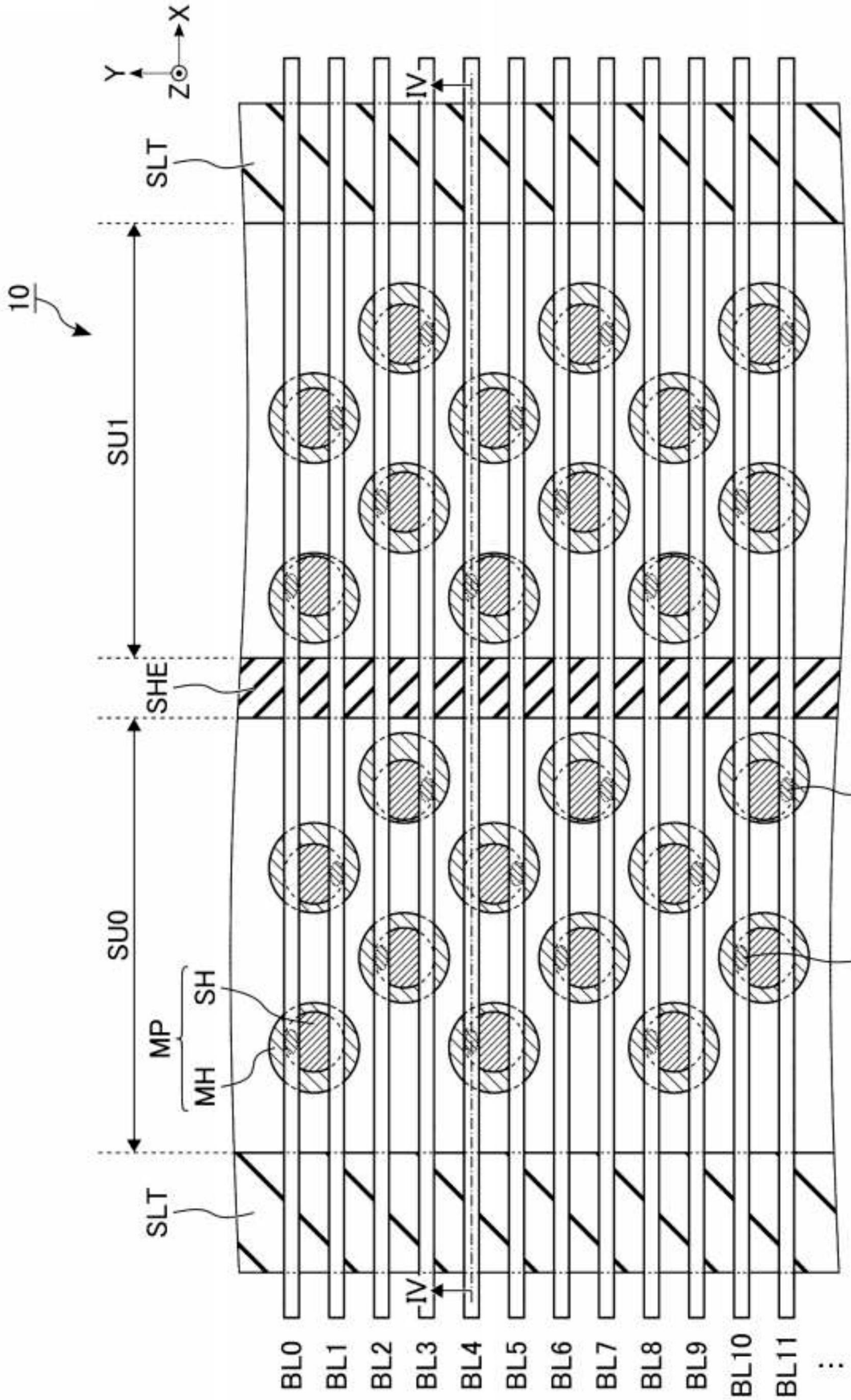
【發明圖式】


2
記憶體
控制器
1
半導體記憶裝置
11
CMD
指令寄存器
12
ADD
位址寄存器
13
定序器
PA
BA
CA
16
感測放大器
模組
DAT
14
15
10
記憶胞陣列
驅動器模組
列解碼器
模組
BLK0
BLK1
BLKn

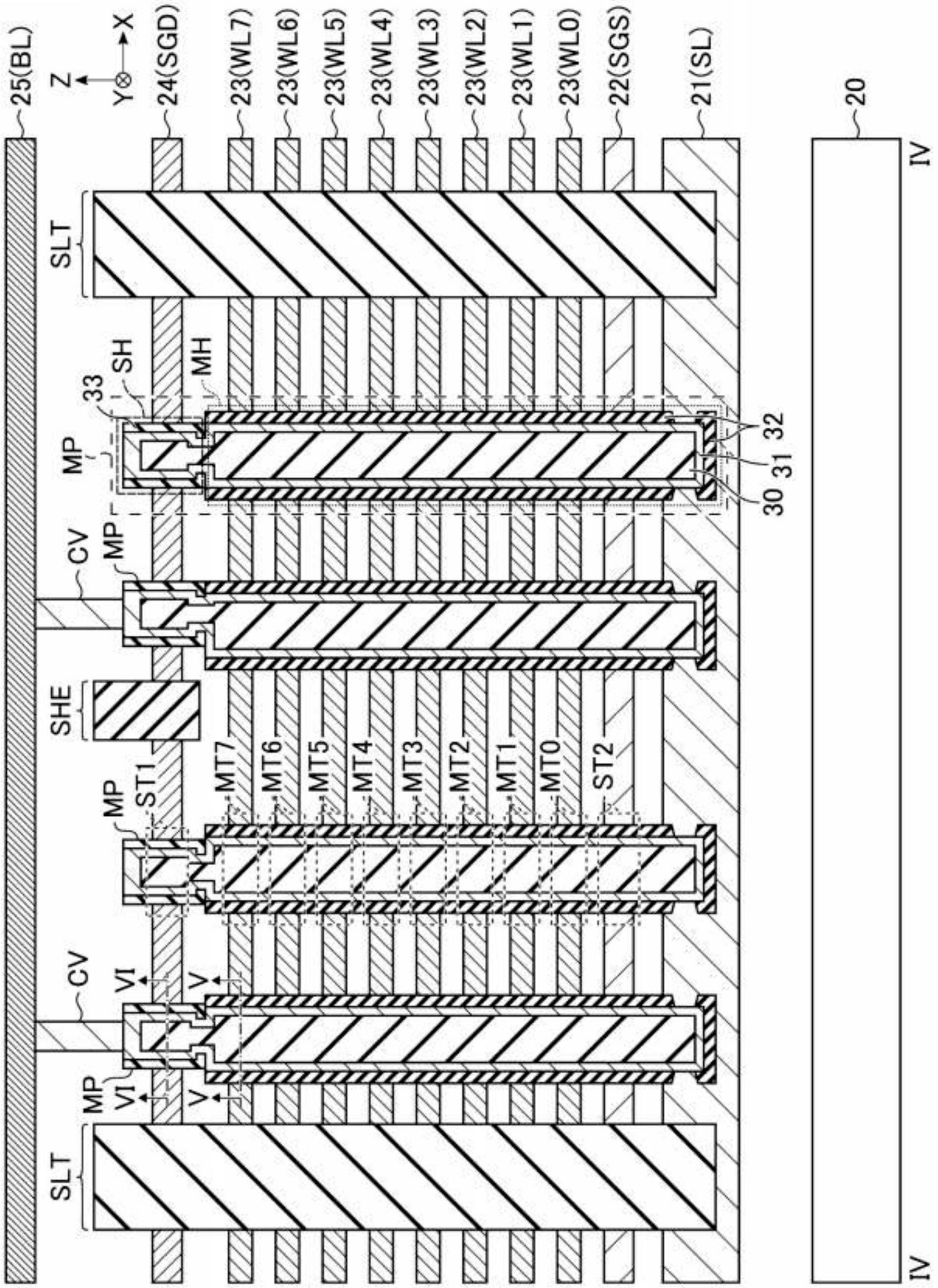
【圖1】


BLK
BL0
NS
BL1
…
BLm
SGD0
WL7
WL6
WL5
WL4
WL3
WL2
WL1
WL0
SGS
ST1
MT7
MT6
MT5
MT4
MT3
MT2
MT1
MT0
ST2
CU
SU0
SGD1
SU1
SGD2
SU2
SGD3
SU3
SL

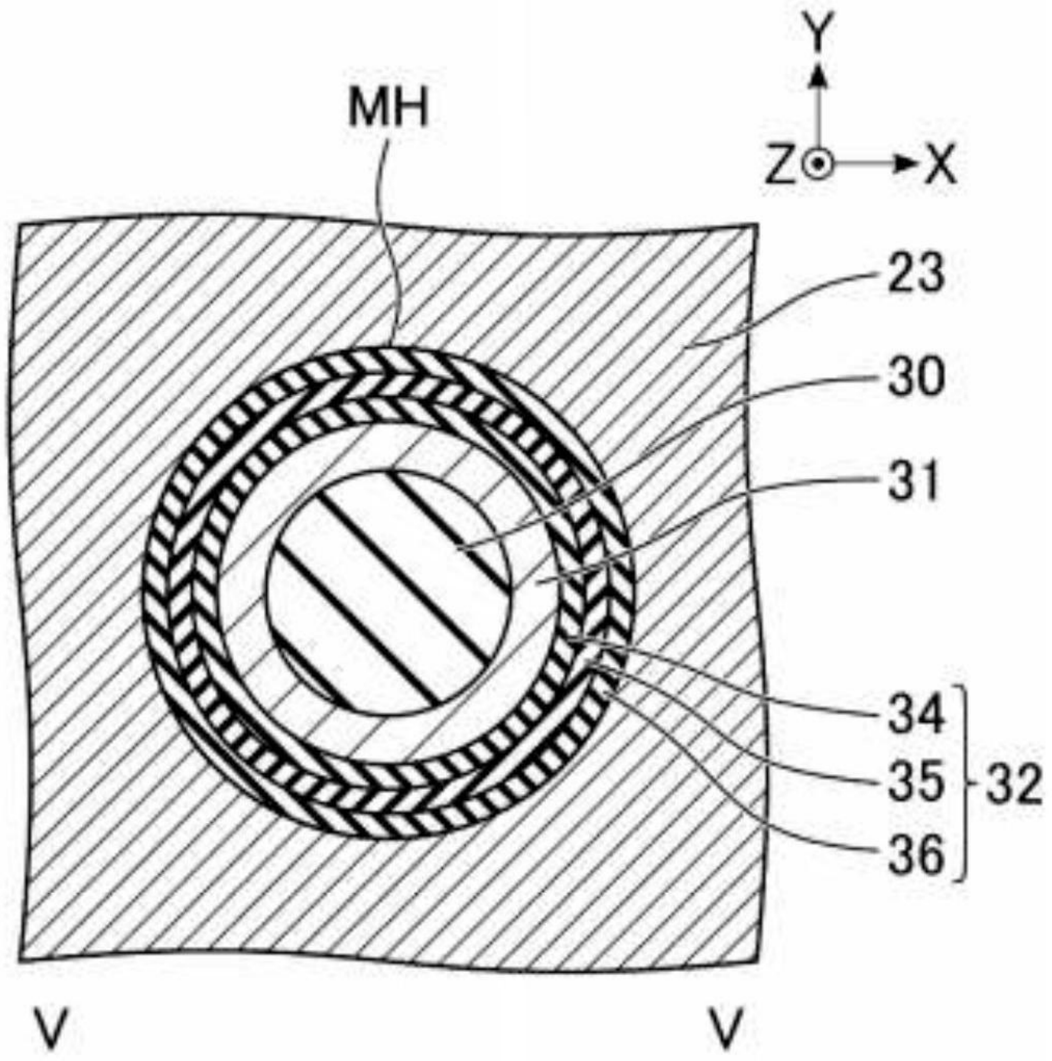
【圖2】


Y
Z
X
IV
SLT
10
SU1
SHE
SU0
MP
SH
MH
CV
CV
SLT
IV
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
BL8
BL9
BL10
BL11
...

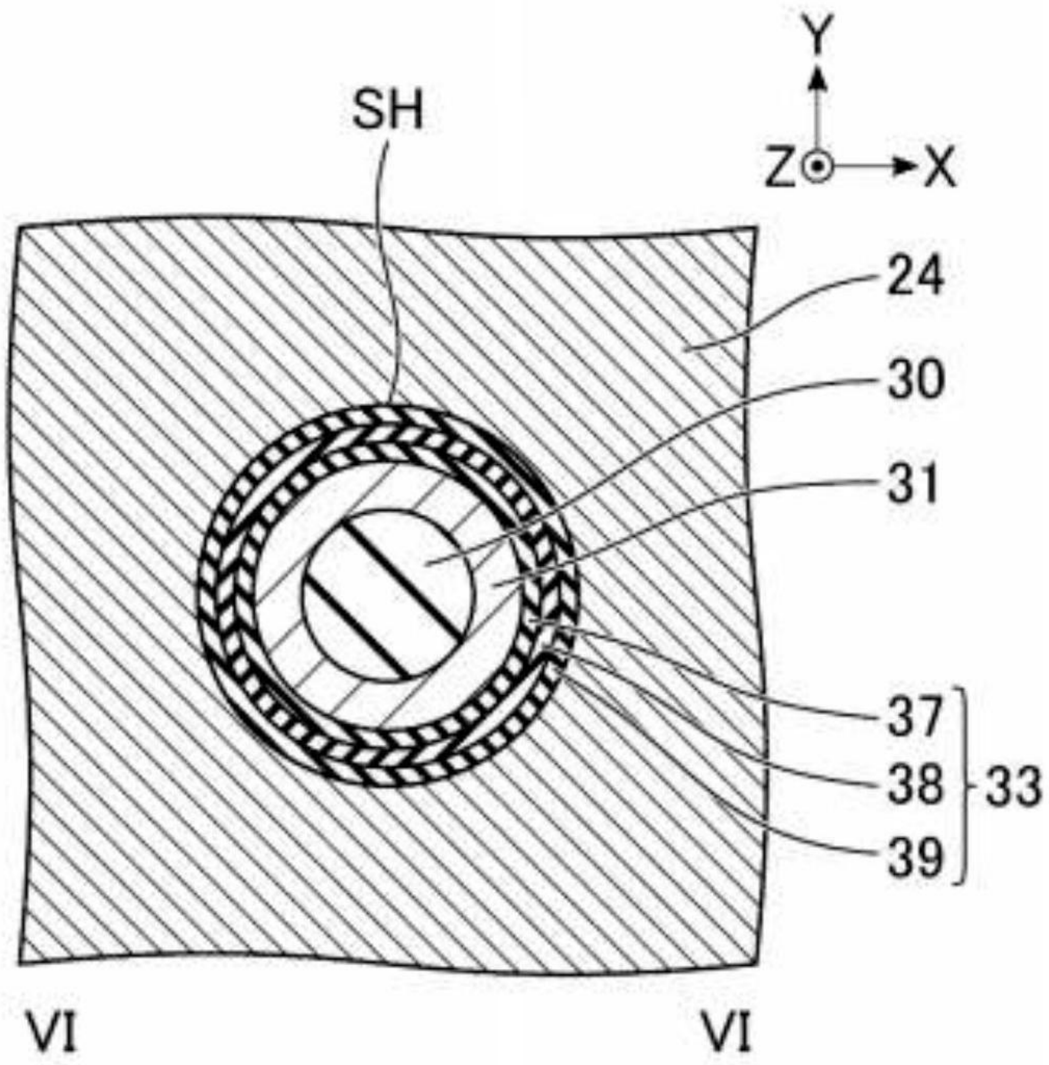
【圖3】


25(BL)
Z
Y
X
24(SGD)
23(WL7)
23(WL6)
23(WL5)
23(WL4)
23(WL3)
23(WL2)
23(WL1)
23(WL0)
22(SGS)
21(SL)
20
IV
SLT
SH
33
MH
MP
32
31
30
CV
SHE
ST1
MT7
MT6
MT5
MT4
MT3
MT2
MT1
MT0
ST2
VI
V

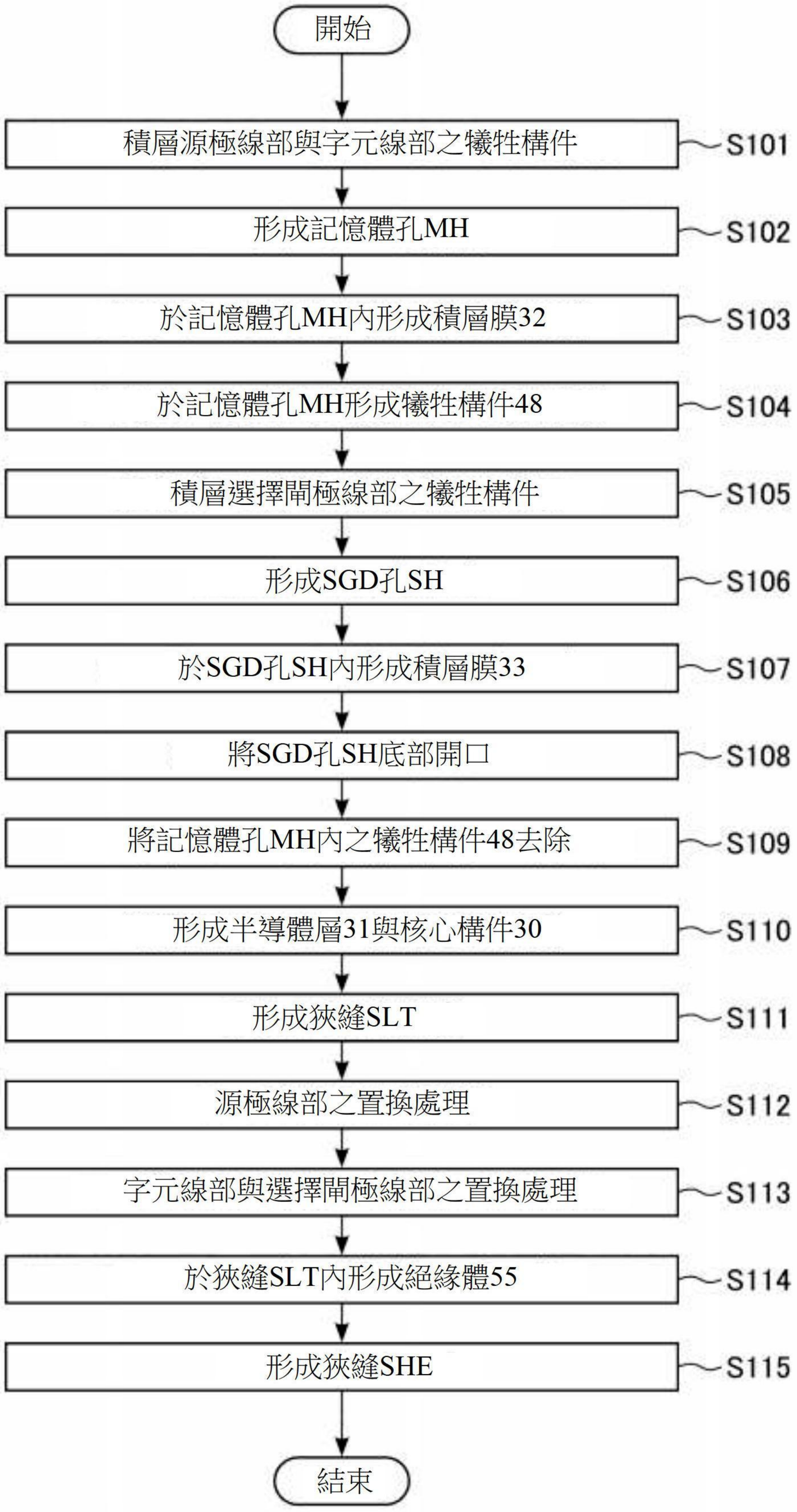
【圖4】



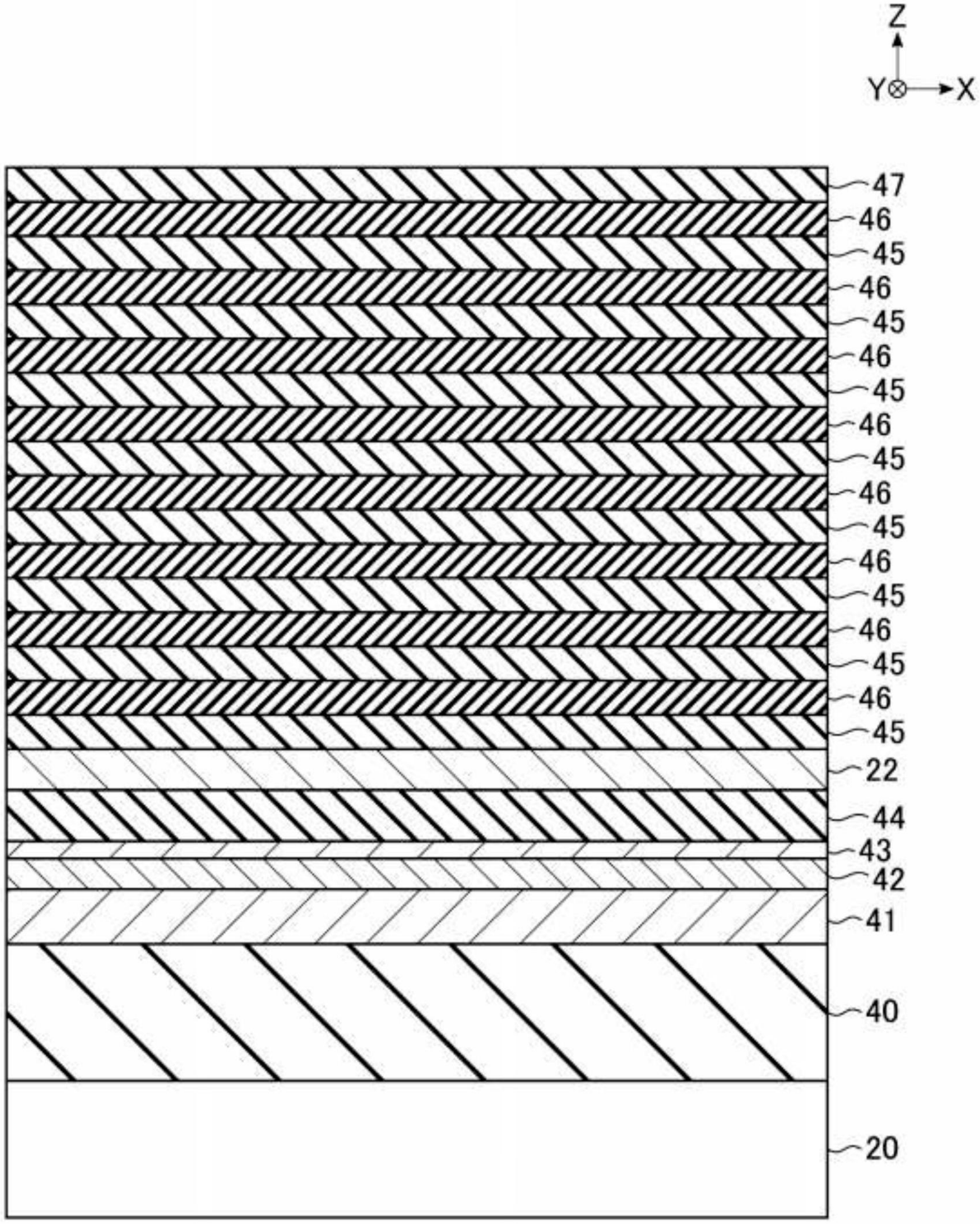
【圖5】



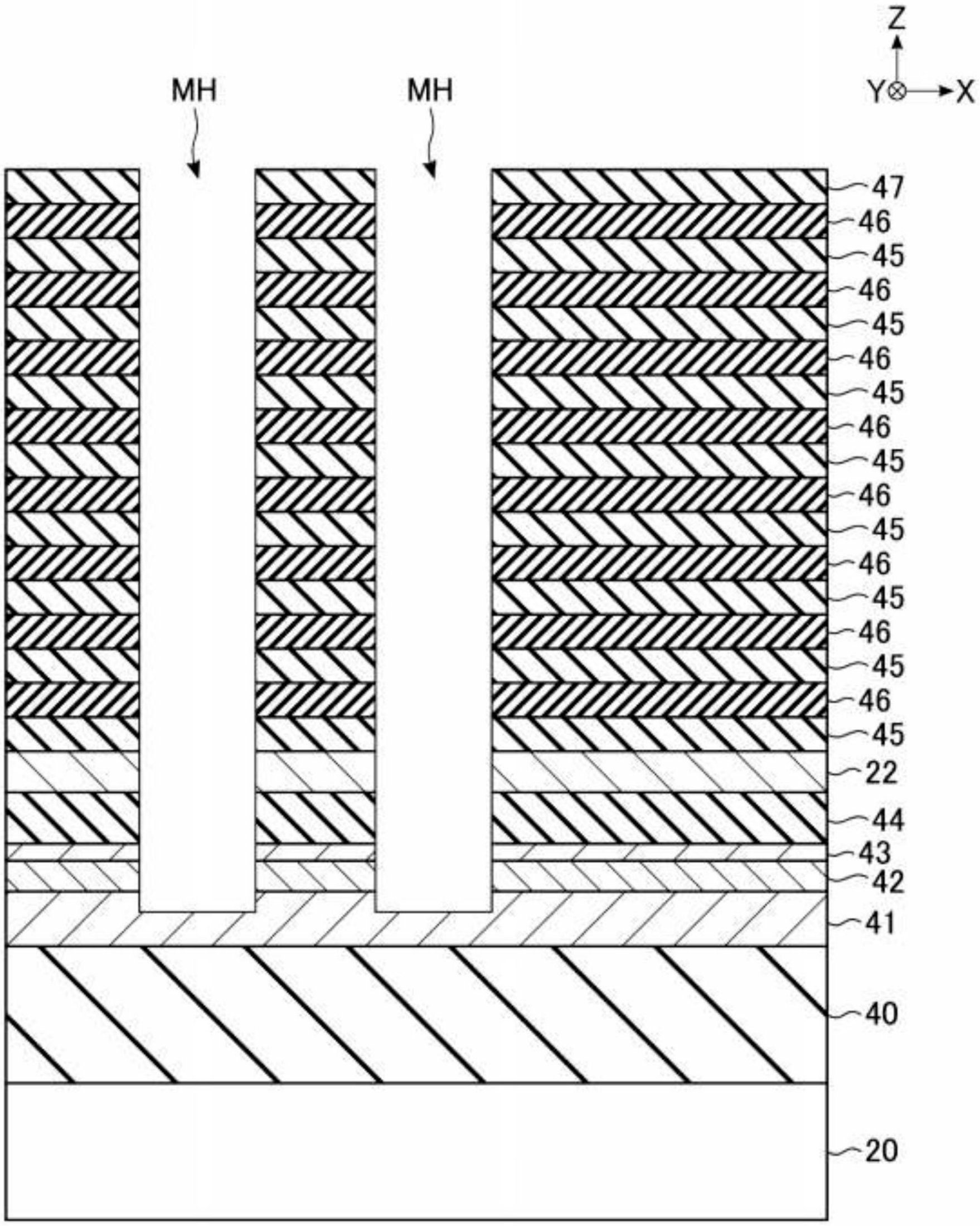
【圖6】


開始
積層源極線部與字元線部之犧牲構件
S101
形成記憶體孔MH
S102
於記憶體孔MH內形成積層膜32
S103
於記憶體孔MH形成犧牲構件48
S104
積層選擇閘極線部之犧牲構件
S105
形成SGD孔SH
S106
於SGD孔SH內形成積層膜33
S107
將SGD孔SH底部開口
S108
將記憶體孔MH內之犧牲構件48去除
S109
形成半導體層31與核心構件30
S110
形成狹縫SLT
S111
源極線部之置換處理
S112
字元線部與選擇閘極線部之置換處理
S113
於狹縫SLT內形成絕緣體55
S114
形成狹縫SHE
S115
結束

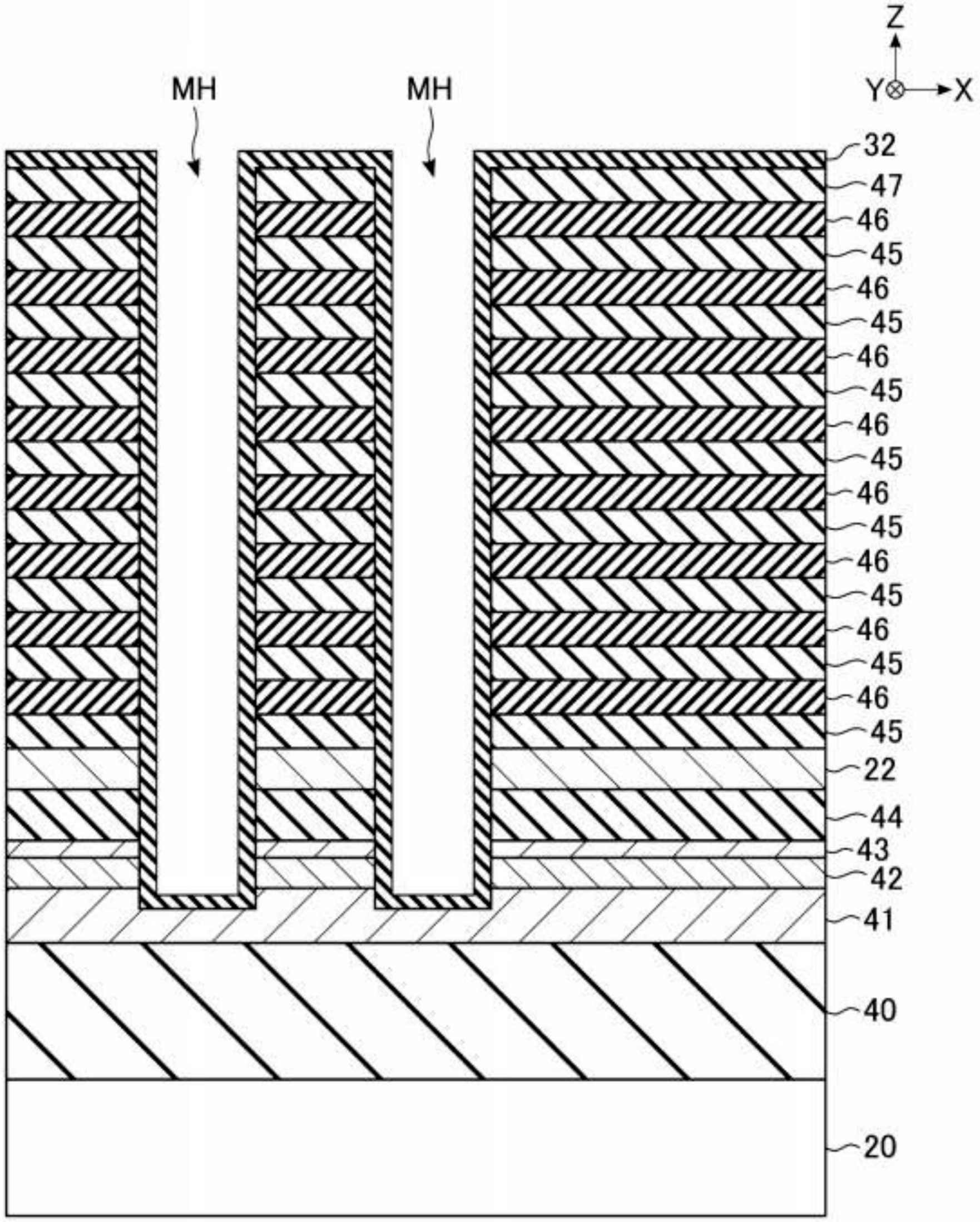
【圖7】



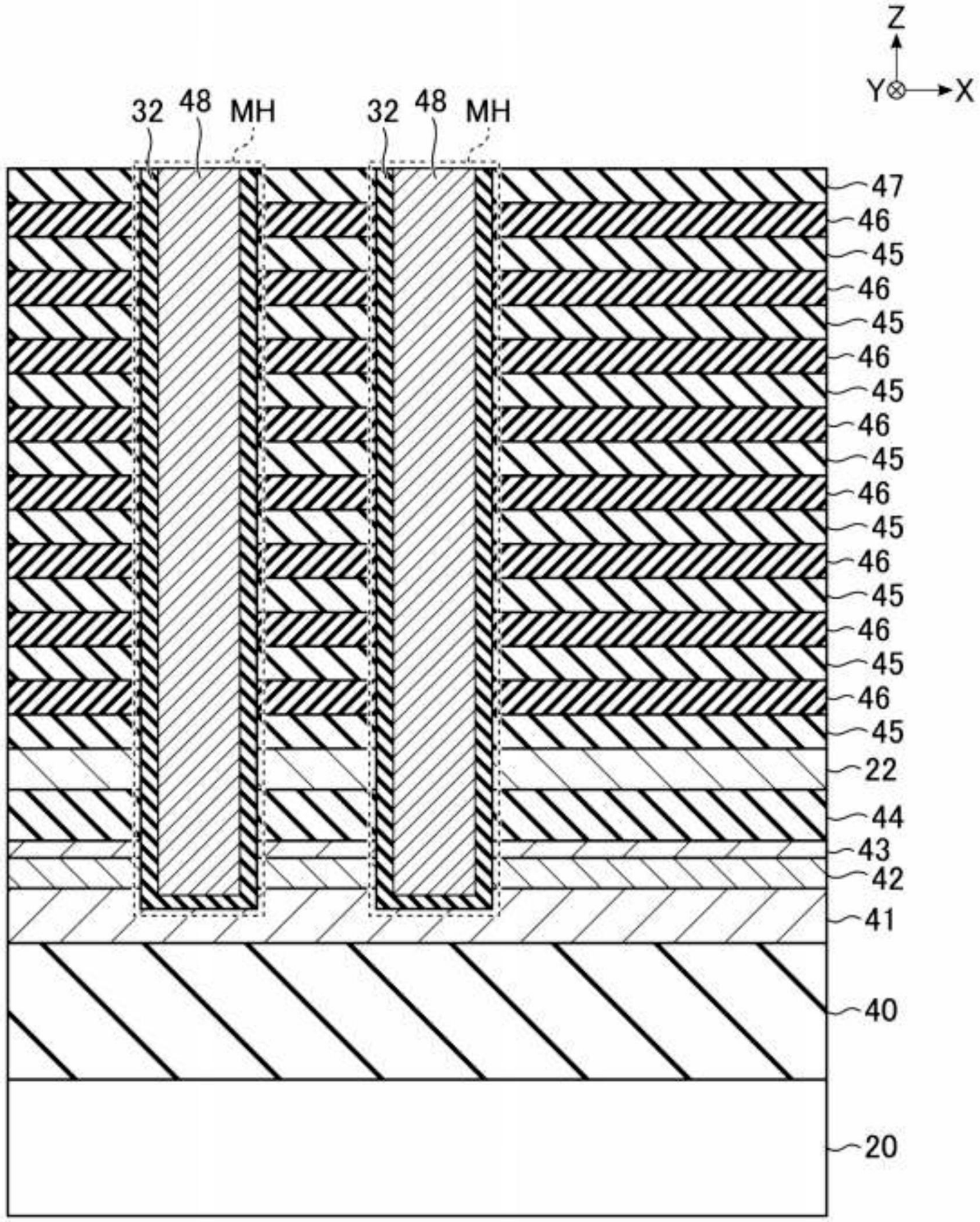
【圖8】


Z
Y
X
MH
MH
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20

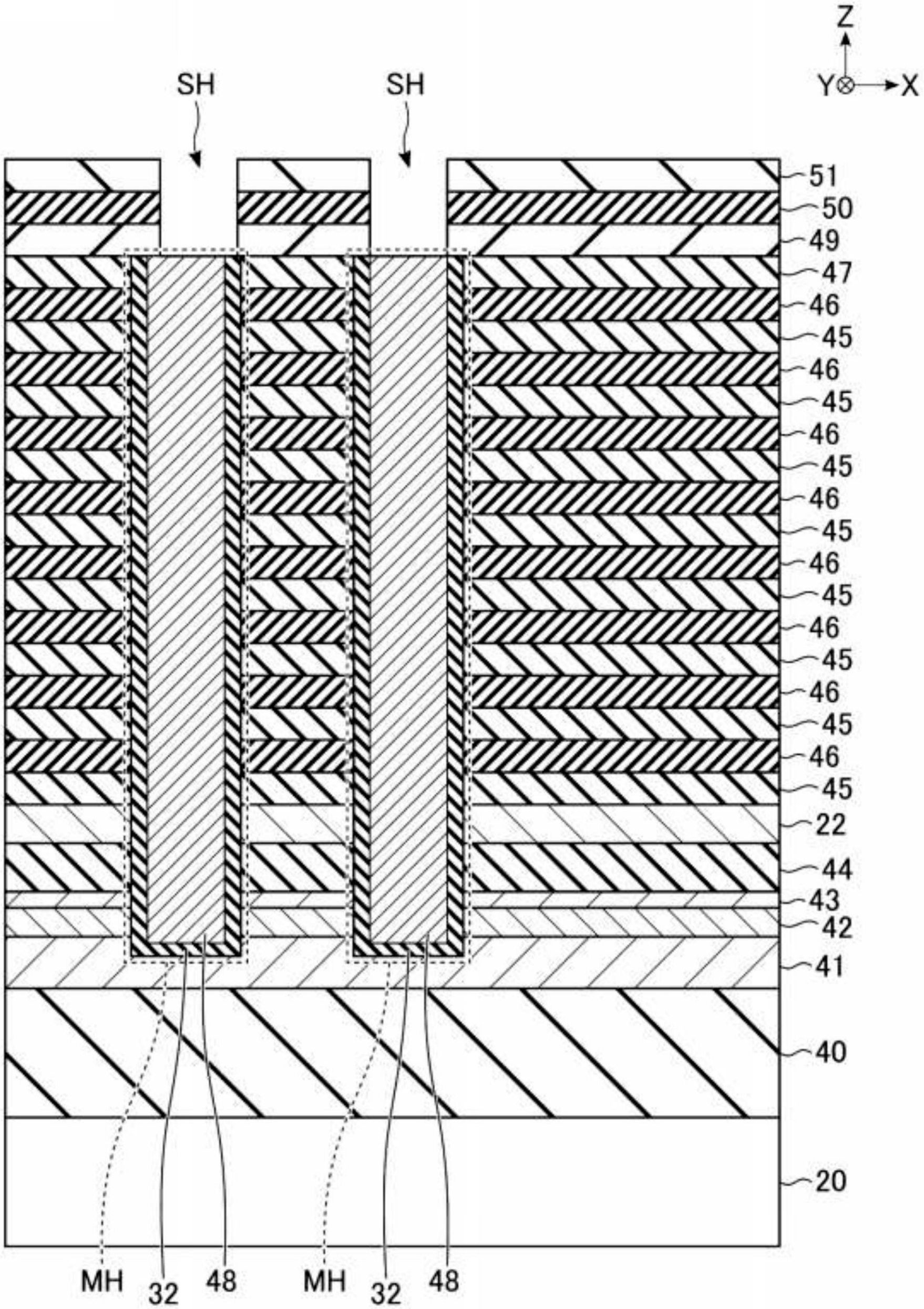
【圖9】


MH
MH
Z
Y
X
32
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20

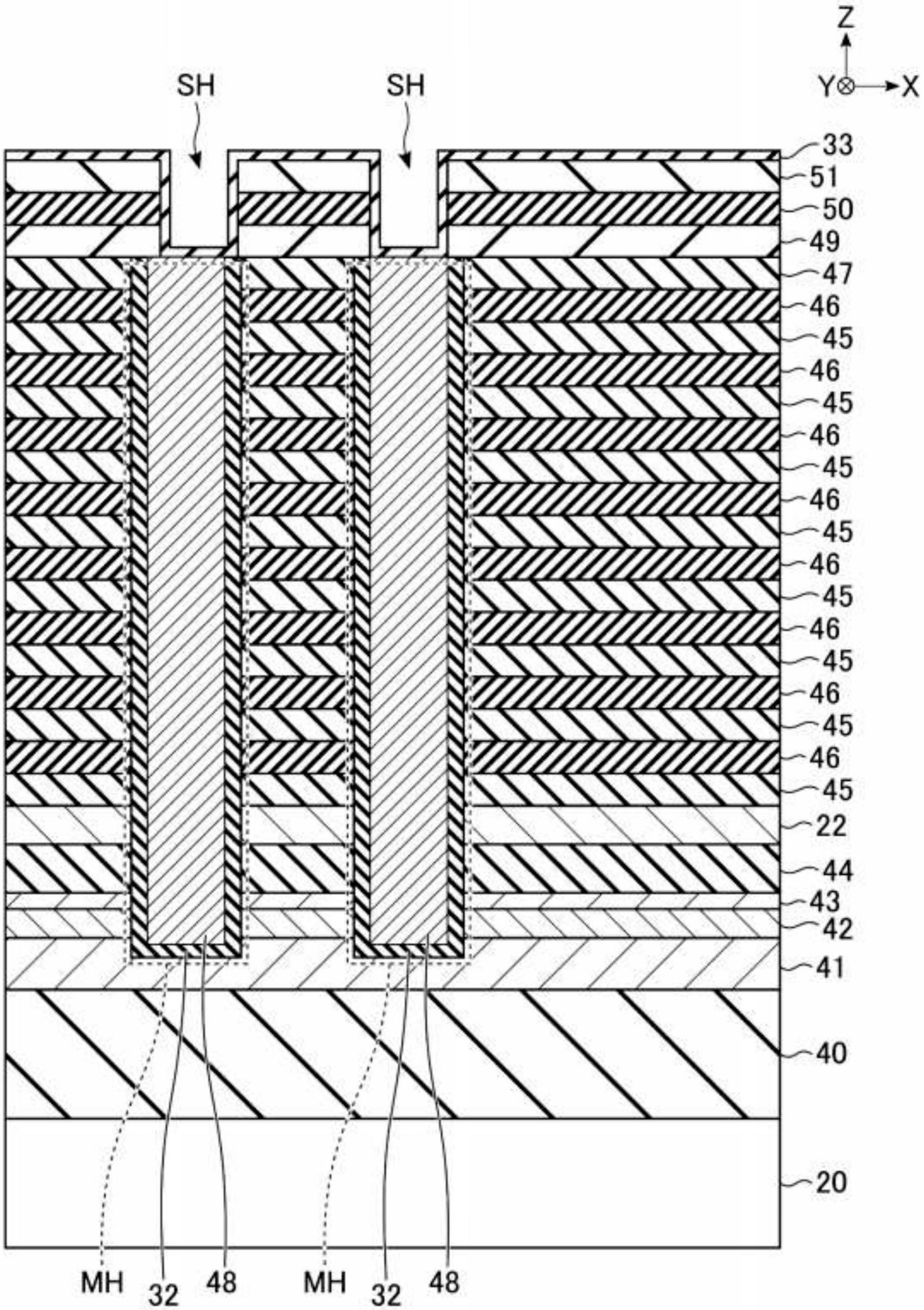
【圖10】


Z
Y
X
32
48
MH
32
48
MH
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20

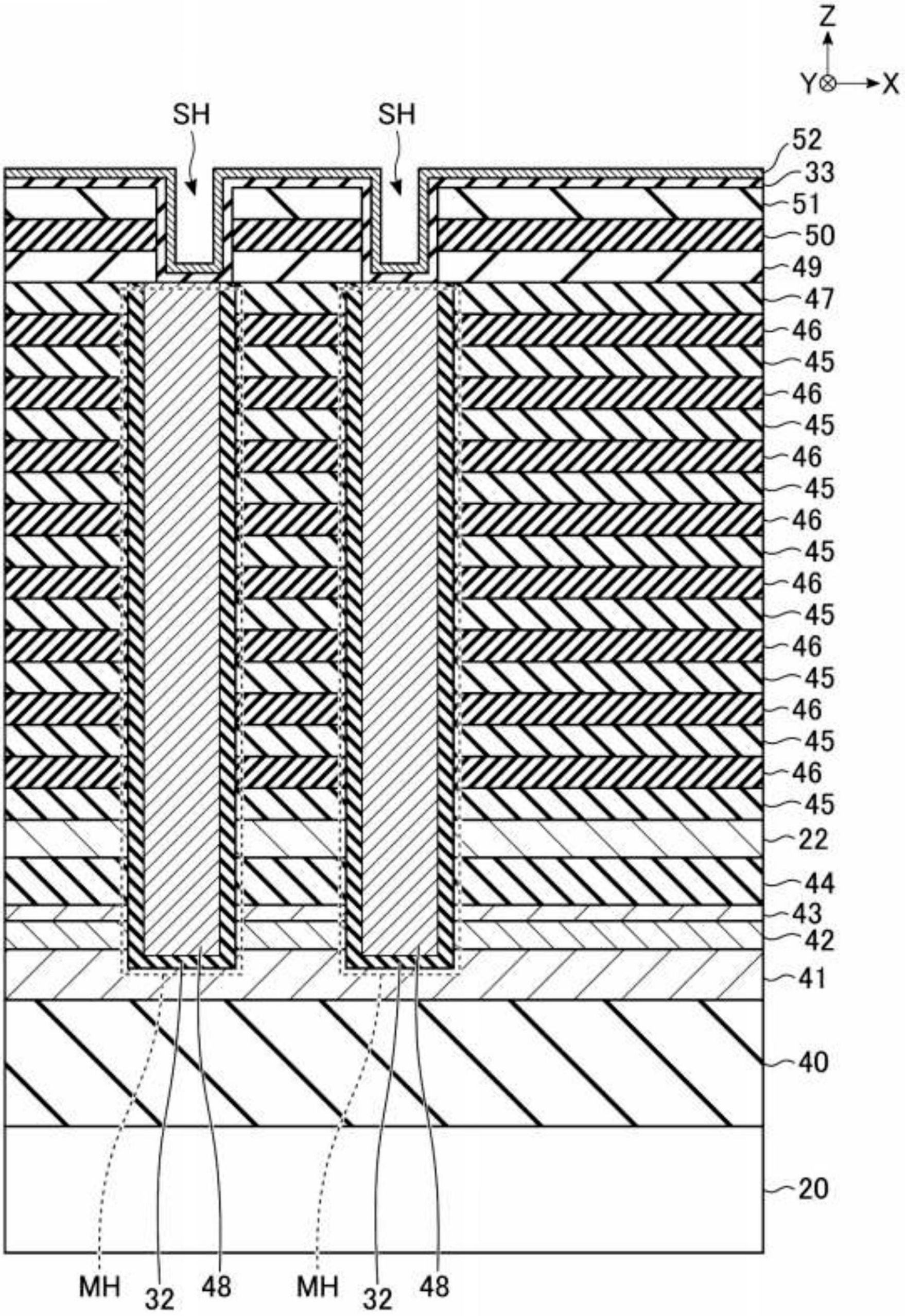
【圖11】


Z
Y
X
SH
SH
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
48
MH
32
48

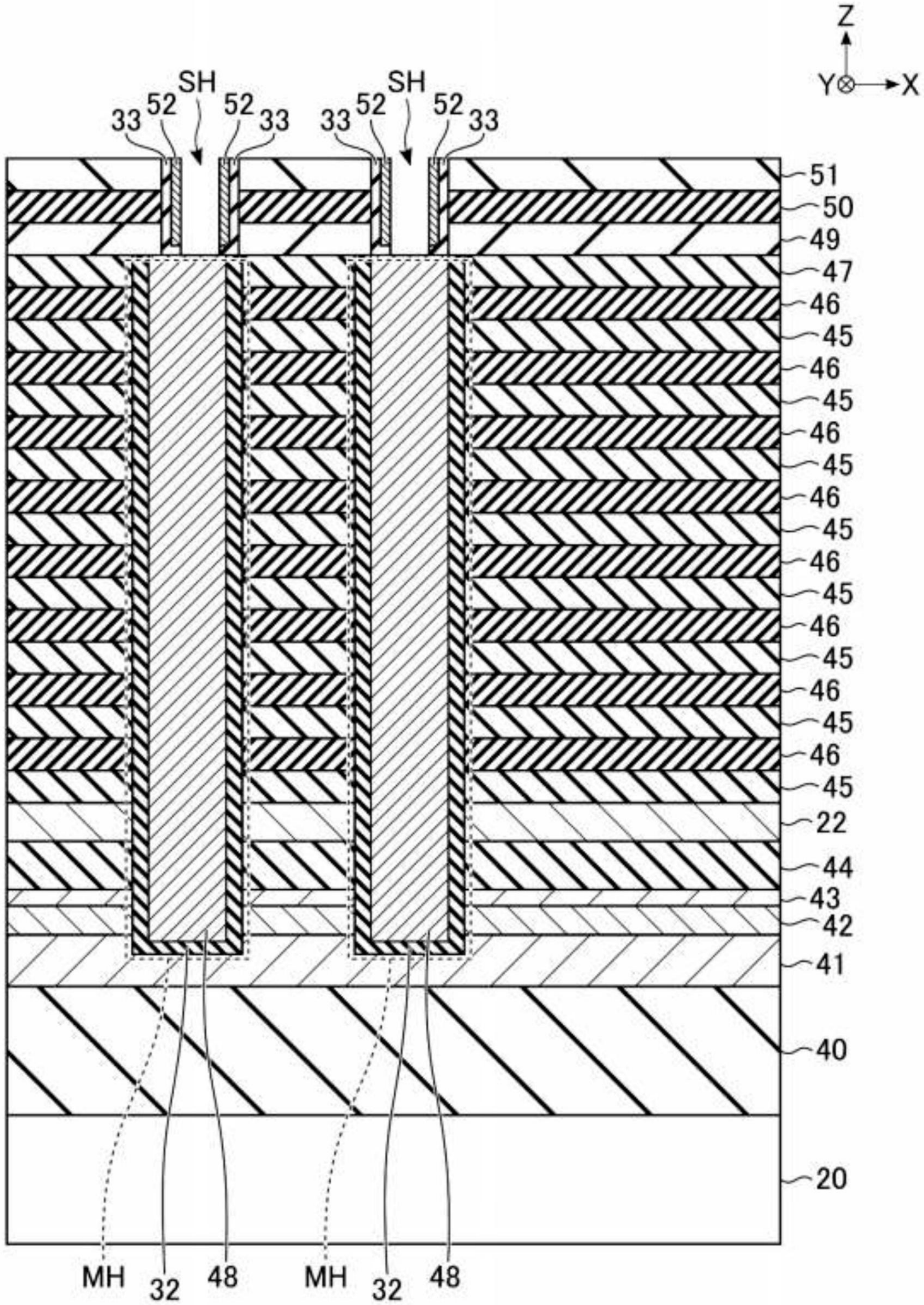
【圖12】


Z
Y
X
SH
SH
33
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
48
MH
32
48

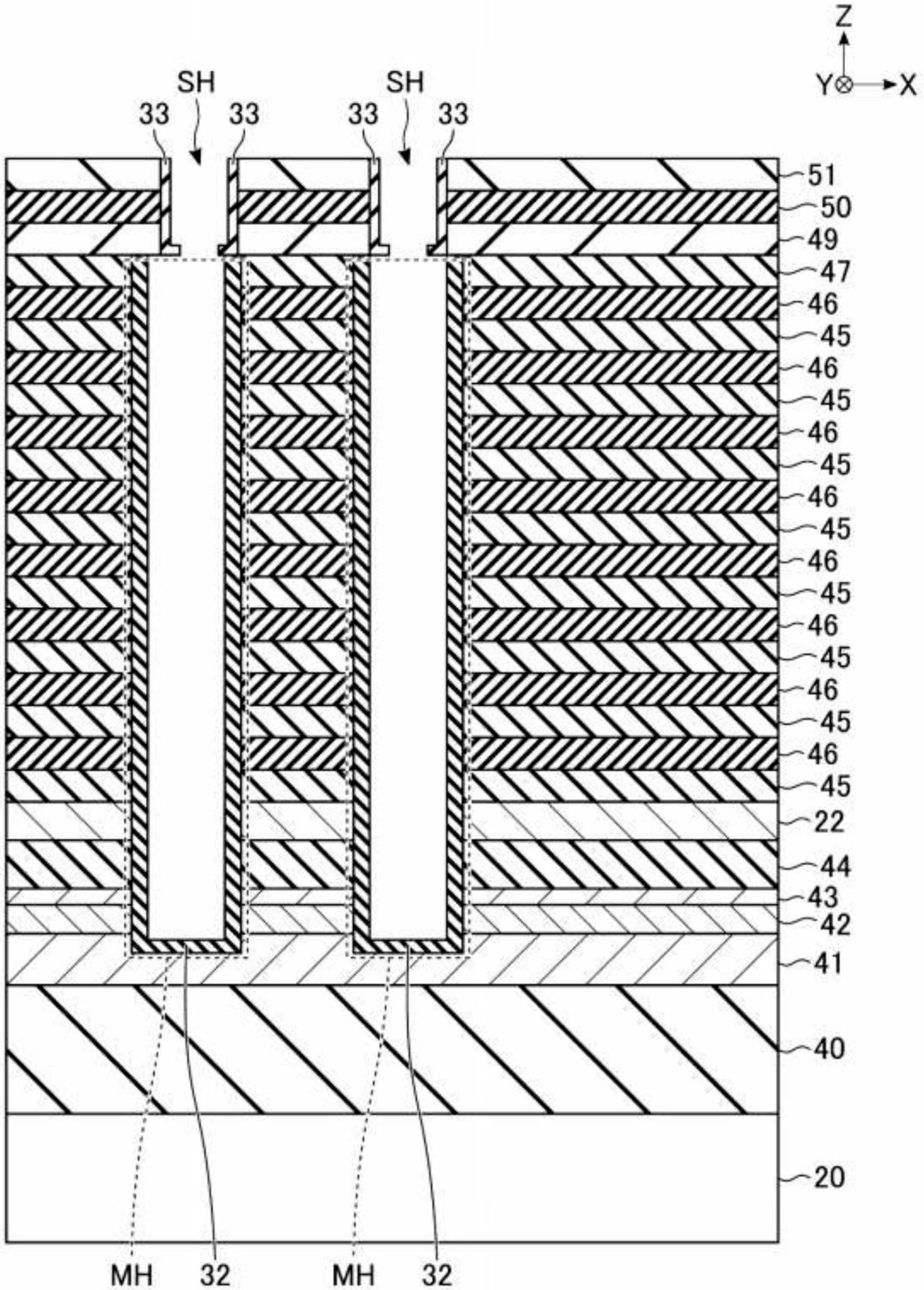
【圖13】


Z
Y
X
SH
SH
52
33
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
48
MH
32
48

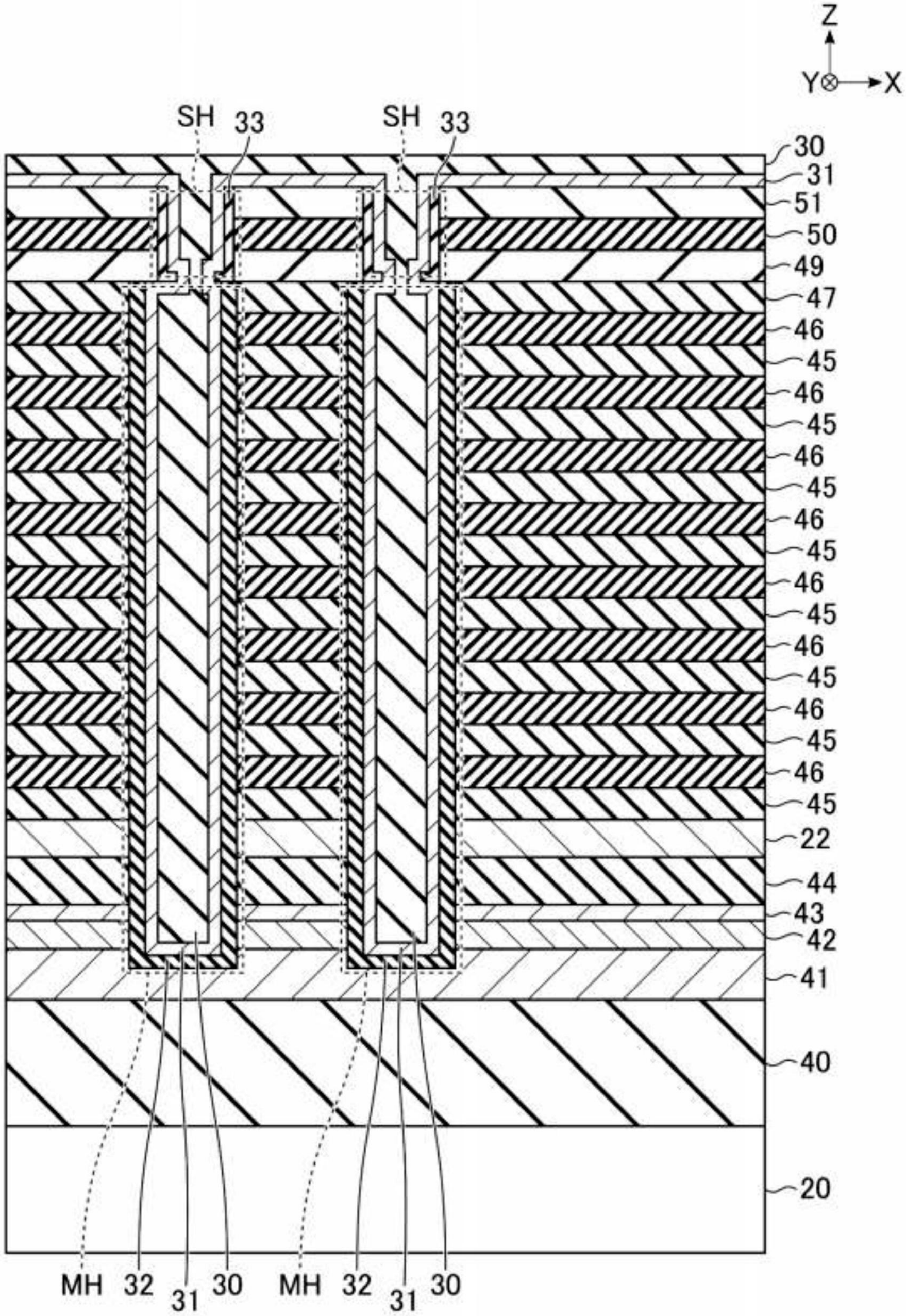
【圖14】


Z
Y
X
SH
SH
33
52
52
33
33
52
52
33
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
48
MH
32
48

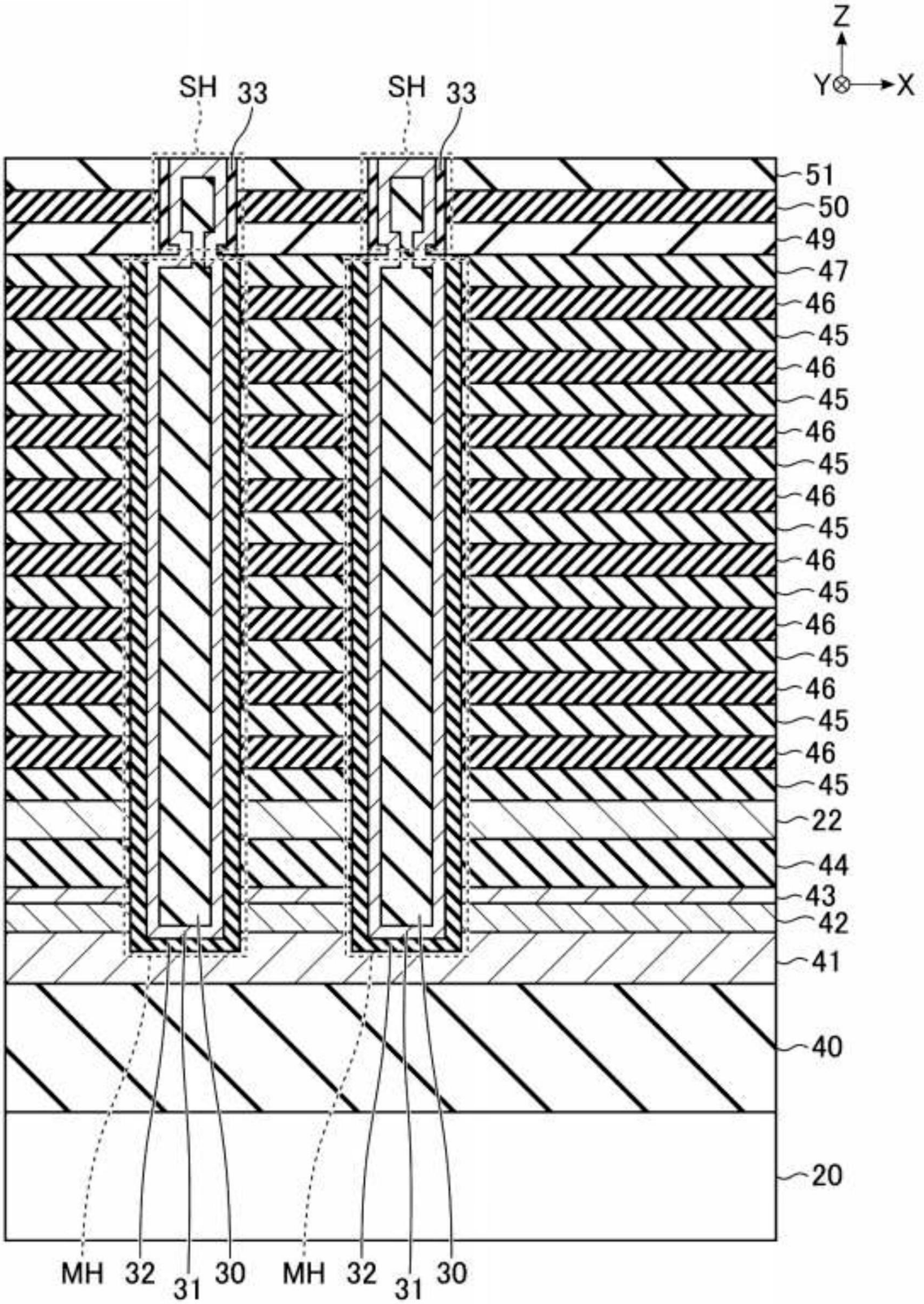
【圖15】


Z
Y
X
SH
SH
33
33
33
33
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
MH
32

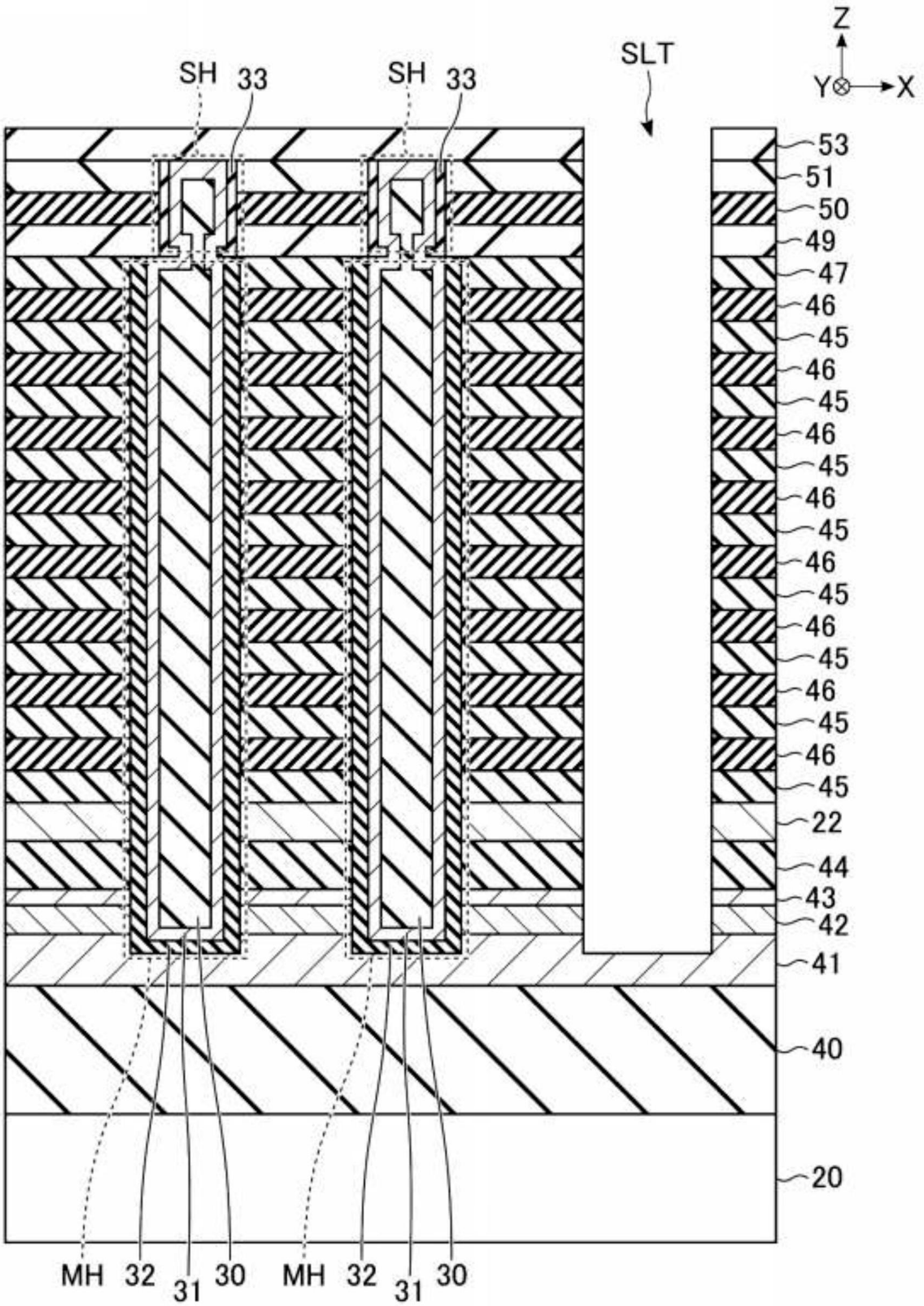
【圖16】


Z
Y
X
SH
33
SH
33
30
31
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
31
30
MH
32
31
30

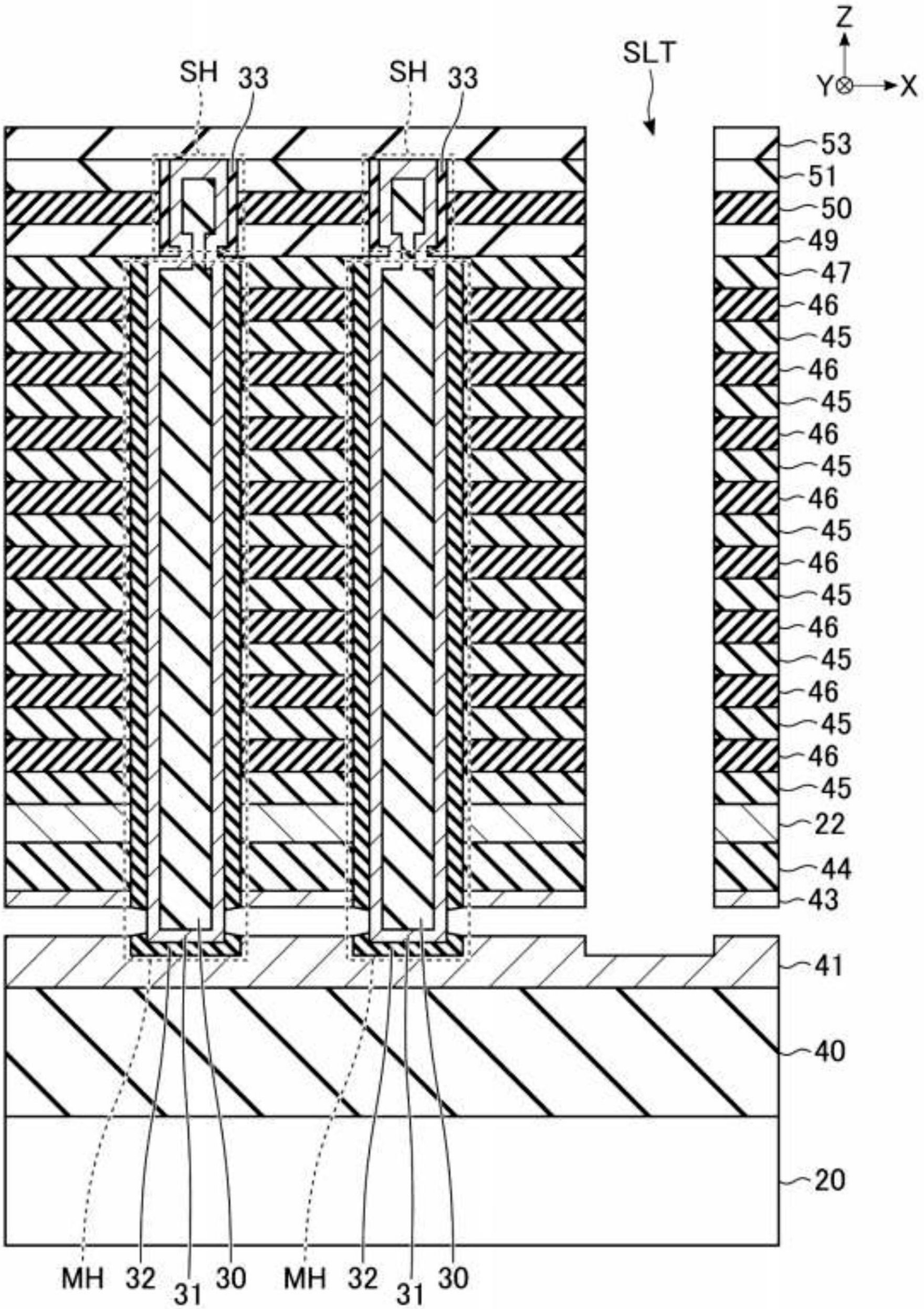
【圖17】


Z
Y
X
SH
33
SH
33
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
31
30
MH
32
31
30

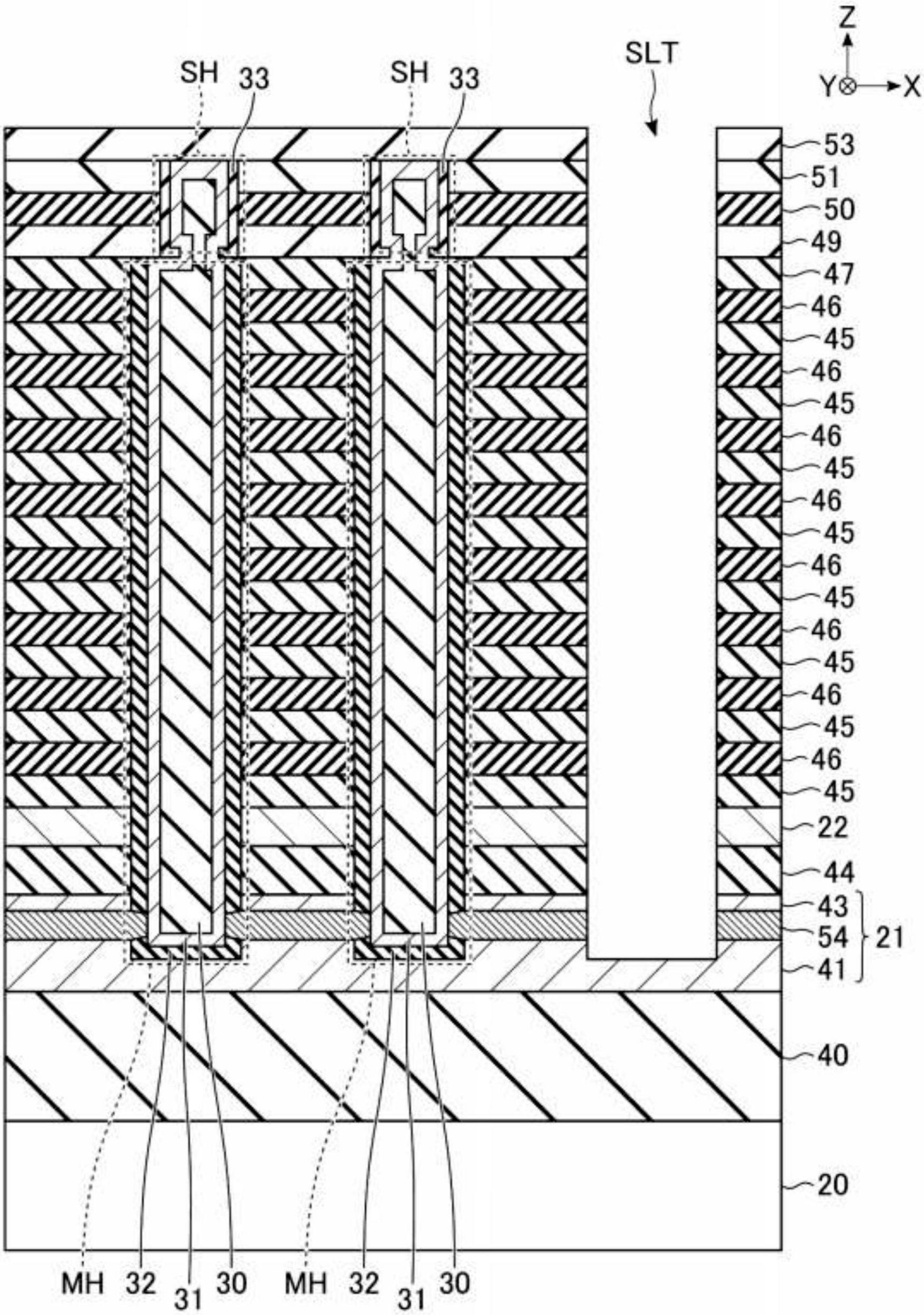
【圖18】


SH
33
SH
33
SLT
Z
Y
X
53
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
31
30
MH
32
31
30

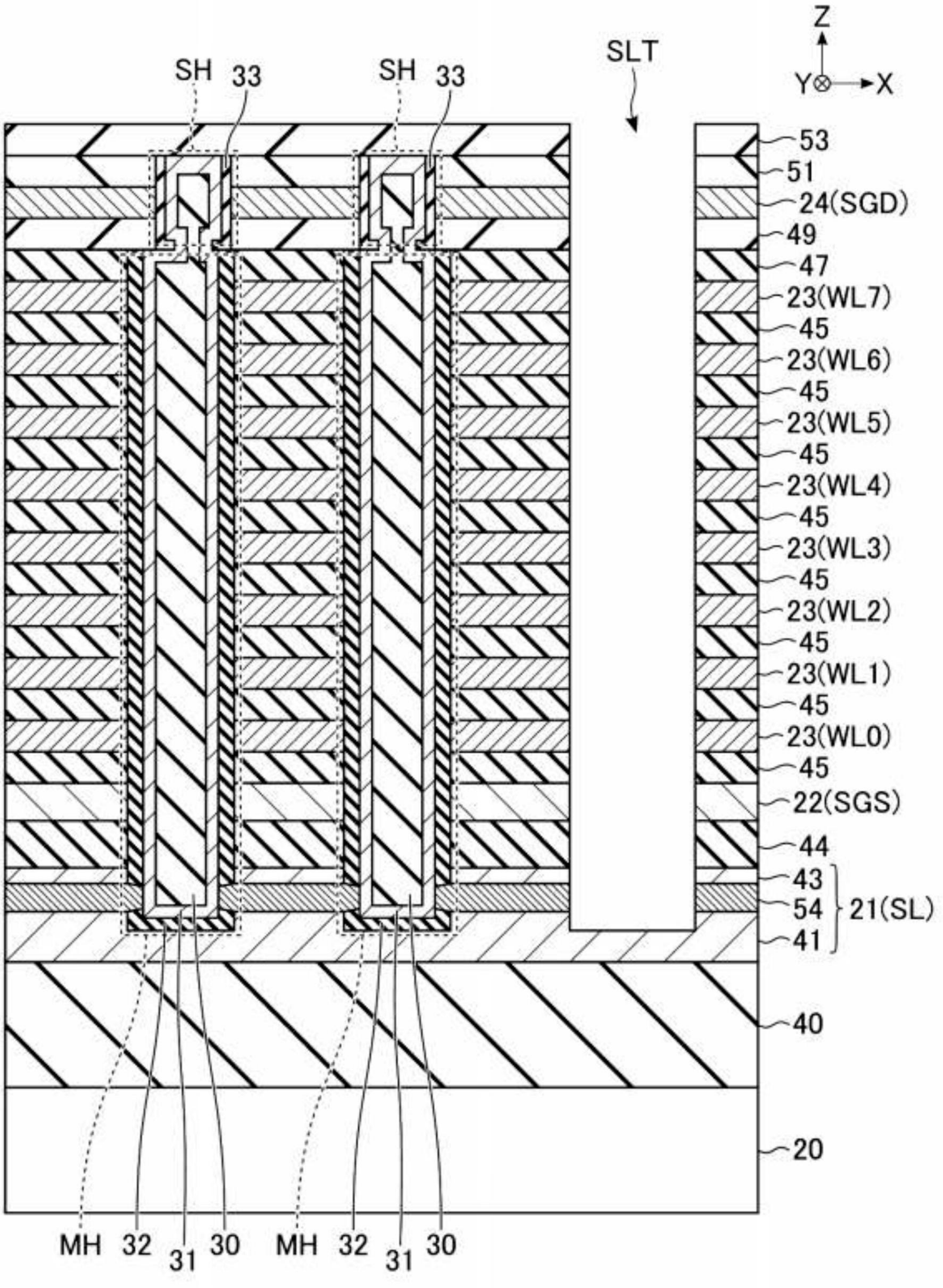
【圖19】


SH
33
SH
33
SLT
Z
Y
X
53
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
41
40
20
MH
32
31
30
MH
32
31
30

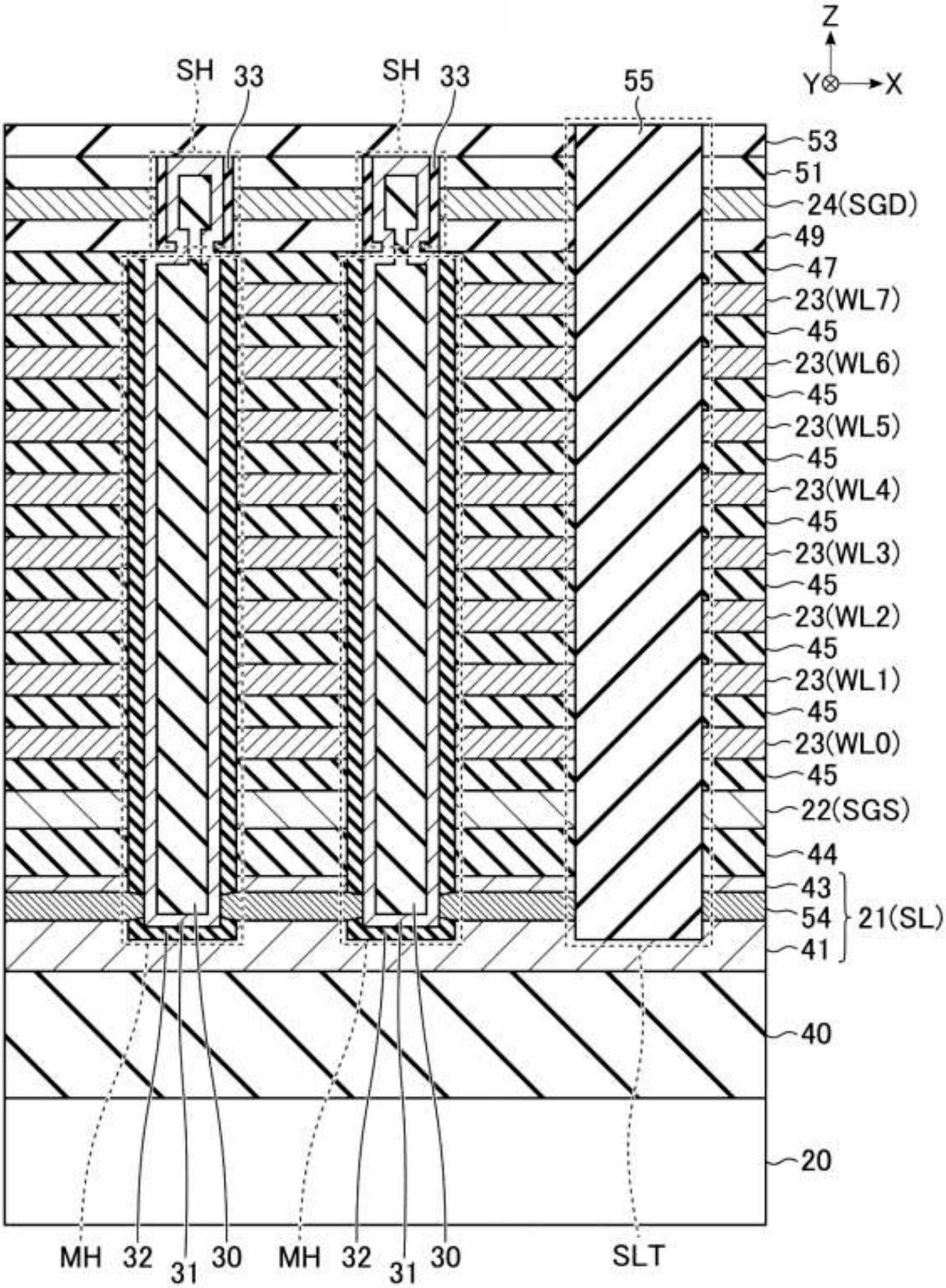
【圖20】


SH
33
SH
33
SLT
Z
Y
X
53
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
54
21
41
40
20
MH
32
31
30
MH
32
31
30

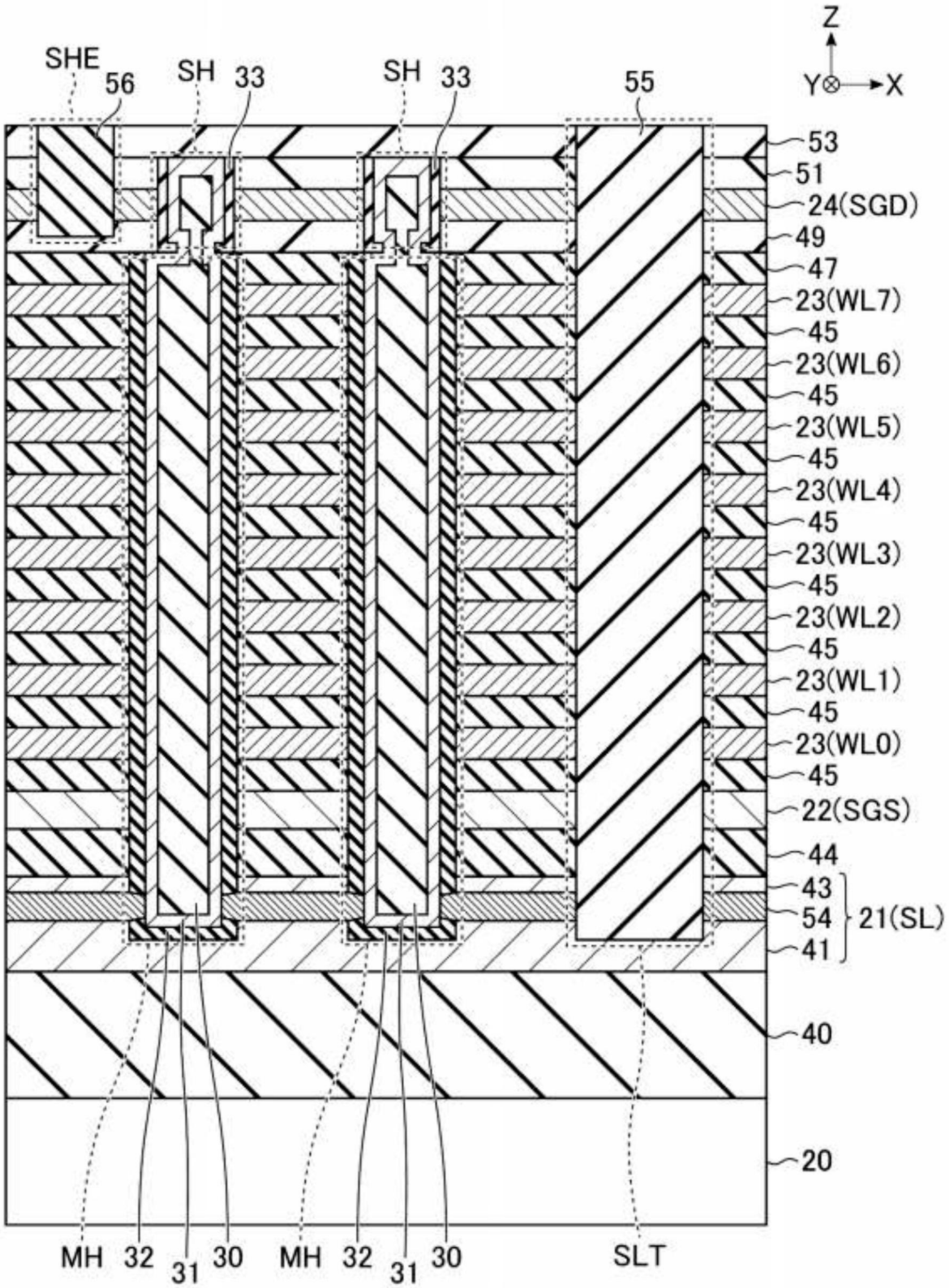
【圖21】


SH
33
SH
33
SLT
Z
Y
X
53
51
24(SGD)
49
47
23(WL7)
45
23(WL6)
45
23(WL5)
45
23(WL4)
45
23(WL3)
45
23(WL2)
45
23(WL1)
45
23(WL0)
45
22(SGS)
44
43
54
41
21(SL)
40
20
MH
32
31
30
MH
32
31
30

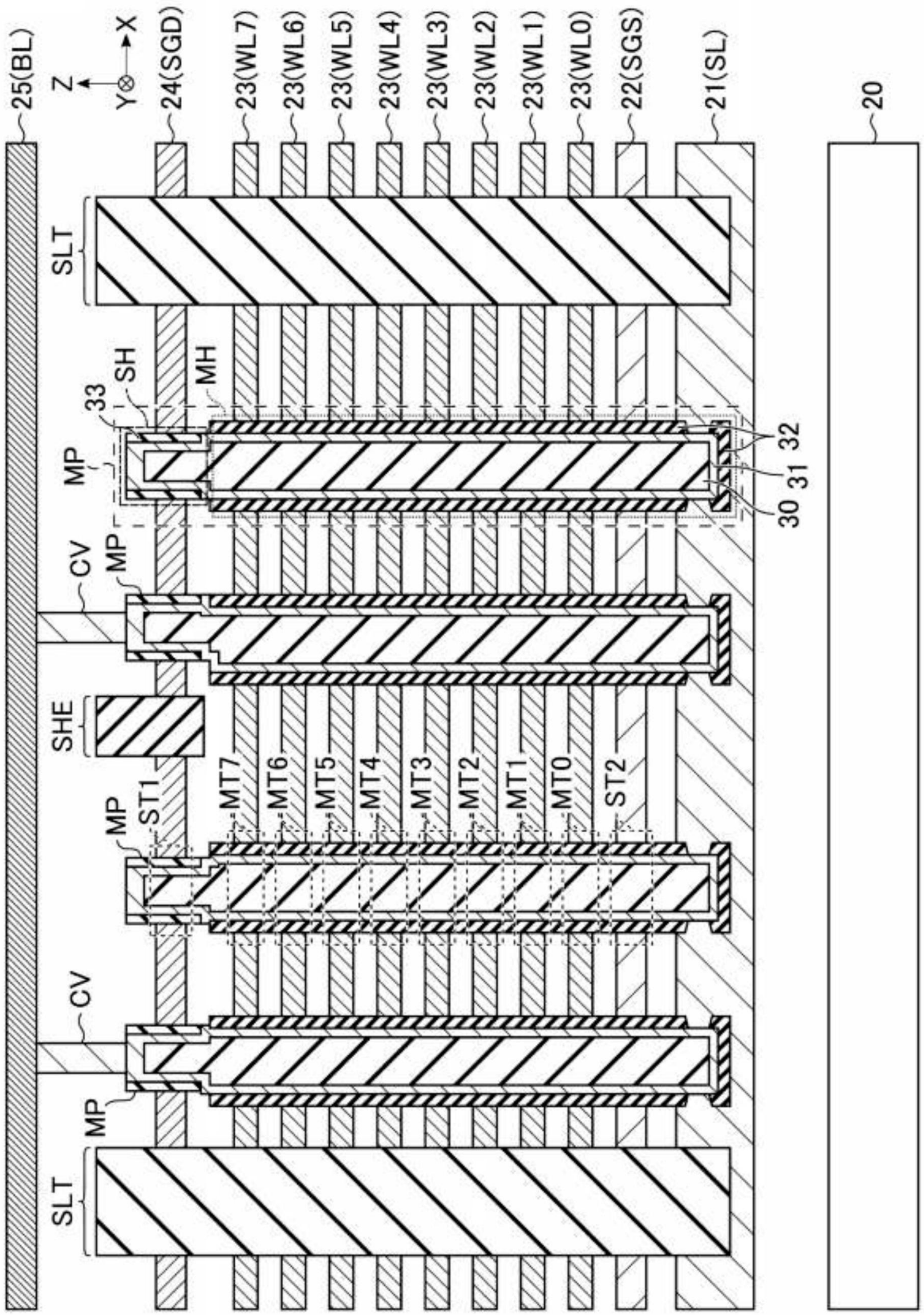
【圖22】


Z
Y
X
SH
33
SH
33
55
53
51
24(SGD)
49
47
23(WL7)
45
23(WL6)
45
23(WL5)
45
23(WL4)
45
23(WL3)
45
23(WL2)
45
23(WL1)
45
23(WL0)
45
22(SGS)
44
43
54
41
21(SL)
40
20
MH
32
31
30
MH
32
31
30
SLT

【圖23】

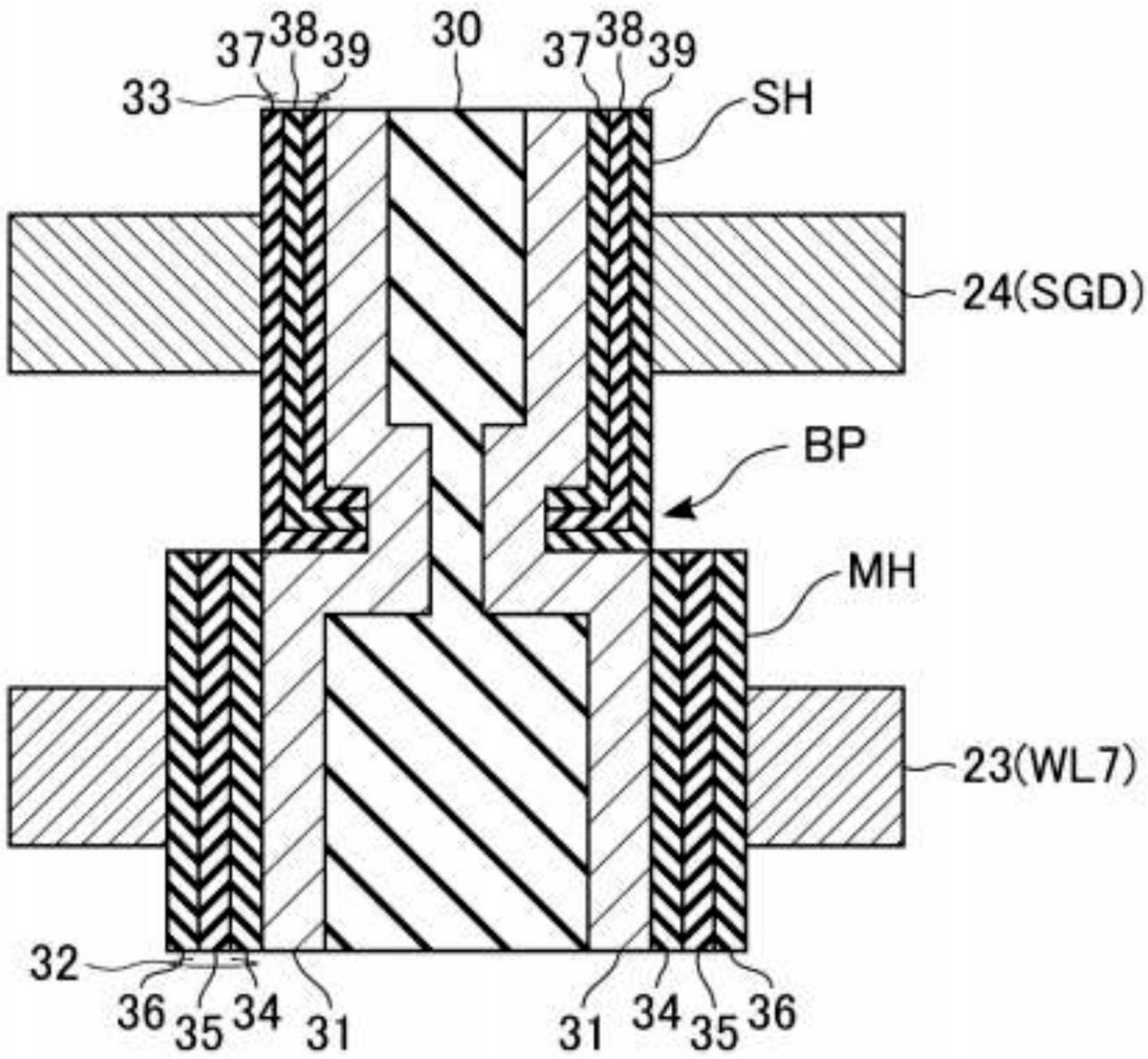

Z
Y
X
SHE
56
SH
33
SH
33
55
53
51
24(SGD)
49
47
23(WL7)
45
23(WL6)
45
23(WL5)
45
23(WL4)
45
23(WL3)
45
23(WL2)
45
23(WL1)
45
23(WL0)
45
22(SGS)
44
43
54
41
21(SL)
40
20
MH
32
31
30
MH
32
31
30
SLT

【圖24】

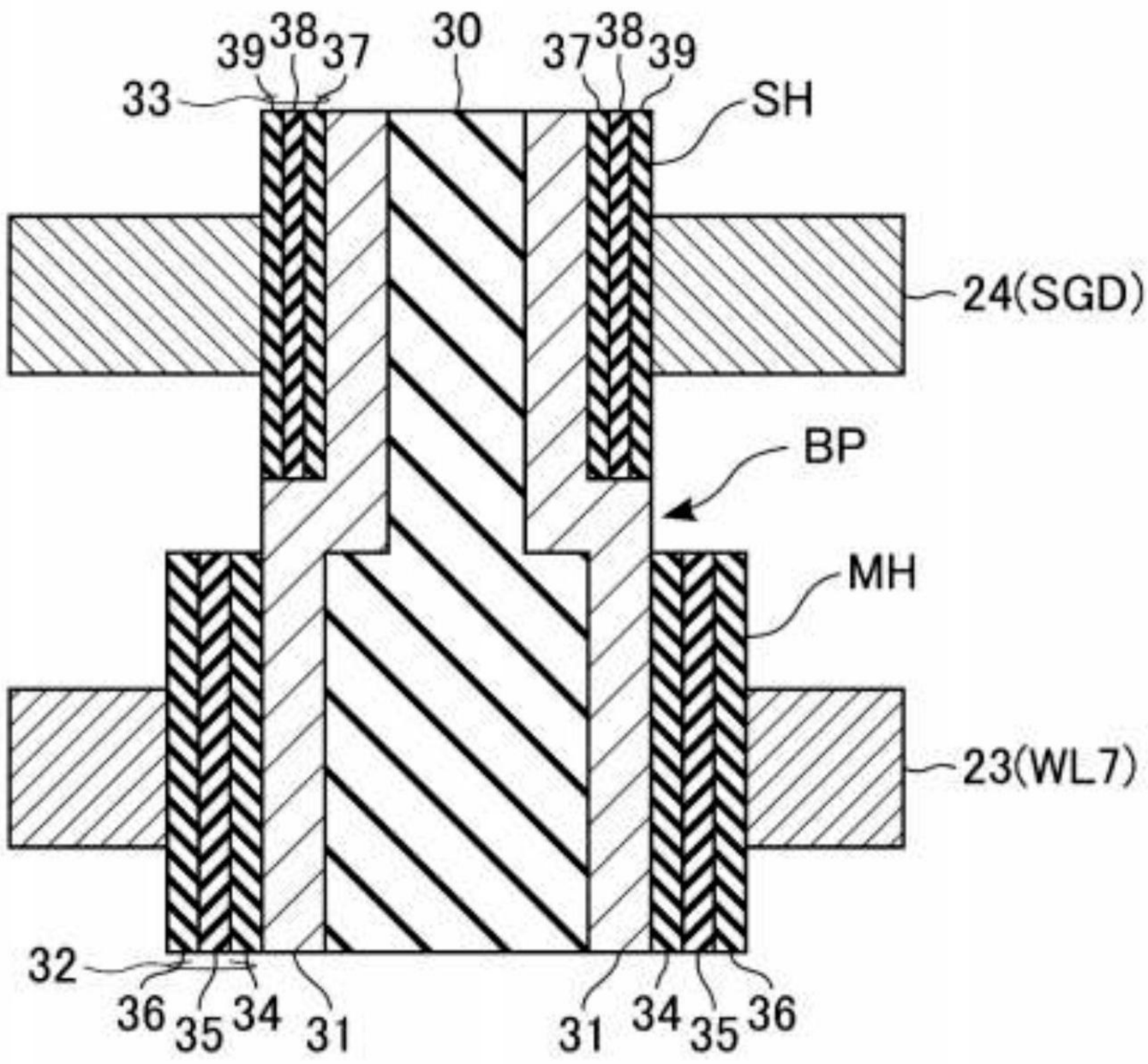

25(BL)
Z
Y
X
24(SGD)
23(WL7)
23(WL6)
23(WL5)
23(WL4)
23(WL3)
23(WL2)
23(WL1)
23(WL0)
22(SGS)
21(SL)
20
SLT
33
SH
MH
MP
CV
MP
SHE
ST1
MP
CV
MP
SLT
32
31
30

【圖25】

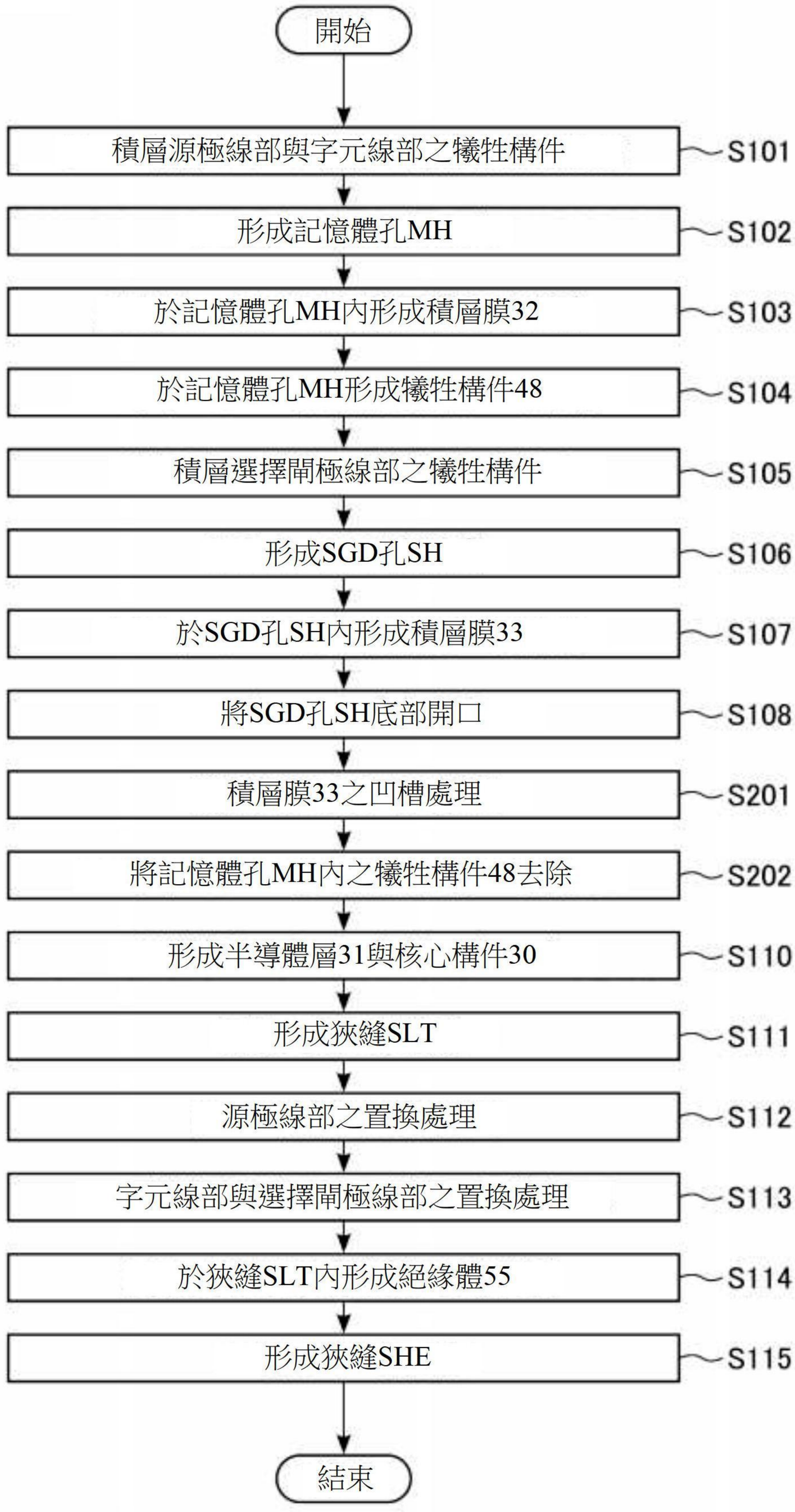
第1實施形態



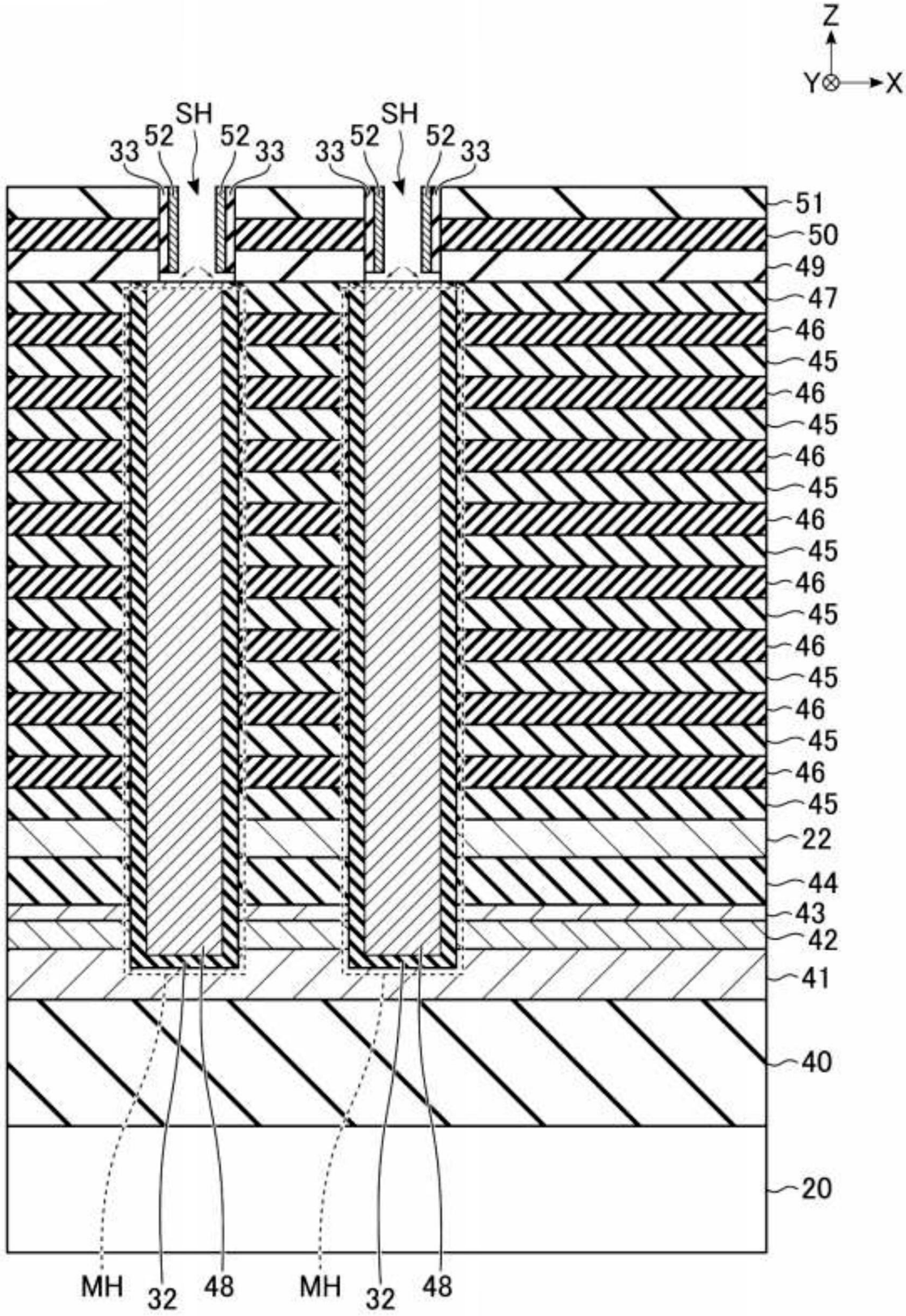
第2實施形態



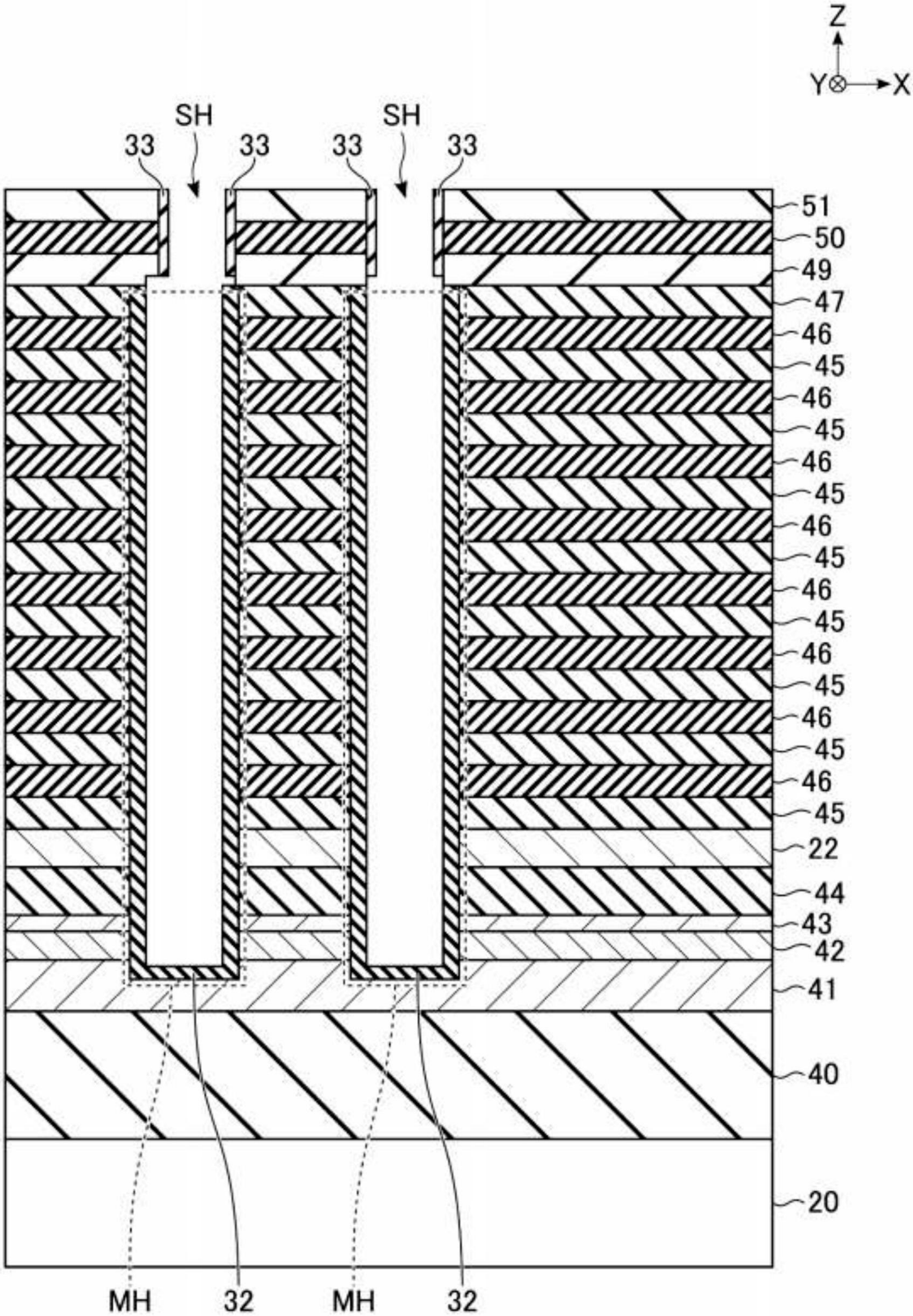
【圖26】


開始
積層源極線部與字元線部之犧牲構件
S101
形成記憶體孔MH
S102
於記憶體孔MH內形成積層膜32
S103
於記憶體孔MH形成犧牲構件48
S104
積層選擇閘極線部之犧牲構件
S105
形成SGD孔SH
S106
於SGD孔SH內形成積層膜33
S107
將SGD孔SH底部開口
S108
積層膜33之凹槽處理
S201
將記憶體孔MH內之犧牲構件48去除
S202
形成半導體層31與核心構件30
S110
形成狹縫SLT
S111
源極線部之置換處理
S112
字元線部與選擇閘極線部之置換處理
S113
於狹縫SLT內形成絕緣體55
S114
形成狹縫SHE
S115
結束

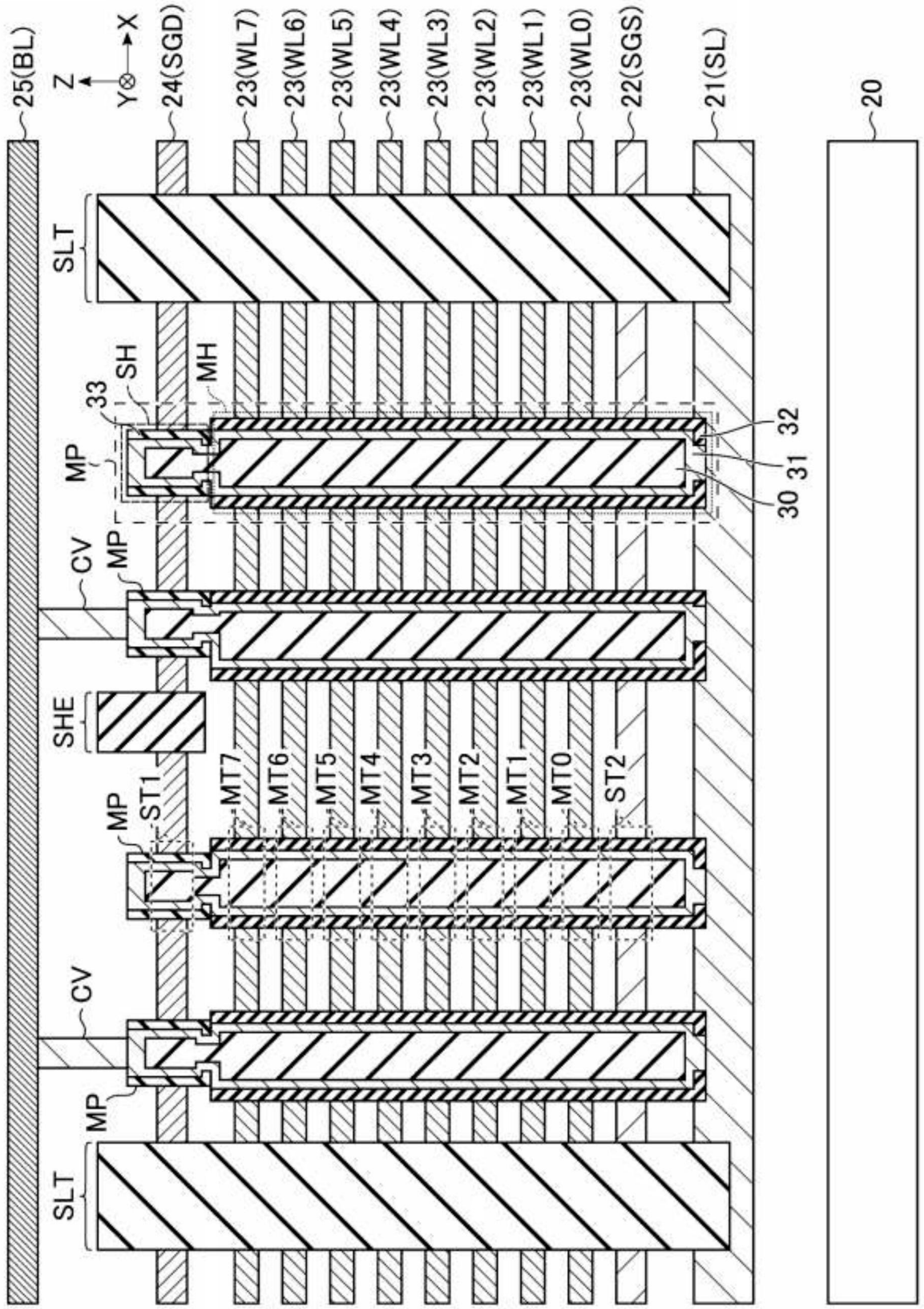
【圖27】


Z
Y
X
SH
SH
33
52
52
33
33
52
52
33
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
48
MH
32
48

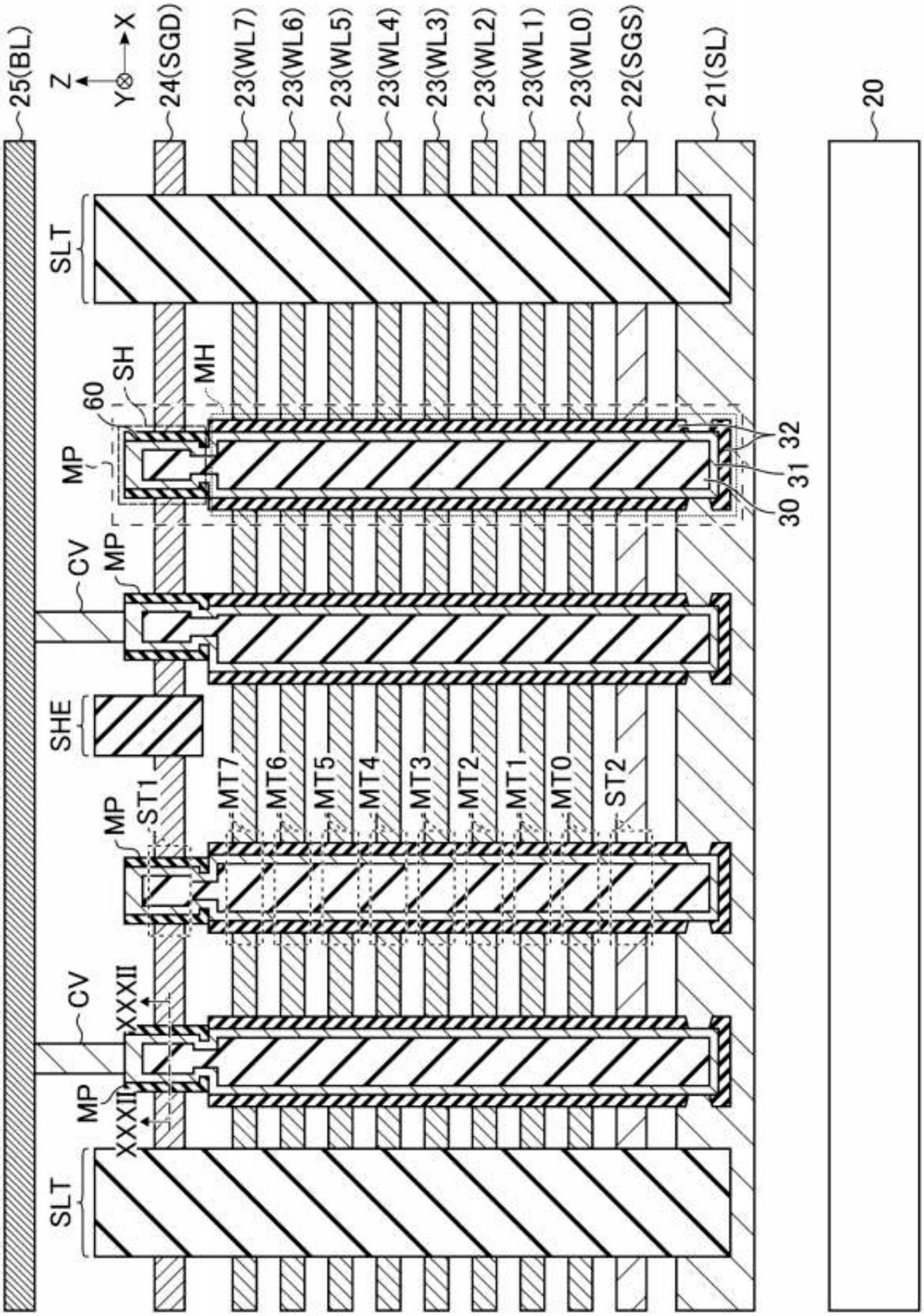
【圖28】


Z
Y
X
SH
SH
33
33
33
33
51
50
49
47
46
45
46
45
46
45
46
45
46
45
46
45
46
45
46
45
22
44
43
42
41
40
20
MH
32
MH
32

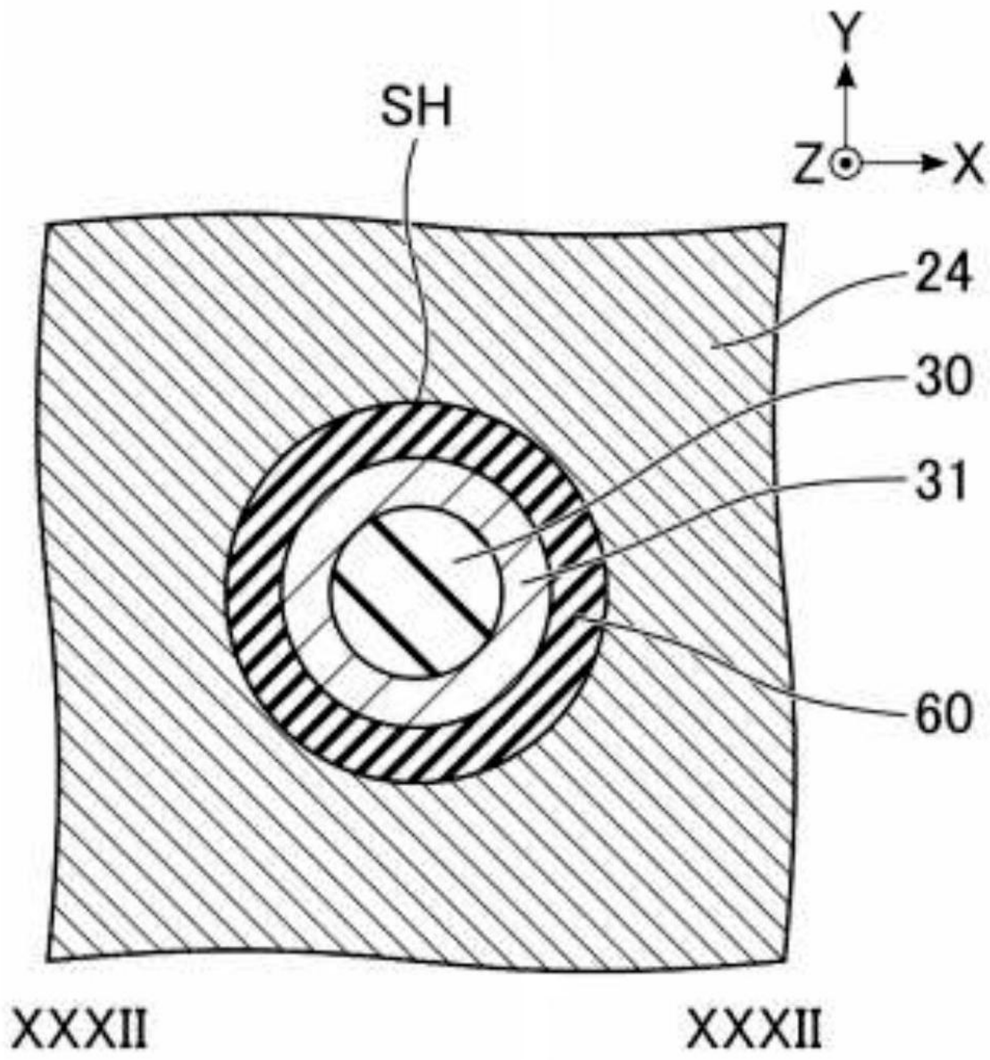
【圖29】


25(BL)
Z
Y
X
24(SGD)
23(WL7)
23(WL6)
23(WL5)
23(WL4)
23(WL3)
23(WL2)
23(WL1)
23(WL0)
22(SGS)
21(SL)
20
SLT
SH
MH
33
MP
32
31
30
CV
SHE
ST1
ST2

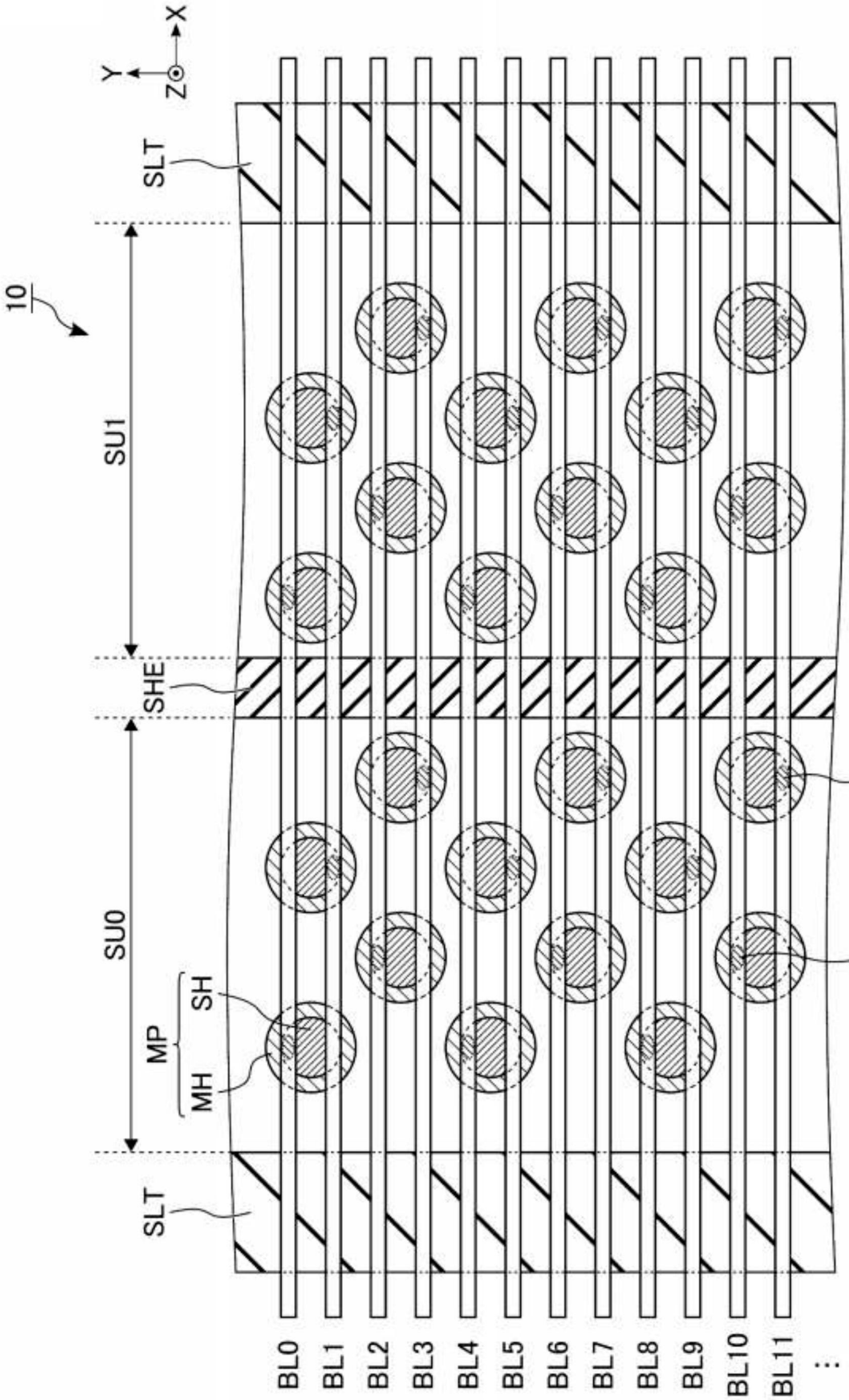
【圖30】


25(BL)
Z
Y
X
24(SGD)
23(WL7)
23(WL6)
23(WL5)
23(WL4)
23(WL3)
23(WL2)
23(WL1)
23(WL0)
22(SGS)
21(SL)
20
SLT
SH
MH
60
MP
CV
SHE
ST1
MT7
MT6
MT5
MT4
MT3
MT2
MT1
MT0
ST2
XXXII
32
31
30

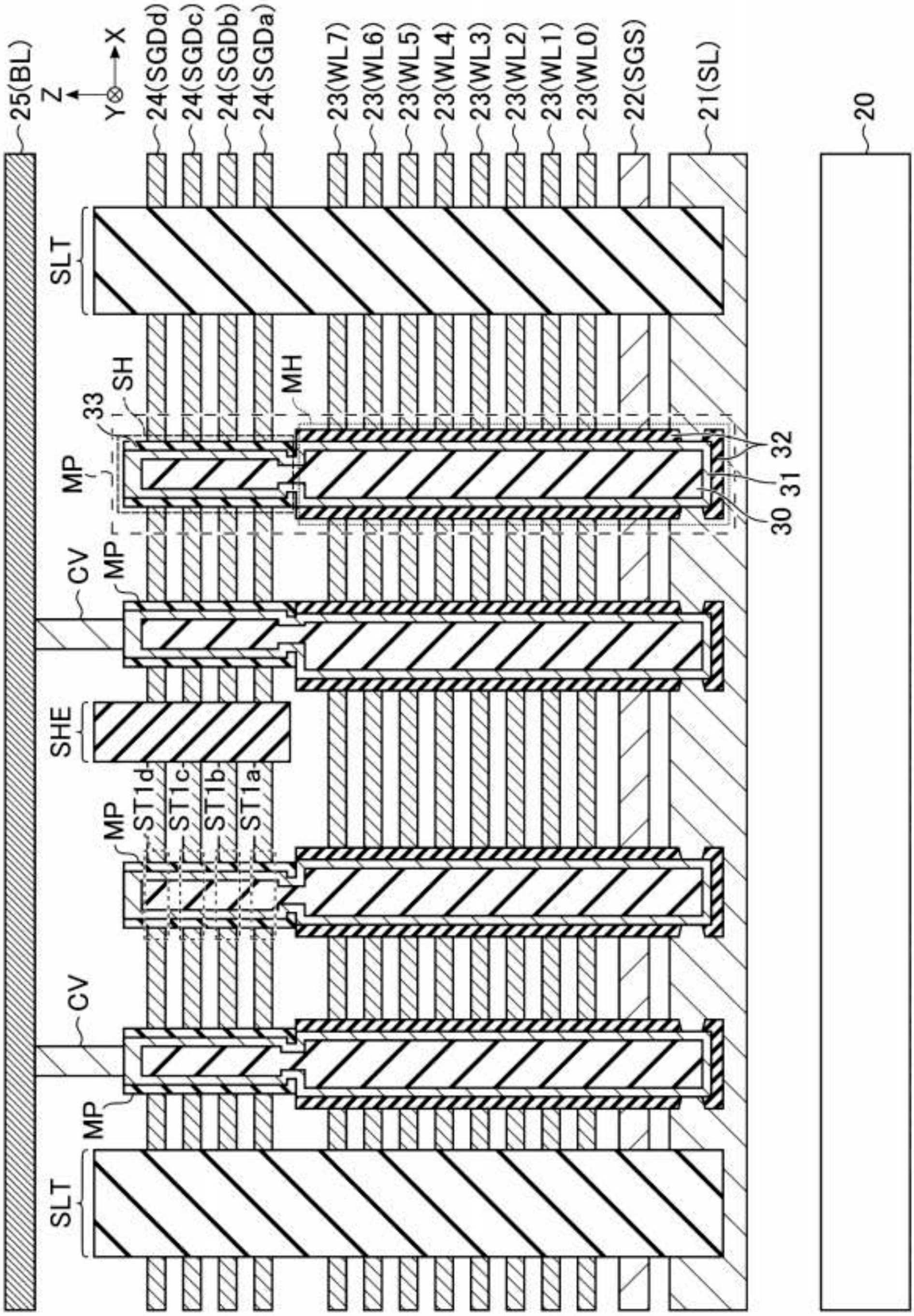
【圖31】



【圖32】


Y
X
Z
SLT
10
SU1
SHE
SU0
MP
SH
MH
CV
CV
SLT
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
BL8
BL9
BL10
BL11
...

【圖33】


25(BL)
Z
Y
X
24(SGDd)
24(SGDc)
24(SGDb)
24(SGDa)
23(WL7)
23(WL6)
23(WL5)
23(WL4)
23(WL3)
23(WL2)
23(WL1)
23(WL0)
22(SGS)
21(SL)
20
SLT
SH
33
MH
MP
CV
MP
SHE
ST1d
ST1c
ST1b
ST1a
MP
CV
MP
SLT
32
31
30

【圖34】