(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月6日(06.12.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/221044 A1

(51) 国際特許分類:
H01L 21/8239 (2006.01) *H01L 27/105* (2006.01)
G11C 13/00 (2006.01)

(21) 国際出願番号： PCT/JP2018/015799

(22) 国際出願日： 2018年4月17日(17.04.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-105367 2017年5月29日(29.05.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

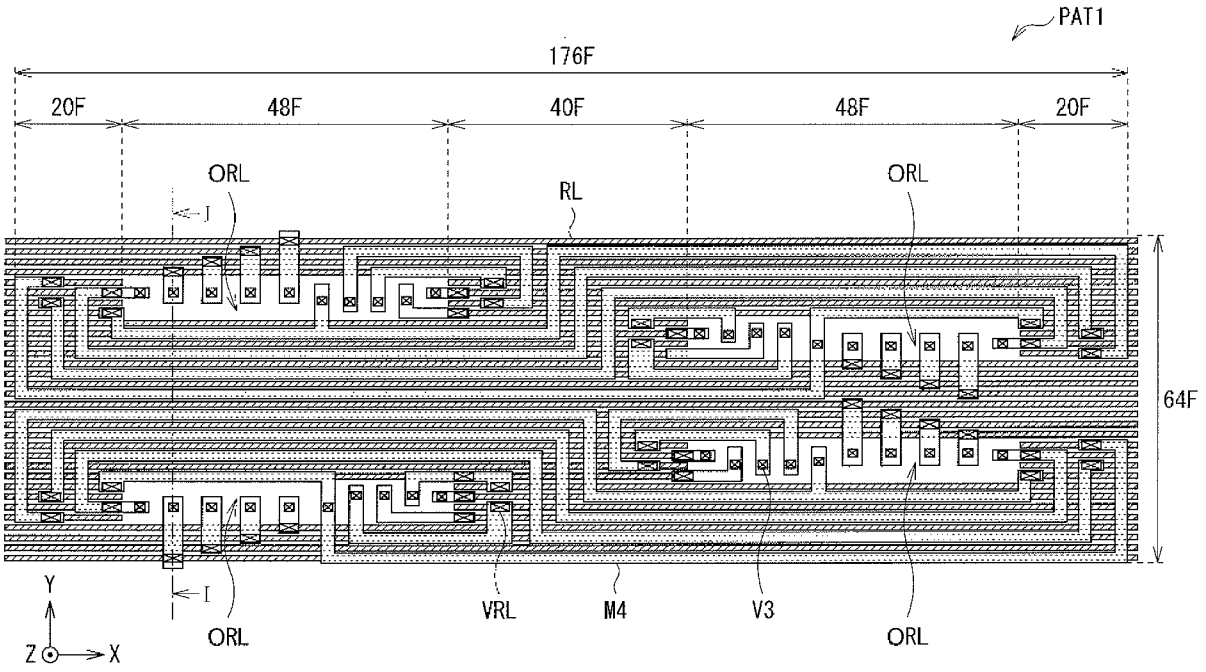
(72) 発明者: 寺田 晴彦 (TERADA, Haruhiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置



(57) **Abstract:** A semiconductor device of the present disclosure is provided with: a plurality of first selection lines that are provided in a region, which is outside a region of a plurality of opening areas and is in a first area, on a first selection line layer, and that extend in a first direction and are arranged in a second direction crossing the first direction while having a predetermined width; a first metal wiring formed on a layer above the first selection line layer; a first through-wiring penetrating an insulating layer formed on the first selection line layer, and connecting a first line among the plurality of

WO 2018/221044 A1

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

first selection lines and the first metal wiring; a second through-wiring provided in a first opening area of the plurality of opening areas, penetrating the first selection line layer, and having one end connected to the first metal wiring; a first storage element having a first terminal, and a second terminal connected to the first line; and a first driving circuit connected to the other end of the second through-wiring, and driving the plurality of first selection lines.

(57) 要約:本開示の半導体装置は、第１の選択線層において、第１の領域における、複数の開口領域の領域外の領域に設けられ、所定の幅を有し、第１の方向に延伸するとともに第１の方向と交差する第２の方向に並ぶ複数の第１の選択線と、第１の選択線層よりも上の層に形成された第１のメタル配線と、第１の選択線層の上に形成された絶縁層を貫通し、複数の第１の選択線のうちの第１の線と第１のメタル配線とを接続する第１の貫通配線と、複数の開口領域のうちの第１の開口領域に設けられ、第１の選択線層を貫通し、一端が第１のメタル配線に接続された第２の貫通配線と、第１の端子と、第１の線に接続された第２の端子とを有する第１の記憶素子と、第２の貫通配線の他端に接続され、複数の第１の選択線を駆動する第１の駆動回路とを備える。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001]　本開示は、情報を記憶可能な半導体装置に関する。

背景技術

[0002]　近年、例えばフラッシュメモリに比べてより高速にデータアクセスを行うことができる、抵抗変化型メモリを用いた不揮発性メモリデバイスが注目されている。例えば、特許文献１には、ソケット領域において折れ曲がる選択線を有するメモリデバイスが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第２０１４／０２３９５１２号明細書

発明の概要

[0004]　ところで、一般に、半導体装置では、歩留まりが高いことが望まれており、さらなる歩留まりの向上が期待されている。

[0005]　歩留まりを高めることができる半導体装置を提供することが望ましい。

[0006]　本開示の一実施の形態における半導体装置は、複数の第１の選択線と、第１のメタル配線と、第１の貫通配線と、第２の貫通配線と、第１の記憶素子と、第１の駆動回路とを備えている。複数の第１の選択線は、第１の選択線層において、第１の領域における、複数の開口領域の領域外の領域に設けられ、所定の幅を有し、第１の方向に延伸するとともに第１の方向と交差する第２の方向に並ぶものである。第１のメタル配線は、第１の選択線層よりも上の層に形成されたものである。第１の貫通配線は、第１の選択線層の上に形成された絶縁層を貫通し、複数の第１の選択線のうちの第１の線と第１のメタル配線とを接続するものである。第２の貫通配線は、複数の開口領域のうちの第１の開口領域に設けられ、第１の選択線層を貫通し、一端が第１のメタル配線に接続されたものである。第１の記憶素子は、第１の端子と、第

１の線に接続された第２の端子とを有するものである。第１の駆動回路は、第２の貫通配線の他端に接続され、複数の第１の選択線を駆動するものである。

[0007] 本開示の一実施の形態における半導体装置では、第１の領域における、複数の開口領域の領域外の領域に、所定の幅を有し、第１の方向に延伸するとともに第２の方向に並ぶ複数の第１の選択線が形成される。複数の第１の選択線が形成された第１の選択線層よりも上の層には、第１のメタル配線が形成される。第１のメタル配線は、第１の貫通配線を用いて、複数の第１の選択線のうちの第１の線に接続される。第１の線は、第１の記憶素子に接続される。また、第１のメタル配線は、第１の開口領域に設けられた第２の貫通配線を用いて、第１の駆動回路に接続される。

[0008] 本開示の一実施の形態における半導体装置によれば、第１の領域における、複数の開口領域の領域外の領域に、所定の幅を有し、第１の方向に延伸するとともに第２の方向に並ぶ複数の第１の選択線を設けるとともに、第１の選択線層よりも上の層に形成され、第１の開口領域に設けられた第２の貫通配線を用いて第１の駆動回路に接続された第１のメタル配線が、第１の貫通配線を用いて、複数の第１の選択線のうちの第１の線に接続するようにしたので、歩留まりを高めることができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果があってもよい。

図面の簡単な説明

[0009] [図1]本開示の一実施の形態に係る半導体装置の一構成例を表すブロック図である。

[図2]図１に示したメモリ部の一構成例を表すブロック図である。

[図3]一実施の形態に係る行選択線および列選択線の一構成例を表す斜視図である。

[図4]図３に示したメモリセルの一構成例を表す回路図である。

[図5]図３に示した記憶素子の一特性例を表す特性図である。

[図6]図５に示した行選択線と行選択線接続部との接続例を表す説明図である。

[図7]図５に示した列選択線と列選択線接続部との接続例を表す説明図である。

[図8]一実施の形態に係る行選択線の一構成例を表す説明図である。

[図9]一実施の形態に係る行選択線領域および接続領域の一例を表す説明図である。

[図10]第１の実施の形態に係る接続領域のレイアウトの一例を表す説明図である。

[図11]第１の実施の形態に係る接続領域のレイアウトの一例を表す断面図である。

[図12]第１の実施の形態に係る接続領域のレイアウトの一例を表す他の説明図である。

[図13]一実施の形態に係る列選択線の一構成例を表す説明図である。

[図14]一実施の形態に係る列選択線領域および接続領域の一例を表す説明図である。

[図15]第１の実施の形態に係る接続領域のレイアウトの一例を表す断面図である。

[図16]一実施の形態に係るメモリ部における行制御線および列制御線の一構成例を表す説明図である。

[図17]比較例に係る行選択線の一構成例を表す説明図である。

[図18]比較例に係る列選択線の一構成例を表す説明図である。

[図19]変形例に係る行選択線および列選択線の一構成例を表す斜視図である。

[図20]図１９に示した行選択線と行選択線接続部との接続例を表す説明図である。

[図21]図１９に示した他の行選択線と行選択線接続部との接続例を表す説明図である。

[図22]図１９に示した列選択線と列選択線接続部との接続例を表す説明図である。

[図23]変形例に係る行選択線の一構成例を表す説明図である。

[図24]変形例に係る他の行選択線の一構成例を表す説明図である。

[図25]変形例に係る列選択線の一構成例を表す説明図である。

[図26]変形例に係るメモリ部における行制御線および列制御線の一構成例を表す説明図である。

[図27]第２の実施の形態に係る接続領域のレイアウトの一例を表す説明図である。

[図28A]第２の実施の形態に係る接続領域のレイアウトの一例を表す他の説明図である。

[図28B]第２の実施の形態に係る接続領域のレイアウトの一例を表す他の説明図である。

[図29]第３の実施の形態に係る接続領域のレイアウトの一例を表す説明図である。

[図30]第３の実施の形態に係る接続領域のレイアウトの一例を表す他の説明図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

１．第１の実施の形態

２．第２の実施の形態

３．第３の実施の形態

[0011] ＜１．第１の実施の形態＞

［構成例］

図１は、第１の実施の形態に係る半導体装置（半導体装置１）の一構成例を表すものである。半導体装置１は、メモリ部２０と、周辺回路部９０とを備えている。メモリ部２０は、いわゆるクロスポイント型のメモリであり、

不揮発性のメモリである。周辺回路部９０は、メモリ部２０の動作に関連する様々な回路を含むものである。具体的には、周辺回路部９０は、例えば、後述する選択電圧Ｖselおよび非選択電圧Ｖinhを生成する電源回路や、読出動作を行う際に使用する参照電圧Ｖrefを生成する参照電圧生成回路などを含んでいる。なお、これに限定されるものではなく、周辺回路部９０は、さらに、例えば、メモリ部２０の動作速度および動作タイミングを規定する発振回路および遅延回路や、メモリ部２０における温度を測定する温度センサを含んでいてもよい。

[0012] （メモリ部２０）

図２は、メモリ部２０の一構成例を表すものである。メモリ部２０は、複数の行制御部２１と、複数の列制御部２２と、複数の行選択線駆動部（ＲＬＤ）２３（行選択線駆動部（ＲＬＤ）２３１，２３２）と、複数の列選択線駆動部（ＣＬＤ）２４（列選択線駆動部（ＣＬＤ）２４１，２４２）とを有している。図２では、複数の行選択線駆動部（ＲＬＤ）２３および複数の列選択線駆動部（ＣＬＤ）２４のうちの複数の列選択線駆動部（ＣＬＤ）２４を太線で描いている。

[0013] このメモリ部２０には、複数の行選択線駆動部（ＲＬＤ）２３および複数の列選択線駆動部（ＣＬＤ）２４が、チェッカーボード状に配置されている。具体的には、この例では、行選択線駆動部（ＲＬＤ）２３１および列選択線駆動部（ＣＬＤ）２４１はＸ方向において互いに隣り合うように配置され、列選択線駆動部（ＣＬＤ）２４２および行選択線駆動部（ＲＬＤ）２３２はＸ方向において互いに隣り合うように配置されている。また、行選択線駆動部（ＲＬＤ）２３１および列選択線駆動部（ＣＬＤ）２４２はＹ方向において互いに隣り合うように配置され、列選択線駆動部（ＣＬＤ）２４１および行選択線駆動部（ＲＬＤ）２３２はＹ方向において互いに隣り合うように配置されている。

[0014] 行制御部２１のそれぞれは、行アドレス信号ＡＤＲＲＬおよびモード信号ＭＤに基づいて、選択制御信号ＳＥＬＲＬを生成するものである。行アドレ

ス信号ＡＤＲＲＬは、書込動作または読出動作の対象となるメモリセルＭＣ（後述）の行アドレスを指示するものである。モード信号ＭＤは、書込動作、読出動作などの動作を指示するものである。複数の行制御部２１には、互いに同じ行アドレス信号ＡＤＲＲＬおよび互いに同じモード信号ＭＤが供給される。そして、行制御部２１のそれぞれは、生成した選択制御信号ＳＥＬＲＬを、Ｙ方向に延伸する行制御線ＣＲＬ（行制御線ＣＲＬ１，ＣＲＬ２）を介して、複数の行選択線駆動部（ＲＬＤ）２３に供給する。具体的には、行制御部２１のそれぞれは、選択制御信号ＳＥＬＲＬに含まれる選択制御信号ＳＥＬＲＬ１を、行制御線ＣＲＬ１を介して、行制御線ＣＲＬ１に接続された複数の行選択線駆動部（ＲＬＤ）２３１に供給するとともに、選択制御信号ＳＥＬＲＬに含まれる選択制御信号ＳＥＬＲＬ２を、行制御線ＣＲＬ２を介して、行制御線ＣＲＬ２に接続された複数の行選択線駆動部（ＲＬＤ）２３２に供給するようになっている。

[0015] 列制御部２２のそれぞれは、列アドレス信号ＡＤＲＣＬおよびモード信号ＭＤに基づいて、選択制御信号ＳＥＬＣＬを生成するものである。列アドレス信号ＡＤＲＣＬは、書込動作または読出動作の対象となるメモリセルＭＣ（後述）の列アドレスを指示するものである。複数の列制御部２２には、互いに同じ列アドレス信号ＡＤＲＣＬおよび互いに同じモード信号ＭＤが供給される。そして、列制御部２２のそれぞれは、生成した選択制御信号ＳＥＬＣＬを、Ｘ方向に延伸する列制御線ＣＣＬ（列制御線ＣＣＬ１，ＣＣＬ２）を介して、複数の列選択線駆動部（ＣＬＤ）２４に供給する。具体的には、列制御部２２のそれぞれは、選択制御信号ＳＥＬＣＬに含まれる選択制御信号ＳＥＬＣＬ１を、列制御線ＣＣＬ１を介して、列制御線ＣＣＬ１に接続された複数の列選択線駆動部（ＣＬＤ）２４１に供給するとともに、選択制御信号ＳＥＬＣＬに含まれる選択制御信号ＳＥＬＣＬ２を、列制御線ＣＣＬ２を介して、列制御線ＣＣＬ２に接続された複数の列選択線駆動部（ＣＬＤ）２４２に供給するようになっている。

[0016] 行選択線駆動部（ＲＬＤ）２３のそれぞれは、選択制御信号ＳＥＬＲＬに

基づいて、行選択線ＲＬ（後述）を駆動するものである。具体的には、行選択線駆動部（ＲＬＤ）２３１は、行制御線ＣＲＬ１を介して供給された選択制御信号ＳＥＬＲＬ１に基づいて行選択線ＲＬ（後述）を駆動する。また、行選択線駆動部（ＲＬＤ）２３２は、行制御線ＣＲＬ２を介して供給された選択制御信号ＳＥＬＲＬ２に基づいて行選択線ＲＬ（後述）を駆動するようになっている。また、行選択線駆動部（ＲＬＤ）２３１，２３２は、図示しないセンスアンプに接続されている。このセンスアンプは、後述するように、メモリセルＭＣ（後述）において発生する電圧を参照電圧Ｖrefと比較することにより、読出動作を行うようになっている。

[0017] 列選択線駆動部（ＣＬＤ）２４のそれぞれは、選択制御信号ＳＥＬＣＬに基づいて、列選択線ＣＬ（後述）を駆動するものである。具体的には、列選択線駆動部（ＣＬＤ）２４１は、列制御線ＣＣＬ１を介して供給された選択制御信号ＳＥＬＣＬ１に基づいて列選択線ＣＬ（後述）を駆動する。また、列選択線駆動部（ＣＬＤ）２４２は、列制御線ＣＣＬ２を介して供給された選択制御信号ＳＥＬＣＬ２に基づいて列選択線ＣＬ（後述）を駆動するようになっている。

[0018] 図３は、メモリ部２０の一構成例を表すものである。メモリ部２０は、複数の行選択線ＲＬと、複数の列選択線ＣＬと、複数のメモリセルＭＣとを有している。

[0019] 複数の行選択線ＲＬは、半導体基板の基板面Ｓに平行なＸＹ面内において、Ｘ方向に延伸するとともに、Ｙ方向に並ぶように形成される。複数の列選択線ＣＬは、このＸＹ面内において、Ｙ方向に延伸するとともに、Ｘ方向に並ぶように形成される。複数の列選択線ＣＬは、複数の行選択線ＲＬが形成された層の上の層に形成される。この構成により、複数の行選択線ＲＬおよび複数の列選択線ＣＬは、互いに交差する。複数のメモリセルＭＣは、複数の行選択線ＲＬが形成された層と複数の列選択線ＣＬが形成された層との間の記憶層に形成される。

[0020] 図４は、メモリセルＭＣの一構成例を表すものである。メモリセルＭＣは

、記憶素子ＶＲと、選択素子ＳＥと、端子ＴＵ，ＴＬとを有している。

[0021] 記憶素子ＶＲは、抵抗変化型の記憶素子であり、両端間に印加される電圧の電圧差の極性に応じて、可逆的に抵抗状態ＲＳが変化するものである。言い換えれば、記憶素子ＶＲは、両端間に流れる電流の方向に応じて、可逆的に抵抗状態ＲＳが変化するようになっている。記憶素子ＶＲは、例えば、イオン源層および抵抗変化層が積層されたものを用いることができる。記憶素子ＶＲの一端は、メモリセルＭＣの端子ＴＵに接続され、他端は選択素子ＳＥの一端に接続される。

[0022] 図５は、記憶素子ＶＲの抵抗値の分布を模式的に表すものである。記憶素子ＶＲは、識別可能な２つの抵抗状態ＲＳ（高抵抗状態ＨＲＳおよび低抵抗状態ＬＲＳ）を取り得る。この例では、高抵抗状態ＨＲＳは、データ“０”に対応づけられ、低抵抗状態ＬＲＳは、例えば、データ“１”に対応づけられている。すなわち、記憶素子ＶＲは、１ビットのデータを記憶する記憶素子として機能する。例えば、高抵抗状態ＨＲＳから低抵抗状態ＬＲＳへ変化させることを“セット”と呼び、低抵抗状態ＬＲＳから高抵抗状態ＨＲＳへ変化させることを“リセット”と呼ぶ。

[0023] 選択素子ＳＥ（図４）は、双方向ダイオード特性を有するものである。具体的には、選択素子ＳＥは、両端間に印加される電圧の電圧差の絶対値が所定の電圧差よりも大きい場合に導通状態（オン状態）になり、電圧差の絶対値が所定の電圧差よりも小さい場合に非導通状態（オフ状態）になるものである。選択素子ＳＥの一端は記憶素子ＶＲの他端に接続され、他端はメモリセルＭＣのＴＬ端子に接続される。

[0024] 端子ＴＵは、そのメモリセルＭＣが形成された記憶層の上の選択線に接続される端子であり、端子ＴＬは、そのメモリセルＭＣが形成された記憶層の下の選択線に接続される端子である。この例では、図３に示したように、メモリセルＭＣの端子ＴＵは、複数の列選択線ＣＬのいずれかに接続され、端子ＴＬは、複数の行選択線ＲＬのいずれかに接続される。

[0025] メモリセルＭＣをセットする場合には、端子ＴＵに例えば６Ｖの選択電圧

Ｖselを印加するとともに、端子ＴＬに例えば０Ｖの選択電圧Ｖselを印加する。これにより、選択素子ＳＥがオン状態になり、図４に示したように、端子ＴＵから端子ＴＬに向かってセット電流Ｉsetが流れ、記憶素子ＶＲがセットされる。メモリセルＭＣをリセットする場合には、端子ＴＬに例えば６Ｖの選択電圧Ｖselを印加するとともに、端子ＴＵに例えば０Ｖの選択電圧Ｖselを印加する。これにより、選択素子ＳＥがオン状態になり、端子ＴＬから端子ＴＵに向かってリセット電流Ｉrstが流れ、記憶素子ＶＲがリセットされる。また、メモリセルＭＣに対して読出動作を行う場合には、端子ＴＵに例えば５Ｖの選択電圧Ｖselを印加するとともに、端子ＴＬに例えば１Ｖの選択電圧Ｖselを印加する。これにより、端子ＴＵから端子ＴＬに向かってセンス電流Ｉsnsが流れる。そして、行選択駆動部（ＲＬＤ）２３に接続された図示しないセンスアンプが、このメモリセルＭＣにおいて発生する電圧と参照電圧Ｖrefとを比較することにより、記憶素子ＶＲの抵抗状態ＲＳを判別するようになっている。

[0026] メモリ部２０では、行選択線ＲＬおよび列選択線ＣＬに選択電圧Ｖselがそれぞれ印加されることにより、メモリセルＭＣが選択され、書込動作（セットまたはリセット）や読出動作が行われる。このメモリ部２０では、図２に示したように、複数の行制御部２１に、互いに同じ行アドレス信号ＡＤＲＲＬおよび互いに同じモード信号ＭＤが供給され、複数の列制御部２２に、互いに同じ列アドレス信号ＡＤＲＣＬおよび互いに同じモード信号ＭＤが供給されるので、例えば、互いに対応する複数の行選択線ＲＬに選択電圧Ｖselが印加されるとともに、互いに対応する複数の列選択線ＣＬに選択電圧Ｖselが印加される。なお、それ以外の行選択線ＲＬおよび列選択線ＣＬには、非選択電圧Ｖinhが印加される。これにより、メモリ部２０では、複数のメモリセルＭＣが選択され、これらのメモリセルＭＣのそれぞれにおいて、同時に書込動作や読出動作が行われるようになっている。

[0027] 図６は、行選択線ＲＬと行選択線駆動部（ＲＬＤ）２３との間の接続の一例を表すものである。図７は、列選択線ＣＬと列選択線駆動部（ＣＬＤ）２

４との間の接続の一例を表すものである。

[0028] メモリ部２０は、２つの選択線層ＬＲＬ，ＬＣＬと、４つの配線層ＬＭ１～ＬＭ４とを有している。選択線層ＬＲＬは、行選択線ＲＬが形成される配線層であり、選択線層ＬＣＬは、列選択線ＣＬが形成される配線層である。４つの配線層ＬＭ１～ＬＭ４は、メタル配線Ｍ１～Ｍ４がそれぞれ形成される配線層である。メタル配線Ｍ１は、主に、回路内におけるローカル配線に用いられ、メタル配線Ｍ２，Ｍ３は、主に、回路間の配線に用いられる。また、メタル配線Ｍ４は、例えば、行選択線ＲＬを行選択線駆動部（ＲＬＤ）２３に接続する場合や、列選択線ＣＬを列選択線駆動部（ＣＬＤ）２４に接続する場合に用いられる。これらの層は、半導体基板の上に、配線層ＬＭ１、配線層ＬＭ２、配線層ＬＭ３、選択線層ＬＲＬ、選択線層ＬＣＬ、配線層ＬＭ４の順に、それぞれ絶縁層を挟んで形成される。

[0029] 図６に示したように、行選択線ＲＬおよび行選択線駆動部（ＲＬＤ）２３は、接続部１３を介して接続されている。この接続部１３は、行選択線駆動部（ＲＬＤ）２３のトランジスタＴＲとメタル配線Ｍ１とを接続するコンタクトＣＴ、メタル配線Ｍ１、配線層ＬＭ１，ＬＭ２間のビアＶ１、メタル配線Ｍ２、配線層ＬＭ２，ＬＭ３間のビアＶ２、メタル配線Ｍ３、配線層ＬＭ３，ＬＭ４間のビアＶ３、メタル配線Ｍ４、およびメタル配線Ｍ４と行選択線ＲＬとの間のビアＶＲＬを含んで構成される。ビアＶＲＬは、いわゆるテーパー形状を有するものである。具体的には、ビアＶＲＬの幅は、メタル配線Ｍ４の近くでは広く、行選択線ＲＬの近くでは狭くなるように形成される。

[0030] 図７に示したように、列選択線ＣＬおよび列選択線駆動部（ＣＬＤ）２４は、接続部１４を介して接続されている。この接続部１４は、列選択線駆動部（ＣＬＤ）２４のトランジスタＴＲとメタル配線Ｍ１とを接続するコンタクトＣＴ、メタル配線Ｍ１、配線層ＬＭ１，ＬＭ２間のビアＶ１、メタル配線Ｍ２、配線層ＬＭ２，ＬＭ３間のビアＶ２、メタル配線Ｍ３、配線層ＬＭ３，ＬＭ４間のビアＶ３、メタル配線Ｍ４、およびメタル配線Ｍ４と列選択

線ＣＬとの間のビアＶＣＬを含んで構成される。ビアＶＣＬは、いわゆるテーパー形状を有するものである。具体的には、ビアＶＣＬの幅は、メタル配線Ｍ４の近くでは広く、列選択線ＣＬの近くでは狭くなるように形成される。

[0031]（行選択線ＲＬ）

図８は、行選択線ＲＬの一例を表すものである。複数の行選択線ＲＬのそれぞれは、その行選択線ＲＬの延伸方向（Ｘ方向）の中央付近において接続部１３（接続部１３１，１３２）に接続されている。また、行選択線駆動部（ＲＬＤ）２３１のそれぞれは、その行選択線駆動部（ＲＬＤ）２３１のＸ方向の中央付近において接続部１３１に接続され、行選択線駆動部（ＲＬＤ）２３２のそれぞれは、その行選択線駆動部（ＲＬＤ）２３２のＸ方向の中央付近において接続部１３２に接続されている。これにより、行選択線駆動部（ＲＬＤ）２３１は、接続部１３１を介して複数の行選択線ＲＬに接続され、行選択線駆動部（ＲＬＤ）２３２は、接続部１３２を介して複数の行選択線ＲＬに接続されている。なお、この例では、接続部１３１，１３２のそれぞれは、Ｙ方向に隣り合う２つの接続部を有している。

[0032] １つの行選択線駆動部（ＲＬＤ）２３１は、例えば、複数（この例では５１２本）の行選択線ＲＬに接続されている。図８において、行選択線駆動部（ＲＬＤ）２３１に接続されたこれらの行選択線ＲＬの右側の端部は、その行選択線駆動部（ＲＬＤ）２３１の右側の列選択線駆動部（ＣＬＤ）２４１のＸ方向における中央付近に位置する。また、行選択線駆動部（ＲＬＤ）２３１に接続されたこれらの行選択線ＲＬの左側の端部は、その行選択線駆動部（ＲＬＤ）２３１の左側の列選択線駆動部（ＣＬＤ）２４１のＸ方向における中央付近に位置する。

[0033] 同様に、１つの行選択線駆動部（ＲＬＤ）２３２は、複数（この例では５１２本）の行選択線ＲＬに接続されている。図８において、行選択線駆動部（ＲＬＤ）２３２に接続されたこれらの行選択線ＲＬの右側の端部は、その行選択線駆動部（ＲＬＤ）２３２の右側の列選択線駆動部（ＣＬＤ）２４２

のＸ方向における中央付近に位置する。また、行選択線駆動部（ＲＬＤ）２３２に接続されたこれらの行選択線ＲＬの左側の端部は、その行選択線駆動部（ＲＬＤ）２３２の左側の列選択線駆動部（ＣＬＤ）２４２のＸ方向における中央付近に位置する。

[0034] 複数の行選択線駆動部（ＲＬＤ）２３および複数の列選択線駆動部（ＣＬＤ）２４は、チェッカーボード状に配置されているので、行選択線駆動部（ＲＬＤ）２３１に接続された複数の行選択線ＲＬと、行選択線駆動部（ＲＬＤ）２３２に接続された複数の行選択線ＲＬとは、Ｘ方向において、互いにずれて配置される。

[0035]（接続部１３１，１３２）

図９は、接続部１３１，１３２の一構成例を表すものである。接続部１３１に接続された行選択線ＲＬは、行選択線領域１５１に形成される。接続部１３１は、接続領域１７１に形成される。接続領域１７１は、行選択線領域１５１のＸ方向における中央付近に設けられる。同様に、接続部１３２に接続された行選択線ＲＬは、行選択線領域１５２に形成される。接続部１３２は、接続領域１７２に形成される。接続領域１７２は、行選択線領域１５２のＸ方向における中央付近に設けられる。以下では、接続部１３１を例に説明するが、接続部１３２についても同様である。

[0036] 図１０は、接続領域１７１のレイアウトパターンの一例を表すものである。図９に示したように、接続領域１７１のレイアウトパターンは、図１０に示したパターンＰＡＴ１がＹ方向に並設されたものである。図１０には、選択線層ＬＲＬにおける複数の行選択線ＲＬと、配線層ＬＭ４におけるメタル配線Ｍ４と、ビアＶ３，ＶＲＬとを描いている。図１１は、図１０におけるＩ－Ｉ矢視方向の断面構成を表すものである。このパターンＰＡＴ１では、３２本の行選択線ＲＬを行選択線駆動部２３１（ＲＬＤ）に接続している。

[0037] 図９～１１に示したように、接続領域１７１には、複数の開口部ＯＲＬが設けられている。行選択線ＲＬは、行選択線領域１５１における、複数の開口部ＯＲＬ以外の領域において、Ｘ方向に延伸するとともに、Ｙ方向に並ぶ

ように形成されている。この例では、行選択線ＲＬのピッチは、２Ｆである。ここで、“Ｆ”は、最小加工寸法を示し、この例では、２０ｎｍである。すなわち、行選択線ＲＬのピッチは４０ｎｍである。このピッチは、行選択線ＲＬの幅がＦ（この例では２０ｎｍ）であり、隣り合う行選択線ＲＬの間隔がＦ（この例では２０ｎｍ）である場合に対応する。

[0038] 開口部ＯＲＬのそれぞれには、複数のビアＶ３が選択線層ＬＲＬを貫くように形成されている。ビアＶ３のそれぞれは、配線層ＬＭ４のメタル配線Ｍ４に接続されている。そして、メタル配線Ｍ４は、行選択線ＲＬの上面に、ビアＶＲＬを介して接続される。また、ビアＶ３は、半導体基板に形成された行選択線駆動部（ＲＬＤ）２３１に接続される。なお、図１１では、ビアＶ３と、ビアＶ３の下方の半導体基板とを、最短距離で接続するように描いたが、これに限定されるものではない。

[0039] メタル配線Ｍ４は、図１０に示したように、行選択線ＲＬとビアＶ３とを互いに接続するように、配線層ＬＭ４において引き回される。メタル配線Ｍ４の最小ピッチは、４Ｆ（この例では８０ｎｍ）である。この最小ピッチは、メタル配線Ｍ４の幅が２Ｆ（この例では４０ｎｍ）であり、隣り合うメタル配線Ｍ４の間隔が２Ｆ（この例では４０ｎｍ）である場合に対応するものである。

[0040] 図１０の例では、パターンＰＡＴ１は、Ｘ方向に１７６Ｆ（この例では３５２０ｎｍ）の長さを有し、Ｙ方向において６４Ｆ（この例では１２８０ｎｍ）の長さを有するパターンである。ビアＶ３の最小ピッチは、４Ｆ（この例では８０ｎｍ）である。ビアＶＲＬのＸ方向における最小ピッチは、６Ｆ（この例では１２０ｎｍ）であり、ビアＶＲＬのＹ方向における最小ピッチは、４Ｆ（この例では８０ｎｍ）である。

[0041] 図８に示したように、行選択線駆動部（ＲＬＤ）２３１のそれぞれは、その行選択線駆動部（ＲＬＤ）２３１のＸ方向の中央付近において接続部１３１に接続される。よって、行選択線駆動部（ＲＬＤ）２３１では、行選択線ＲＬが形成される選択線層ＬＲＬの下層の配線層ＬＭ１～ＬＭ３において、

接続部１３１の左側から２５６本の配線が接続部１３１に接続するとともに、接続部１３１の右側から２５６本の配線が接続部１３１に接続することができる。

[0042] 図１２は、行選択線駆動部（ＲＬＤ）２３１における接続部１３１への接続を模式的に表すものである。この例では、図１２において、パターンＰＡＴ１に含まれる３２本の行選択線ＲＬのうちの下側の１６本の行選択線ＲＬに係る配線を模式的に示している。配線層ＬＭ１～ＬＭ３において、この１６本の行選択線ＲＬのうちの８本は、接続部１３１の左側から接続され、残りの８本は、接続部１３１の右側から接続される。すなわち、この１６本の行選択線ＲＬの下層の配線層ＬＭ１～ＬＭ３には、最大で８本の配線が配置される。この場合、配線の線密度の最大値は、８本／３２Ｆである。

[0043]（列選択線ＣＬ）

図１３は、列選択線ＣＬの一例を表すものである。複数の列選択線ＣＬのそれぞれは、その列選択線ＣＬの延伸方向（Ｙ方向）の中央付近において接続部１４（接続部１４１，１４２）に接続されている。また、列選択線駆動部（ＣＬＤ）２４１のそれぞれは、その列選択線駆動部（ＣＬＤ）２４１のＹ方向の中央付近において接続部１４１に接続され、列選択線駆動部（ＣＬＤ）２４２のそれぞれは、その列選択線駆動部（ＣＬＤ）２４２のＹ方向の中央付近において接続部１４２に接続されている。これにより、列選択線駆動部（ＣＬＤ）２４１は、接続部１４１を介して複数の列選択線ＣＬに接続され、列選択線駆動部（ＣＬＤ）２４２は、接続部１４２を介して複数の列選択線ＣＬに接続されている。なお、この例では、接続部１４１，１４２のそれぞれは、Ｘ方向に隣り合う２つの接続部を有している。

[0044] １つの列選択線駆動部（ＣＬＤ）２４１は、複数（この例では５１２本）の列選択線ＣＬに接続されている。図１３において、列選択線駆動部（ＣＬＤ）２４１に接続されたこれらの列選択線ＣＬの上側の端部は、その列選択線駆動部（ＣＬＤ）２４１の上側の行選択線駆動部（ＲＬＤ）２３２のＹ方向における中央付近に位置する。また、列選択線駆動部（ＣＬＤ）２４１に

接続されたこれらの列選択線ＣＬの下側の端部は、その列選択線駆動部（ＣＬＤ）２４１の下側の行選択線駆動部（ＲＬＤ）２３２のＹ方向における中央付近に位置する。

[0045] 同様に、１つの列選択線駆動部（ＣＬＤ）２４２は、複数（この例では５１２本）の列選択線ＣＬに接続されている。図１３において、列選択線駆動部（ＣＬＤ）２４２に接続されたこれらの列選択線ＣＬの上側の端部は、その列選択線駆動部（ＣＬＤ）２４２の上側の行選択線駆動部（ＲＬＤ）２３１のＹ方向における中央付近に位置する。また、列選択線駆動部（ＣＬＤ）２４２に接続されたこれらの列選択線ＣＬの下側の端部は、その列選択線駆動部（ＣＬＤ）２４２の下側の行選択線駆動部（ＲＬＤ）２３１のＹ方向における中央付近に位置する。

[0046] 複数の行選択線駆動部（ＲＬＤ）２３および複数の列選択線駆動部（ＣＬＤ）２４は、チェッカーボード状に配置されているので、列選択線駆動部（ＣＬＤ）２４１に接続された複数の列選択線ＣＬと、列選択線駆動部（ＣＬＤ）２４２に接続された複数の列選択線ＣＬとは、Ｙ方向において、互いにずれて配置される。

[0047]（接続部１４１，１４２）

図１４は、接続部１４１，１４２の一構成例を表すものである。接続部１４１に接続された列選択線ＣＬは、列選択線領域１６１に形成される。接続部１４１は、接続領域１８１に形成される。接続領域１８１は、列選択線領域１６１のＹ方向における中央付近に設けられる。同様に、接続部１４２に接続された列選択線ＣＬは、列選択線領域１６２に形成される。接続部１４２は、接続領域１８２に形成される。接続領域１８２は、列選択線領域１６２のＹ方向における中央付近に設けられる。以下では、接続部１４１を例に説明するが、接続部１４２についても同様である。

[0048] 接続領域１８１のレイアウトパターンは、例えば、接続領域１７１のレイアウトパターン（図１０）において、行選択線ＲＬを列選択線ＣＬに置き換えたものと同様のものを用いることができる。接続領域１８１には、接続領

域１７１（図１０）と同様に、複数の開口部ＯＣＬが設けられている。列選択線ＣＬは、列選択線領域１６１における、複数の開口部ＯＣＬ以外の領域において、Ｙ方向に延伸するとともに、Ｘ方向に並ぶように形成されている。

[0049] 図１５は、接続部１４１の断面構成を表すものである。この図１５は、接続部１３１の断面構成を示す図１１に対応するものである。開口部ＯＣＬのそれぞれには、複数のビアＶ３が選択線層ＬＣＬを貫くように形成されている。ビアＶ３のそれぞれは、配線層ＬＭ４のメタル配線Ｍ４に接続されている。そして、メタル配線Ｍ４は、列選択線ＣＬの上面に、ビアＶＣＬを介して接続される。また、ビアＶ３は、半導体基板に形成された列選択線駆動部（ＣＬＤ）２４１に接続される。

[0050] 図１６は、複数の行選択線ＲＬおよび複数の列選択線ＣＬの一例を表すものである。この図１６は、図８に示した複数の行選択線ＲＬと、図１３に示した複数の列選択線ＣＬとを重ね合わせて描いたものである。

[0051] 行選択線ＲＬは選択線層ＬＲＬにおいてＸ方向に延伸し、列選択線ＣＬは選択線層ＬＣＬにおいてＹ方向に延伸するため、行選択線ＲＬおよび列選択線ＣＬは交差する。複数の行選択線ＲＬのそれぞれは、この例では１０２４本（＝５１２×２）の列選択線ＣＬと交差し、複数の列選択線ＣＬのそれぞれは、この例では１０２４本（＝５１２×２）の行選択線ＲＬと交差する。この交差した部分における、選択線層ＬＲＬと選択線層ＬＣＬとの間の層には、メモリセルＭＣが形成される。メモリ部２０では、図１６に示したように、１Ｍ個（＝１０２４×１０２４）のメモリセルＭＣからなるメモリアレイＡＲが定義される。このメモリアレイＡＲは、図８に示したように、行選択線駆動部（ＲＬＤ）２３１に接続された５１２本の行選択線ＲＬと、行選択線駆動部（ＲＬＤ）２３２に接続された５１２本の行選択線ＲＬとを含んでいる。すなわち、この例では、行選択線駆動部（ＲＬＤ）２３１，２３２は、図示しないセンスアンプに接続されていることを考慮し、読出動作の観点からメモリアレイＡＲを定義している。列選択線ＣＬは、図１３に示した

ように、隣り合うメモリアレイＡＲにまたがって延伸するように形成されている。

[0052] ここで、例えば、選択線層ＬＲＬは、本開示における「第１の選択線層」の一具体例に対応する。行選択線駆動部（ＲＬＤ）２３１，２３２に接続された複数の行選択線ＲＬは、本開示における「複数の第１の選択線」の一具体例に対応する。行選択線領域１５１，１５２は、本開示における「第１の領域」の一具体例に対応する。開口部ＯＲＬは、本開示における「開口領域」の一具体例に対応する。接続領域１７１，１７２におけるメタル配線Ｍ４は、本開示における「第１のメタル配線」および「第２のメタル配線」の一具体例に対応する。接続領域１７１，１７２におけるビアＶＲＬは、本開示における「第１の貫通配線」および「第３の貫通配線」の一具体例に対応する。接続領域１７１，１７２におけるビアＶ３は、本開示における「第２の貫通配線」および「第４の貫通配線」の一具体例に対応する。メモリセルＭＣは、本開示における「第１の記憶素子」および「第２の記憶素子」の一具体例に対応する。

[0053] 例えば、選択線層ＬＣＬは、本開示における「第２の選択線層」の一具体例に対応する。列選択線駆動部（ＣＬＤ）２４１，２４２に接続された複数の列選択線ＣＬは、本開示における「複数の第２の選択線」の一具体例に対応する。列選択線領域１６１，１６２は、本開示における「第２の領域」の一具体例に対応する。開口部ＯＣＬは、本開示における「開口領域」の一具体例に対応する。接続領域１８１，１８２におけるメタル配線Ｍ４は、本開示における「第３のメタル配線」の一具体例に対応する。接続領域１８１，１８２におけるビアＶＲＬは、本開示における「第５の貫通配線」の一具体例に対応する。接続領域１８１，１８２におけるビアＶ３は、本開示における「第６の貫通配線」の一具体例に対応する。

[0054] ［動作および作用］

続いて、本実施の形態の半導体装置１の動作および作用について説明する。

[0055]（全体動作概要）

まず、図２を参照して、メモリ部２０の全体動作概要を説明する。メモリ部２０の行制御部２１のそれぞれは、行アドレス信号ＡＤＲＲＬおよびモード信号ＭＤに基づいて、選択制御信号ＳＥＬＲＬ（選択制御信号ＳＥＬＲＬ１，ＳＥＬＲＬ２）を生成する。列制御部２２のそれぞれは、列アドレス信号ＡＤＲＣＬおよびモード信号ＭＤに基づいて、選択制御信号ＳＥＬＣＬ（選択制御信号ＳＥＬＣＬ１，ＳＥＬＣＬ２）を生成する。

[0056] 行選択線駆動部（ＲＬＤ）２３１のそれぞれは、選択制御信号ＳＥＬＲＬ１に基づいて、その行選択線駆動部（ＲＬＤ）２３１に接続された複数（この例では５１２本）の行選択線ＲＬを駆動する。行選択線駆動部（ＲＬＤ）２３２のそれぞれは、選択制御信号ＳＥＬＲＬ２に基づいて、その行選択線駆動部（ＲＬＤ）２３２に接続された複数（この例では５１２本）の行選択線ＲＬを駆動する。

[0057] 列選択線駆動部（ＣＬＤ）２４１のそれぞれは、選択制御信号ＳＥＬＣＬ１に基づいて、その列選択線駆動部（ＣＬＤ）２４１に接続された複数（この例では５１２本）の列選択線ＣＬを駆動する。列選択線駆動部（ＣＬＤ）２４２のそれぞれは、選択制御信号ＳＥＬＣＬ２に基づいて、その列選択線駆動部（ＣＬＤ）２４２に接続された複数（この例では５１２本）の列選択線ＣＬを駆動する。

[0058]（作用）

半導体装置１では、所定の幅（Ｆ）を有する行選択線ＲＬを、行選択線領域１５１，１５２における、複数の開口部ＯＲＬ以外の領域において、Ｘ方向に延伸するとともに、Ｙ方向に並ぶように形成した。また、所定の幅（Ｆ）を有する列選択線ＣＬを、列選択線領域１６１，１６２における、複数の開口部ＯＣＬ以外の領域において、Ｙ方向に延伸するとともに、Ｘ方向に並ぶように形成した。つまり、半導体装置１では、直線状の行選択線ＲＬおよび列選択線ＣＬを形成するようにした。これにより、半導体装置１では、歩留まりを高めることができる。

[0059] すなわち、半導体装置１では、記憶容量を高めるため、行選択線ＲＬおよび列選択線ＣＬを最小加工寸法で形成することが望ましい。近年では、例えば、ＳＡＭＰ（Self-Aligned Multiple Patterning）などのパターニング技術を使用することにより、微細なパターンを形成することができる。この場合、行選択線ＲＬおよび列選択線ＣＬは、ＸＹ面内で折れ曲がったり、あるいは線幅が変化したりせず、直線状であることが望まれる。仮に、行選択線ＲＬおよび列選択線ＣＬが直線状でない場合には、例えば、近接する配線が互いにショートし、歩留まりが低下するおそれがある。一方、半導体装置１では、直線状の行選択線ＲＬおよび列選択線ＣＬを形成するようにしたので、歩留まりを高めることができる。

[0060] また、半導体装置１では、行選択線ＲＬの上層に形成されたメタル配線Ｍ４を介して、行選択線ＲＬを行選択線駆動部（ＲＬＤ）２３に接続するとともに、列選択線ＣＬの上層に形成されたメタル配線Ｍ４を介して、列選択線ＣＬを列選択線駆動部（ＣＬＤ）２４に接続するようにした。特に、半導体装置１では、テーパー形状を有するビアＶＲＬを用いて、メタル配線Ｍ４と行選択線ＲＬとを接続するとともに、テーパー形状を有するビアＶＣＬを用いて、メタル配線Ｍ４と列選択線ＣＬとを接続するようにした。これにより、ビアＶＲＬが、接続すべき行選択線ＲＬの隣の行選択線ＲＬに接続してしまうおそれを低減し、ビアＶＣＬが、接続すべき列選択線ＣＬの隣の列選択線ＣＬに接続してしまうおそれを低減することができる。その結果、半導体装置１では、歩留まりが低下するおそれを低減することができる。

[0061] また、半導体装置１では、接続領域１７１，１７２に複数の開口部ＯＲＬを設け、開口部ＯＲＬのそれぞれにビアＶ３を設けるようにしたので、行選択線ＲＬの上層に配置されたメタル配線Ｍ４を行選択線ＲＬの下層に配置された行選択線駆動部（ＲＬＤ）２３に接続することができる。同様に、接続領域１８１，１８２に複数の開口部ＯＣＬを設け、開口部ＯＣＬのそれぞれにビアＶ３を設けるようにしたので、列選択線ＣＬの上層に配置されたメタル配線Ｍ４を列選択線ＣＬの下層に配置された列選択線駆動部（ＣＬＤ）２

４に接続することができる。

[0062] また、半導体装置１では、図８に示したように、行選択線駆動部（ＲＬＤ）２３１に接続された複数（この例では５１２本）の行選択線ＲＬを、１つの領域内に並設し、行選択線駆動部（ＲＬＤ）２３２に接続された複数（この例では５１２本）の行選択線ＲＬを、１つの領域内に並設するようにした。同様に、半導体装置１では、図１３に示したように、列選択線駆動部（ＣＬＤ）２４１に接続された複数（この例では５１２本）の列選択線ＣＬを、１つの領域内に並設し、列選択線駆動部（ＣＬＤ）２４２に接続された複数（この例では５１２本）の列選択線ＣＬを、１つの領域内に並設するようにした。これにより、半導体装置１では、メモリ部２０の動作をシンプルにすることができる。

[0063] すなわち、例えば、図１７，１８に示すメモリ部２０Ｓのように、行選択線駆動部（ＲＬＤ）２３１Ｓに接続された複数（この例では２５６本）の行選択線ＲＬ、および行選択線駆動部（ＲＬＤ）２３３Ｓに接続された複数（この例では２５６本）の行選択線ＲＬを１つの領域内に交互に並設し、列選択線駆動部（ＣＬＤ）２４１Ｓに接続された複数（この例では２５６本）の列選択線ＣＬ、および列選択線駆動部（ＣＬＤ）２４３Ｓに接続された複数（この例では２５６本）の列選択線ＣＬを１つの領域内に交互に並設した場合には、本実施の形態の場合（図８）とは異なり、メモリアレイＡＲの定義が複雑になってしまうため、メモリ部２０Ｓの動作が複雑になるおそれがある。

[0064] 一方、本実施の形態に係るメモリ部２０では、例えば、行選択線駆動部（ＲＬＤ）２３１に接続された複数（この例では５１２本）の行選択線ＲＬを１つの領域内に並設し、列選択線駆動部（ＣＬＤ）２４１に接続された複数（この例では５１２本）の列選択線ＣＬを１つの領域内に並設するようにした。これにより、半導体装置１では、図８に示したように、メモリアレイＡＲの定義をシンプルにすることができるため、メモリ部２０の動作をシンプルにすることができる。

[0065] その結果、半導体装置１では、面積効率の高い記憶装置を実現することができる。

[0066] ［効果］

以上のように本実施の形態では、所定の幅を有する行選択線を、行選択線領域における、複数の開口部以外の領域において、Ｘ方向に延伸するとともに、Ｙ方向に並ぶように形成するとともに、所定の幅を有する列選択線を、列選択線領域における、複数の開口部以外の領域において、Ｙ方向に延伸するとともに、Ｘ方向に並ぶように形成したので、歩留まりを高めることができる。

[0067] 本実施の形態では、行選択線の上層に形成されたメタル配線を介して、行選択線を行選択線駆動部に接続するとともに、列選択線の上層に形成されたメタル配線を介して、列選択線を列選択線駆動部に接続するようにした。特に、本実施の形態では、テーパー形状を有するビアＶＲＬを用いて、メタル配線と行選択線とを接続するとともに、テーパー形状を有するビアＶＣＬを用いて、メタル配線と列選択線とを接続するようにした。これにより、歩留まりを高めることができる。

[0068] 本実施の形態では、行選択線領域に複数の開口部を設け、開口部のそれぞれにビアを設けるようにしたので、行選択線の上層に形成されたメタル配線を行選択線の下層に形成された行選択線駆動部に接続することができる。同様に、列選択線領域に複数の開口部を設け、開口部のそれぞれにビアを設けるようにしたので、列選択線の上層に形成されたメタル配線を列選択線の下層に形成された列選択線駆動部に接続することができる。

[0069] 本実施の形態では、行選択線駆動部に接続された複数の行選択線を１つの領域内に並設し、行選択線駆動部に接続された複数の行選択線を１つの領域内に並設し、列選択線駆動部に接続された複数の列選択線を１つの領域内に並設し、列選択線駆動部に接続された複数の列選択線を１つの領域内に並設したので、メモリ部の動作をシンプルにすることができる。

[0070] ［変形例１－１］

上記実施の形態では、選択線層ＬＲＬ，ＬＣＬの上層に単一の配線層ＬＭ４を設けたが、これに限定されるものではなく、これに代えて、例えば複数の配線層を設けてもよい。この場合には、例えば、行選択線ＲＬと、開口部ＯＲＬに形成されたビアＶ３とを互いに接続する配線の自由度を高くすることができるので、接続領域１７１，１７２を小さくすることができるとともに、列選択線ＣＬと、開口部ＯＣＬに形成されたビアＶ３とを互いに接続する配線の自由度を高くすることができるので、接続領域１８１，１８２を小さくすることができる。その結果、面積効率を高めることができる。

[0071] ［変形例１－２］

上記実施の形態では、１つの記憶層を設けたが、これに限定されるものではなく、これに代えて、例えば、２つ以上の記憶層を設けてもよい。以下に、２つの記憶層を設けた半導体装置１Ａについて、詳細に説明する。

[0072] 半導体装置１Ａは、メモリ部４０を有している。メモリ部４０は、上記実施の形態に係る半導体装置１（図２）と同様に、複数の行選択線駆動部（ＲＬＤ）４３（行選択線駆動部（ＲＬＤ）４３１，４３２）と、複数の列選択線駆動部（ＣＬＤ）４４（列選択線駆動部（ＣＬＤ）４４１，４４２）とを有している。複数の行選択線駆動部（ＲＬＤ）４３および複数の列選択線駆動部（ＣＬＤ）４４は、チェッカーボード状に配置されている。

[0073] 図１９は、メモリ部４０の一構成例を表すものである。メモリ部４０は、複数の行選択線ＲＬ（行選択線ＲＬ０，ＲＬ１）と、複数の列選択線ＣＬと、複数のメモリセルＭＣ（メモリセルＭＣ０，ＭＣ１）とを有している。

[0074] 複数の行選択線ＲＬ０は、半導体基板の基板面Ｓに平行なＸＹ面内において、Ｘ方向に延伸するとともに、Ｙ方向に並ぶように形成される。複数の列選択線ＣＬは、このＸＹ面内において、Ｙ方向に延伸するとともに、Ｘ方向に並ぶように形成される。複数の行選択線ＲＬ１は、このＸＹ面内において、Ｘ方向に延伸するとともに、Ｙ方向に並ぶように形成される。複数の列選択線ＣＬは、複数の行選択線ＲＬ０が形成された層の上の層に形成され、複数の行選択線ＲＬ１は、複数の列選択線ＣＬが形成された層の上の層に形成

される。

[0075] 複数の行選択線ＲＬ０が形成された層と複数の列選択線ＣＬが形成された層との間の記憶層には、複数のメモリセルＭＣ（メモリセルＭＣ０）が形成されている。同様に、複数の列選択線ＣＬが形成された層と複数の行選択線ＲＬ１が形成された記憶層との間の層には、複数のメモリセルＭＣ（メモリセルＭＣ１）が形成されている。

[0076] メモリセルＭＣ０，ＭＣ１は、図４に示したように、記憶素子ＶＲと、選択素子ＳＥとを有している。メモリセルＭＣ０では、端子ＴＵは、複数の列選択線ＣＬのいずれかに接続され、端子ＴＬは、複数の行選択線ＲＬ０のいずれかに接続される。同様に、メモリセルＭＣ１では、端子ＴＵは、複数の行選択線ＲＬ１のいずれかに接続され、端子ＴＬは、複数の列選択線ＣＬのいずれかに接続される。これにより、メモリセルＭＣでは、図１９に示したように、どちらの記憶層に形成されるかに関わらず、記憶素子ＶＲが選択素子ＳＥの上層に形成されるようになっている。

[0077] 図２０は、行選択線ＲＬ０と行選択線駆動部（ＲＬＤ）４３との間の接続の一例を表すものである。図２１は、行選択線ＲＬ１と行選択線駆動部（ＲＬＤ）４３との間の接続の一例を表すものである。図２２は、列選択線ＣＬと列選択線駆動部（ＣＬＤ）４４との間の接続の一例を表すものである。

[0078] メモリ部４０は、３つの選択線層ＬＲＬ０，ＬＣＬ，ＬＲＬ１を有している。選択線層ＬＲＬ０は、行選択線ＲＬ０が形成される配線層であり、選択線層ＬＣＬは、列選択線ＣＬが形成される配線層であり、選択線層ＬＲＬ１は、行選択線ＲＬ１が形成される配線層である。

[0079] 図２０に示したように、行選択線ＲＬ０および行選択線駆動部（ＲＬＤ）４３は、接続部３３Ａを介して接続されている。この接続部３３Ａは、行選択線駆動部（ＲＬＤ）４３のトランジスタＴＲとメタル配線Ｍ１とを接続するコンタクトＣＴ、メタル配線Ｍ１、配線層ＬＭ１，ＬＭ２間のビアＶ１、メタル配線Ｍ２、配線層ＬＭ２，ＬＭ３間のビアＶ２、メタル配線Ｍ３、配線層ＬＭ３，ＬＭ４間のビアＶ３、メタル配線Ｍ４、およびメタル配線Ｍ４

と行選択線ＲＬ０との間のビアＶＲＬ０を含んで構成される。ビアＶＲＬ０は、上記第１の実施の形態に係るビアＶＲＬと同様に、いわゆるテーパー形状を有するものである。

[0080] 図２１に示したように、行選択線ＲＬ１および行選択線駆動部（ＲＬＤ）４３は、接続部３３Ｂを介して接続されている。この接続部３３Ｂは、行選択線駆動部（ＲＬＤ）４３のトランジスタＴＲとメタル配線Ｍ１とを接続するコンタクトＣＴ、メタル配線Ｍ１、配線層ＬＭ１，ＬＭ２間のビアＶ１、メタル配線Ｍ２、配線層ＬＭ２，ＬＭ３間のビアＶ２、メタル配線Ｍ３、配線層ＬＭ３，ＬＭ４間のビアＶ３、メタル配線Ｍ４、およびメタル配線Ｍ４と行選択線ＲＬ１との間のビアＶＲＬ１を含んで構成される。ビアＶＲＬ１は、上記第１の実施の形態に係るビアＶＲＬと同様に、いわゆるテーパー形状を有するものである。

[0081] 図２２に示したように、列選択線ＣＬおよび列選択線駆動部（ＣＬＤ）４４は、接続部３４を介して接続されている。この接続部３４は、列選択線駆動部（ＣＬＤ）４４のトランジスタＴＲとメタル配線Ｍ１とを接続するコンタクトＣＴ、メタル配線Ｍ１、配線層ＬＭ１，ＬＭ２間のビアＶ１、メタル配線Ｍ２、配線層ＬＭ２，ＬＭ３間のビアＶ２、メタル配線Ｍ３、配線層ＬＭ３，ＬＭ４間のビアＶ３、メタル配線Ｍ４、およびメタル配線Ｍ４と列選択線ＣＬとの間のビアＶＣＬを含んで構成される。

[0082] 図２３は、行選択線ＲＬ０の一例を表すものである。図２４は、行選択線ＲＬ１の一例を表すものである。行選択線ＲＬ０，ＲＬ１の長さは、上記第１の実施の形態に係る行選択線ＲＬの約２倍である。

[0083] 複数の行選択線駆動部（ＲＬＤ）４３１は、複数の行選択線ＲＬ０を駆動する行選択線駆動部（ＲＬＤ）４３１Ａと、複数の行選択線ＲＬ１を駆動する行選択線駆動部（ＲＬＤ）４３１Ｂとを含んでいる。行選択線駆動部（ＲＬＤ）４３１Ａ，４３１Ｂは、Ｘ方向において、列選択線駆動部（ＣＬＤ）４４１を挟んで、交互に配置されている。同様に、複数の行選択線駆動部（ＲＬＤ）４３２は、複数の行選択線ＲＬ０を駆動する行選択線駆動部（ＲＬ

Ｄ）４３２Ａと、複数の行選択線ＲＬ１を駆動する行選択線駆動部（ＲＬＤ）４３２Ｂとを含んでいる。行選択線駆動部（ＲＬＤ）４３２Ａ，４３２Ｂは、Ｘ方向において、列選択線駆動部（ＣＬＤ）４４２を挟んで、交互に配置されている。

[0084] 図２３に示したように、複数の行選択線ＲＬ０のそれぞれは、その行選択線ＲＬ０の延伸方向（Ｘ方向）の中央付近において接続部３３Ａ（接続部３３１Ａ，３３２Ａ）に接続されている。また、行選択線駆動部（ＲＬＤ）４３１Ａのそれぞれは、その行選択線駆動部（ＲＬＤ）４３１ＡのＸ方向の中央付近において接続部３３１Ａに接続され、行選択線駆動部（ＲＬＤ）４３２Ａのそれぞれは、その行選択線駆動部（ＲＬＤ）４３２ＡのＸ方向の中央付近において接続部３３２Ａに接続されている。これにより、行選択線駆動部（ＲＬＤ）４３１Ａは、接続部３３１Ａを介して複数の行選択線ＲＬ０に接続され、行選択線駆動部（ＲＬＤ）４３２Ａは、接続部３３２Ａを介して複数の行選択線ＲＬ０に接続されている。

[0085] １つの行選択線駆動部（ＲＬＤ）４３１Ａは、例えば、複数（この例では５１２本）の行選択線ＲＬ０に接続されている。図２３において、行選択線駆動部（ＲＬＤ）４３１Ａに接続されたこれらの行選択線ＲＬ０の右側の端部は、その行選択線駆動部（ＲＬＤ）４３１Ａの右側の行選択線駆動部（ＲＬＤ）４３１ＢのＸ方向における中央付近に位置する。また、行選択線駆動部（ＲＬＤ）４３１Ａに接続されたこれらの行選択線ＲＬ０の左側の端部は、その行選択線駆動部（ＲＬＤ）４３１Ａの左側の行選択線駆動部（ＲＬＤ）４３１ＢのＸ方向における中央付近に位置する。

[0086] 同様に、１つの行選択線駆動部（ＲＬＤ）４３２Ａは、例えば、複数（この例では５１２本）の行選択線ＲＬ０に接続されている。図２３において、行選択線駆動部（ＲＬＤ）４３２Ａに接続されたこれらの行選択線ＲＬ０の右側の端部は、その行選択線駆動部（ＲＬＤ）４３２Ａの右側の行選択線駆動部（ＲＬＤ）４３２ＢのＸ方向における中央付近に位置する。また、行選択線駆動部（ＲＬＤ）４３２Ａに接続されたこれらの行選択線ＲＬ０の左側

の端部は、その行選択線駆動部（ＲＬＤ）４３２Ａの左側の行選択線駆動部（ＲＬＤ）４３２ＢのＸ方向における中央付近に位置する。

[0087] 図２４に示したように、複数の行選択線ＲＬ１のそれぞれは、その行選択線ＲＬ１の延伸方向（Ｘ方向）の中央付近において接続部３３Ｂ（接続部３３１Ｂ，３３２Ｂ）に接続されている。また、行選択線駆動部（ＲＬＤ）４３１Ｂのそれぞれは、その行選択線駆動部（ＲＬＤ）４３１ＢのＸ方向の中央付近において接続部３３１Ｂに接続され、行選択線駆動部（ＲＬＤ）４３２Ｂのそれぞれは、その行選択線駆動部（ＲＬＤ）４３２ＢのＸ方向の中央付近において接続部３３２Ｂに接続されている。これにより、行選択線駆動部（ＲＬＤ）４３１Ｂは、接続部３３１Ｂを介して複数の行選択線ＲＬ１に接続され、行選択線駆動部（ＲＬＤ）４３２Ｂは、接続部３３２Ｂを介して複数の行選択線ＲＬ１に接続されている。

[0088] １つの行選択線駆動部（ＲＬＤ）４３１Ｂは、例えば、複数（この例では５１２本）の行選択線ＲＬ１に接続されている。図２４において、行選択線駆動部（ＲＬＤ）４３１Ｂに接続されたこれらの行選択線ＲＬ１の右側の端部は、その行選択線駆動部（ＲＬＤ）４３１Ｂの右側の行選択線駆動部（ＲＬＤ）４３１ＡのＸ方向における中央付近に位置する。また、行選択線駆動部（ＲＬＤ）４３１Ｂに接続されたこれらの行選択線ＲＬ１の左側の端部は、その行選択線駆動部（ＲＬＤ）４３１Ｂの左側の行選択線駆動部（ＲＬＤ）４３１ＡのＸ方向における中央付近に位置する。

[0089] 同様に、１つの行選択線駆動部（ＲＬＤ）４３２Ｂは、例えば、複数（この例では５１２本）の行選択線ＲＬ１に接続されている。図２４において、行選択線駆動部（ＲＬＤ）４３２Ｂに接続されたこれらの行選択線ＲＬ１の右側の端部は、その行選択線駆動部（ＲＬＤ）４３２Ｂの右側の行選択線駆動部（ＲＬＤ）４３２ＡのＸ方向における中央付近に位置する。また、行選択線駆動部（ＲＬＤ）４３２Ｂに接続されたこれらの行選択線ＲＬ１の左側の端部は、その行選択線駆動部（ＲＬＤ）４３２ＢのＸ方向における中央付近に位置する。

[0090] 図２５は、列選択線ＣＬの一例を表すものである。列選択線ＣＬの構成は、上記第１の実施の形態に係る列選択線ＣＬ（図１３）と同様である。列選択線駆動部（ＣＬＤ）４４１は、接続部３４１を介して複数の列選択線ＣＬに接続され、列選択線駆動部（ＣＬＤ）４４２は、接続部３４２を介して複数の列選択線ＣＬに接続されている。

[0091] 図２６は、複数の行選択線ＲＬ０，ＲＬ１および複数の列選択線ＣＬの一例を表すものである。この図２６は、図２３，２４に示した複数の行選択線ＲＬ０，ＲＬ１および図２５に示した複数の列選択線ＣＬを重ね合わせて描いたものである。

[0092] 複数の行選択線ＲＬ０のそれぞれは、この例では２０４８本（＝５１２×４）の列選択線ＣＬと交差し、複数の列選択線ＣＬのそれぞれは、この例では１０２４本（＝５１２×２）の行選択線ＲＬ０と交差する。同様に、複数の行選択線ＲＬ１のそれぞれは、この例では２０４８本（＝５１２×４）の列選択線ＣＬと交差し、複数の列選択線ＣＬのそれぞれは、この例では１０２４本（＝５１２×２）の行選択線ＲＬ１と交差する。

[0093] メモリ部４０では、２Ｍ個（＝２０４８×１０２４）のメモリセルＭＣ０からなるメモリアレイＡＲ０、および２Ｍ個（＝２０４８×１０２４）のメモリセルＭＣ１からなるメモリアレイＡＲ１が定義される。メモリアレイＡＲ０は、図２３に示したように、行選択線駆動部（ＲＬＤ）４３１Ａに接続された５１２本の行選択線ＲＬ０と、行選択線駆動部（ＲＬＤ）４３２Ａに接続された５１２本の行選択線ＲＬ０とを含んでいる。メモリアレイＡＲ１は、図２４に示したように、行選択線駆動部（ＲＬＤ）４３１Ｂに接続された５１２本の行選択線ＲＬ１と、行選択線駆動部（ＲＬＤ）４３２Ｂに接続された５１２本の行選択線ＲＬ１とを含んでいる。

[0094] 接続部３３Ａ（接続部３３１Ａ，３３２Ａ）、接続部３３Ｂ（接続部３３１Ｂ，３３２Ｂ）、および接続部３４（接続部３４１，３４２）は、上記第１の実施の形態の接続部１３（接続部１３１，１３２）および接続部１４（接続部１４１，１４２）と同様に構成することができる。

[0095] ＜２．第２の実施の形態＞

次に、第２の実施の形態に係る半導体装置２について説明する。本実施の形態は、行選択線ＲＬと行選択線駆動部とを接続する接続部の構成、および列選択線ＣＬと列選択線駆動部とを接続する接続部の構成が、上記第１の実施の形態の場合と異なるものである。なお、上記第１の実施の形態に係る半導体装置１と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

[0096] 半導体装置２は、メモリ部６０を有している。メモリ部６０は、上記実施の形態に係る半導体装置１（図２）と同様に、複数の行選択線駆動部（ＲＬＤ）６３（行選択線駆動部（ＲＬＤ）６３１，６３２）と、複数の列選択線駆動部（ＣＬＤ）６４（列選択線駆動部（ＣＬＤ）６４１，６４２）とを有している。行選択線駆動部（ＲＬＤ）６３１，６３２は、上記第１の実施の形態に係る行選択線駆動部（ＲＬＤ）２３１，２３２にそれぞれ対応し、列選択線駆動部（ＣＬＤ）６４１，６４２は、上記第１の実施の形態に係る列選択線駆動部（ＣＬＤ）２４１，２４２にそれぞれ対応する。複数の行選択線駆動部（ＲＬＤ）６３および複数の列選択線駆動部（ＣＬＤ）６４は、チェッカーボード状に配置されている。

[0097] （接続部５３１，５３２）

上記第１の実施の形態に係る半導体装置１の場合（図８）と同様に、行選択線駆動部（ＲＬＤ）６３１が駆動する行選択線ＲＬは、接続部５３１を介して行選択線駆動部（ＲＬＤ）６３１に接続されており、行選択線駆動部（ＲＬＤ）６３２が駆動する行選択線ＲＬは、接続部５３２を介して行選択線駆動部（ＲＬＤ）６３２に接続されている。また、半導体装置１の場合（図９）と同様に、接続部５３１に接続された行選択線ＲＬは、行選択線領域１５１に形成され、接続部５３１は、接続領域１７１に形成される。接続部５３２に接続された行選択線ＲＬは、行選択線領域１５２に形成され、接続部５３２は、接続領域１７２に形成される。以下では、接続部５３１を例に説明するが、接続部５３２についても同様である。

[0098] 図２７は、接続領域１７１のレイアウトパターンの一例を表すものである。図２７に示したパターンＰＡＴ２は、上記第１の実施の形態に係るパターンＰＡＴ１（図１０）に対応するものである。図２８Ａは、パターンＰＡＴ２のうちの左半分のパターンＰＡＴ２Ａを表すものであり、図２８Ｂは、パターンＰＡＴ２のうちの右半分のパターンＰＡＴ２Ｂを表すものである。このパターンＰＡＴ２では、６４本の行選択線ＲＬを行選択線駆動部６３１に接続している。

[0099] 行選択線ＲＬは、上記第１の実施の形態の場合と同様に、行選択線領域１５１における、複数の開口部ＯＲＬ以外の領域において、Ｘ方向に延伸するとともに、Ｙ方向に並ぶように形成されている。この例では、行選択線ＲＬのピッチは、２Ｆである。この例では、最小加工寸法Ｆは、１０ｎｍであり、上記第１の実施の形態の場合の半分である。すなわち、行選択線ＲＬのピッチは２０ｎｍである。このピッチは、行選択線ＲＬの幅がＦ（この例では１０ｎｍ）であり、隣り合う行選択線ＲＬの間隔がＦ（この例では１０ｎｍ）である場合に対応する。

[0100] 半導体装置２では、上記第１の実施の形態に係る半導体装置１と同様に、開口部ＯＲＬのそれぞれに、複数のビアＶ３が選択線層ＬＲＬを貫くように形成されている。ビアＶ３のそれぞれは、配線層ＬＭ４のメタル配線Ｍ４に接続されている。そして、メタル配線Ｍ４は、行選択線ＲＬの上面に、ビアＶＲＬを介して接続される。また、ビアＶ３は、半導体基板に形成された行選択線駆動部（ＲＬＤ）６３１に接続される。

[0101] メタル配線Ｍ４は、図２７に示したように、行選択線ＲＬとビアＶ３とを互いに接続するように、配線層ＬＭ４において引き回される。メタル配線Ｍ４の最小ピッチは、８Ｆ（この例では８０ｎｍ）である。この最小ピッチは、メタル配線Ｍ４の幅が４Ｆ（この例では４０ｎｍ）であり、隣り合うメタル配線Ｍ４の間隔が４Ｆ（この例では４０ｎｍ）である場合に対応するものである。この最小ピッチは、上記第１の実施の形態の場合と同じである。

[0102] 図２７の例では、パターンＰＡＴ２は、Ｘ方向に４４８Ｆ（この例では４

４８０ｎｍ）の長さを有し、Ｙ方向において１２８Ｆ（この例では１２８０ｎｍ）の長さを有するパターンである。ビアＶ３の最小ピッチは、８Ｆ（この例では８０ｎｍ）である。ビアＶＲＬの最小ピッチは、８Ｆ（この例では８０ｎｍ）である。

[0103] （接続部５４１，５４２）

上記第１の実施の形態に係る半導体装置１の場合（図１３）と同様に、列選択線駆動部（ＣＬＤ）６４１が駆動する列選択線ＣＬは、接続部５４１を介して列選択線駆動部（ＣＬＤ）６４１に接続されており、列選択線駆動部（ＣＬＤ）６４２が駆動する列選択線ＣＬは、接続部５４２を介して列選択線駆動部（ＣＬＤ）６４２に接続されている。また、半導体装置１の場合（図１４）と同様に、接続部５４１に接続された列選択線ＣＬは、列選択線領域１６１に形成され、接続部５４１は、接続領域１８１に形成される。接続部５４２に接続された列選択線ＣＬは、列選択線領域１６２に形成され、接続部５４２は、接続領域１８２に形成される。以下では、接続部５４１を例に説明するが、接続部５３２についても同様である。

[0104] 接続領域１８１のレイアウトパターンは、例えば、接続領域１７１のレイアウトパターン（図２７）において、行選択線ＲＬを列選択線ＣＬに置き換えたものと同様のものを用いることができる。列選択線ＣＬは、列選択線領域１６１における、複数の開口部ＯＣＬ以外の領域において、Ｙ方向に延伸するとともに、Ｘ方向に並ぶように形成されている。開口部ＯＣＬのそれぞれには、複数のビアＶ３が選択線層ＬＣＬを貫くように形成されている。ビアＶ３のそれぞれは、配線層ＬＭ４のメタル配線Ｍ４に接続されている。そして、メタル配線Ｍ４は、列選択線ＣＬの上面に、ビアＶＣＬを介して接続される。また、ビアＶ３は、半導体基板に形成された列選択線駆動部（ＣＬＤ）６４１に接続される。

[0105] このように、半導体装置２では、半導体装置１に比べて、行選択線ＲＬのピッチを半分にするとともに、列選択線ＣＬのピッチを半分にしたので、単位面積あたりのメモリセルＭＣの数を増やすことができる。この場合でも、

パターンＰＡＴ２のＸ方向の長さは、４４８０ｎｍであり、上記第１の実施の形態に係るパターンＰＡＴ１のＸ方向の長さ（３５２０ｎｍ）よりもやや長い程度である。よって、半導体装置２では、面積効率の高い記憶装置を実現することができる。

[0106] ［変形例２－１］

上記実施の形態に係る半導体装置２に、上記第１の実施の形態の各変形例を適用してもよい。

[0107] ＜３．第３の実施の形態＞

次に、第３の実施の形態に係る半導体装置３について説明する。本実施の形態は、行選択線ＲＬと行選択線駆動部とを接続する接続部の構成、および列選択線ＣＬと列選択線駆動部とを接続する接続部の構成が、上記第１の実施の形態の場合と異なるものである。なお、上記第１の実施の形態に係る半導体装置１と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

[0108] 半導体装置３は、メモリ部８０を有している。メモリ部８０は、上記実施の形態に係る半導体装置１（図２）と同様に、複数の行選択線駆動部（ＲＬＤ）８３（行選択線駆動部（ＲＬＤ）８３１，８３２）と、複数の列選択線駆動部（ＣＬＤ）８４（列選択線駆動部（ＣＬＤ）８４１，８４２）とを有している。行選択線駆動部（ＲＬＤ）８３１，８３２は、上記第１の実施の形態に係る行選択線駆動部（ＲＬＤ）２３１，２３２にそれぞれ対応し、列選択線駆動部（ＣＬＤ）８４１，８４２は、上記第１の実施の形態に係る列選択線駆動部（ＣＬＤ）２４１，２４２にそれぞれ対応する。複数の行選択線駆動部（ＲＬＤ）８３および複数の列選択線駆動部（ＣＬＤ）８４は、チェッカーボード状に配置されている。

[0109] （接続部７３１，７３２）

上記第１の実施の形態に係る半導体装置１の場合（図８）と同様に、行選択線駆動部（ＲＬＤ）８３１が駆動する行選択線ＲＬは、接続部７３１を介して行選択線駆動部（ＲＬＤ）８３１に接続されており、行選択線駆動部（

ＲＬＤ）８３２が駆動する行選択線ＲＬは、接続部７３２を介して行選択線駆動部（ＲＬＤ）８３２に接続されている。また、半導体装置１の場合（図９）と同様に、接続部７３１に接続された行選択線ＲＬは、行選択線領域１５１に形成され、接続部７３１は、接続領域１７１に形成される。接続部７３２に接続された行選択線ＲＬは、行選択線領域１５２に形成され、接続部７３２は、接続領域１７２に形成される。以下では、接続部７３１を例に説明するが、接続部７３２についても同様である。

[0110] 図２９は、接続領域１７１のレイアウトパターンの一例を表すものである。図２９に示したパターンＰＡＴ３は、上記第１の実施の形態に係るパターンＰＡＴ１（図１０）に対応するものである。このパターンＰＡＴ３では、３２本の行選択線ＲＬを行選択線駆動部８３１に接続している。

[0111] 行選択線ＲＬは、上記第１の実施の形態の場合と同様に、行選択線領域１５１における、複数の開口部ＯＲＬ以外の領域において、Ｘ方向に延伸するとともに、Ｙ方向に並ぶように形成されている。この例では、行選択線ＲＬのピッチは、２Ｆである。この例では、最小加工寸法Ｆは、２０ｎｍであり、上記第１の実施の形態の場合と同じである。すなわち、行選択線ＲＬのピッチは４０ｎｍである。このピッチは、行選択線ＲＬの幅がＦ（この例では２０ｎｍ）であり、隣り合う行選択線ＲＬの間隔がＦ（この例では２０ｎｍ）である場合に対応する。

[0112] 半導体装置３では、上記第１の実施の形態に係る半導体装置１と同様に、開口部ＯＲＬのそれぞれに、複数のビアＶ３が選択線層ＬＲＬを貫くように形成されている。ビアＶ３のそれぞれは、配線層ＬＭ４のメタル配線Ｍ４に接続されている。そして、メタル配線Ｍ４は、行選択線ＲＬの上面に、ビアＶＲＬを介して接続される。また、ビアＶ３は、半導体基板に形成された行選択線駆動部（ＲＬＤ）８３１に接続される。

[0113] メタル配線Ｍ４は、図２９に示したように、行選択線ＲＬとビアＶ３とを互いに接続するように、配線層ＬＭ４において引き回される。メタル配線Ｍ４の最小ピッチは、４Ｆ（この例では８０ｎｍ）である。この最小ピッチは

、メタル配線Ｍ４の幅が２Ｆ（この例では４０ｎｍ）であり、隣り合うメタル配線Ｍ４の間隔が２Ｆ（この例では４０ｎｍ）である場合に対応するものである。この最小ピッチは、上記第１の実施の形態の場合と同じである。

[0114] 図２９の例では、パターンＰＡＴ３は、Ｘ方向に１２８Ｆ（この例では２５６０ｎｍ）の長さを有し、Ｙ方向において６４Ｆ（この例では１２８０ｎｍ）の長さを有するパターンである。ビアＶ３の最小ピッチは、４Ｆ（この例では８０ｎｍ）である。ビアＶＲＬのＸ方向における最小ピッチは、６Ｆ（この例では１２０ｎｍ）であり、ビアＶＲＬのＹ方向における最小ピッチは、４Ｆ（この例では８０ｎｍ）である。このように、半導体装置３では、パターンＰＡＴ３のＸ方向の幅（１２８Ｆ）を、半導体装置１の場合（１７６Ｆ）よりも狭くすることができる。

[0115] 上記第１の実施の形態の場合（図８）と同様に、行選択線駆動部（ＲＬＤ）８３１のそれぞれは、その行選択線駆動部（ＲＬＤ）８３１のＸ方向の中央付近において接続部７３１に接続される。よって、行選択線駆動部（ＲＬＤ）８３１では、配線層ＬＭ１～ＬＭ３において、接続部７３１の左側から２５６本の配線が接続部７３１に接続するとともに、接続部７３１の右側から２５６本の配線が接続部７３１に接続することができる。

[0116] 図３０は、行選択線駆動部（ＲＬＤ）８３１における接続部７３１への接続を模式的に表すものである。この例では、パターンＰＡＴ３に含まれる３２本の行選択線ＲＬのうちの下側の１６本の行選択線ＲＬに係る配線を模式的に示している。この１６本の行選択線ＲＬのうちの８本は、配線層ＬＭ１～ＬＭ３において、接続部７３１の左側から接続され、残りの８本は、配線層ＬＭ１～ＬＭ３において、接続部７３１の右側から接続される。パターンＰＡＴ３では、図３０に示したように、この１６本の行選択線ＲＬの下層の配線層ＬＭ１～ＬＭ３に、最大で１０本の配線が配置される。この場合、配線の線密度の最大値は、１０本／３２Ｆである。この線密度の最大値は、上述したように、第１の実施の形態の場合（８本／３２Ｆ）よりも高い。よって、半導体装置３では、第１の実施の形態に係る半導体装置１と比べて、レ

イアウトの自由度が低くなるが、一方、後述するように、面積効率を高めることができる。

[0117]（接続部７４１，７４２）

上記第１の実施の形態に係る半導体装置１の場合（図１３）と同様に、列選択線駆動部（ＣＬＤ）８４１が駆動する列選択線ＣＬは、接続部７４１を介して列選択線駆動部（ＣＬＤ）８４１に接続されており、列選択線駆動部（ＣＬＤ）８４２が駆動する列選択線ＣＬは、接続部７４２を介して列選択線駆動部（ＣＬＤ）８４２に接続されている。また、半導体装置１の場合（図１４）と同様に、接続部７４１に接続された列選択線ＣＬは、列選択線領域１６１に形成され、接続部７４１は、接続領域１８１に形成される。接続部７４２に接続された列選択線ＣＬは、列選択線領域１６２に形成され、接続部７４２は、接続領域１８２に形成される。以下では、接続部７４１を例に説明するが、接続部７４２についても同様である。

[0118] 接続領域１８１のレイアウトパターンは、例えば、接続領域１７１のレイアウトパターン（図２９）において、行選択線ＲＬを列選択線ＣＬに置き換えたものと同様のものを用いることができる。列選択線ＣＬは、列選択線領域１６１における、複数の開口部ＯＣＬ以外の領域において、Ｙ方向に延伸するとともに、Ｘ方向に並ぶように形成されている。開口部ＯＣＬのそれぞれには、複数のビアＶ３が選択線層ＬＣＬを貫くように形成されている。ビアＶ３のそれぞれは、配線層ＬＭ４のメタル配線Ｍ４に接続されている。そして、メタル配線Ｍ４は、列選択線ＣＬの上面に、ビアＶＣＬを介して接続される。また、ビアＶ３は、半導体基板に形成された列選択線駆動部（ＣＬＤ）８４１に接続される。接続部７４２についても同様である。

[0119] このように、半導体装置３では、例えば、パターンＰＡＴ３のＸ方向の幅（１２８Ｆ）を、半導体装置１の場合（１７６Ｆ）よりも狭めることができるので、接続領域１７１，１７２，１８１，１８２を小さくすることができる。その結果、半導体装置３では、面積効率の高い記憶装置を実現することができる。

[0120] ［変形例３－１］

上記実施の形態に係る半導体装置３に、上記第１の実施の形態の各変形例を適用してもよい。

[0121] 以上、いくつかの実施の形態および変形例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0122] 例えば、上記の各実施の形態等における層構成、行選択線ＲＬの本数、列選択線ＣＬの本数などは、一例であり、適宜変更してもよい。

[0123] なお、本明細書に記載された効果はあくまで例示であって限定されるものでは無く、また他の効果があってもよい。

[0124] なお、本技術は以下のような構成とすることができる。

[0125] （１）第１の選択線層において、第１の領域における、複数の開口領域の領域外の領域に設けられ、所定の幅を有し、第１の方向に延伸するとともに前記第１の方向と交差する第２の方向に並ぶ複数の第１の選択線と、

前記第１の選択線層よりも上の層に形成された第１のメタル配線と、

前記第１の選択線層の上に形成された絶縁層を貫通し、前記複数の第１の選択線のうちの第１の線と前記第１のメタル配線とを接続する第１の貫通配線と、

前記複数の開口領域のうちの第１の開口領域に設けられ、前記第１の選択線層を貫通し、一端が前記第１のメタル配線に接続された第２の貫通配線と、

第１の端子と、前記第１の線に接続された第２の端子とを有する第１の記憶素子と、

前記第２の貫通配線の他端に接続され、前記複数の第１の選択線を駆動する第１の駆動回路と

を備えた半導体装置。

（２）前記第１の貫通配線は、前記第１の選択線層に近づくほど細く、前記第１の選択線層から遠ざかるほど太い

前記（１）に記載の半導体装置。

（３）前記所定の幅は、前記第１のメタル配線の配線幅よりも狭い

前記（１）または（２）に記載の半導体装置。

（４）前記第１の選択線層よりも上の層に形成された第２のメタル配線と、

前記絶縁層を貫通し、前記複数の第１の選択線のうちの第２の線と前記第２のメタル配線とを接続する第３の貫通配線と、

前記複数の開口領域のうちの第２の開口領域に設けられ、前記第１の選択線層を貫通し、一端が前記第２のメタル配線に接続された第４の貫通配線と、

第１の端子と、前記第２の線に接続された第２の端子とを有する第２の記憶素子と

をさらに備え、

前記第１の駆動回路は、前記第４の貫通配線の他端にも接続され、

前記第２の開口領域は、前記第２の方向において、前記第１の開口領域と異なる位置に配置された

前記（１）から（３）のいずれかに記載の半導体装置。

（５）前記第２の開口領域は、前記１の方向において、前記第１の開口領域とは異なる位置に配置された

前記（４）に記載の半導体装置。

（６）前記第１のメタル配線および前記第２のメタル配線は、前記第１の選択線層よりも上に設けられた単一の配線層に形成された

前記（４）または（５）に記載の半導体装置。

（７）前記第１のメタル配線および前記第２のメタル配線は、互いに異なる配線層に形成された

前記（４）または（５）に記載の半導体装置。

（８）前記第１の選択線層と異なる第２の選択線層において、第２の領域における、第３の開口領域を含む複数の開口領域の領域外の領域に設けられ、前記所定の幅を有し、前記第２の方向に延伸するとともに前記第１の方向に並ぶ複数の第２の選択線と、

前記第２の選択線層よりも上の層に形成された第３のメタル配線と、

前記第２の選択線層の上に形成された絶縁層を貫通し、前記複数の第２の選択線のうちの第３の線と前記第３のメタル配線とを接続する第５の貫通配線と、

前記第３の開口領域に設けられ、前記第２の選択線層を貫通し、一端が前記第３のメタル配線に接続された第６の貫通配線と、

前記第６の貫通配線の他端に接続され、前記複数の第２の選択線を駆動する第２の駆動回路と

を備え、

前記第１の記憶素子の前記第１の端子は、前記第３の線に接続された

前記（１）から（７）のいずれかに記載の半導体装置。

（９）前記第１のメタル配線および前記第３のメタル配線は、前記第１の選択線層よりも上に設けられた単一の配線層に形成された

前記（８）に記載の半導体装置。

[0126] 本出願は、日本国特許庁において２０１７年５月２９日に出願された日本特許出願番号２０１７－１０５３６７号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0127] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 第１の選択線層において、第１の領域における、複数の開口領域の領域外の領域に設けられ、所定の幅を有し、第１の方向に延伸するとともに前記第１の方向と交差する第２の方向に並ぶ複数の第１の選択線と、

前記第１の選択線層よりも上の層に形成された第１のメタル配線と、

前記第１の選択線層の上に形成された絶縁層を貫通し、前記複数の第１の選択線のうちの第１の線と前記第１のメタル配線とを接続する第１の貫通配線と、

前記複数の開口領域のうちの第１の開口領域に設けられ、前記第１の選択線層を貫通し、一端が前記第１のメタル配線に接続された第２の貫通配線と、

第１の端子と、前記第１の線に接続された第２の端子とを有する第１の記憶素子と、

前記第２の貫通配線の他端に接続され、前記複数の第１の選択線を駆動する第１の駆動回路と

を備えた半導体装置。

[請求項2] 前記第１の貫通配線は、前記第１の選択線層に近づくほど細く、前記第１の選択線層から遠ざかるほど太い

請求項１に記載の半導体装置。

[請求項3] 前記所定の幅は、前記第１のメタル配線の配線幅よりも狭い

請求項１に記載の半導体装置。

[請求項4] 前記第１の選択線層よりも上の層に形成された第２のメタル配線と、

前記絶縁層を貫通し、前記複数の第１の選択線のうちの第２の線と前記第２のメタル配線とを接続する第３の貫通配線と、

前記複数の開口領域のうちの第２の開口領域に設けられ、前記第１

の選択線層を貫通し、一端が前記第２のメタル配線に接続された第４の貫通配線と、

第１の端子と、前記第２の線に接続された第２の端子とを有する第２の記憶素子と

をさらに備え、

前記第１の駆動回路は、前記第４の貫通配線の他端にも接続され、

前記第２の開口領域は、前記第２の方向において、前記第１の開口領域と異なる位置に配置された

請求項１に記載の半導体装置。

[請求項5] 前記第２の開口領域は、前記１の方向において、前記第１の開口領域とは異なる位置に配置された

請求項４に記載の半導体装置。

[請求項6] 前記第１のメタル配線および前記第２のメタル配線は、前記第１の選択線層よりも上に設けられた単一の配線層に形成された

請求項４に記載の半導体装置。

[請求項7] 前記第１のメタル配線および前記第２のメタル配線は、互いに異なる配線層に形成された

請求項４に記載の半導体装置。

[請求項8] 前記第１の選択線層と異なる第２の選択線層において、第２の領域における、第３の開口領域を含む複数の開口領域の領域外の領域に設けられ、前記所定の幅を有し、前記第２の方向に延伸するとともに前記第１の方向に並ぶ複数の第２の選択線と、

前記第２の選択線層よりも上の層に形成された第３のメタル配線と、

前記第２の選択線層の上に形成された絶縁層を貫通し、前記複数の第２の選択線のうちの第３の線と前記第３のメタル配線とを接続する第５の貫通配線と、

前記第３の開口領域に設けられ、前記第２の選択線層を貫通し、一

端が前記第３のメタル配線に接続された第６の貫通配線と、

前記第６の貫通配線の他端に接続され、前記複数の第２の選択線を駆動する第２の駆動回路と

を備え、

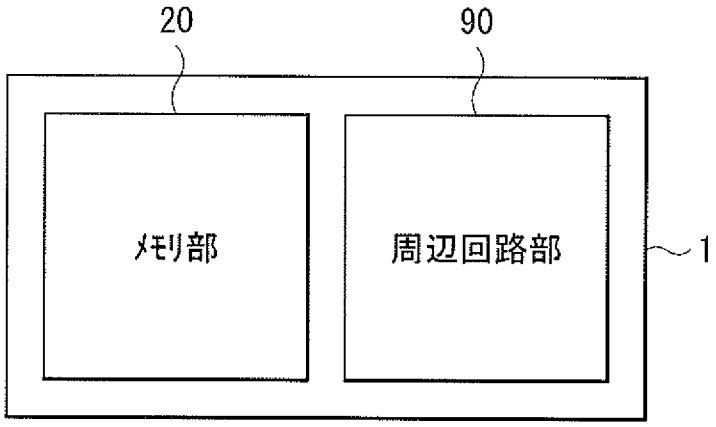
前記第１の記憶素子の前記第１の端子は、前記第３の線に接続された

請求項１に記載の半導体装置。

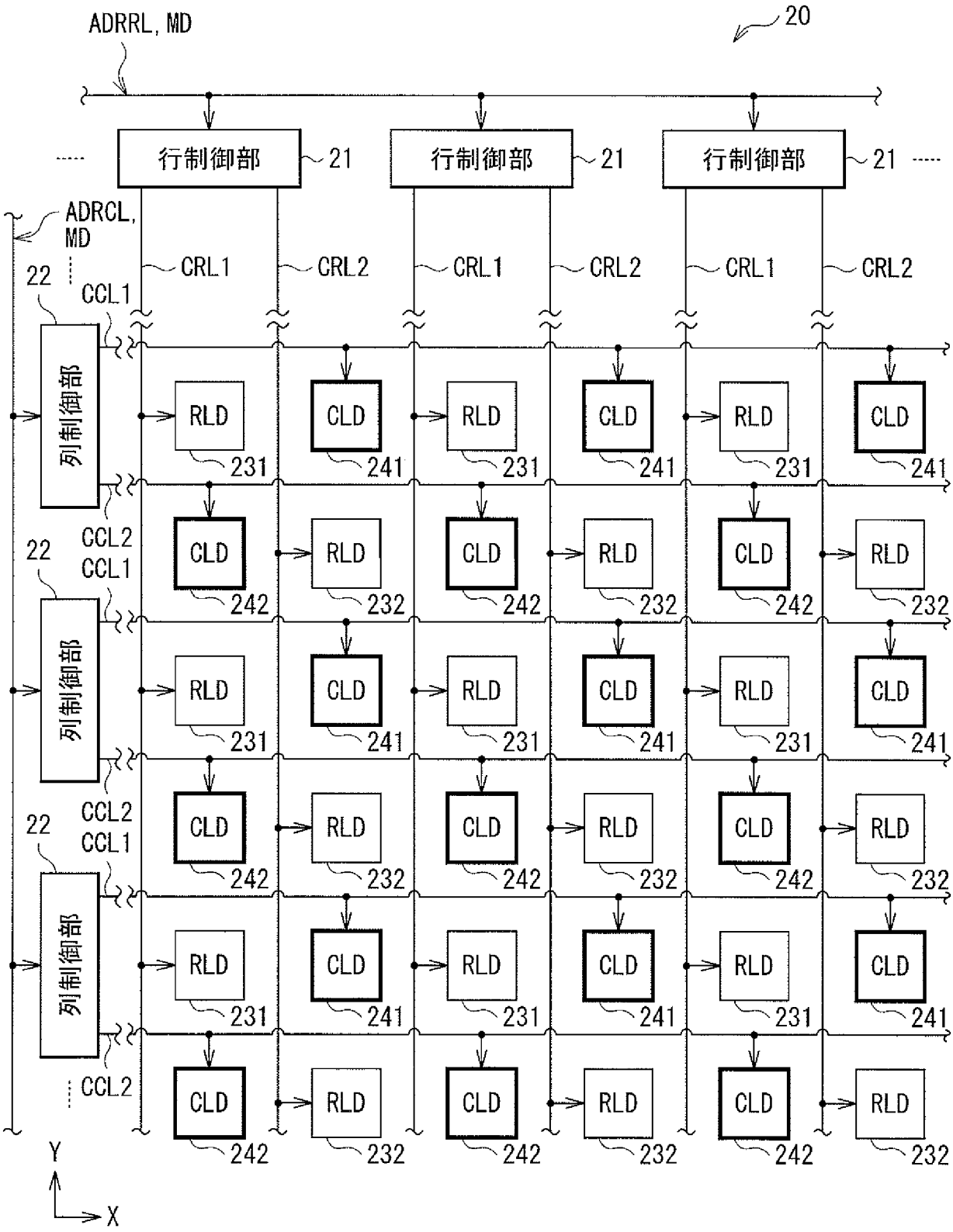
[請求項9] 前記第１のメタル配線および前記第３のメタル配線は、前記第１の選択線層よりも上に設けられた単一の配線層に形成された

請求項８に記載の半導体装置。

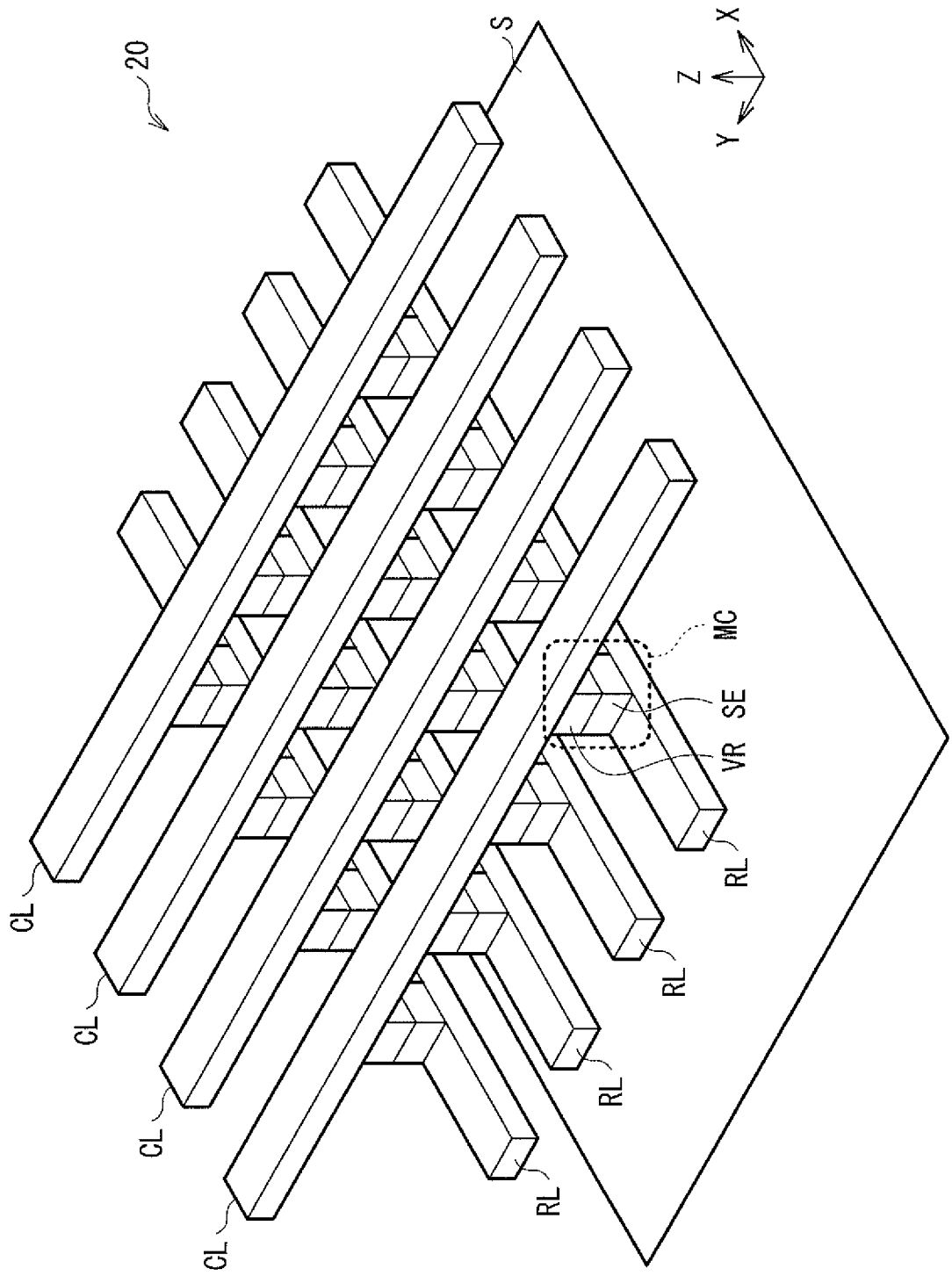
[図1]



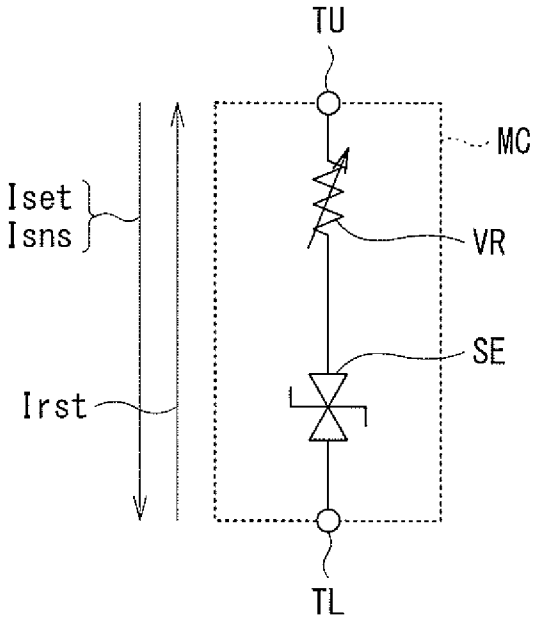
[図2]


ADRRL, MD
20
行制御部
21
ADRCL, MD
CRL1
CRL2
22
CCL1
CCL2
列制御部
RLD
CLD
231
232
241
242
Y
X

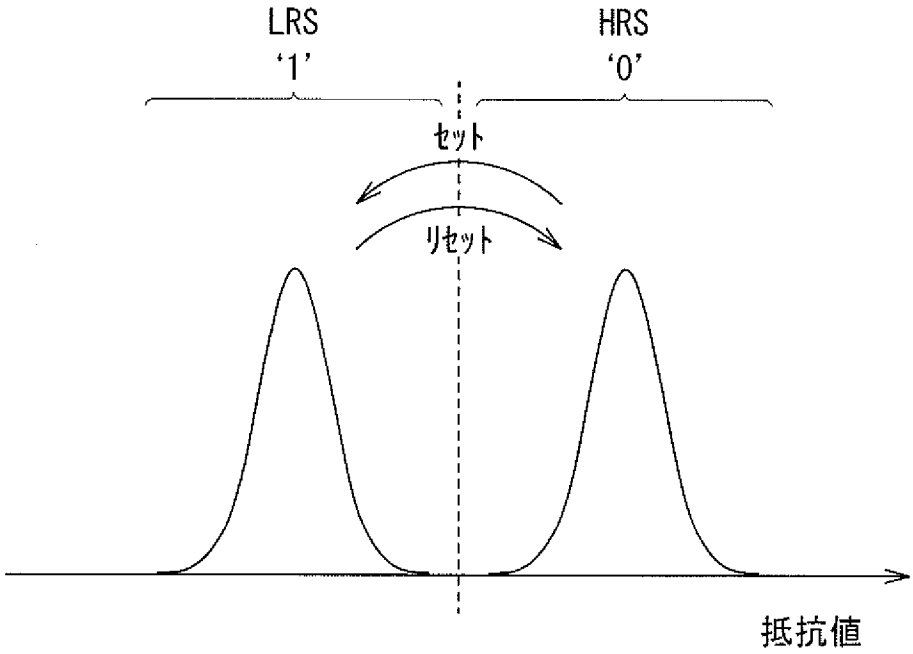
[図3]



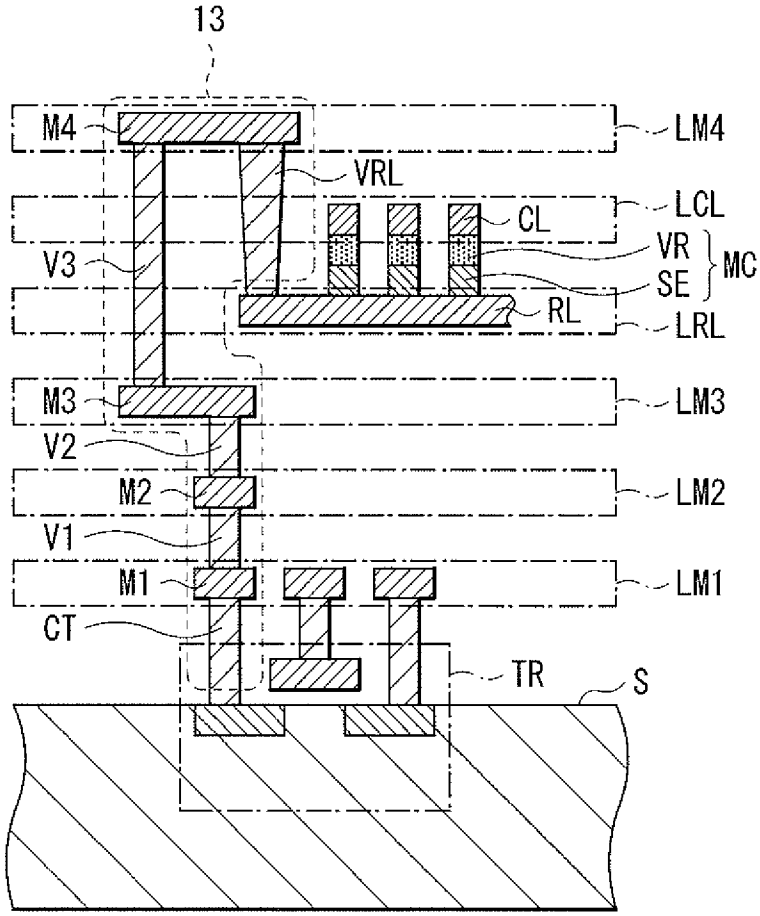
[図4]



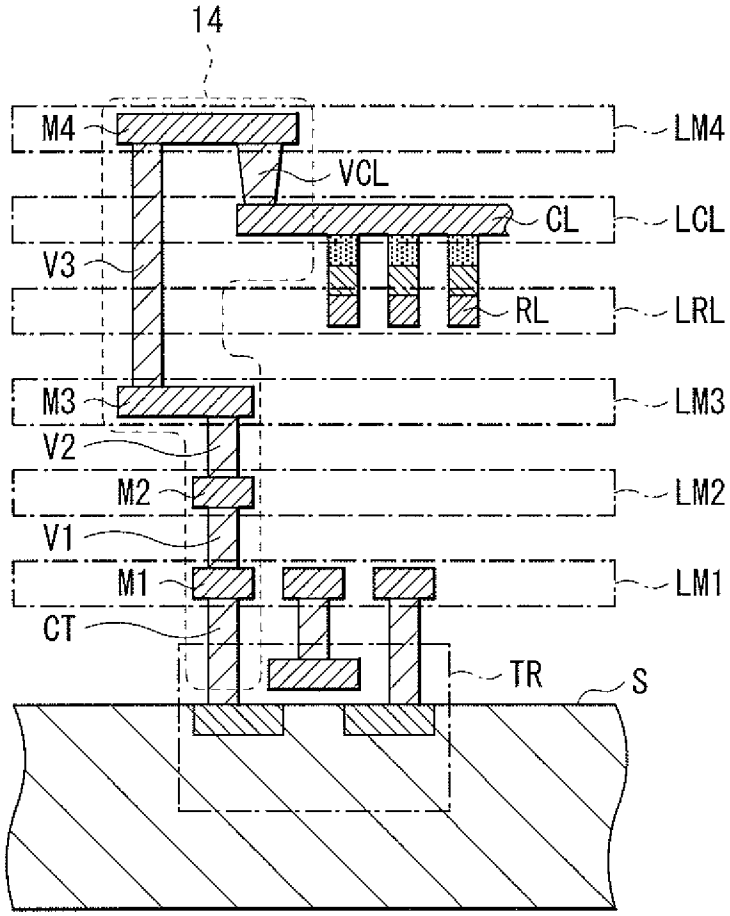
[図5]



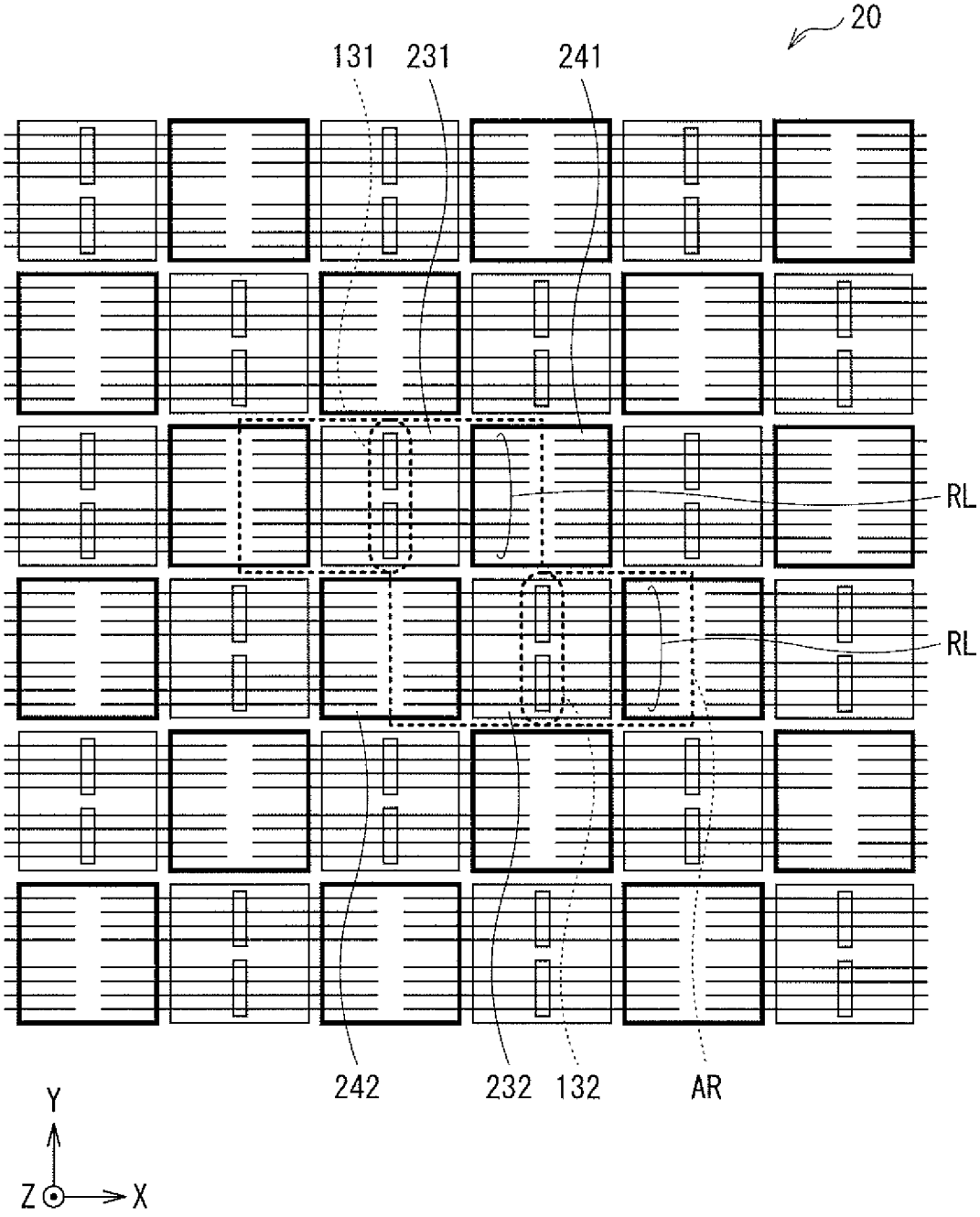
[図6]


13
M4
LM4
VRL
LCL
CL
V3
VR
SE
MC
RL
LRL
M3
LM3
V2
M2
LM2
V1
M1
LM1
CT
TR
S

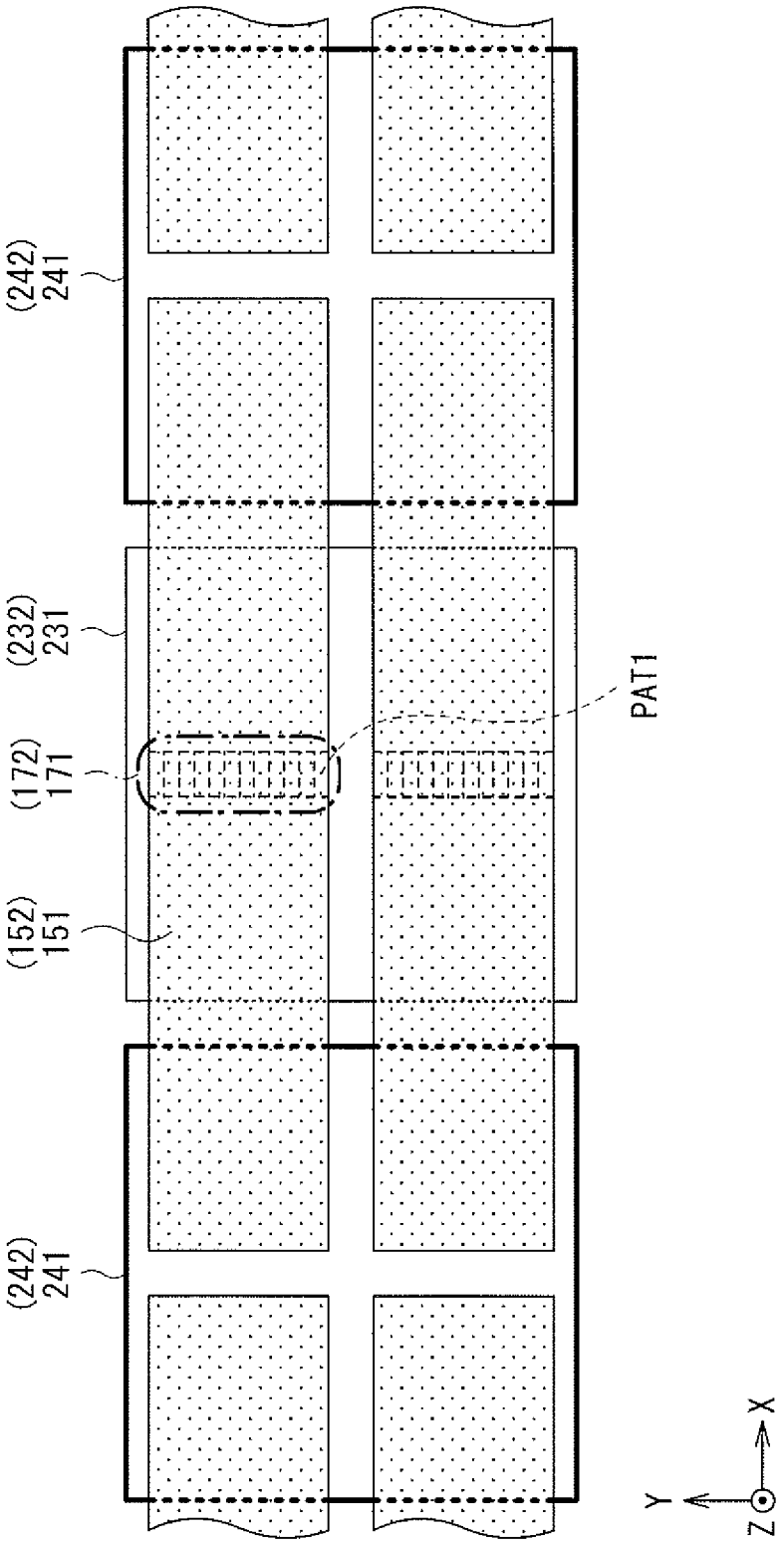
[図7]



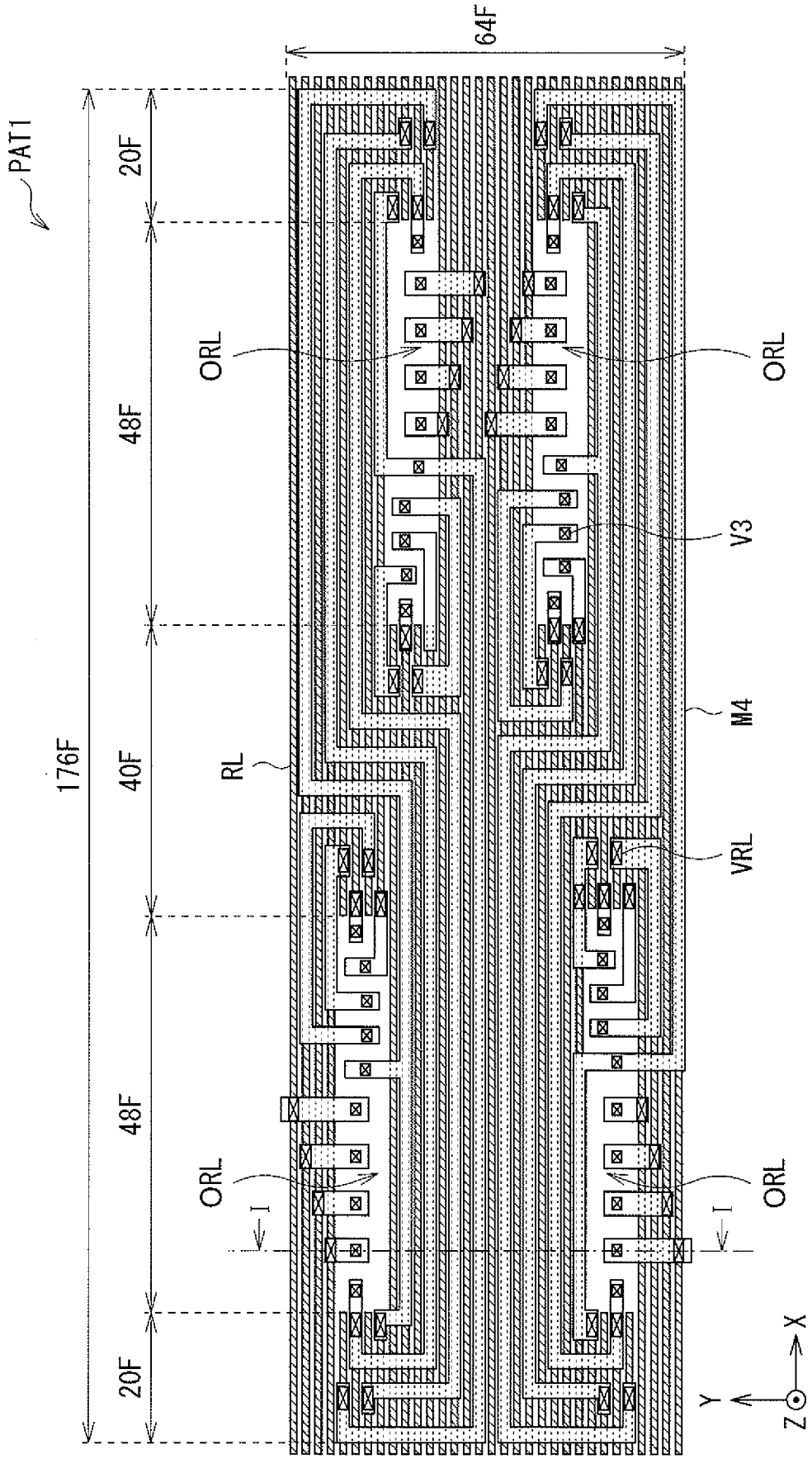
[図8]



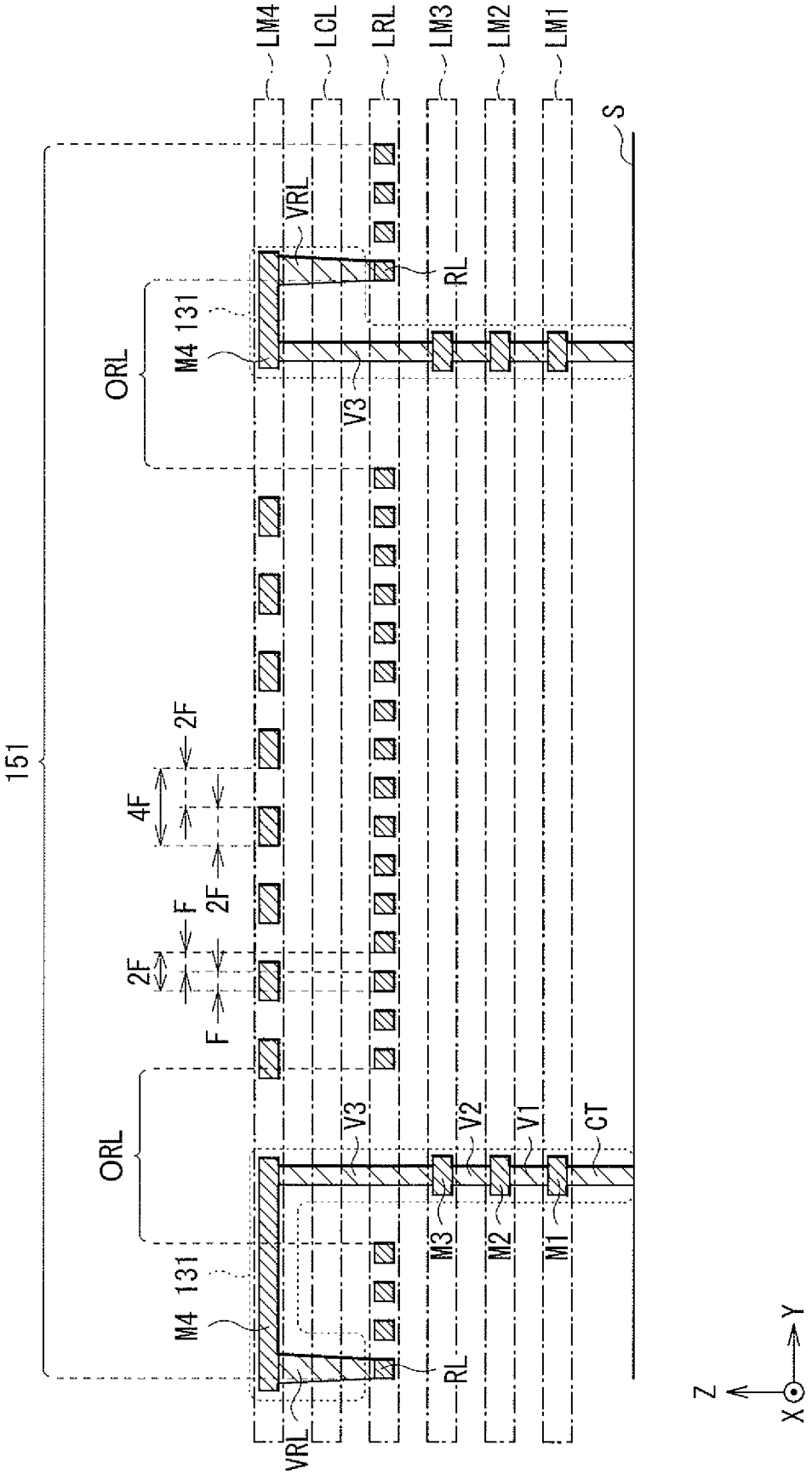
[図9]



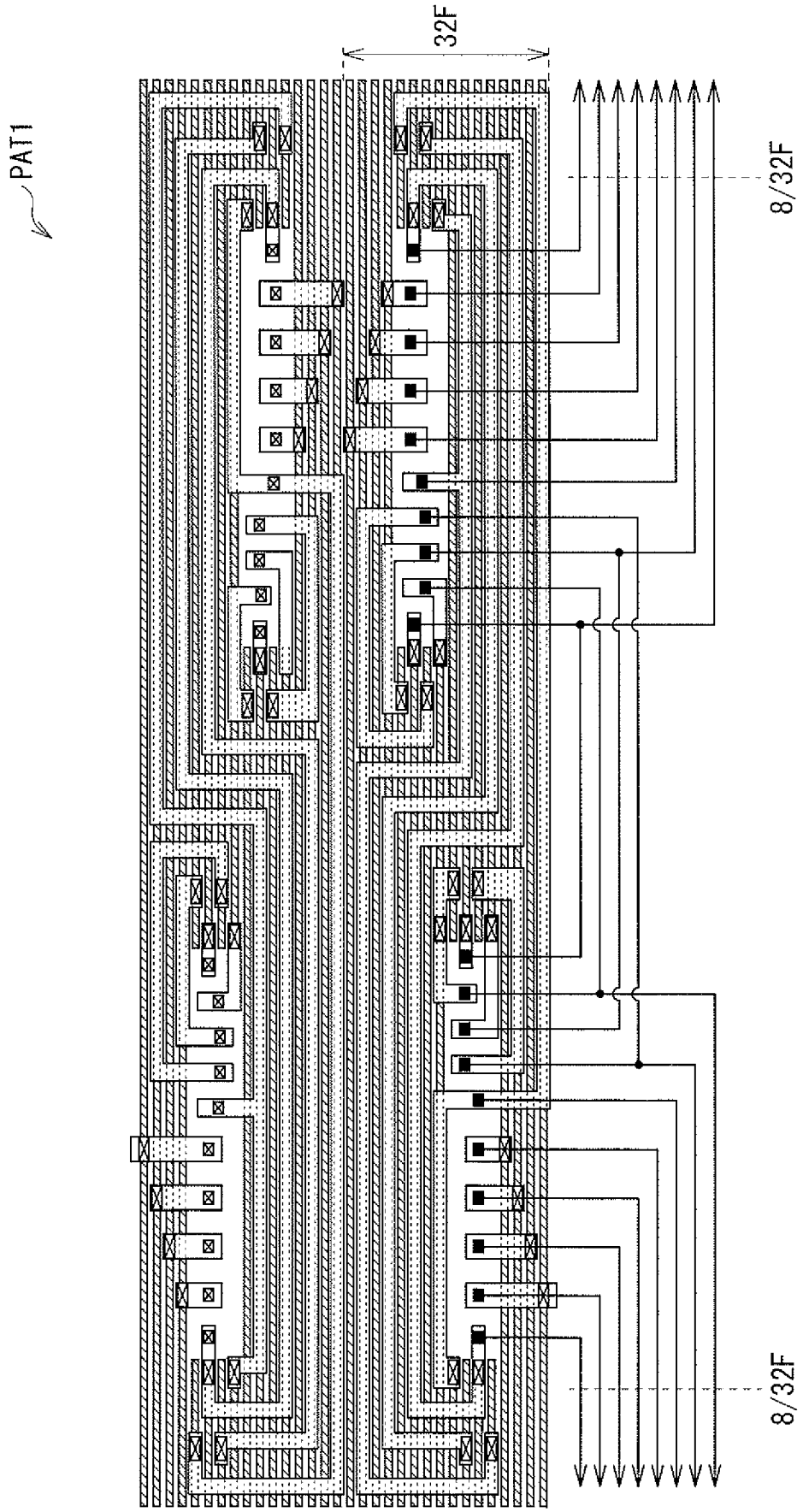
[図10]


64F
PAT1
20F
48F
40F
48F
20F
176F
ORL
ORL
V3
M4
RL
VRL
ORL
ORL
I
I
Y
X
Z

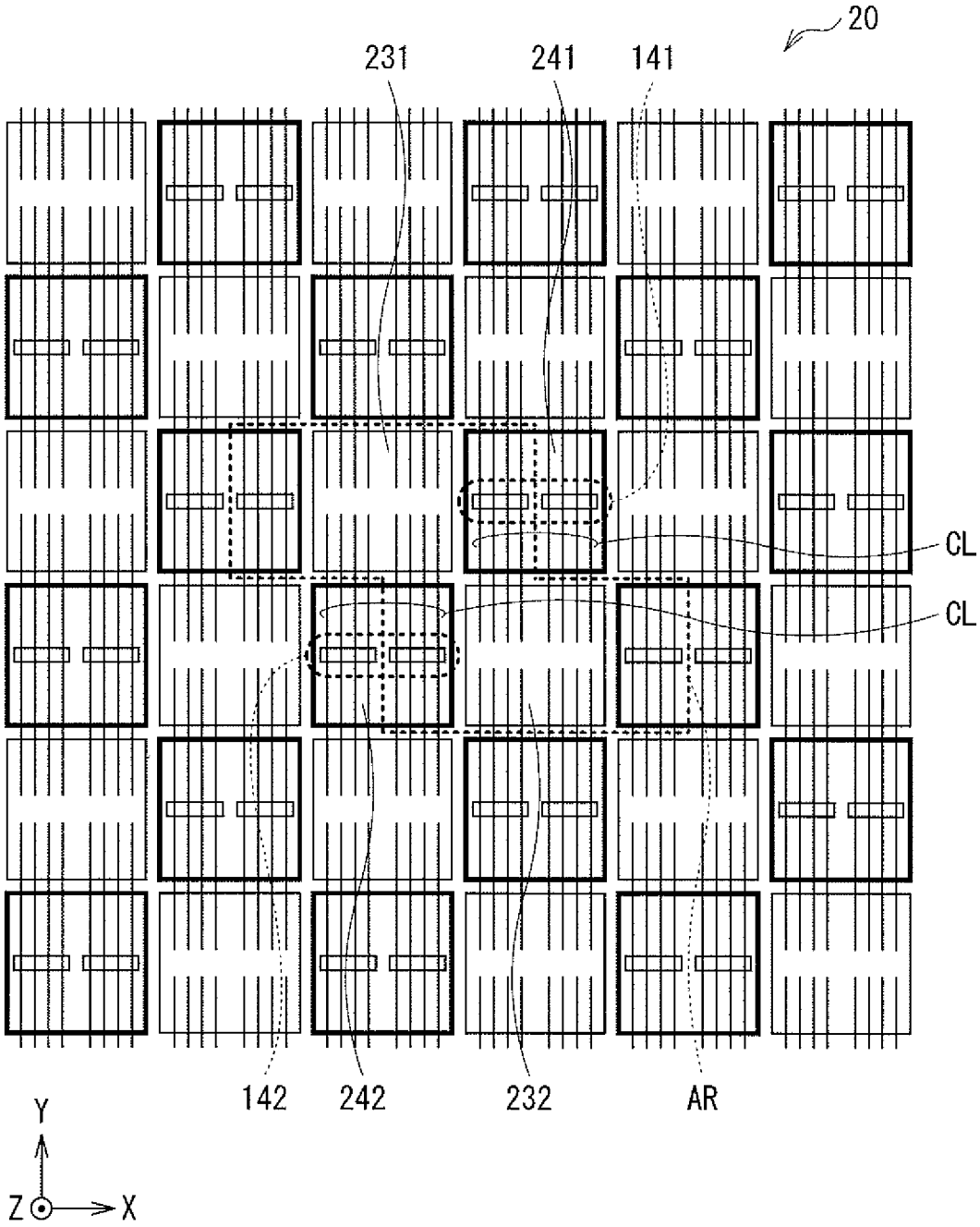
[図11]


LM4
LCL
LRL
LM3
LM2
LM1
S
VRL
RL
ORL
M4 131
V3
151
2F
4F
F
2F
2F
F
V3
V2
V1
CT
M3
M2
M1
RL
VRL
Z
Y
X

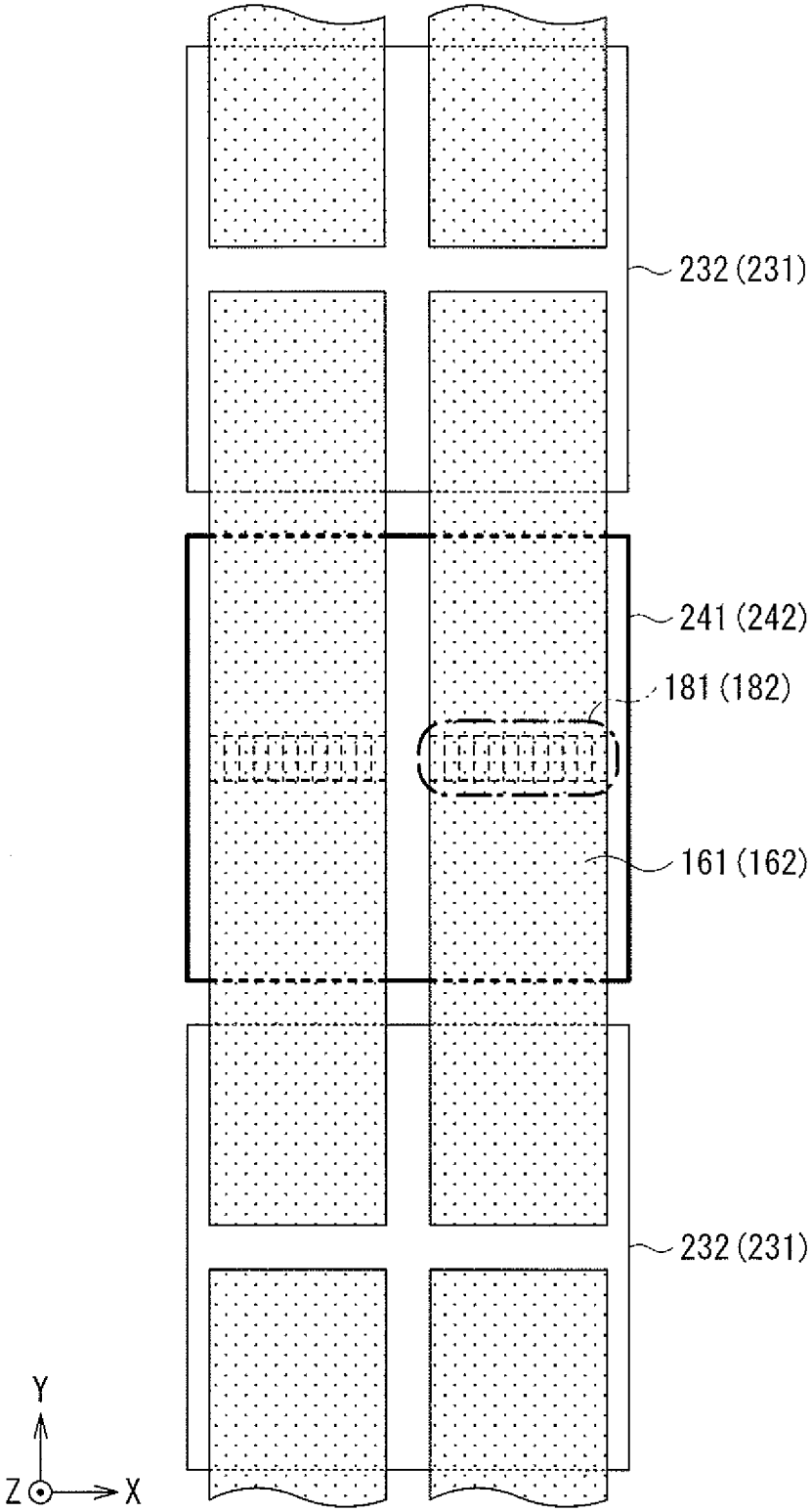
[図12]



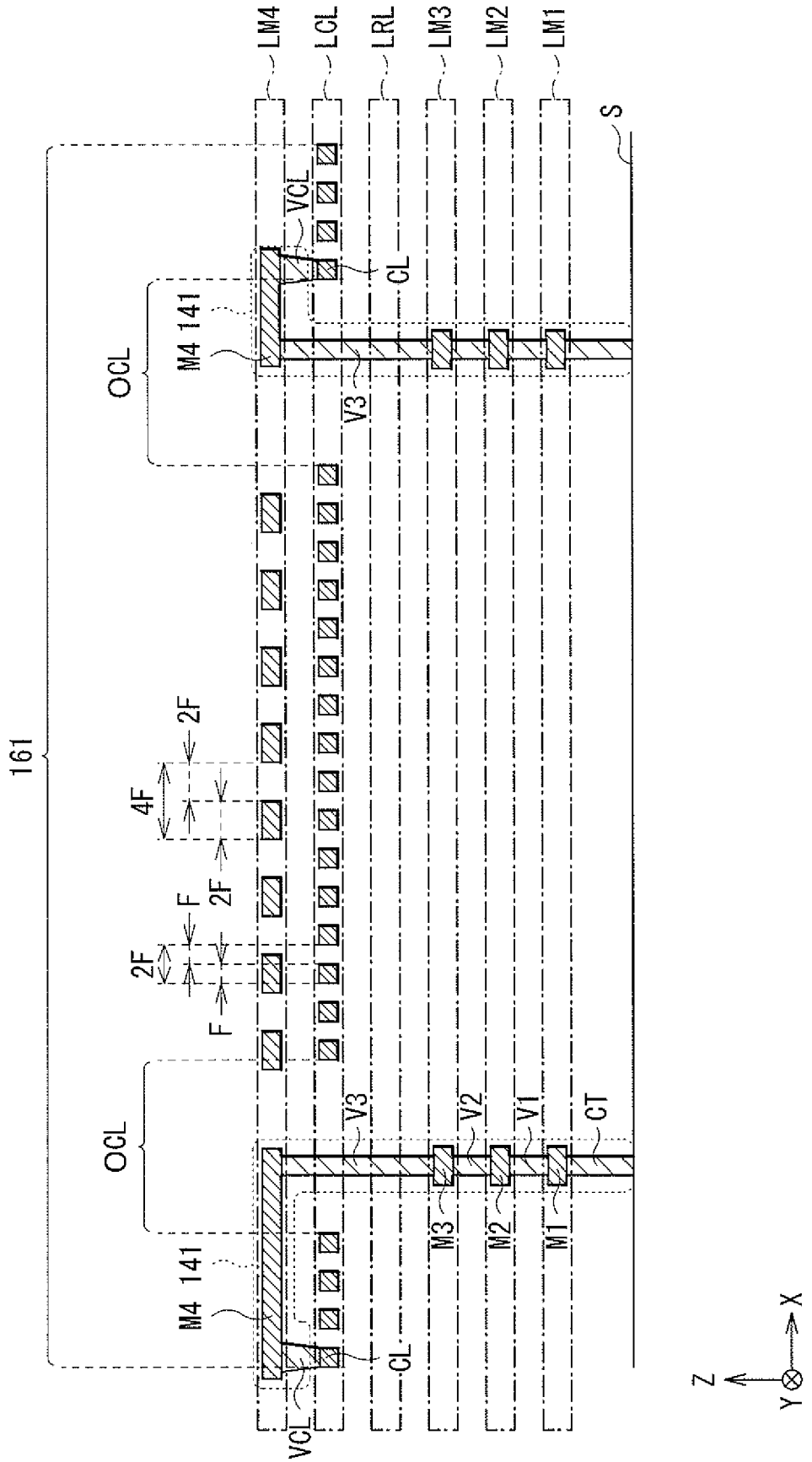
[図13]



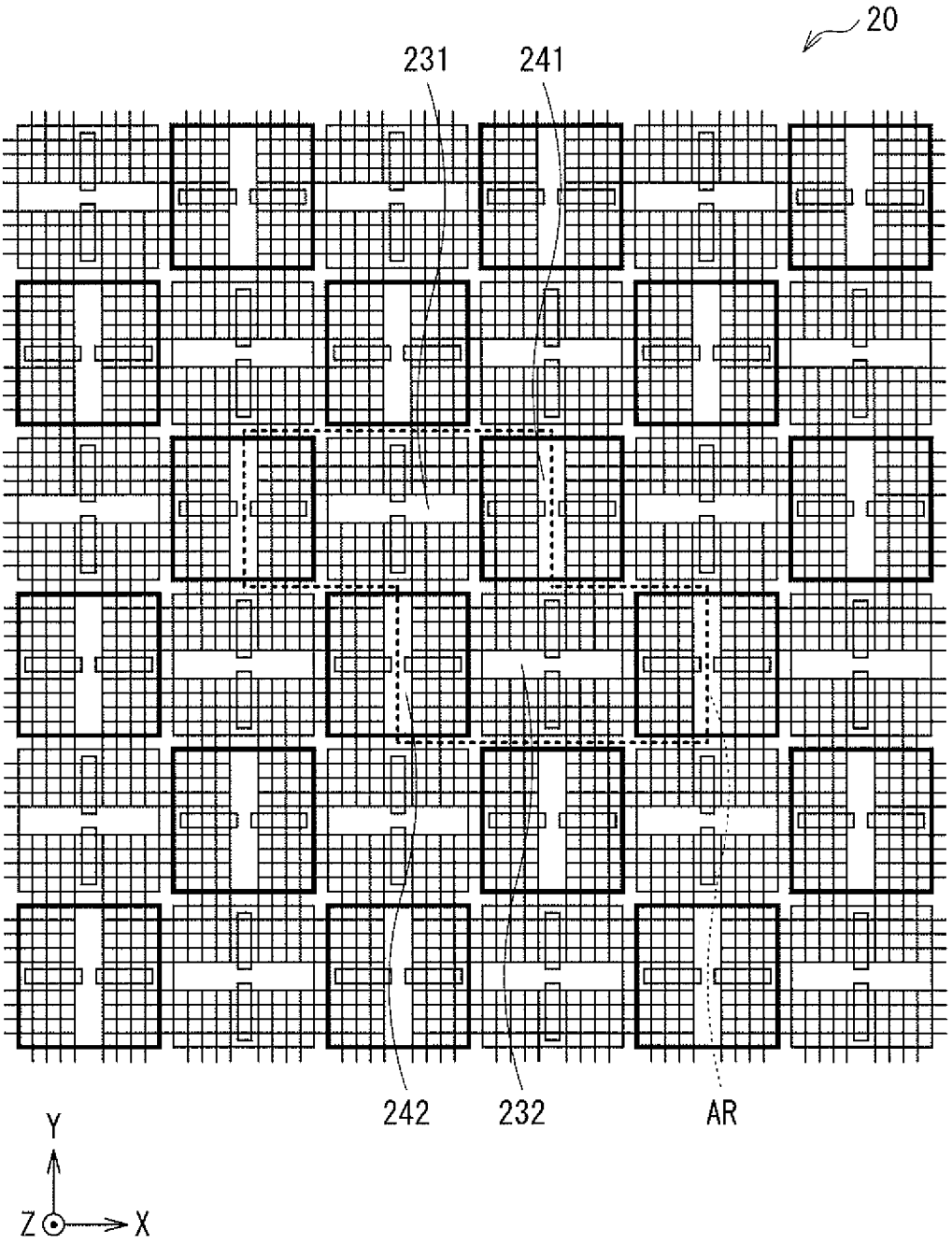
[図14]



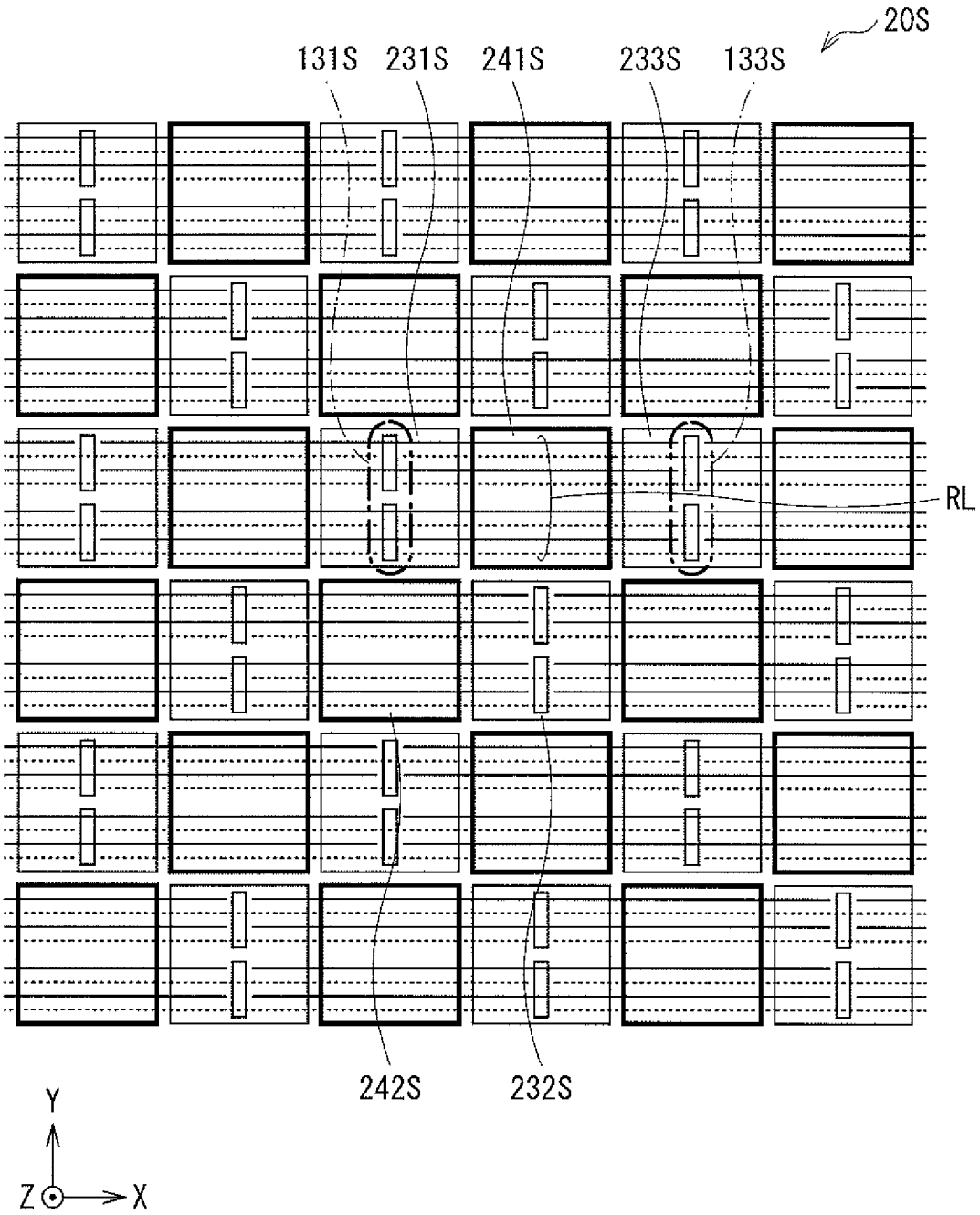
[図15]


LM4
LCL
LRL
LM3
LM2
LM1
S
VCL
CL
OCL
M4 141
V3
161
2F
4F
F
2F
2F
F
V3
V2
V1
CT
M3
M2
M1
M4 141
OCL
CL
VCL
Z
X
Y

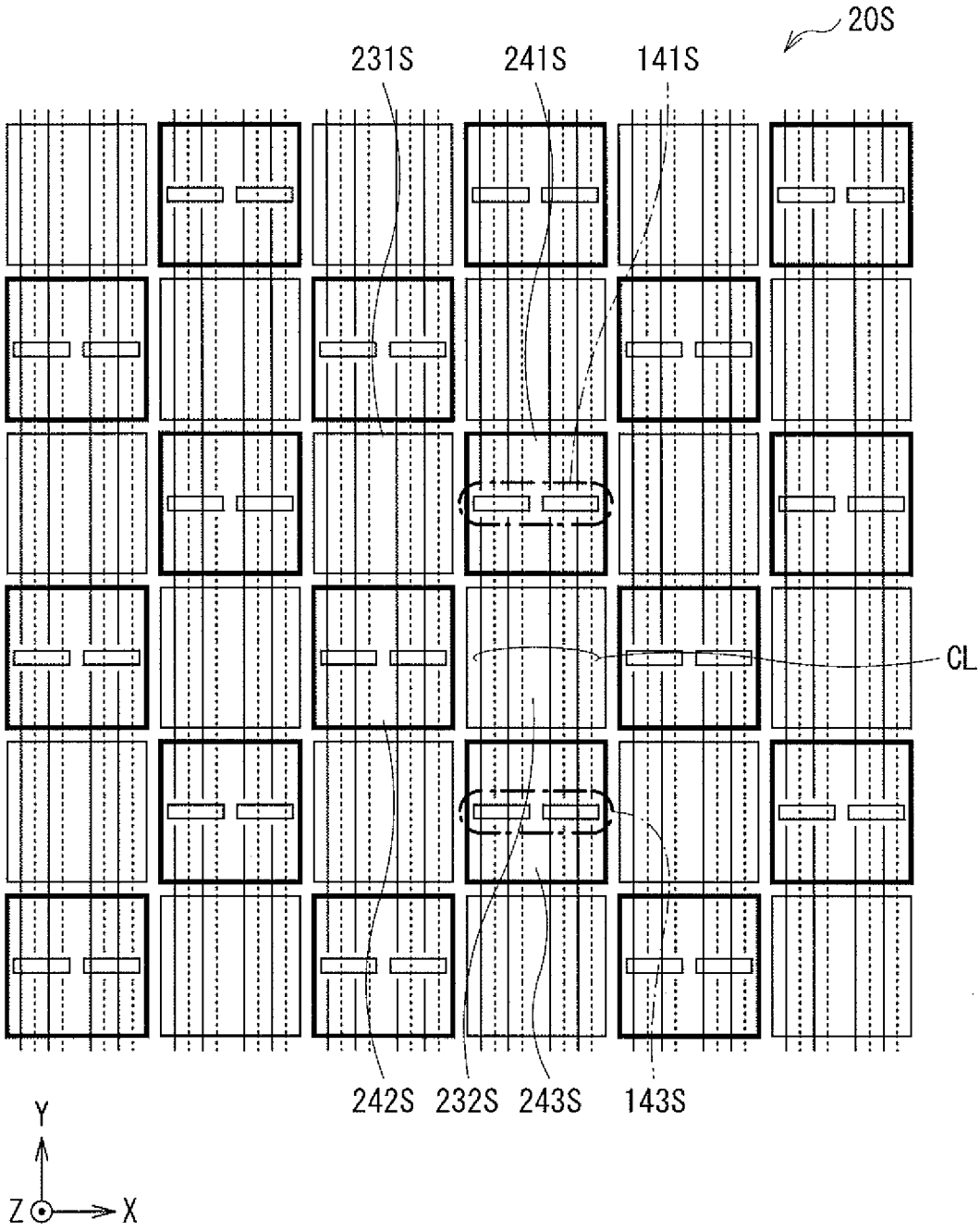
[図16]



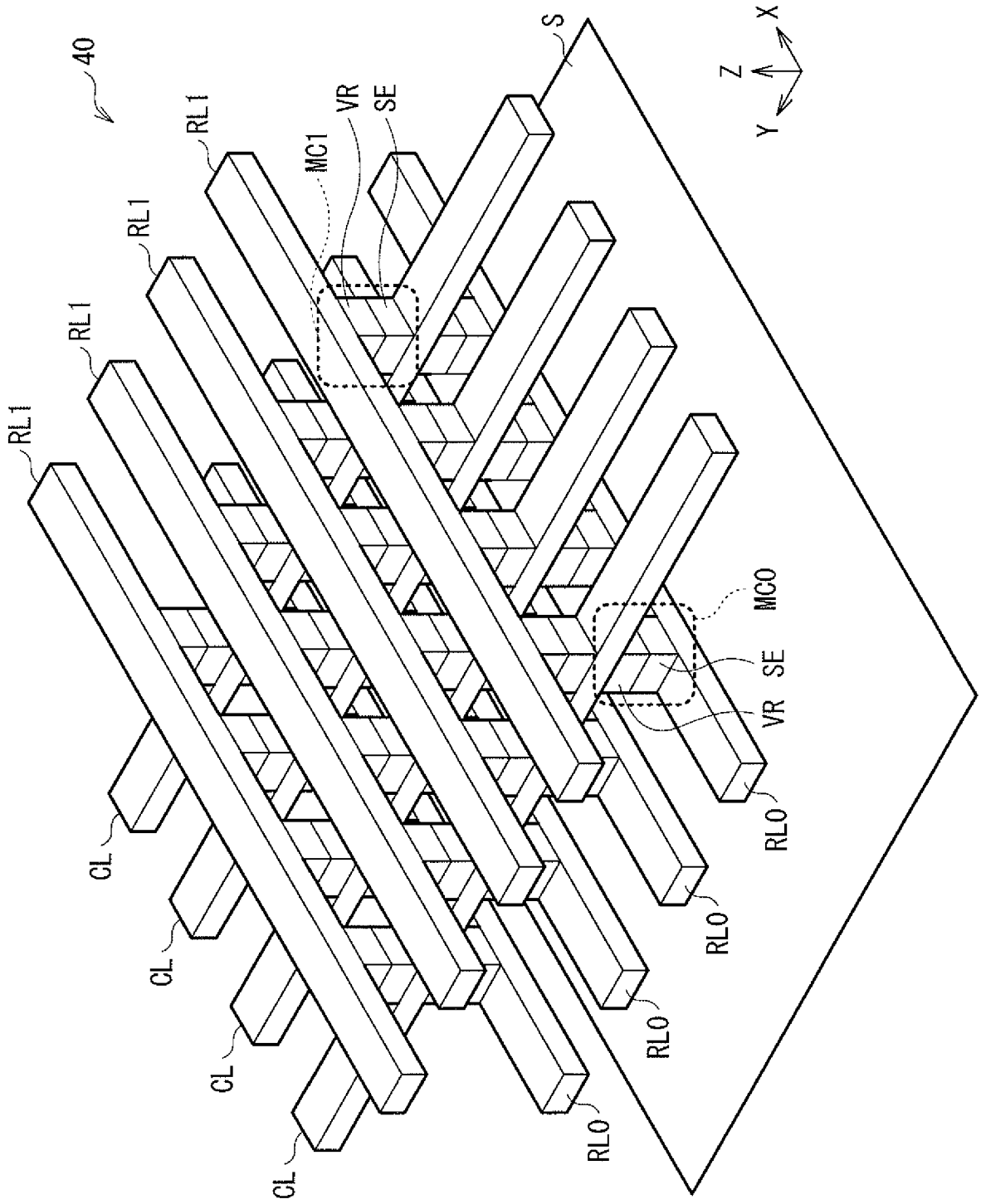
[図17]



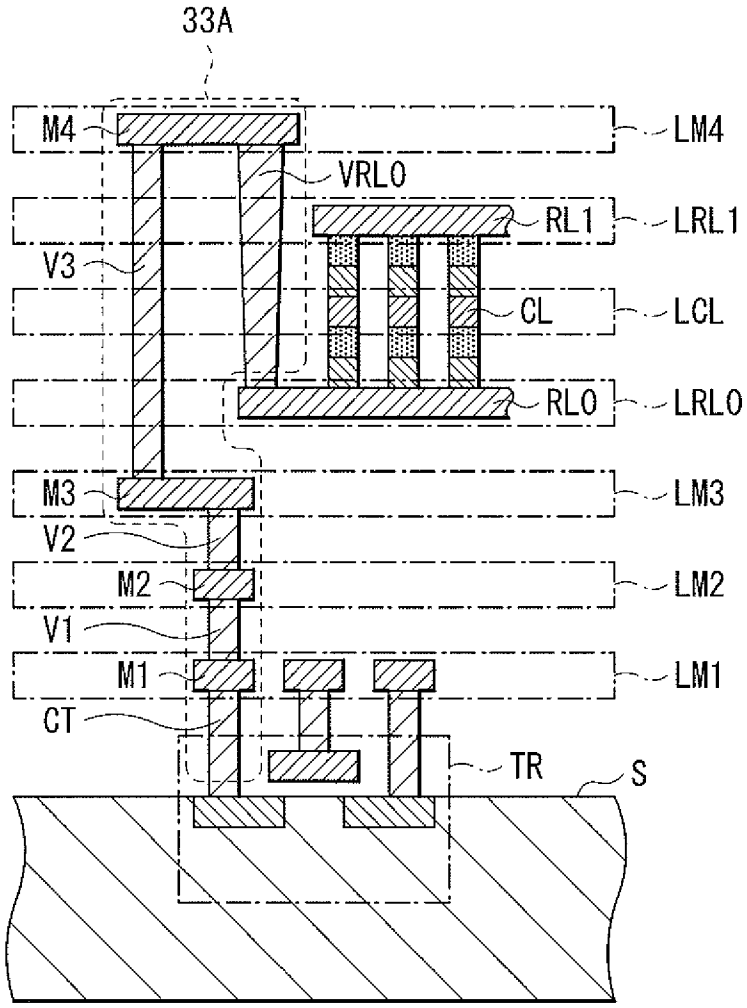
[図18]



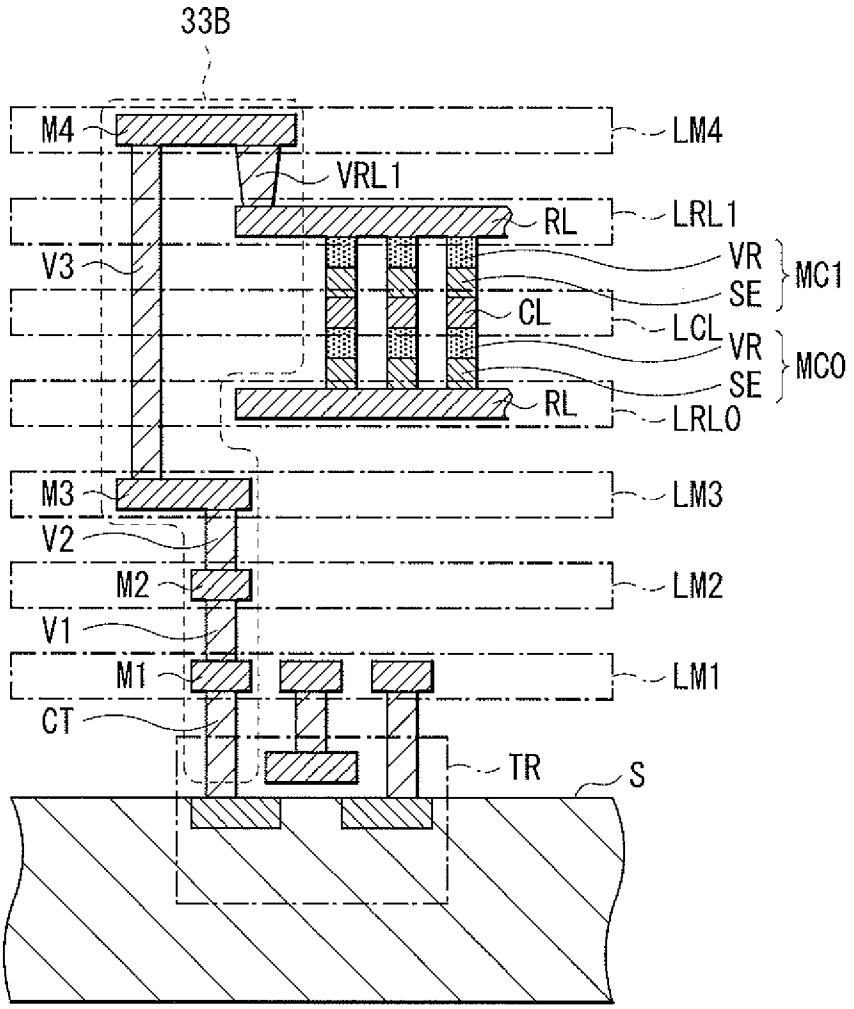
[図19]


40
S
X
Z
Y
RL1
RL1
RL1
RL1
MC1
VR
SE
MC0
VR
SE
CL
CL
CL
CL
RL0
RL0
RL0
RL0

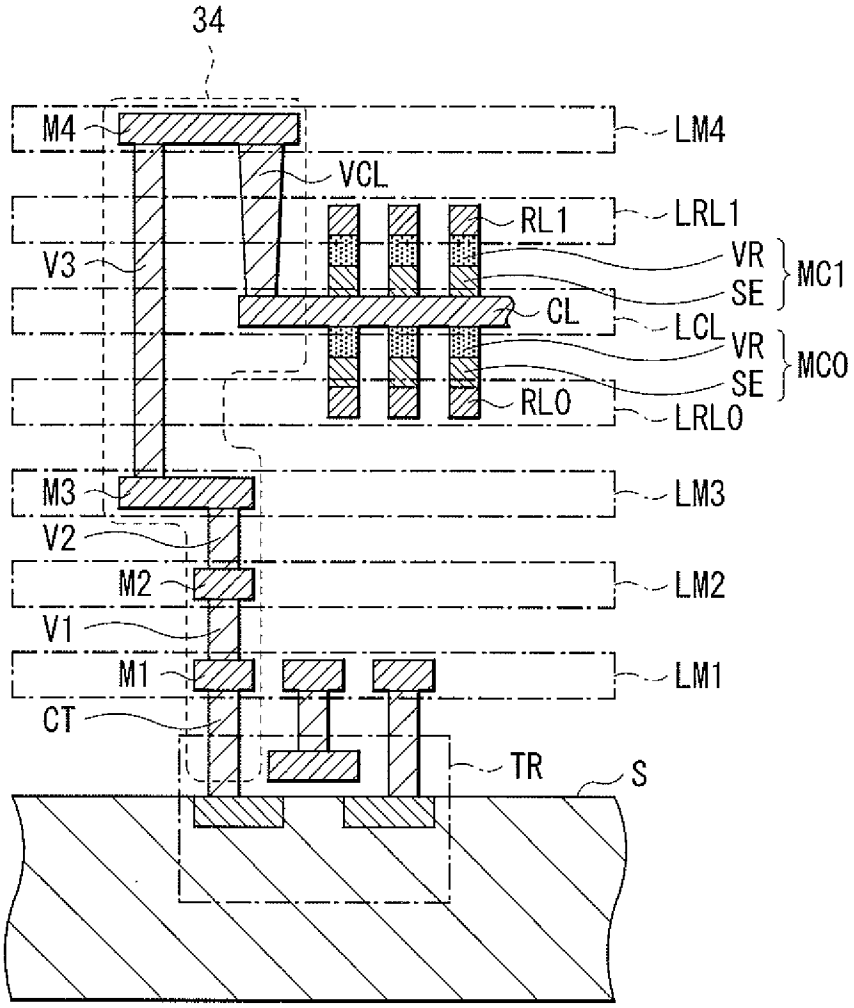
[図20]


33A
M4
LM4
VRL0
RL1
LRL1
V3
CL
LCL
RL0
LRL0
M3
LM3
V2
M2
LM2
V1
M1
LM1
CT
TR
S

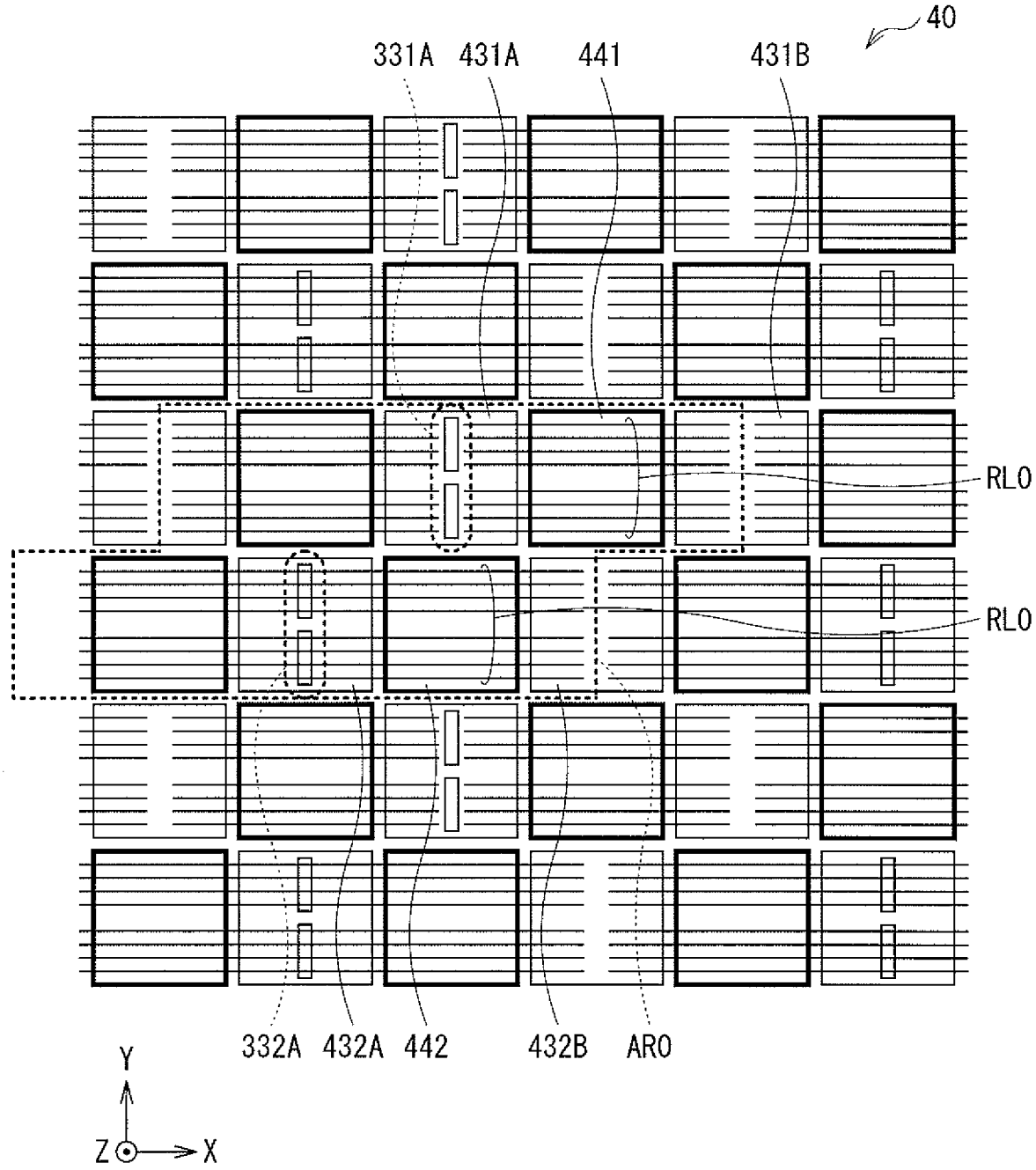
[図21]


33B
M4
LM4
VRL1
RL
LRL1
V3
VR
SE
MC1
CL
LCL
VR
SE
MC0
RL
LRL0
M3
LM3
V2
M2
LM2
V1
M1
LM1
CT
TR
S

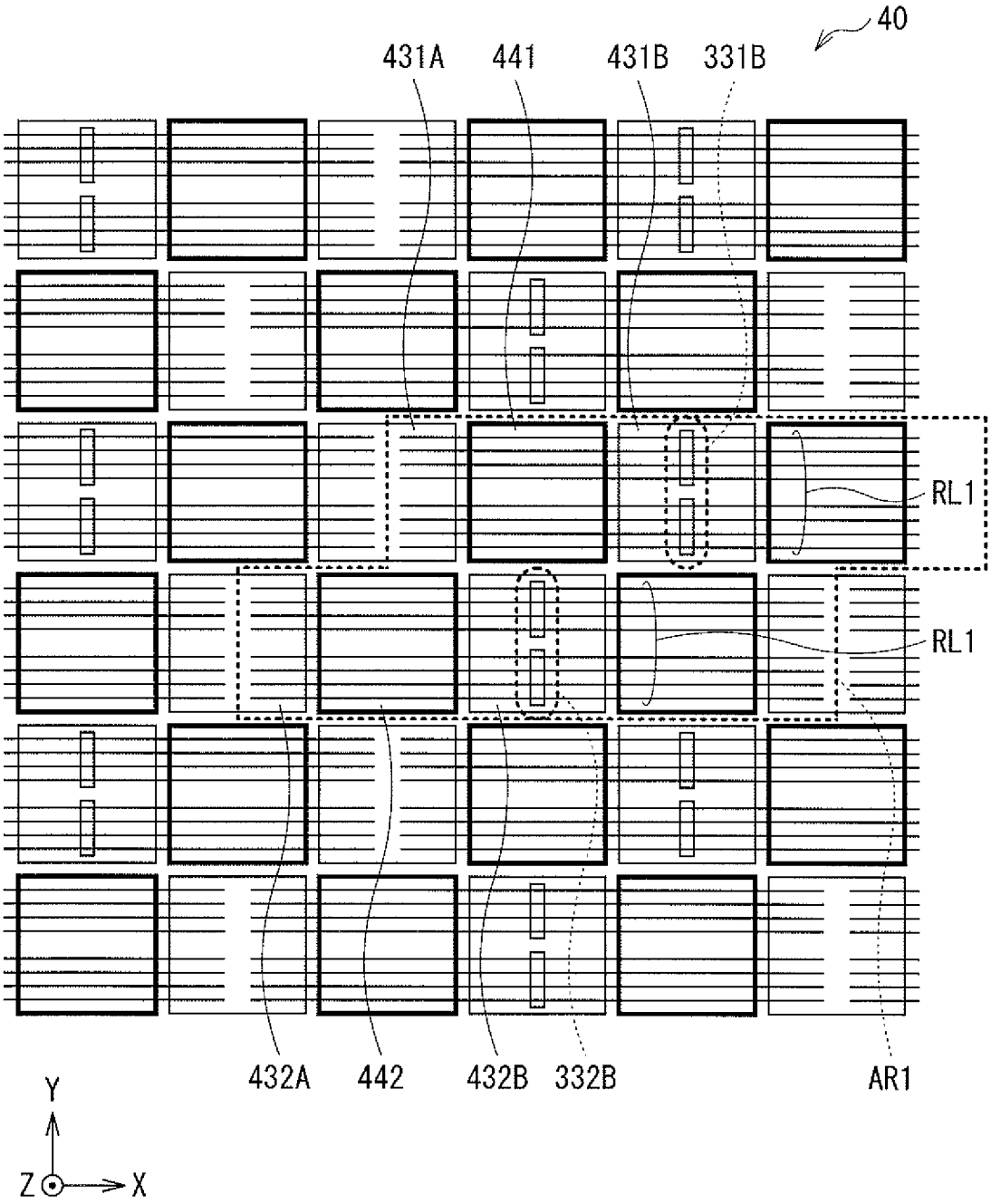
[図22]


34
M4
LM4
VCL
RL1
LRL1
V3
VR
SE
MC1
CL
LCL
VR
SE
MC0
RL0
LRL0
M3
LM3
V2
M2
LM2
V1
M1
LM1
CT
TR
S

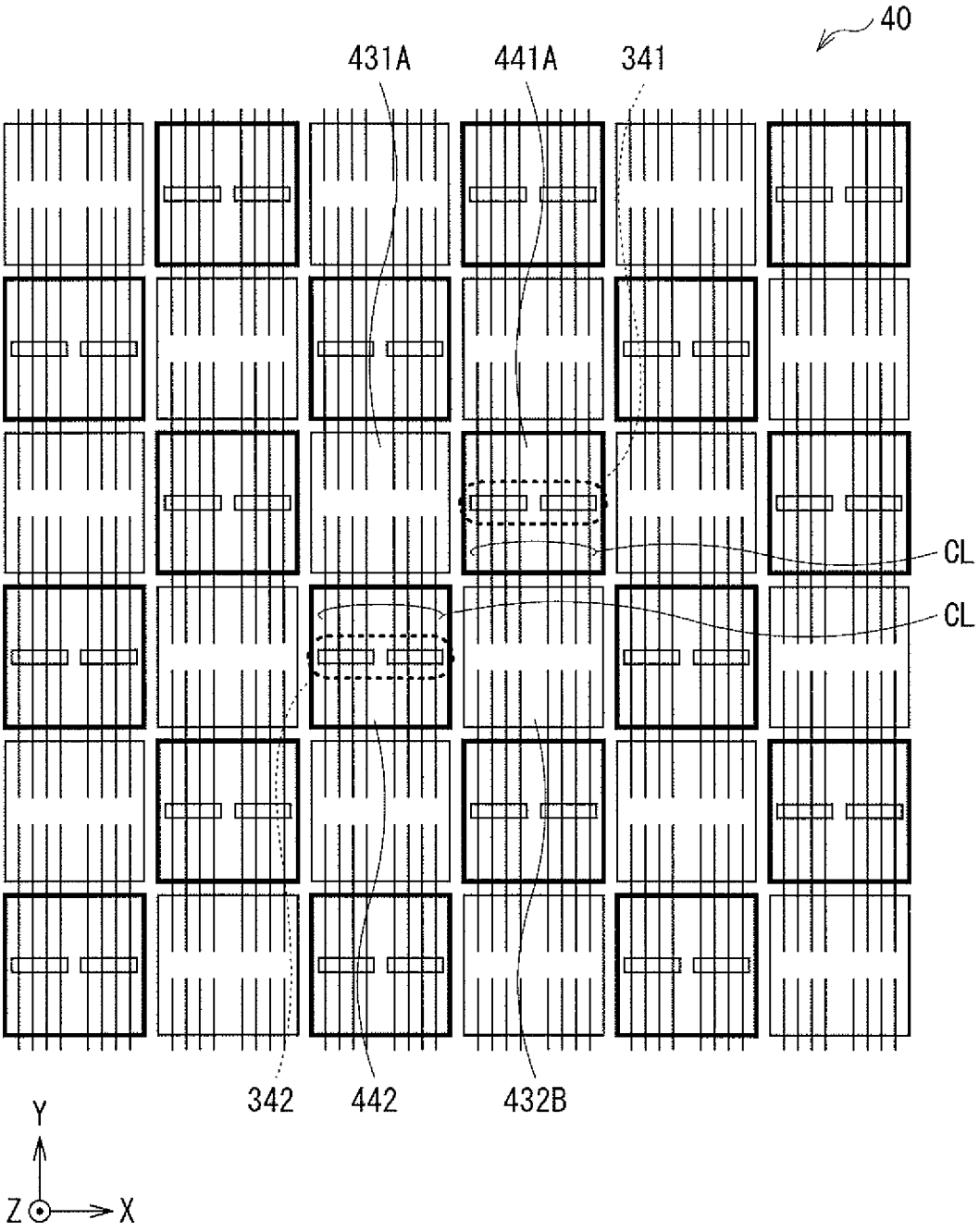
[図23]



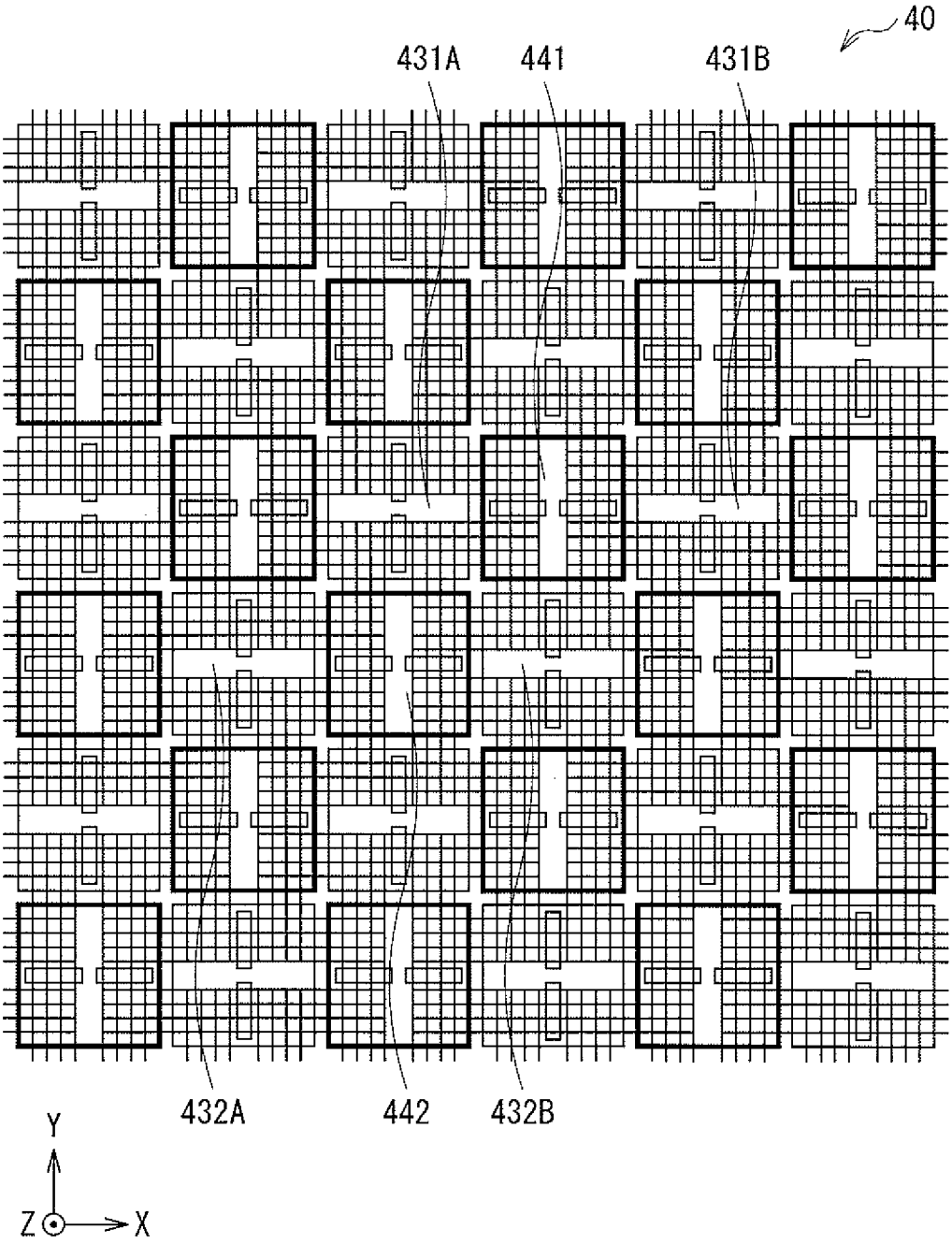
[図24]



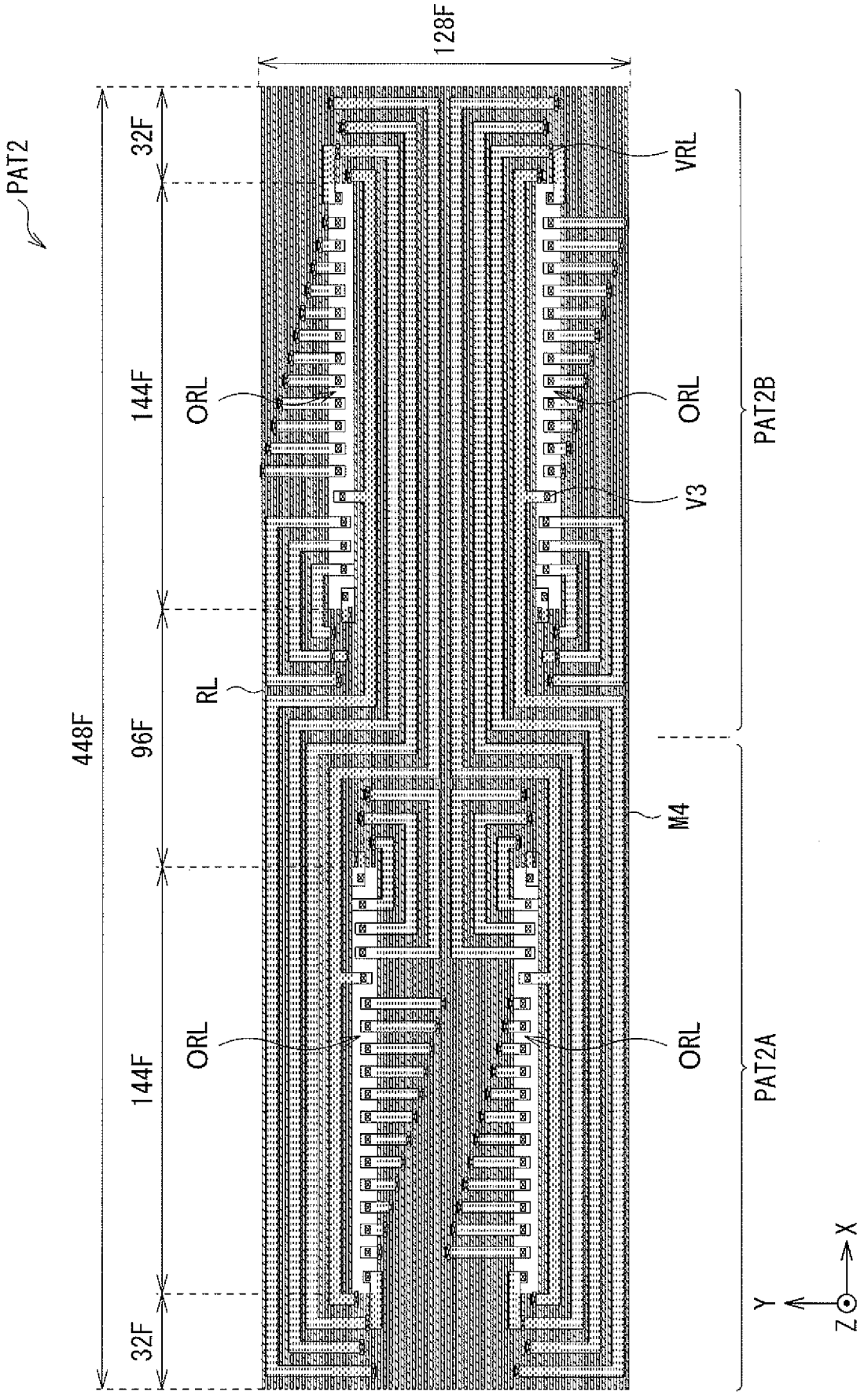
[図25]



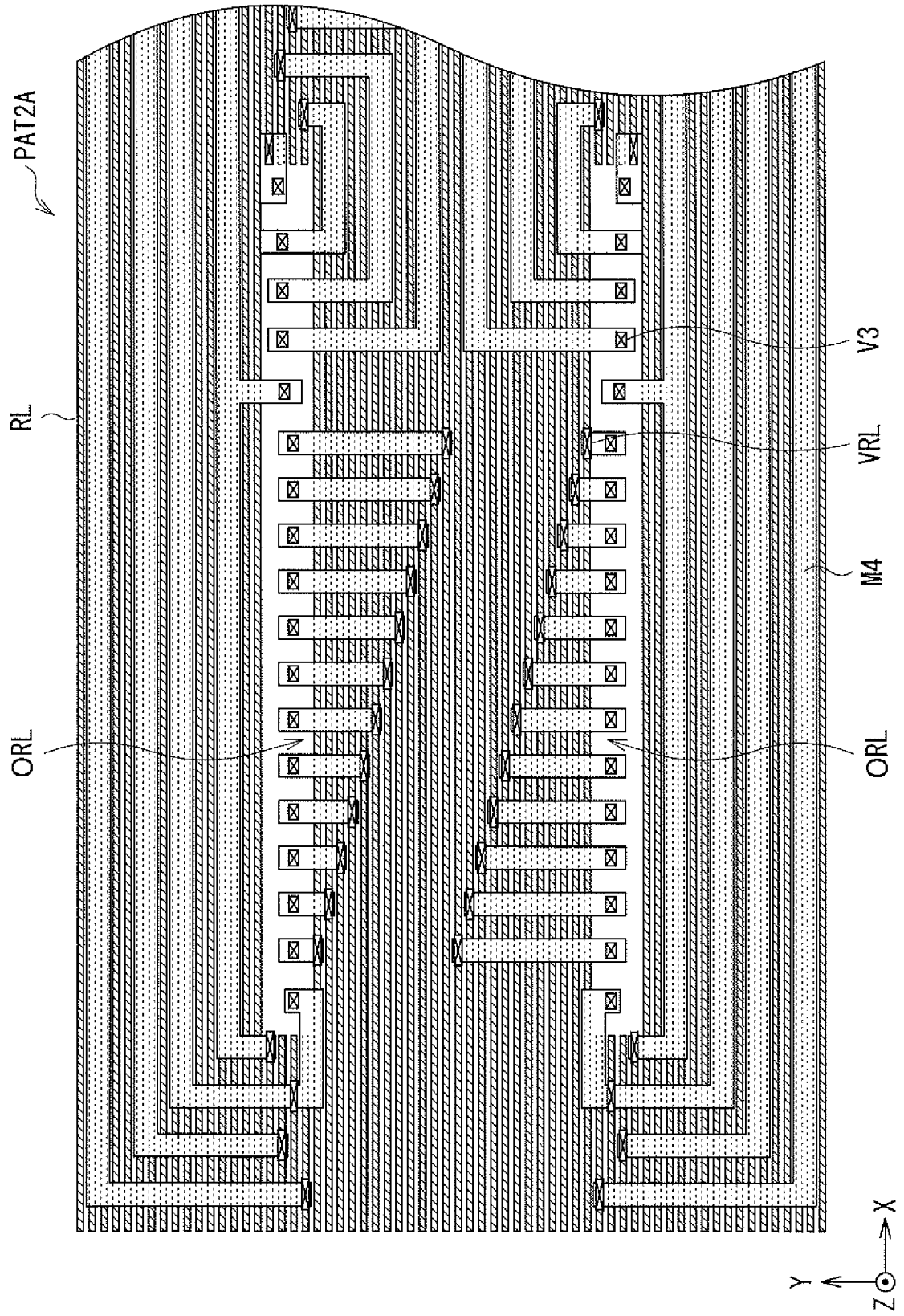
[図26]



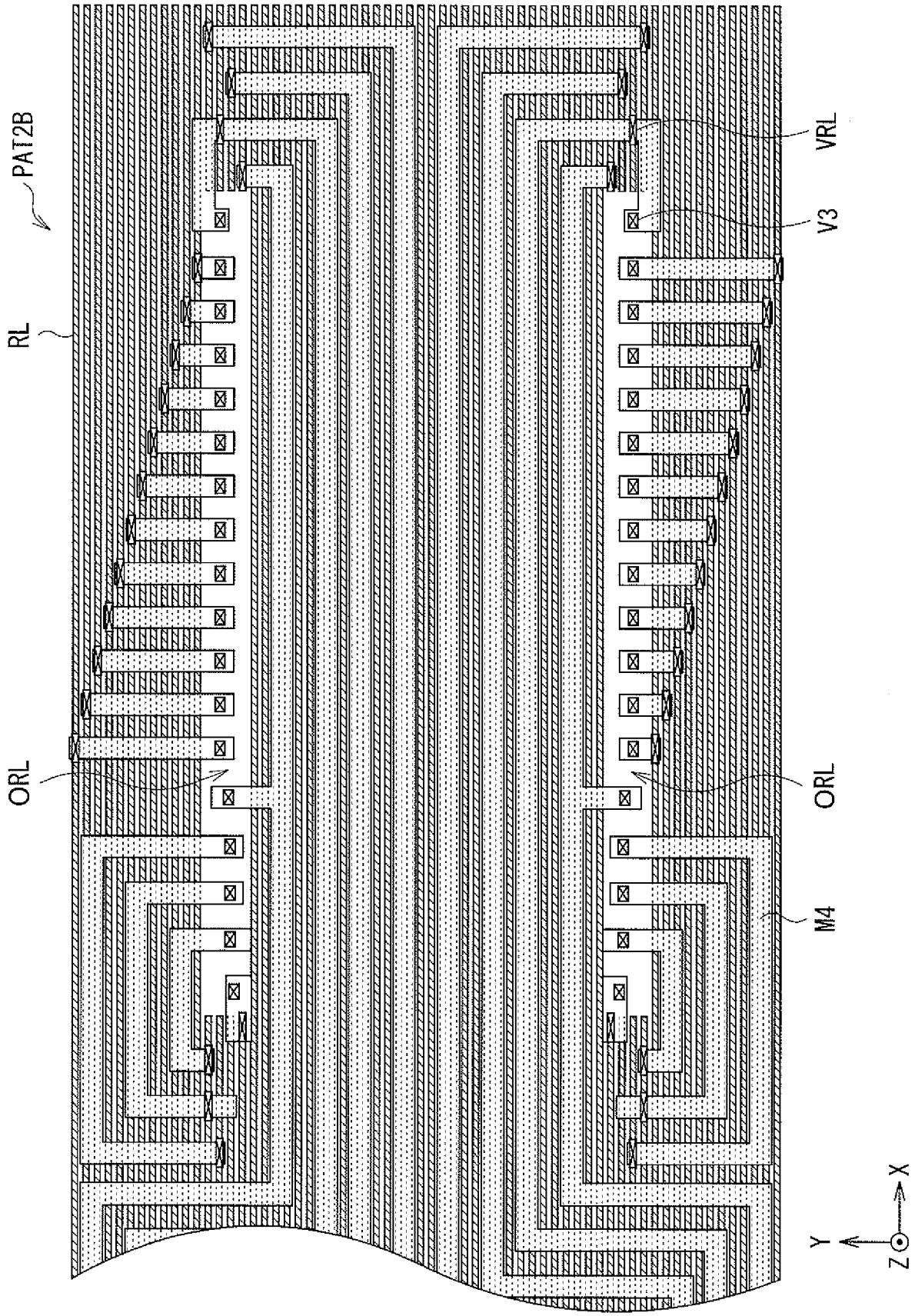
[図27]


128F
PAT2
32F
144F
96F
144F
32F
448F
ORL
RL
ORL
ORL
ORL
VRL
V3
M4
PAT2B
PAT2A
Y
X
Z

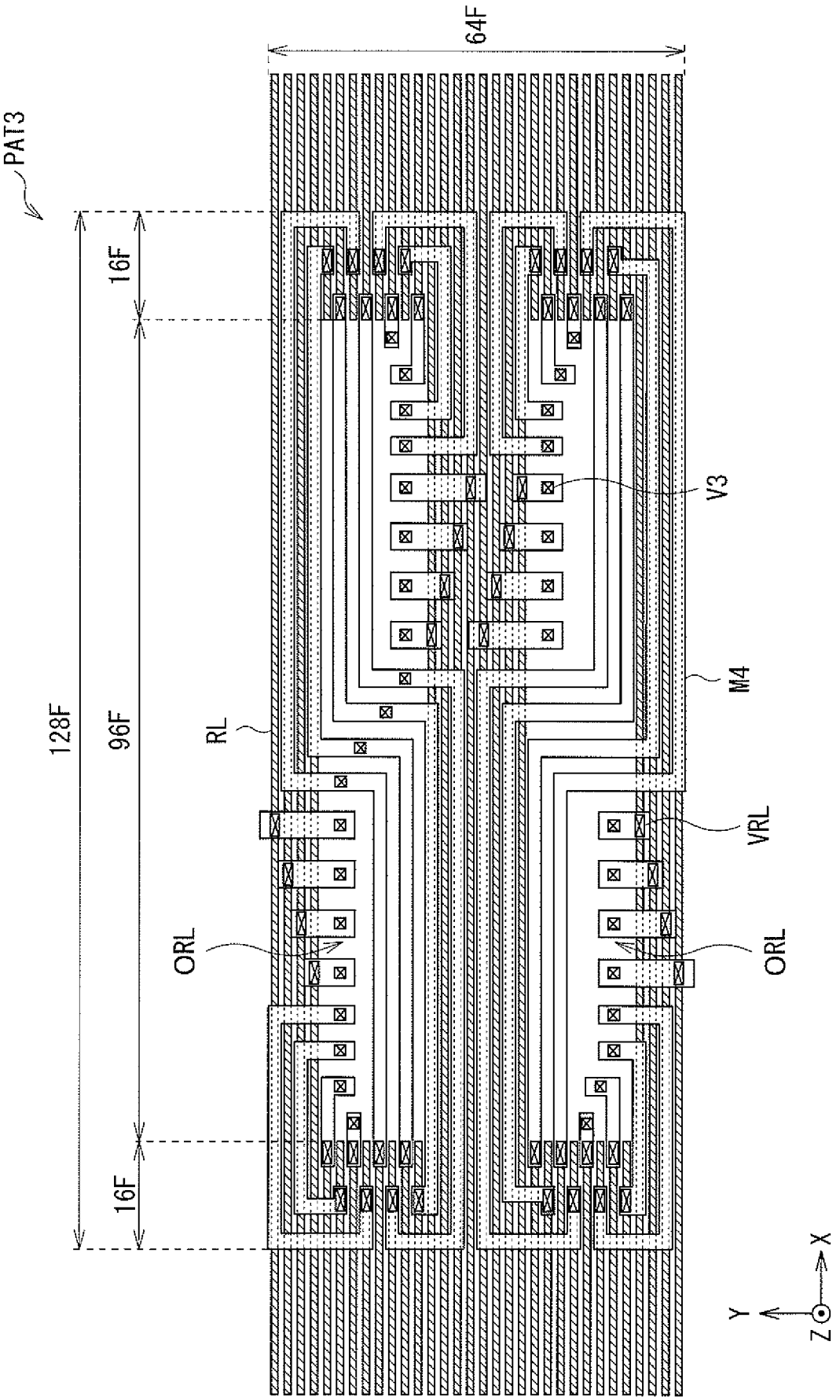
[図28A]



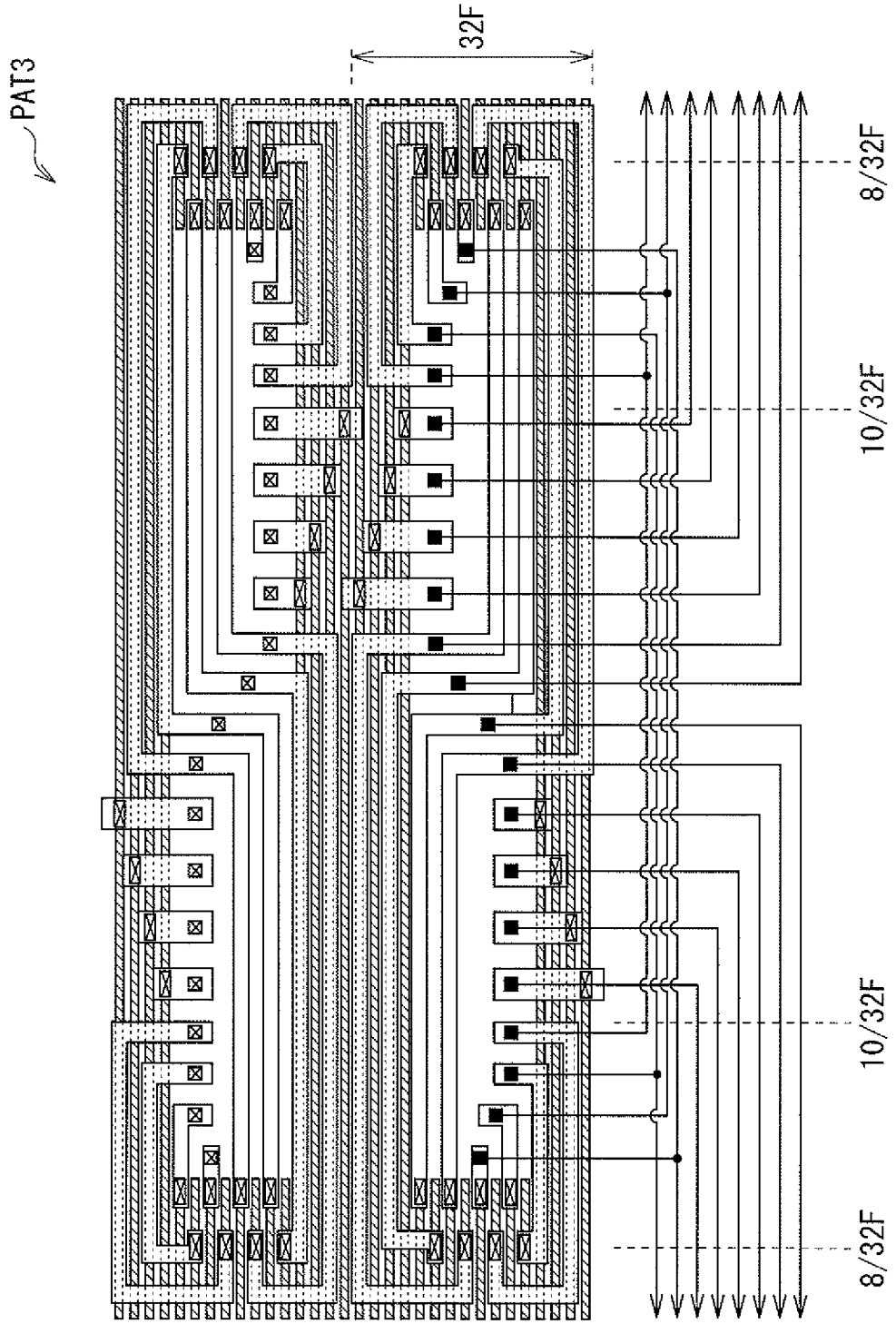
[図28B]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/015799

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/8239(2006.01)i, G11C13/00(2006.01)i, H01L27/105(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/8239, G11C13/00, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-176226 A (TOSHIBA CORP.) 08 September 2011, paragraphs [0016], [0017], [0021]-[0035], fig. 1-5 & US 2011/0204309 A1, paragraphs [0025], [0026], [0031]-[0048], fig. 1-5	1-8 9
Y	JP 2010-45205 A (TOSHIBA CORP.) 25 February 2010, paragraphs [0001], [0158]-[0167], fig. 39 & US 2010/0038616 A1, paragraphs [0003], [0280]-[0298], fig. 39	9

☒ Further documents are listed in the continuation of Box C.
☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 June 2018 (18.06.2018)	03 July 2018 (03.07.2018)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/015799

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/047254 A1 (SONY CORP.) 31 March 2016, entire text, all drawings & US 2017/0294375 A1, entire text, all drawings & CN 106688097 A	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０１５７９９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8239(2006.01)i, G11C13/00(2006.01)i, H01L27/105(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8239, G11C13/00, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2011-176226 A (株式会社東芝) 2011.09.08, 段落[0016], [0017], [0021] - [0035], 図１ - ５ & US 2011/0204309 A1, 段落[0025],	1-8
Y	[0026], [0031] - [0048], 図１ - ５	9
Y	JP 2010-45205 A (株式会社東芝) 2010.02.25, 段落[0001], [0158] - [0167], 図 39 & US 2010/0038616 A1, 段落[0003], [0280] - [0298], 図 39	9

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１８．０６．２０１８	０３．０７．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　６３１３
宮本　博司
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2016/047254 A1 (ソニー株式会社) 2016.03.31, 全文, 全図 & US 2017/0294375 A1, 全文, 全図 & CN 106688097 A	1-9