(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 23/50

(11) 공개번호 특2000-0029274
(43) 공개일자 2000년05월25일

(21) 출원번호 10-1999-0046183
(22) 출원일자 1999년10월23일
(30) 우선권주장 98-302868 1998년10월23일 일본(JP)
(71) 출원인 닛폰 덴키 주식회사 가네코 히사시
일본 도쿄도 미나도구 시바 5-7-1
(72) 발명자 호리구치요코
일본도쿄도미나도구시바5-7-1닛폰덴키(주)내
(74) 대리인 이병호

심사청구 : 있음

(54) 집적 회로 칩을 위한 강한 결합 패드 구조

요약

집적 회로를 위한 결합 패드 구조는 보호 장치가 형성된 반도체 기판, 신호가 집적 회로로 공급되거나 집적 회로로부터 분배되는 와이어의 연결을 위한 결합 패드, 기판 위에 형성된 절연층으로 구성된다. 절연층의 적어도 한 부분은 결합 패드에 의해 덮힌다. 절연층에서, 제 1 전도층은 접지에 연결하기 위해 형성되고, 제 2 전도층은 제 1 전도층으로부터 측면으로 이격된다. 병렬된 금속 접점들의 어레이(array of juxtaposed metallic contacts)는 제 2 전도층과 결합 패드 사이의 접점, 보호 장치의 제 1 부분과 제 1 전도층 사이의 접점, 보호 장치의 제 2 부분과 제 2 전도층 사이의 접점을 설정하기 위해 사용된다.

대표도

도1

색인어

결합 패드, 절연층, 전도층, 기판

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 따른 집적 회로 칩의 결합 패드 구조의 표면 평면도.

도 2는 도 1의 라인 2-2에 따른 단면도.

도 3은 도 2의 라인 3-3에 따른 단면도.

도 4는 본 발명의 제 2 실시예에 따른 집적 회로 칩의 결합 패드 구조의 표면 평면도.

도 5는 도 4의 라인 4-4에 따른 단면도.

도 6은 도 5의 라인 6-6에 따른 단면도.

도 7은 본 발명의 제 3 실시예에 따른 집적 회로 칩의 결합 패드 구조의 표면 평면도.

도 8은 도 7의 라인 8-8에 따른 단면도.

도 9는 도 7의 라인 9-9에 따른 단면도.

도 10은 도 8의 라인 10-10에 따른 단면도.

도 11은 본 발명의 제 3 실시예에 따른 전기적인 연결의 개략도.

※도면의 주요부분에 대한 부호의 설명※

10 : 기판 11 : 결합 패드

12 : 절연층 14 : 전도층

15 : 전도층 16 : N+ 확산 영역

24 : 금속 접점 32 : 절연층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 정전하(electrostatic charge)로부터 집적 회로 칩의 보호뿐만 아니라 신호가 집적 회로로 공급되거나 집적 회로로부터 분배되는 와이어의 연결을 위한 결합 패드 구조(bonding pad structure)의 개선에 관련된다.

결합 패드들은 집적 회로와 외부 사이의 인터페이스 역할을 한다. 보호 장치들은 EDS(Electrostatic Discharges)실패들로부터 집적 회로를 보호하기 위해 일반적으로 결합 패드들에 제공된다. 집적 회로가 가진 수많은 결합 패드들이 증가하는 고집적에 대한 일반적인 경향으로, 그 공간은 결합 패드들이 차지하고 연합된 보호 장치가 중요해진다. 보호 장치의 크기가 연합된 결합 패드의 크기에 의해 결정되기 때문에, 공간 절약은 결합 패드 아래에 보호 장치를 구현함으로서 성취된다.

그런 장치는 M.R.McCoy 등에 의해 제기된 U.S 특허 3,673,427에 공개된다. 이 선행 기술에 따라, 보호 장치는 불순물들을 도핑 하여 반도체 하부에 형성한다. 보호 장치는 산화 층으로 덮히고, 그 위에 금속의 결합 패드가 제공된다.

그러나, 와이어가 패드에 결합될 때나 혹은, 시험 탐침이 그것과 접촉될 때, 상당한 양의 압력이 패드 위에 가해지면서 아래의 보호 장치에 손상을 발생시킨다. 더 나아가, 와이어가 결합 될 때, 결합 패드를 아래의 산화 층으로부터 제거하게 하는 결합 패드에 표면 불규칙을 만들면서, 아랫 층은 그것의 패턴(pattern)을 윗 층에 나타나도록 하는 경향이 있다.

그러므로, 본 발명은 고압력 접촉을 견딜 수 있는 집적 회로 칩을 위해 강한 결합 패드 구조를 제공하기 위한 목적이다.

제 1 관점에 따라, 본 발명은 집적 회로를 위해 결합 패드 구조를 제공하고, 그것은 제 1 및 제 2 확산 영역들을 가진 반도체 기판, 입출력 결합 패드, 기판 위에 형성된 절연층, 결합 패드에 의해 덮힌 절연층의 적어도 한 부분, 접지 레벨 전도층에 연결하기 위한 절연층 내의 제 1 전도층, 그리고 절연층 내의 제 2 전도층 및 제 1 전도층으로부터 병렬로 이격된 것, 제 2 전도층과 결합 패드 사이의 접점을 설정하기 위해 절연층 내의 복수의 병렬된 금속 접점들, 그리고 제 1 확산 영역과 제 1 전도층 사이의 접점을 설정하기 위해 절연층 내의 복수의 병렬된 금속 접점들, 및 제 2 확산 영역과 제 2 전도층 사이의 접점을 설정하기 위해 절연층 내의 복수의 병렬된 금속 접점들로 구성된다.

제 2 관점에 따라, 본 발명은 집적 회로를 위해 결합 패드 구조를 제공하고, 이것은 기판의 전도형에 반대되는 전도형의 제 1 및 제 2 확산 영역을 가진 반도체 기판, 입출력 결합 패드, 기판 위에 형성된 절연층, 적어도 일부가 결합 패드에 의해 덮힌 절연층으로 구성된다. 더 나아가, 결합 패드 구조는 접지 레벨 전도층에 연결하기 위해 절연층 내의 제 1 전도층, 제 1 확산 영역과 결합 패드 사이의 접점을 설정하기 위해 절연층 내의 병렬된 금속 접점들의 제 1 어레이, 제 2 확산 영역과 제 1 전도층 사이의 접점을 설정하기 위해 절연층 내의 병렬된 금속 접점들의 제 2 어레이, 그리고 절연층 내의 제 2 전도층, 제 1 전도층과 접촉을 하는 제 1 및 제 2 확산 영역 사이의 전류 경로 바로 위에 위치되는 제 2 전도층으로 더 구성된다.

제 3 관점에 따라, 본 발명은 집적 회로를 위해 결합 패드 구조를 제공하고, 그것은 반도체 기판, 입출력 결합 패드, 기판 위에 형성된 절연층, 적어도 일부가 결합 패드에 의해 덮힌 절연층, 접지에 연결하기 위한 절연층 내의 각각 측면으로 이격된 제 1, 제 2 및 제 3 전도층으로 구성된다. 그리고 기판에 형성된 제 1, 제 2 및 제 3 확산 영역들, 기판의 전도형과 반대되는 제 1 전도형을 가진 제 1, 제 2 및 제 3 확산 영역, 기판에 형성된 제 5 및 제 6 확산 영역, 제 1 전도형 및 각각 근접한 곳에 위치한 제 1 및 제 3 확산 영역과 반대되는 제 2 전도형을 가진 제 5 및 제 6 확산 영역, 제 1 및 제 3 확산 영역과 결합 패드 사이의 접점을 설정하기 위해 절연층 내의 병렬된 금속 접점들의 제 1 및 제 2 어레이들, 제 5 및 제 6 확산 영역과 제 1 및 제 3 전도층 사이에 각각 접점을 설정하기 위해 절연층 내의 병렬된 금속 접점들의 제 3 및 제 4 어레이들, 그리고 제 2 확산 영역과 제 2 전도층 사이의 접점을 설정하기 위해 절연층 내의 병렬된 금속 접점들의 제 5 어레이로 더 구성된다. 각각 측면으로 이격된 제 4 및 제 5 전도층들은 절연층, 제 1 전도층과 접촉을 하는 제 1 및 제 2 확산 영역 사이의 전류 경로 바로 위에 위치된 제 4 전도층, 및 제 1 전도층과 접촉을 하는 제 2 및 제 3 확산 영역 사이의 전류 경로 바로 위에 위치된 제 5 전도층에 형성된다.

발명이 이루고자 하는 기술적 과제

선행 기술에 따른, 보호 장치는 불순물들을 도핑 하여 반도체 하부에 형성한다. 보호 장치는 산화 층으로 덮히고, 그 위에 금속의 결합 패드가 제공된다.

그러나, 와이어가 패드에 결합될 때나 혹은, 시험 탐침이 그것과 접촉될 때, 상당한 양의 압력이 패드 위에 가해지면서 아래의 보호 장치에 손상을 발생시킨다. 더 나아가, 와이어가 결합 될 때, 결합 패드를 아래의 산화 층으로부터 제거하게 하는 결합 패드에 표면 불규칙을 만들면서, 아랫 층은 그것의 패턴(pattern)을 윗 층에 복사하는 경향이 있다.

그러므로, 본 발명은 고압력 접촉을 견딜 수 있는 집적 회로 칩을 위해 강한 결합 패드 구조를 제공하기 위한 것이다.

발명의 구성 및 작용

본 발명은 포함된 도면과 함께 더 상세하게 설명될 것이다.

본 발명의 제 1 실시예에 따른 집적 회로의 입출력 회로를 위한 결합 패드 구조는 도 1,2 및 도 3에서 보여 준다. 본 발명의 결합 패드 구조는 집적 회로 칩의 P형 기판(10), 전도 결합 패드(11) 및 기판(10)과 패드(11)사이에 위치한 절연층(12)으로 구성된다. 보이지는 않는 얇은 와이어는 결합 과정 동안 결합 패드(11)에 결합된다.

절연층(12)은 전도층(13,14) 및 전도층(15)을 기판(10)과 결합 패드(11)사이에 끼워 넣을 수 있도록 배치되는 절연층(12A) 및 절연층(12B)에 의해 형성된다. 전도층(13,14) 및 전도층(15)은 각각으로부터는 측면으로 이격 시키고 수직으로는 기판(10) 및 결합 패드(11)로부터 이격 시킨다. 전도층(14)은 도 1에 예시된 대로 전도층(13)과 전도층(15) 사이에 위치하고 EDS 서지(surge) 전류의 방전 경로를 마련하기 위해 접지 레벨 전도층(도시하지 않음)에 연결된다.

기판(10)의 상위 표면들은 복수의 N^{+} 확산 영역(16,17 및 18)을 형성한다.

도 2와 같이 N+형 확산 영역(16)은 복수의 병렬된 금속 스터드(stud)의 어레이에 의해 혹은, 하부 절연층(12A)을 통해 확장되는 "플러그 (plug)접점"(21)에 의해 전도층(13)과 접촉을 한다. 비슷한 방법으로, N+ 확산 영역(17)은 병렬된 금속 접점(22)의 어레이에 의해 전도층(14)과 접촉을 하고, 영역(18)은 병렬된 금속 접점(23)의 어레이에 의해 전도층(15)과 접촉을 한다.

결합 패드(11)는 복수의 병렬된 금속 접점(24)에 의해 전도층(13)과 접촉을 하고, 나아가 복수의 병렬된 금속 접점(25)에 의해 전도층(15)과 접촉을 한다.

제 1 실시예에서, 결합 패드(11)와 전도층(13,14) 및 전도층(15)을 위해 적합한 금속은 알루미늄이다. 금속 접점(21)에서 (25)까지의 선호하는 금속은 텅스텐 및 금속 규소 화합물과 같은 높은 녹는점을 가진 금속이다. 결합 패드(11)는 80 평방 마이크로 메타에서 120 평방 마이크로 메타의 표면 영역을 가진다. 중간 전도층(13,14) 및 중간 전도층(15)들은 2.0에서 5.0 마이크로 메타의 거리로 서로 분리된다. 전도층(14)은 결합 패드(11)의 넓이에 의존하여, 4.0에서 10.0 마이크로 메타의 넓이를 가지고 있다. 금속 접점(21)에서 (25)까지의 모든 금속 접점들의 마스크(mask) 크기는 0.2에서 0.5평방 마이크로 메타이다.

결합 패드 구조가 이중 층 구조를 형성하기 때문에, 아랫 층의 패턴은 결합 패드의 표면에 나타나지 않는다. 추가로, 모든 금속 접점들이 결합 패드뿐만 아니라 그들 주변 물질보다도 높은 녹는점을 가진 물질을 형성하고 그들의 수평 단면이 비교적 작기 때문에, 높은 외부 압력이 결합 패드(11)에 가해 졌을 때, 각각의 금속 접점과 결합 패드 사이의 접촉 압력의 양이 실질적인 값이다. 그러므로, 와이어가 그것에 결합되거나 시험 탐침이 접촉될 때, 패드(11)가 아랫 구조에 확고히 안정되게 하면서 금속 접점(24,25)들은 부드러운 결합 패드(11)속으로 다소 박혀 들어가기 쉽다. 그 결과, 본 발명의 결합 패드 구조는 와이어를 금속 패드(11)에 확고히 결합시키기에 충분한 외부 압력을 받을 수 있도록 충분히 강하다.

이런 장치에서, 바이폴라 결합 패드 트랜지스터는 제 1 보호 장치로서 N+ 영역(16 및 17) 그리고 P형 기판(10)에 의해 형성되고, 영역(16 및 17)이 콜렉터와 에미터로, P형 기판(10)은 베이스로 각각 동작한다. 비슷하게, 제 2의 바이폴라 결합 패드 트랜지스터는 제 2 보호 장치로서 확산 영역(17,18) 및 기판(10)에 의해 형성되고 확산 영역(17 및 18)이 에미터와 콜렉터로, 기판(10)은 베이스로 각각 동작한다.

본 실시예의 보호 장치들은 다음과 같이 동작한다. 결합 패드(11)상의 양의 정전하가 N+ 영역(16)과 P형 기판(10) 사이의 접합점의 브레이크다운(breakdown) 전압을 초과 할 때, 홀(hole) 전류를 기판(10)을 통해 생산하면서 캐리어(carry)들의 쇄도하는 발생이 야기된다. 이 홀 전류 때문에, 영역 기판에 전위 상승이 있고, 전자들이 영역(17)으로부터 기판(10)으로 주입되고 콜렉터[N+ 영역(16 및 17)]에 집합되도록 하기 위해, 에미터[N+ 영역(17)]와 기판(10) 사이의 접합점이 순방향 바이어스가 되도록 한다. 이 두개의 바이폴라 NPN 트랜지스터들은 턴온 된다. 만약 음의 정전하가 결합 패드(11)에 발생하면, 영역(16)과 기판(10)사이 및 영역(18)과 기판(10) 사이의 접합점들은 순방향 바이어스이고 전자들은 기판(10)에 주입된다. 그러므로, 결합 패드(11)와 접지 레벨 전도층(도시하지 않음) 사이에 복수의 정전하들에 의존하는 방향으로 전도층(14)을 통해 전류 흐름이 있다.

본 발명의 또 다른 이익은 설계 요구를 완화시키면서 이중 층 구조가 패드 아래 내의 보호 장치들의 설계 디자인을 위해 상당히 많은 자유로움을 허락하는 것이다. 모든 보호 장치들은 결합 패드에 의해 덮혀지지는 않을 것이다. 보호 장치의 일부는 결합 패드의 외부 영역에 제공 될 수 있다. 집적 회로의 명확한 요구를 충족하는 보호 장치도 역시 실시 할 수 있다.

그러한 보호 장치의 제 1 형식은 도 4, 5 및 도 6에 나타난다. 이 실시예는 그들 사이에 배치된 P형 기판(30), 결합 패드(31) 및 절연층(32)으로 구성된다.

절연층(32)은 측면으로 이격된 각각의 전도층(33,34)을 절연층에 끼워 넣을 수 있도록 배치되는 절연층(32A) 및 절연층(32B)에 의해 형성된다.

P형 기판(30)의 상위 표면은 N형 웰(well)(36)을 형성하고, 그 웰에 N+ 확산 영역(37)이 형성되며, 그것의 일부는 웰(36)내에 있고, 나머지는 웰의 외부에 있다. 이러한 장치 때문에, N+ 영역(37)[웰(36)의 외부]과 P형 기판(30)사이의 접합점은 낮은 브레이크다운 전압을 가진다. N형 웰(36)의 내부는 N+ 확산 영역(37)의 한 면에 병렬로 흐르는 P+확산 영역(39)이 더 형성된다. 추가적으로, 병렬로 영역(37) 및 영역(38)으로 흐르면서 P+ 확산 영역(39) 및 N+ 확산 영역(40)들은 P형 기판(30)위에 형성된다.

전도층(33)은 금속 접점(41)의 어레이(도 6 참조)에 의해 N+ 확산 영역(37)과 접촉을 할뿐만 아니라 금속 접점(42)의 어레이에 의해 P+형 영역(39)과도 접촉을 한다. 마찬가지로, 전도층(34)은 병렬된 금속 접점(43)의 어레이에 의해 P+ 형 영역(38)과 접촉을 할뿐만 아니라 병렬된 금속 접점(44)의 어레이에 의해 N+ 형 영역(40)과도 접촉을 한다.

전도층(33)은 결합 패드(31)에 금속 접점(45)의 어레이에 의해 결합 패드(31)에 연결되고, 전도층(34)은 정전기 방전을 방전하기 위한 경로를 제공하기 위해(도 4 참고)접지 레벨 전도층(도시하지 않음)에 연결

된다.

그러한 장치에서, 기생 NPN 트랜지스터는 N+영역(37), N형 웰(37), P형 기판(30), 및 N+ 영역(40)에 의해 형성되고, 기생 PNP 바이폴라 트랜지스터는 P+영역(39), P형 기판(30), N형 웰(36), 및 P+형 영역(38)에 의해 형성된다. N+ 영역(37)은 N형 웰뿐만 아니라 P형 기판(30)과 연결되기 때문에, PNP와 NPN 기생 트랜지스터들은 기생 PNPN 구조나 사이리스터(thyristor)를 형성하기 위해 결합 패드(31)와 접지 레벨 전도층 사이에서 결합된다.

보호 장치의 또 다른 실시예는 도 7, 8, 9 및 10에 나타난다. 이 실시예에서, 결합 패드 구조는 그들 사이에 배치된 P형 기판(50), 결합 패드(51) 및 절연층(52)으로 구성된다(도 8 참고). 절연층(52)은 측면으로 이격된 각각의 전도층(81,82) 및 전도층(83)을 기판(50)과 결합 패드(51)사이에 끼워 넣을 수 있도록 배치되는 절연층(52A,52B) 및 절연층(52C)에 의해 형성된다. 전도층(81,82 및 83)들은 접지에 연결된 완전한 결합 부재(member)(80)에 의해 같이 연결된다.

P형 기판(50)의 상위 표면은 P+형 확산 영역(60)과 복수의 N+형 확산 영역(61,62,63 및 64)을 형성한다. N+형 영역(61 및 62)은 각각 제 1 NMOS 전계-효과 트랜지스터의 드레인 및 소스를 형성하고, N+형 영역(62 및 63)은 각각 제 2 NMOS 전계-효과 트랜지스터의 소스 및 드레인을 형성한다. 유사하게 N+형 영역(63 및 64)은 각각 제 3 NMOS 전계-효과 트랜지스터의 드레인 및 소스를 형성한다. 제 4 NMOS 전계-효과 트랜지스터는 N+형 영역(64) 및 또 다른 N+형 영역에 의해 형성되는 것이다.(도시하지 않음) 이러한 전계-효과 트랜지스터의 게이트 전극들은 폴리실리콘의 전도층 (71,72,73 및 74)에 의해 제공된다. 예를 들어,

도 9 및 도 10과 같이, 전도층(82 및 83)들은 각각 연결 부분(82A 및 83A)과 함께 하나의 끝에 형성되고, 게이트(71,72,73 및 74)위에 옆길(sideway)을 확장한다. 금속 접점(90,91,92 및 93)들은 접지된 전도층(82 및 83)을 게이트 전극(71,72,73 및 74)에 연결하기 위하여 절연층(52)에 제공된다. 결합 패드(51)들은 병렬된 금속 접점(94)의 어레이에 의해 N+형 영역(61)에 연결되고, N+형 영역(63)은 병렬된 금속 접점(95)의 어레이에 의해 N+형 영역(61)에 연결된다. 다시 말해, N+형 영역(62 및 64)들은 병렬된 금속 접점(102 및 103)들의 어레이에 의해 중간 전도층(82 및 83)에 각각 연결된다. 다이오드는 병렬된 금속 접점(101)의 어레이에 의해 P+ 영역(60)을 중간 전도층(81)에 결합하는 것으로 P+형 영역(60) 및 인접한 N+형 영역(61)에 의해 형성된다. bipolar

다이오드가 반대되는 극성의 충전을 위해 보호 장치로 동작하는 동안, NMOS 전계-효과 트랜지스터의 선형 어레이는 주어진 극성의 정전하 방전을 위한 보호 장치로서 동작하기 위해 결합 패드(51)의 한 가장자리를 따라 제공된다.

도 11과 같이, 제 3 실시예의 결합 패드 구조는 연속적으로 어레이된 N+ 드레인의 체인(chain) 및 소스 영역(61-66), 각각이 드레인의 연속된 것과 소스 영역 사이에 삽입되는 복수의 게이트 영역(71-74), 그리고, 각각 N+ 영역의 어레이의 반대편 끝에 위치한 한 쌍의 P+ 영역(60 및 66)으로 구성된다. N+ 영역(61,63 및 65)들은 드레인 전극으로 작용하기 위해 라인(94,95 및 96)에 의해 제시된 금속 접점에 의해 패드(51)에 연결된다. 소스 전극으로 작용하기 위해, N+ 영역(62 및 64)들은 금속 접점(102 및 103) 그리고 전도층(82 및 83)에 의해 접지에 연결되고, 모든 게이트 영역(71-74) 그리고 P+ 영역(60 및 66)들도 역시 연결된다. N+ 영역의 체인의 시작과 끝점들은 금속 접점(101 및 104) 그리고 전도층(81 및 84)에 의해 접지에 연결된 근접한 P+ 영역(60 및 66)과 함께 PN 접합 다이오드를 형성하기 위해 드레인 영역(61 및 65)에 의해 끝난다.

N+ 영역(61) 및 P형 기판(50) 사이의 접합점이 주어진 극성의 정전기 방전 때문에 순방향 바이어스가 될 때, N+ 영역(61)은 에너지를 방전하기 위해 P+ 영역(60)과 함께 다이오드를 형성한다. 만약 이 접합점이 반대되는 극성의 정전기 방전에 의해 역 바이어스가 된다면, N+ 영역(61)은 에너지를 방전하기 위해 근접한 N+ 영역(62)과 함께 게이트-접지 MOSFET를 형성한다. N+ 영역(66) 및 그것의 근접 N+ 영역(65)의 작동도 위와 같이 적용된다.

드레인, 게이트 및 소스 영역의 체인의 바람직한 길이는 드레인, 게이트 및 소스의 같은 패턴을 반복하면서 결합 패드의 한 가장자리를 따라 제공 될 수 있다.

발명의 효과

본 발명은 정전하로부터 집적 회로 칩의 보호뿐만 아니라 신호가 집적 회로로 공급되거나 집적 회로로부터 분배되는 와이어의 연결을 위해 고압력 접촉을 견딜 수 있는 집적 회로 칩을 위한 강한 결합 패드 구조의 개선 효과가 있다.

(57) 청구의 범위

청구항 1

집적 회로를 위한 결합 패드 구조에 있어서,

제 1 제 2 확산 영역(17, 18; 36-40)을 가진 반도체 기판(10; 30),

입출력 결합 패드(11; 31),

상기 기판 위에 형성되고, 적어도 일부가 상기 결합 패드에 의해 덮힌 절연층(12; 32A, 32B),

접지 레벨 전도층에 연결하기 위한 상기 절연층 내의 제 1 전도층(14; 34)과 상기 절연층 내의 제 2 전도층으로서, 상기 제 1 전도층으로부터 측면으로 이격된 제 2 전도층(15 ; 33),

상기 제 2 전도층(15; 33)과 결합 패드(11; 31) 사이의 접점을 설정하기 위해 상기 절연층 내의 복수의 병렬된 금속 접점(25; 45), 및

제 1 확산 영역(17; 39, 40)과 제 1 전도층(14; 34) 사이의 접점을 설정하기 위해 상기 절연층 내의 복수의 병렬된 금속 접점(22; 43, 44)과, 제 2 확산 영역(18; 36-38)과 제 2 전도층(15; 33) 사이의 접점을 설정하기 위해 상기 절연층 내의 복수의 병렬된 금속 접점(23; 41, 42)을 포함하는 결합 패드 구조.

청구항 2

제 1 항에 있어서, 상기 금속 접점들 모두는 상기 금속 패드의 녹는점 보다 높은 녹는점을 갖는 결합 패드 구조.

청구항 3

제 1 항에 있어서, 상기 제 1 및 제 2 확산 영역과 상기 기판은 바이폴라 트랜지스터를 갖는 결합 패드 구조.

청구항 4

제 1 항에 있어서, 상기 제 1 및 제 2 확산 영역(17, 18) 각각은 상기 기판의 전도형과 반대되는 전도형을 가진 결합 패드 구조.

청구항 5

제 1 항에 있어서,

상기 절연층 내의 제 3 전도층(13)으로서, 상기 제 1 전도층(14)으로부터 측면으로 이격된 제 3 전도층(13),

상기 제 3 전도층(13)과 금속 패드(11) 사이의 접점을 설정하기 위해 상기 절연층 내의 제 1 복수의 병렬된 금속 접점(24), 및

기판의 제 3 확산 영역(16)과 제 3 전도층(13) 사이의 접점을 설정하기 위해 상기 절연층 내의 제 2 복수의 병렬된 금속 접점(21)을 더 포함하는 결합 패드 구조.

청구항 6

제 5 항에 있어서, 상기 금속 접점(24, 21)은 상기 금속 패드의 녹는점 보다 높은 녹는점을 가진 결합 패드 구조.

청구항 7

제 5 항에 있어서, 상기 기판의 상기 제 3 확산 영역(16)은 상기 기판의 전도형과 반대되는 전도형을 갖는 결합 패드 구조.

청구항 8

제 1 항에 있어서, 상기 제 1 및 제 2 확산 영역(36-40)과 상기 기판은 사이리스터를 포함하는 결합 패드 구조.

청구항 9

제 1 항에 있어서, 상기 제 1 확산 영역은 상호 반대 전도형들의 제 1 쌍의 확산 영역(39, 40)을 포함하고, 상기 제 2 확산 영역은 상호 반대 전도형들의 제 2 쌍의 확산 영역(37, 38)과, 상기 기판(30)의 전도형에 반대되는 전도형의 반도체 웰(36)을 포함하고, 상기 제 2 쌍의 확산 영역(37, 38)은 상기 웰(36)에 형성되어 있는 결합 패드 구조.

청구항 10

제 9 항에 있어서, 상기 제 2 쌍의 확산 영역 중 확산 영역(37)의 일부는 상기 웰(36)에 삽입 되고, 일부는 웰의 밖으로 나와 있는 결합 패드 구조.

청구항 11

집적 회로를 위한 결합 패드 구조에 있어서,

반도체 기판으로서, 상기 기판의 전도형에 반대되는 전도형의 제 1 및 제 2 확산 영역(61, 62)을 갖는 반도체 기판(50),

입출력 결합 패드(51),

상기 기판 위에 형성된 절연층(52)으로서, 적어도 일부가 상기 결합 패드에 의해 덮힌 상기 절연층(52),

접지 레벨 전도층에 연결하기 위한 상기 절연층 내의 제 1 전도층(82),

상기 제 1 확산 영역(61)과 상기 결합 패드 사이의 접점을 설정하기 위해 상기 절연층 내의 제 1 복수의 병렬된 금속 접점(94),

상기 제 2 확산 영역(62)과 상기 제 1 전도층(82) 사이의 접점을 설정하기 위해 상기 절연층 내의 제 2 복수의 병렬된 금속 접점(102), 및

상기 절연층 내의 제 2 전도층(71)으로서, 상기 제 1 전도층(82)과 접촉을 하여 상기 제 1 및 제 2 확산 영역(61, 62) 사이의 전류 경로 바로 위에 위치된 제 2 전도층(71)을 포함하는 결합 패드 구조.

청구항 12

제 11 항에 있어서, 상기 기판은 상기 제 1 확산 영역(61)의 전도형에 반대되는 전도형의 제 3 확산 영역(60)을 더 포함하고, 상기 제 3 확산 영역(60)은 상기 제 1 확산 영역(61)에 근접하게 되어있고,

상기 절연층(52) 내의 제 3 전도층(81), 및

제 3 전도층(81)과 상기 제 3 확산 영역(60) 사이의 접점을 설정하기 위해 상기 절연층 내의 제 3 복수의 병렬된 금속 접점(101)을 더 포함하는 결합 패드 구조.

청구항 13

제 11 항에 있어서, 상기 기판은 상기 기판의 전도형에 반대되는 전도형의 제 4 확산 영역(63)을 더 포함하고,

상기 제 4 확산 영역(63)과 상기 결합 패드 사이의 접점을 설정하기 위해 상기 절연층 내의 제 4 복수의 병렬된 금속 접점(95),

상기 제 2 및 제 4 복수의 병렬된 금속 접점(102, 95) 사이의 상기 절연층 내의 제 4 전도층(72)으로서, 상기 제 2 및 제 4 확산 영역(62, 63)사이의 전류 경로 바로 위에 위치하고, 상기 제 1 전도층(82)과 접촉되어 있는 제 4 전도층(72)을 더 포함하는 결합 패드 구조.

청구항 14

제 11 항에 있어서, 상기 금속 접점들 모두는 상기 결합 패드의 녹는점 보다 높은 녹는점을 가진 금속 물질을 포함하는 결합 패드 구조.

청구항 15

제 12 항에 있어서,

상기 제 2 및 제 3 복수들의 상기 금속 접점은 상기 결합 패드의 녹는점 보다 높은 녹는점을 갖는 금속 물질을 포함하는 결합 패드 구조.

청구항 16

제 13 항에 있어서, 상기 제 4 복수의 상기 금속 접점은 상기 결합 패드의 녹는점 보다 높은 녹는점을 갖는 금속 물질을 포함하는 결합 패드 구조.

청구항 17

제 11 항에 있어서, 상기 제 1 및 제 2 확산 영역(61, 62)과 상기 제 2 전도층(71)은 금속-산화물 반도체 전계 효과 트랜지스터를 형성하는 결합 패드 구조.

청구항 18

집적 회로를 위한 결합 패드 구조에 있어서,

반도체 기판(50),

입출력 결합 패드(51),

상기 기판 위에 형성된 절연층(52)으로서, 적어도 일부가 상기 결합 패드에 의해 덮힌 상기 절연층(52),

접지에 연결하기 위해 상기 절연층 내의 측면으로 각각 이격된 제 1, 제 2 및 제 3 전도층(81, 82, 84),

상기 기판에 형성된 제 1, 제 2 및 제 3 확산 영역(61, 62, 63)으로서, 상기 기판의 전도형과 반대되는 제 1 전도형을 가진 제 1, 제 2 및 제 3 확산 영역(61, 62, 63),

상기 기판에 형성된 제 5 및 제 6 확산 영역(60, 66)으로서, 상기 제 1 전도형과 반대되는 제 2 전도형을 가지고, 상기 제 1 및 제 3 확산 영역(61, 63)에 근접하여 각각 위치한 제 5 및 제 6 확산 영역(60, 66),

상기 제 1 및 제 3 확산 영역(61, 63)과 상기 금속 패드 사이의 접점을 설정하기 위해 상기 절연층 내의 제 1 및 제 2 병렬된 금속 접점(94, 95),

상기 제 5 및 제 6 확산 영역(60, 66)과 상기 제 1 및 제 3 전도층들(81,84) 사이에 접점을 각각 설정하기 위해 상기 절연층 내의 제 3 및 제 4 병렬된 금속 접점(101, 104),

상기 제 2 확산 영역(62)과 상기 제 2 전도층(82) 사이의 접점을 설정하기 위해 상기 절연층 내의 제 5 병렬된 금속 접점(102), 및

상기 절연층 내의 각각 측면으로 이격된 제 4 및 제 5 전도층(71, 72)으로서 제 4 전도층(71)은 상기 제 1 전도층(82)과 접촉하여 상기 제 1 및 제 2 확산 영역(61, 62) 사이의 전류 경로 바로 위에 위치되고, 제 5 전도층(72)는 제 1 전도층(82)과 접촉하여 상기 제 2 및 제 3 확산 영역(61, 63) 사이의 전류 경로 바로 위에 위치된 제 4 및 제 5 전도층(71, 72)으로 구성된 결합 패드 구조.

청구항 19

제 18 항에 있어서, 상기 금속 접점들 모두는 상기 결합 패드의 녹는점 보다 높은 녹는점을 갖는 금속 물질을 포함하는 결합 패드 구조.

청구항 20

제 18 항에 있어서, 상기 제 1 및 제 2 확산 영역(61, 62) 및 제 4 전도층(71)은 제 1 금속 산화물 반도체 전계 효과 트랜지스터를 형성하고, 상기 제 2 및 제 3 확산 영역(62, 63) 및 제 5 전도층(72)은 제 2

금속 산화물 반도체 전계 효과 트랜지스터를 형성하는 결합 패드 구조.

청구항 21

집적 회로를 위한 정전기 방전 방지 장치에 있어서,

기판(10; 30),

입출력 결합 패드(11; 31),

복수의 접점(24, 25)에 의해 상기 결합 패드(11)에 연결된 전도층(13, 15), 및

상기 기판에 형성된 보호 장치(16, 17, 18)로서, 상기 보호 장치의 적어도 일부가 복수의 접점들에 의해 상기 제 1 전도층에 연결되어 있고, 상기 보호 장치의 적어도 일부가 상기 입출력 결합 패드에 의해 덮힌 보호 장치(16, 17, 18)를 포함하는 정전기 방전 보호 장치.

청구항 22

제 21 항에 있어서, 상기 복수의 접점들이 플러그 접점들은 포함하는 정전기 방전 보호 장치.

청구항 23

제 21 항에 있어서, 상기 플러그 접점들은 높은 녹는점의 금속 물질인 정전기 방전 보호 장치.

청구항 24

제 21 항에 있어서, 상기 보호 장치는 바이폴라 트랜지스터를 포함하는 정전기 방전 보호 장치.

청구항 25

제 21 항에 있어서, 상기 보호 장치는 사이리스터를 포함하는 정전기 방전 보호 장치.

청구항 26

집적 회로를 위한 정전기 방전 보호 장치에 있어서,

기판(50),

입출력 결합 패드(51),

상기 기판에 형성된 보호 장치(61, 62, 63)로서, 상기 보호 장치의 적어도 일부는 복수의 접점(94, 95)에 의해 상기 결합 패드(51)에 연결되고, 상기 보호 장치의 적어도 일부는 상기 입출력 결합 패드에 의해 덮힌 보호 장치(61, 62, 63), 및

상기 결합 패드와 상기 결합 장치 사이의 전도층(82, 83)으로서, 복수의 접점(102, 103)에 의해 상기 보호 장치에 연결된 상기 전도층(82, 83)을 포함하는 정전기 방전 보호 장치.

청구항 27

제 26 항에 있어서, 상기 복수의 접점들은 플러그 접점을 포함하는 정전기 방전 보호 장치.

청구항 28

제 26 항에 있어서, 상기 플러그 접점들은 높은 녹는점의 금속 물질인 정전기 방전 보호 장치.

청구항 29

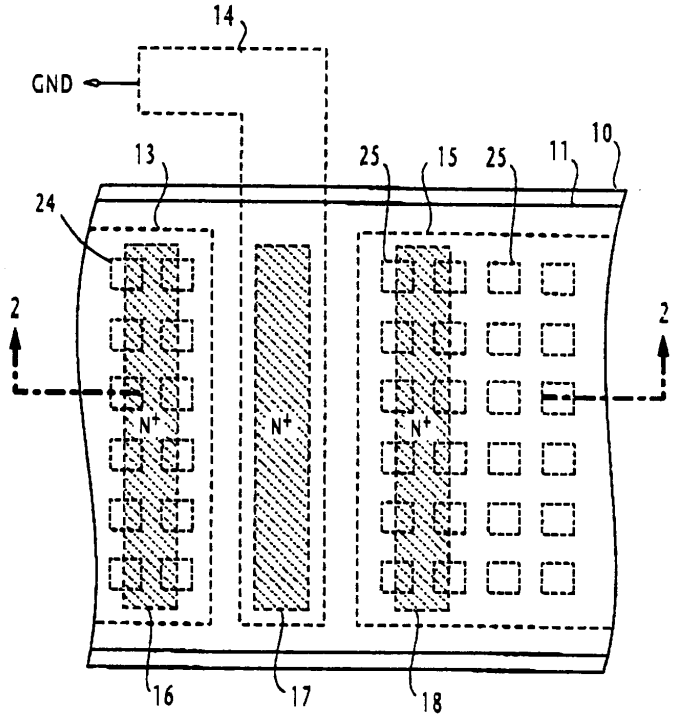
제 26 항에 있어서, 상기 보호 장치는 금속 산화물 반도체 전계 효과 트랜지스터를 포함하는 정전기 방전 보호 장치.

청구항 30

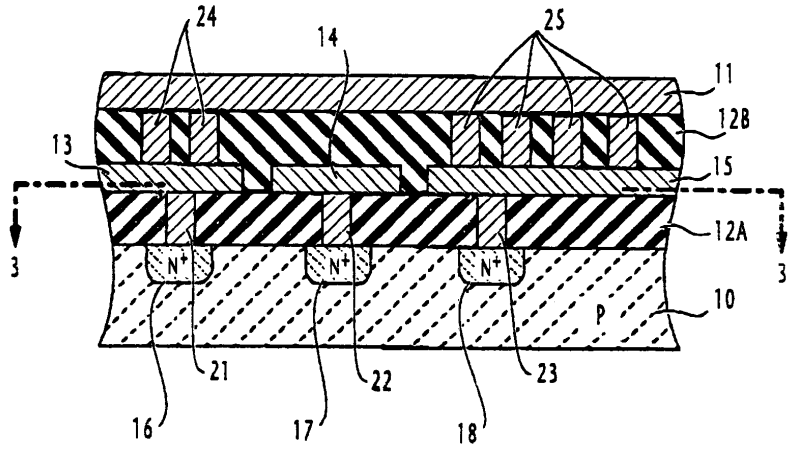
제 26 항에 있어서, 상기 보호 장치는 다이오드를 포함하는 정전기 방전 보호 장치.

도면

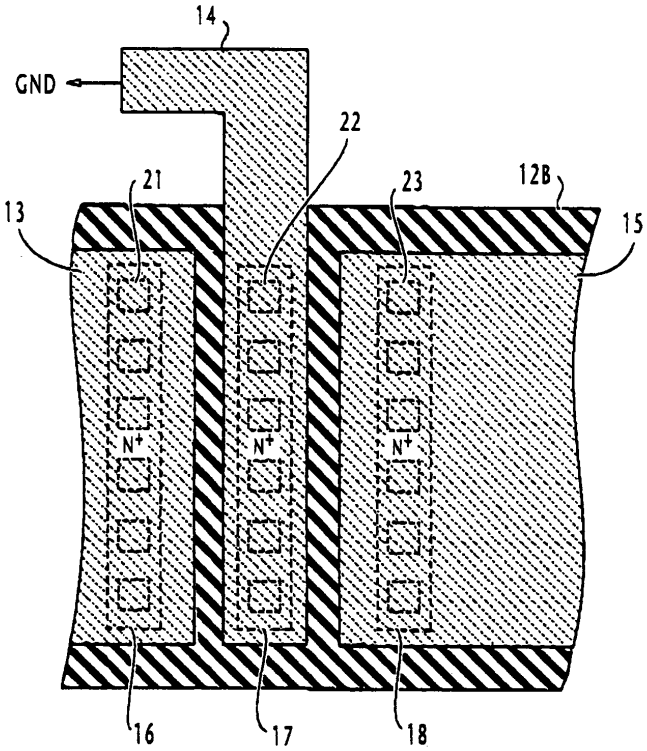
도면1


14
GND
13
25
15
25
11
10
24
2
2
N+
N+
N+
16
17
18

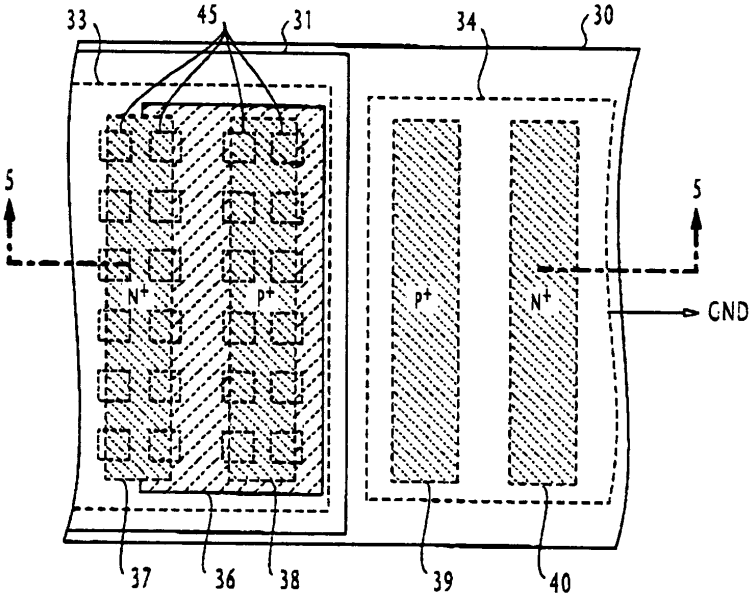
도면2


24
14
25
11
12B
13
15
3
3
12A
N+
N+
N+
P
10
21
22
23
16
17
18

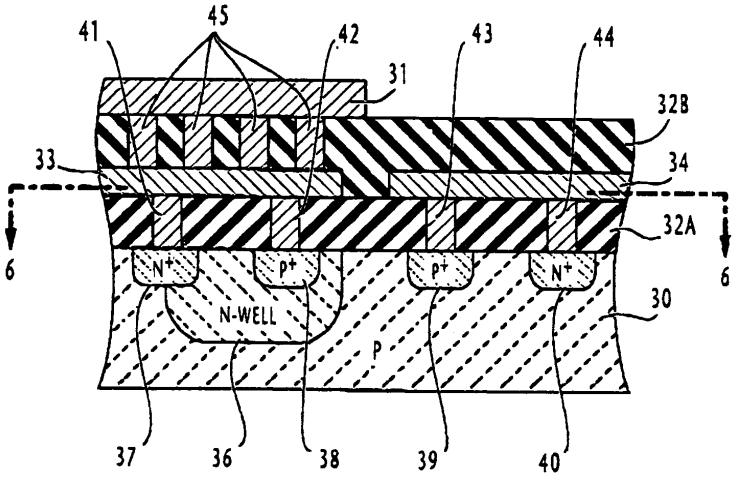
도면3


14
GND
22
21
23
12B
15
13
N+
N+
N+
16
17
18

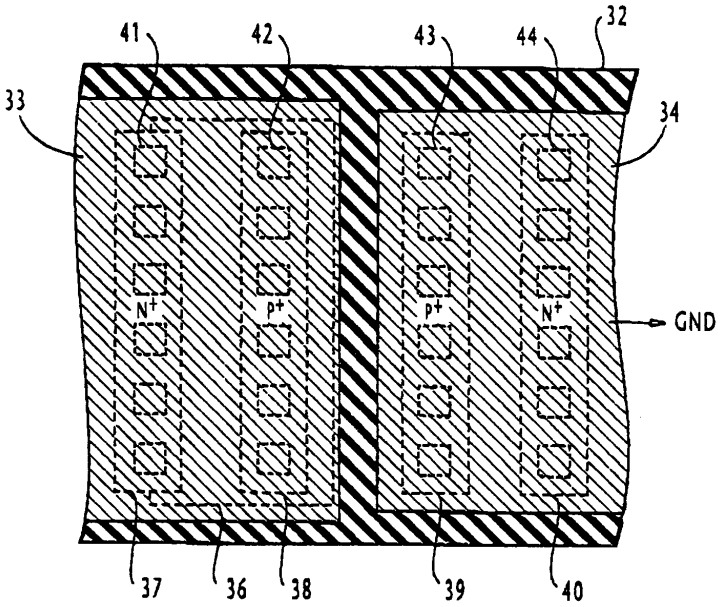
도면4


33
45
31
34
30
5
5
N+
P+
P+
N+
GND
37
36
38
39
40

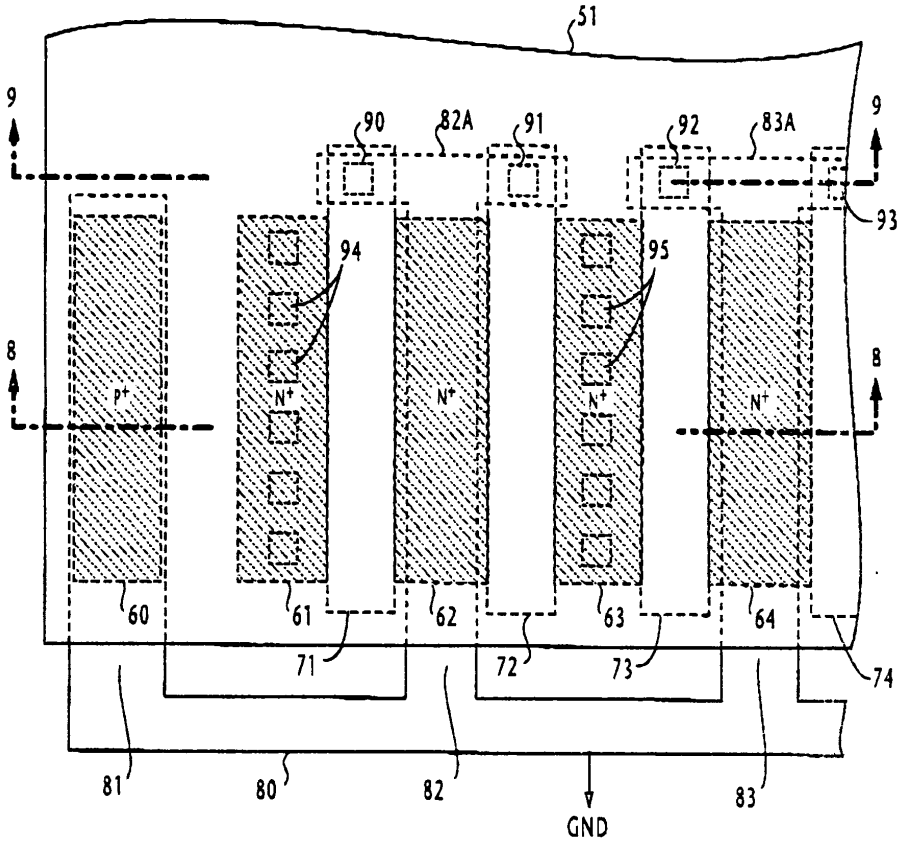
도면5


41
45
42
43
44
31
32B
33
34
32A
6
6
N+
P+
P+
N+
N-WELL
30
P
37
36
38
39
40

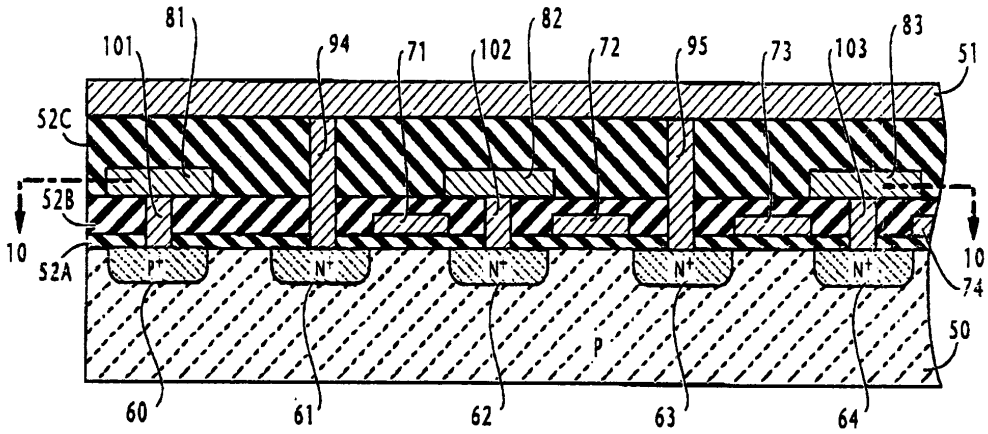
도면6


41
42
43
44
32
33
34
N+
P+
P+
N+
GND
37
36
38
39
40

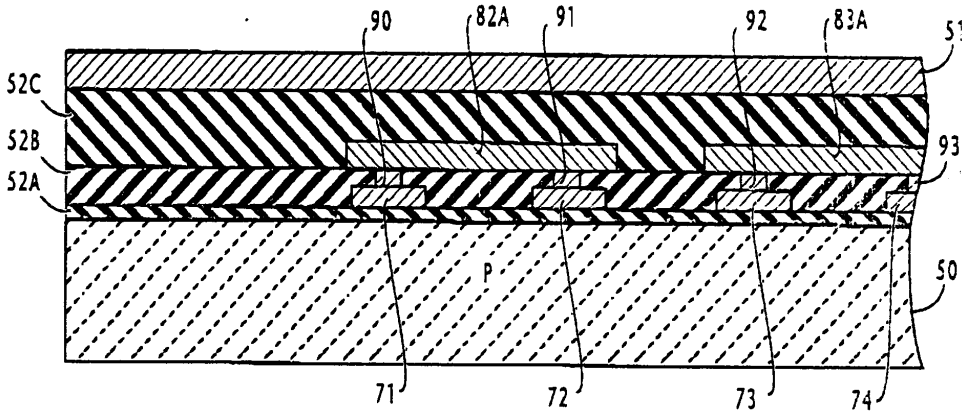
도면7


51
9
90
82A
91
92
83A
9
93
94
95
8
8
P+
N+
N+
N+
N+
60
61
62
63
64
71
72
73
74
81
80
82
GND
83

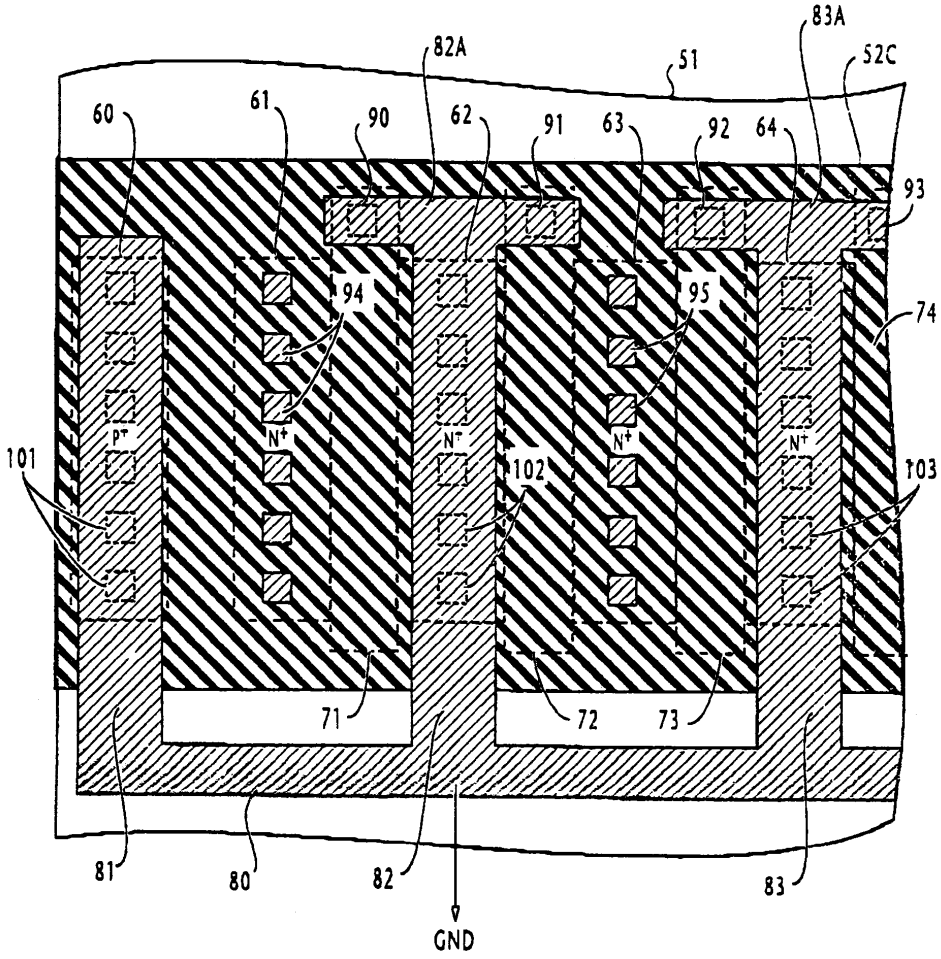
도면8


81
101
94
71
102
82
72
95
73
103
83
51
52C
52B
10
52A
P+
N+
N+
N+
N+
10
74
50
P
60
61
62
63
64

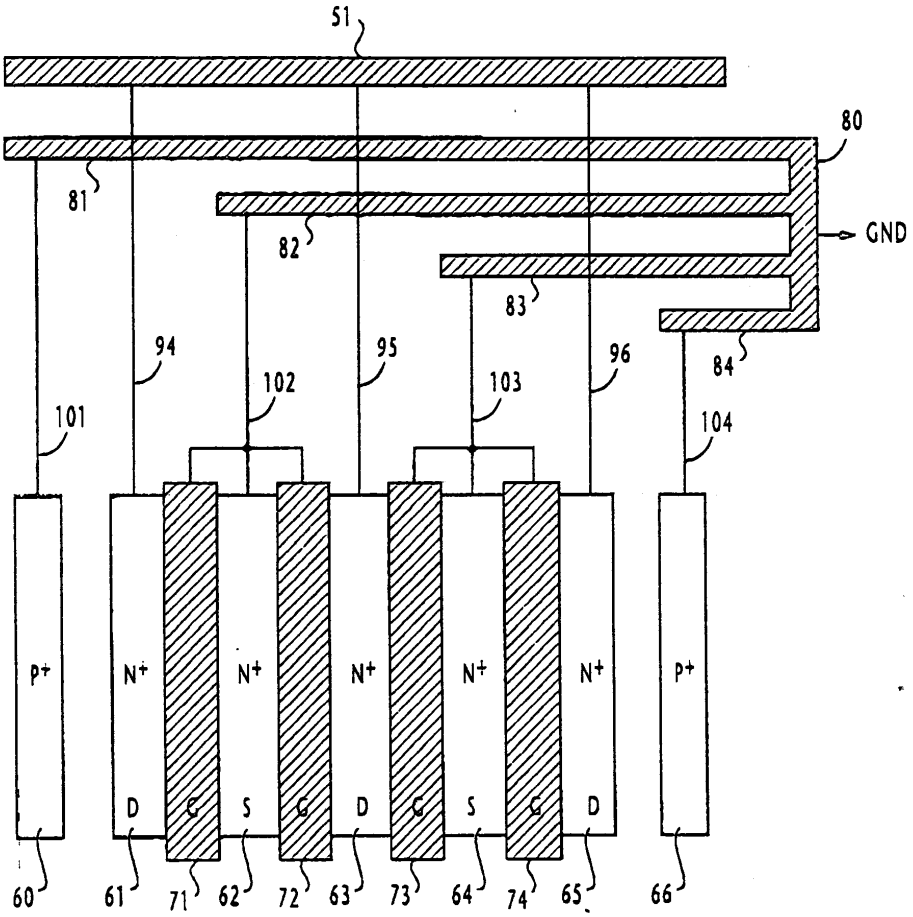
도면9


90
82A
91
92
83A
51
52C
52B
52A
93
50
P
71
72
73
74

도면10


83A
82A
51
52C
60
61
90
62
91
63
92
64
93
94
95
74
P+
N+
101
102
103
71
72
73
81
80
82
83
GND

도면11


51
80
81
82
83
84
GND
94
95
96
101
102
103
104
P+
N+
N+
N+
N+
N+
P+
D
G
S
G
D
G
S
G
D
60
61
71
62
72
63
73
64
74
65
66