



Erfindungspatent für die Schweiz und Liechtenstein  
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

PATENTSCHRIFT A5

21 Gesuchsnummer: 2037/81

22 Anmeldungsdatum: 26.03.1981

24 Patent erteilt: 13.12.1985

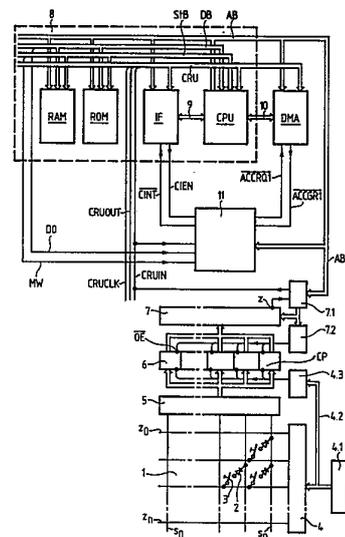
45 Patentschrift veröffentlicht: 13.12.1985

73 Inhaber:  
Inventio Aktiengesellschaft, Hergiswil NW

72 Erfinder:  
Friedli, Paul, Dr. sc. tech., Zürich  
Meyer, Fritz, Küsnacht am Rigi

54 Schaltungsanordnung zur Eingabe von Steuerbefehlen in ein Mikrocomputersystem.

57 Mit dieser Schaltungsanordnung kann eine Vielzahl von Steuerbefehlen über nur einen Eingabekanal in ein Mikrocomputersystem eingegeben und der Mikroprozessor vom Vorgang des Abtastens der Peripherie auf Vorliegen von Steuerbefehlen entlastet werden. Der Mikroprozessor (CPU) signalisiert durch ein Freigabesignal seine Bereitschaft zur Annahme von Unterbrechungen, wobei durch das Freigabesignal eine zwischen einem Unterbrechungsanforderungs-Eingang (CINT) des Mikrocomputersystems (8) und einer Peripherieeinheit (1 bis 7) angeordnete Abtast- und Vergleichseinrichtung (11) aktiviert wird. Die Abtast- und Vergleichseinrichtung (11) tastet daraufhin in der Peripherieeinheit (1 bis 7) zusammengefasste, durch eine Adresse gekennzeichnete Steuerbefehlsgeber (3) ab und vergleicht deren Schaltzustand mit einem unter der gleichen Adresse gespeicherten Schaltzustand. Bei Ungleichheit wird eine Unterbrechungsanforderung erzeugt und der gespeicherte Schaltzustand dem des Steuerbefehlsgebers (3) angeglichen.



## PATENTANSPRÜCHE

1. Schaltungsanordnung zur Eingabe von Steuerbefehlen in ein Mikrocomputersystem, wobei ein Mikroprozessor (CPU) über einen Adressen-, Daten- und Steuerbus (AB, DB, StB) mit mindestens einem Schreib-Lesespeicher (RAM) und einem Festwertspeicher (ROM) sowie über den Adressenbus (AB), einen Ein-Ausgabebus (CRU) und weiteren Leitungen (9) mit einem parallelen Ein-Ausgabe-Schnittstellenbaustein (IF) verbunden ist, welcher über mindestens einen Unterbrechungsanforderungs-Eingang ( $\overline{\text{CINT}}$ ) an mindestens einer Peripherieeinheit (1 bis 7) angeschlossen ist, dadurch gekennzeichnet,

– dass ein Baustein (DMA) für direkten Speicherzugriff vorgesehen ist, der über einen ein Anforderungssignal lesenden Eingang (ACCRQ1) und eine Vergleichseinrichtung (11) mit einem ein Freigabesignal für die Steuerbefehls-Eingabe ausgebenden Ausgang (CIEN) des parallelen Schnittstellenbausteines (IF) verbunden ist,

– dass die Peripherieeinheit (1 bis 7) über den Adressenbus (AB) mit dem Baustein (DMA) für direkten Speicherzugriff in Verbindung steht, mittels dessen Adressenregister nach Auftreten des Freigabe- und Anforderungssignals Adressen erzeugbar sind, die in der Peripherieeinheit (1 bis 7) zusammengefassten Steuerbefehlsgebern (3) zugeordnet sind,

– dass die Vergleichseinrichtung (11) eingangsseitig an der Peripherieeinheit (1 bis 7) und dem Adressenbus (AB) angeschlossen ist und ausgangsseitig mit dem Unterbrechungsanforderungs-Eingang ( $\overline{\text{CINT}}$ ) des parallelen Ein-Ausgabe-Schnittstellenbausteines (IF) in Verbindung steht, und

– dass die Vergleichseinrichtung (11) den Schaltzustand der Steuerbefehlsgeber (3) jeweils mit einem unter der gleichen Adresse gespeicherten Schaltzustand vergleicht und bei Ungleichheit die Operation des Bausteines (DMA) für direkten Speicherzugriff unterbricht und eine Unterbrechungsanforderung erzeugt, wobei der neue Schaltzustand in den Schreib-Lesespeicher (RAM) des Mikrocomputersystems (8) eingeschrieben wird.

2. Schaltungsanordnung nach Patentanspruch 1, dadurch gekennzeichnet,

– dass die Peripherieeinheit (1 bis 7) aus einem matrixförmigen Tastenfeld (1) besteht, an dessen Kreuzungspunkten die Steuerbefehlsgeber (3) angeordnet sind, wobei die Zeilenleiter des Tastenfeldes (1) mit einer mindestens einen Demultiplexer aufweisenden Zeilenansteuerung (4) in Verbindung stehen,

– dass für jeden Kreuzungspunkt des matrixförmigen Tastenfeldes (1) eine Speicherzelle vorgesehen ist, wobei jedem Zeilenleiter eine der Anzahl Spaltenleiter entsprechende, zu Mehrfachspeichern (6) zusammengefasste Anzahl Speicherzellen zugeordnet ist, deren Eingänge über einen Spaltenempfänger (5) mit den Spaltenleitern in Verbindung stehen,

– dass eine aus einem Zähler und einem Taktgenerator bestehende Adressiereinrichtung (4.1) vorgesehen ist, welche über Adressenleiter (4.2) mit dem Demultiplexer der Zeilenansteuerung (4) und adressierbaren D-Flip-Flops (4.3) verbunden ist, deren Ausgänge an den Taktanschlüssen (CP) der Mehrfachspeicher (6) angeschlossen sind, und

– dass ein Multiplexer (7), ein Demultiplexer (7.2) und ein Bustreiber (7.1) vorgesehen sind, wobei der Bustreiber (7.1) eingangsseitig am Adressenbus (AB) des Mikrocomputersystems (8) angeschlossen ist und ausgangsseitig über einen ersten Teil der Adressenleiter mit den Adresseneingängen des Demultiplexers (7.2) und über einen zweiten Teil der Adressenleiter mit den Adresseneingängen des Multiplexers (7) verbunden ist, und wobei die Ausgänge des Demultiplexers (7.2) mit den Freigabeanschlüssen (OE) der Ausgänge der Mehrfachspeicher (6) in Verbindung stehen und der Ausgang (Z) des Multiplexers (7) über den Bustreiber (7.1) an einem

Dateneingabeleiter (CRUIN) des Ein-Ausgabebusses (CRU) angeschlossen ist.

3. Schaltungsanordnung nach Patentanspruch 1, dadurch gekennzeichnet,

– dass die Vergleichseinrichtung (11) ein Exklusiv-ODER-Glied (12) aufweist, dessen einer Eingang mit dem Dateneingabeleiter (CRUIN) und dessen anderer Eingang mit dem Datenausgang ( $D_{\text{out}}$ ) eines weiteren Schreib-Lesespeichers (Flag-RAM) verbunden ist,

– dass der weitere Schreib-Lesespeicher (Flag-RAM) mit dem Adressenbus (AB) in Verbindung steht und über einen Dateneingang ( $D_{\text{in}}$ ) an einem Datenleiter (DO) des Datenbusses (DB) und über einen Schreibanschluss (W) an einem Leiter (MW) des Steuerbusses (StB) angeschlossen ist,

– dass der Ausgang des Exklusiv-ODER-Gliedes (12) über ein erstes NAND-Glied (13) mit den Eingängen (J,  $\overline{\text{K}}$ ) eines ersten  $\overline{\text{JK}}$ -Flip-Flops (14) in Verbindung steht, dessen Ausgang (Q) am Unterbrechungsanforderungs-Eingang ( $\overline{\text{CINT}}$ ) des parallelen Schnittstellenbausteines (IF) und einem Eingang eines zweiten NAND-Gliedes (15) angeschlossen ist, wobei der Set-Anschluss (S) des ersten  $\overline{\text{JK}}$ -Flip-Flops (14) mit einem weiteren Eingang des zweiten NAND-Gliedes (15) und dem das Freigabesignal ausgebenden Ausgang (CIEN) des parallelen Schnittstellenbausteines (IF) verbunden ist, wobei

– ein zweites  $\overline{\text{JK}}$ -Flip-Flop (17) vorgesehen ist, dessen Eingänge (J,  $\overline{\text{K}}$ ) mit dem Ausgang des zweiten NAND-Gliedes (15) verbunden sind und dessen Ausgang (Q) am das Anforderungssignal lesenden Eingang (ACCRQ1) und dessen Set-Anschluss (S) an einem ein Quittierungssignal ausgebenden Ausgang (ACCGRI) des Bausteines (DMA) für direkten Speicherzugriff angeschlossen ist.

Die Erfindung betrifft eine Schaltungsanordnung zur Eingabe von Steuerbefehlen in ein Mikrocomputersystem, wobei ein Mikroprozessor über einen Adressen-, Daten- und Steuerbus mit mindestens einem Schreib-Lesespeicher und einem Festwertspeicher sowie über den Adressenbus, einen Ein-Ausgabebus und weiteren Leitungen mit einem parallelen Ein-Ausgabe-Schnittstellenbaustein verbunden ist, welcher über mindestens einen Unterbrechungsanforderungs-Eingang an mindestens einer Peripherieeinheit angeschlossen ist.

Für den Datentransfer zwischen einem Mikrocomputersystem und der Peripherie sind verschiedene Verfahren entwickelt worden. So wird beispielsweise bei der programmierten Ein-Ausgabe der Datentransfer durch ein vom Mikroprozessor des Systems auszuführendes Programm gesteuert. Als nachteilig erweist sich hierbei, dass mit zunehmender Anzahl Peripheriebausteine auch der Softwareaufwand wächst, und dass der Prozessor die Peripherie je nach Anwendung mehr oder weniger häufig auf das Vorhandensein von Daten oder Steuerbefehlen absuchen muss, wodurch Zeit für andere Aufgaben verloren geht.

Bei einem anderen bekannten Verfahren, der Unterbrechungseingabe (Interrupt), werden diese Nachteile teilweise vermieden. Hierbei ist es üblich, bei Vorliegen von aufzunehmenden Daten oder Steuerbefehlen dem Mikroprozessor des Systems eine Unterbrechungsanforderung zuzuführen, worauf der Prozessor nach deren Akzeptierung das laufende Programm unterbricht, die Registerinhalte zwischenspeichert und mittels eines Interruptprogrammes die neuen, von der Peripherie gesendeten Daten aufnimmt und verarbeitet und nach Beendigung des Interruptprogrammes das Hauptprogramm fortsetzt. Sind mehrere Peripheriebausteine vorhanden und werden gleichzeitig mehrere Unterbrechungen ange-

fordert, so wird mittels einer Prioritätslogik die Reihenfolge der Dateneingabe und -verarbeitung entschieden.

In bekannten Mikrocomputersystemen werden dabei Unterbrechungsprioritäts-Bausteine verwendet, welche gleichzeitig für die parallele Daten-Ein-Ausgabe geeignet sind. Ein derartiger im Handel erhältlicher Baustein, beispielsweise der TMS9901 von Texas (Anwender-Handbuch TM990/100M, Dezember 1977), besitzt an seiner Schnittstelle zur Peripherie sechzehn Interrupteingänge und weitere Ein-Ausgänge für parallel anstehende Daten. An der Schnittstelle zum Mikroprozessor weist der Baustein einen Interruptausgang und vier dazugehörige Adressenausgänge sowie weitere, für den Verkehr mit dem Prozessor erforderliche Ein- und Ausgänge auf. Bei auftretenden Unterbrechungsanforderungen definiert eine interne Prioritätslogik die Priorität der Interruptsignale und bildet die zur höchsten Priorität gehörige Adresse sowie den Interrupt für den Mikroprozessor.

Ein mit dem Verfahren der Unterbrechungseingabe verbundener Nachteil liegt darin, dass der Mikroprozessor gezwungen wird, eine laufende Operation zu unterbrechen und aufzuschieben.

Hierbei kann, bei Anwendung vorstehend beschriebener Bausteine, ein laufendes Interruptprogramm von einem oder mehreren neu auftretenden Interrupts höherer Priorität unterbrochen werden. Die daraus resultierende Interruptprogramm-Verschachtelung erfordert zusätzliche Prozessorzeit. Ein weiterer Nachteil liegt in der relativ beschränkten Anzahl der Interrupteingänge, so dass bei einer Vielzahl von einzugehenden Steuerbefehlen Interrupterweiterung durch Kaskadierung zweier Bausteine vorgenommen werden muss. Das erfordert jedoch zusätzlichen Softwareaufwand und entsprechend mehr Prozessorzeit.

Die der Erfindung zugrunde liegende Aufgabe besteht darin, zwecks Behebung vorstehender Nachteile eine Schaltungsanordnung zu schaffen, die bei einer Vielzahl einzugebender Steuerbefehle mit einer minimalen Anzahl Eingabekanäle auskommt, und mittels welcher die vom Mikroprozessor beim Eingabevorgang aufzuwendende Zeit verringert werden kann. Zur Lösung dieser Aufgabe schlägt die Erfindung, wie sie im Anspruch 1 gekennzeichnet ist, vor, dass beide im Stand der Technik genannten Verfahren teilweise angewendet werden, indem der Mikroprozessor durch ein Freigabesignal seine Bereitschaft für Annahme von Unterbrechungen signalisiert. Hierbei wird durch das Freigabesignal eine zwischen einem Unterbrechungsanforderungs-Eingang des parallelen Ein-Ausgabe-Schnittstellenbausteines und der Peripherieeinheit angeordnete Abtast- und Vergleichseinrichtung aktiviert, welche daraufhin in der Peripherieeinheit zusammengefasste, durch eine Adresse gekennzeichnete Steuerbefehlsgeber abtastet und deren Schaltzustand mit einem unter der gleichen Adresse gespeicherten Schaltzustand vergleicht, wobei bei Ungleichheit eine Unterbrechungsanforderung erzeugt und der gespeicherte Schaltzustand dem des Steuerbefehlsgebers angeglichen wird.

Die mit der Erfindung erzielten Vorteile sind im wesentlichen darin zu sehen, dass einerseits der Mikroprozessor vom Vorgang des Abtastens der Peripherie entlastet ist und andererseits für eine Vielzahl einzugebender Steuerbefehle nur ein Unterbrechungsanforderungs-Eingang erforderlich ist und kein Dateneingang benötigt wird, so dass die übrigen Eingänge des parallelen Schnittstellenbausteines an der Schnittstelle zur Peripherie für andere Aufgaben zur Verfügung stehen. Da die in der Peripherieeinheit zusammengefassten Steuerbefehlsgeber nacheinander abgetastet werden, kann ein einmal laufendes Interruptprogramm durch einen neu eintreffenden Steuerbefehl nicht unterbrochen werden, so dass Prozessorzeit gespart werden kann. Ein weiterer Vorteil liegt in der Zusammenfassung der Steuerbefehlsgeber zu einem matrix-

förmigen Tastenfeld, wodurch, wie an sich bekannt, Ersparnis an Verdrahtung und Ansteuerelementen erzielbar ist.

Auf beiliegender Zeichnung ist ein Ausführungsbeispiel der Erfindung dargestellt, das im folgenden näher erläutert wird. Es zeigen:

Fig. 1 ein Blockschaltbild der erfindungsgemässen Schaltungsanordnung und

Fig. 2 eine Vergleichseinrichtung der Schaltungsanordnung gemäss Fig. 1

In der Fig. 1 ist mit 1 ein matrixförmiges Tastenfeld bezeichnet, dessen Zeilen- und Spaltenleiter an den Kreuzungspunkten mittels eines mit einer Diode 2 in Reihe geschalteten Steuerbefehlsgebers 3 verbindbar sind. Die Zeilenleiter  $Z_0-Z_n$  sind an den Ausgängen einer aus einem Demultiplexer, Optokopplern und Verstärkern bestehenden Zeilenansteuerung 4 angeschlossen. Eine die Zeilenleiter adressierende, aus einem Zähler und einem Taktgenerator bestehende Adressiereinrichtung 4.1 ist über Adressenleiter 4.2 mit der Zeilenansteuerung 4 und einem adressierbaren Latch 4.3 verbunden. Die Spaltenleiter  $S_0-S_n$  sind an den Eingängen eines Spaltenempfängers 5 angeschlossen, welcher aus Optokopplern, Impulsformern und einem Treiber besteht. Die den jeweiligen Spaltenleitern zugeordneten Ausgänge des Spaltenempfängers 5 sind an den Eingängen von Mehrfachspeichern 6 angeschlossen, wobei jedem Zeilenleiter ein Mehrfachspeicher 6 zugeordnet ist und die Anzahl der Speicherzellen eines Mehrfachspeichers 6 gleich der Anzahl der Spaltenleiter ist. So sind beispielsweise bei einer Matrix mit acht Zeilen- und acht Spaltenleitern insgesamt vierundsechzig einzelne Speicherzellen vorhanden, die in acht Mehrfachspeicher 6 in Form von Oktal-Flip-Flops aufgeteilt sind. Die Taktanschlüsse CP der Mehrfachspeicher 6 stehen mit den Ausgängen des adressierbaren Latch 4.3 in Verbindung. Bei der Adressierung beispielsweise des Zeilenleiters  $Z_0$  werden gleichzeitig über das adressierbare Latch 4.3 die Taktanschlüsse CP des dem Zeilenleiter  $Z_0$  zugeordneten Oktal-Flip-Flops 6 aktiviert, so dass die Schaltzustände der mit dem Zeilenleiter  $Z_0$  und den Spaltenleitern  $S_0-S_n$  verbundenen Steuerbefehlsgeber 3 über den Spaltenempfänger 5 und die Eingänge des entsprechenden Oktal-Flip-Flops 6 an dessen Ausgänge übertragen werden.

Mit 7 ist ein Multiplexer bezeichnet, dessen Dateneingänge mit den Ausgängen der Mehrfachspeicher 6 verbunden sind. Ein Bustreiber 7.1 ist eingangsseitig an einem Adressenbus AB eines Mikrocomputersystems 8 angeschlossen und ausgangsseitig über einen ersten Teil der Adressenleiter mit den Adresseneingängen eines Demultiplexers 7.2 und über einen zweiten Teil der Adressenleiter mit den Adresseneingängen des Multiplexers 7 verbunden. Die Ausgänge des Demultiplexers 7.2 stehen mit den Freigabeanschlüssen OE der Ausgänge der Mehrfachspeicher 6 in Verbindung. Der Ausgang Z des Multiplexers 7 ist über den Bustreiber 7.1 an einem Dateneingabeleiter CRUIN angeschlossen, welcher, ebenso wie ein Datenausgabeleiter CRUOUT und ein Taktsignalleiter CRUCLK, einem seriellen Ein-Ausgabebus CRU des Mikrocomputersystems 8 zugeordnet ist.

Ein Mikroprozessor CPU des Mikrocomputersystems 8 ist über den Adressenbus AB, einen Datenbus DB und einen Steuerbus StB mit mindestens einem Schreib-Lesespeicher RAM und einem Festwertspeicher ROM sowie über den Adressenbus AB, den Ein-Ausgabebus CRU und weiteren Leitungen 9, 10 mit einem parallelen Ein-Ausgabe-Interfacebaustein IF und einem DMA-Baustein DMA verbunden. Jeweils ein Bit einer Anzahl von im Schreib-Lesespeicher RAM gespeicherten Datenworten ist dem Schaltzustand eines bestimmten Steuerbefehlsgebers 3 zugeordnet. Der parallele Ein-Ausgabe-Interfacebaustein IF ist über einen Unterbrechungsanforderungs-Eingang CINT und einen ein Freigabe-

signal für eine DMA-Operation ausgebenden Ausgang CIEN an einer in der nachfolgenden Beschreibung der Fig. 2 näher erläuterten Vergleichseinrichtung 11 angeschlossen. Der DMA-Baustein DMA ist über einen ein DMA-Anforderungssignal lesenden Eingang ACCRQI und einen ein Quittierungssignal ausgebenden Ausgang ACCGR1 mit der Vergleichseinrichtung 11 verbunden.

In der Fig. 2 ist mit 12 ein Exklusiv-ODER-Glied bezeichnet, dessen einer Eingang mit dem Dateneingabeleiter CRUIN und dessen anderer Eingang mit dem Datenausgang  $D_{out}$  eines weiteren Schreib-Lesespeichers Flag-RAM verbunden ist. Der Schreib-Lesespeicher Flag-RAM steht mit dem Adressenbus AB in Verbindung und ist über einen Dateneingang  $D_{in}$  an einem Datenleiter DO des Datenbusses DB und über einen Schreibanschluss W an einem Leiter MW des Steuerbusses StB angeschlossen. Im weiteren Schreib-Lesespeicher Flag-RAM sind die Schaltzustände der Steuerbefehlsgeber 3 in Form von 1bit-Worten gespeichert. Der Ausgang des Exklusiv-ODER-Gliedes 12 ist über ein erstes NAND-Glied 13 mit den Eingängen J,  $\bar{K}$  eines ersten JK-Flip-Flops 14 verbunden, dessen Ausgang Q am Unterbrechungsanforderungs-Eingang CINT des parallelen Interfacebausteines IF und einem Eingang eines zweiten NAND-Gliedes 15 angeschlossen ist. Einem weiteren Eingang des ersten NAND-Gliedes 13 kann vom DMA-Baustein, wenn dieser für andere Zwecke eingesetzt ist, über den Leiter 16 ein Sperrsignal zugeführt werden. Der Set-Anschluss S des ersten JK-Flip-Flops 14 steht mit einem weiteren Eingang des zweiten NAND-Gliedes 15 und dem das Freigabesignal ausgebenden Ausgang CIEN des parallelen Interfacebausteines IF in Verbindung. Der Ausgang des zweiten NAND-Gliedes 15 ist mit den Eingängen  $\bar{J}\bar{K}$  eines zweiten JK-Flip-Flops 17 verbunden, dessen Ausgang Q mit dem das DMA-Anforderungssignal lesenden Eingang ACCRQI des DMA-Bausteines und dessen Set-Anschluss mit dem ein Quittierungssignal ausgebenden Ausgang ACCGR1 des DMA-Bausteines verbunden ist.

Die für die Zuführung des Taktsignals zu den JK-Flip-Flops erforderlichen Anschlüsse und Verbindungen sind nicht dargestellt. Die beschriebenen digitalen Verknüpfungsglieder und Bausteine sind im Handel erhältliche Komponenten, wobei beispielsweise für den Mikroprozessor, den parallelen Interfacebaustein und den DMA-Baustein solche vom Typ TMS9900, TMS9901 und TMS9911 von Texas Instruments verwendet werden können. Die an den verschiedenen Ein- und Ausgängen der Bausteine auftretenden Signale tragen die gleichen Bezeichnungen wie die betreffenden Ein- und Ausgänge.

Die vorstehend beschriebene Schaltungsanordnung, die beispielsweise für die Eingabe von Stockwerkkrufen bei mikrocomputergesteuerten Aufzügen angewendet werden kann, arbeitet wie folgt:

Mit der Erzeugung eines Freigabesignals meldet das Mikroprozessorsystem 8 seine Bereitschaft für die Aufnahme von Peripherie-Steuerbefehlen. Hierbei wird das Potential am Ausgang CIEN des parallelen Interfacebausteines IF hochgesetzt. Der Unterbrechungsanforderungs-Eingang CINT des gleichen Bausteines möge nun beispielsweise bei nicht vorhandener Unterbrechungsanforderung hohes Potential aufweisen. In diesem Fall findet am Ausgang des zweiten NAND-Gliedes 15 und beim Taktsignalwechsel auch am Ausgang Q des zweiten JK-Flip-Flops 17 der Vergleichseinrichtung 11 ein Potentialwechsel statt, der am Eingang ACCRQI des DMA-Bausteines als DMA-Anforderungssignal interpretiert wird. Der DMA-Baustein gibt darauf über seinen Ausgang ACCGR1 ein Quittierungssignal an den Set-Anschluss des zweiten JK-Flip-Flops 17 und signalisiert dem

Mikroprozessor CPU, dass er die Kontrolle über den Adressen- und Datenbus AB, DB wünscht. Dies wird nach einer gewissen Latenzzeit gewährt, worauf der DMA-Baustein eine Adresse seines Adressenregisters auf den Adressenbus AB setzt. Damit fühlen sich die Peripherieeinheit 1 bis 7 und der Schreib-Lesespeicher Flag-RAM der Vergleichseinrichtung 11 angesprochen. Ein erster Teil der Adresse identifiziert nun über den Demultiplexer 7.2 ein einem bestimmten Zeilenleiter zugeordnetes Oktal-Flip-Flop 6, indem über den betreffenden Freigabeanschluss OE dessen Ausgänge aktiviert werden. Ein zweiter Teil der Adresse identifiziert über die Adresseingänge des Multiplexers 7 eine einem bestimmten Spaltenleiter zugeordnete einzelne Speicherzelle des Oktal-Flip-Flops 6. In der Folge wird der am Ausgang Z des Multiplexers 7 auftretende, dem Schaltzustand eines bestimmten Steuerbefehlsgebers 3 entsprechende Ausgangszustand der identifizierten Speicherzelle 6 über den Dateneingabeleiter CRUIN an den einen Eingang des Exklusiv-ODER-Gliedes 12 der Vergleichseinrichtung 11 übertragen. Gleichzeitig gibt der Schreib-Lesespeicher Flag-RAM den Inhalt des mittels des ersten und zweiten Teiles der Adresse angesprochenen Speicherplatzes über seinen Ausgang  $D_{out}$  an den anderen Eingang des Exklusiv-ODER-Gliedes 12.

Es sei nun angenommen, dass das gespeicherte 1bit-Wort, entsprechend einem Schaltzustand «AUS», den Wert «0» aufweist, hingegen das abgetastete Peripheriebit, entsprechend einem Schaltzustand «EIN» des betreffenden Steuerbefehlsgebers 3, den Wert «1» hat. Hierbei wird der Ausgang des Exklusiv-ODER-Gliedes 12 hoch und der Ausgang Q des ersten JK-Flip-Flops 14 beim Taktsignalwechsel niedrig gesetzt. Dieser Signalwechsel wird am Eingang CINT des parallelen Interfacebausteines IF als Unterbrechungsanforderung interpretiert. Bei Vorhandensein der Unterbrechungsanforderung kann kein weiteres DMA-Anforderungssignal erzeugt werden, da der mit dem Ausgang Q des ersten JK-Flip-Flops 14 verbundene Eingang des zweiten NAND-Gliedes 15 ebenfalls niedriges Potential aufweist.

Nachdem der Mikroprozessor CPU die Unterbrechungsanforderung akzeptiert hat, liest er die Adresse des DMA-Adressenregisters, bei welcher die Ungleichheit detektiert wurde. Ebenso liest er das abgetastete Peripheriebit auf dem Dateneingabeleiter CRUIN und schreibt es unter dieser Adresse über den Datenleiter DO in den Schreib-Lesespeicher Flag-RAM der Vergleichseinrichtung 11 ein. Nach Beendigung des Unterbrechungsprogrammes setzt der Mikroprozessor den Ausgang CIEN des parallelen Interfacebausteines IF auf niederes Potential, womit das Freigabesignal verschwindet und über den Set-Anschluss S des ersten JK-Flip-Flops 14 dessen Ausgang Q hochgesetzt und damit die Unterbrechungsanforderung gelöscht wird.

Hat das Mikrocomputersystem 8 zu diesem Zeitpunkt keine anderen Aufgaben zu erledigen, so kann es das Freigabesignal erneut ausgeben, so dass die gleichen Vorgänge wie vorstehend beschrieben ablaufen. Wird während des Vergleichsvorganges keine Ungleichheit festgestellt, so wird auch keine Unterbrechungsanforderung erzeugt. In diesem Fall werden bei Aufrechterhaltung des Freigabesignals laufend DMA-Anforderungen gebildet, was dadurch geschieht, dass jeweils nach Quittierung der DMA-Anforderung über den Ausgang ACCGR1 des DMA-Bausteines der Ausgang Q des zweiten JK-Flip-Flops 17 beim Taktsignalwechsel erneut auf niederes Potential gesetzt wird. Bei Erreichen der Endadresse des DMA-Adressenregisters wird eine DMA-Unterbrechungsanforderung erzeugt, wodurch der Mikroprozessor CPU veranlasst wird, die Register des DMA-Bausteines neu zu laden.

Fig. 1

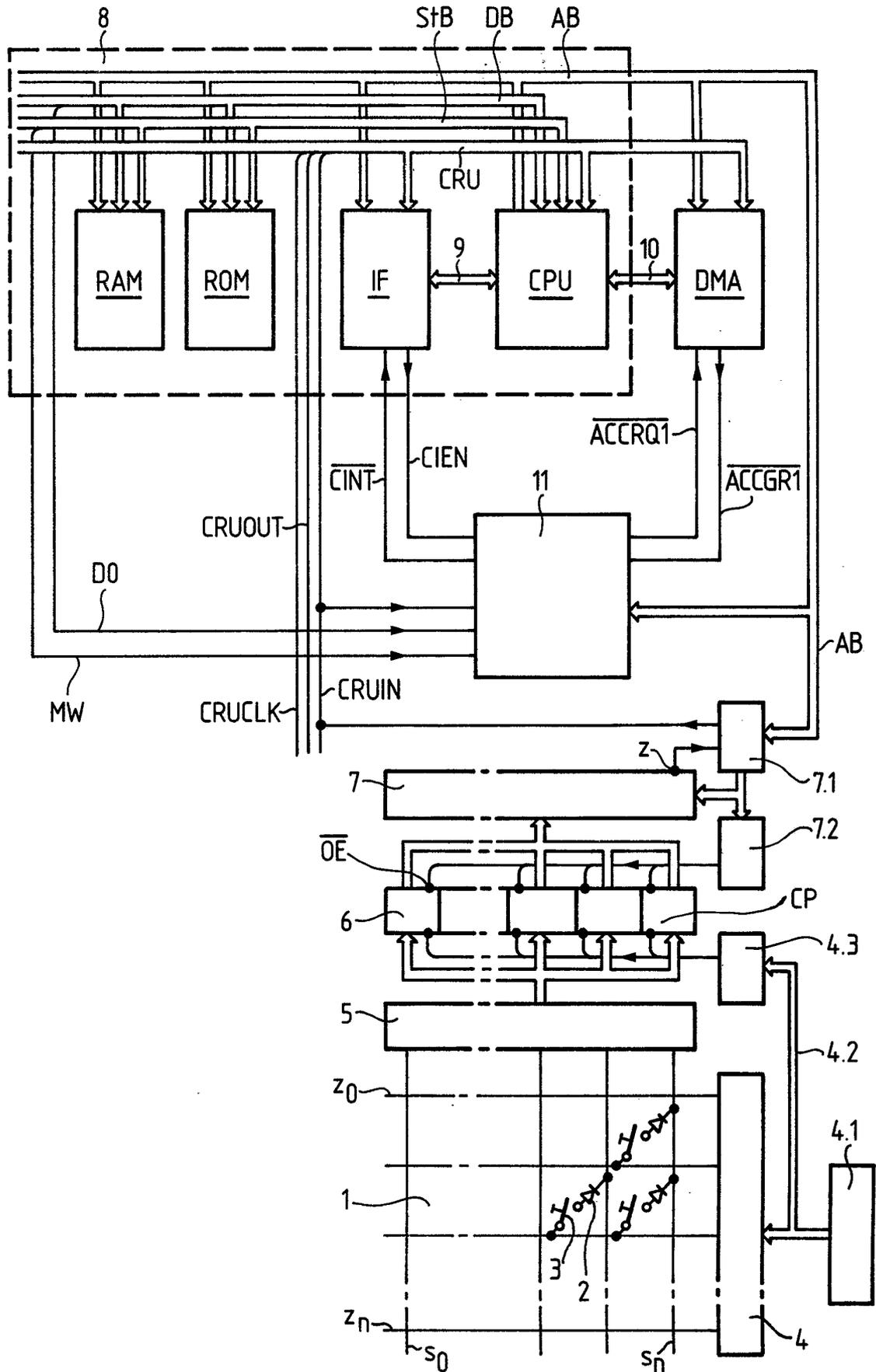


Fig. 2

