



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년01월14일

(11) 등록번호 10-2753328

(24) 등록일자 2025년01월07일

(51) 국제특허분류(Int. Cl.)

H03H 11/16 (2006.01) H01P 1/18 (2006.01)

H03H 17/08 (2006.01)

(52) CPC특허분류

H03H 11/16 (2013.01)

H01P 1/18 (2021.01)

(21) 출원번호 10-2023-0146338

(22) 출원일자 2023년10월30일

심사청구일자 2023년10월30일

(56) 선행기술조사문헌

JP2020068463 A

KR1020090022527 A

US20220231391 A1

(73) 특허권자

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

김철영

대전광역시 서구 둔산로 155, 112동 1302호(둔산동, 크로바아파트)

송재혁

대전광역시 유성구 계룡로74번길 12, 508호 (봉명동, 더그린2차오피스텔)

임정택

대전광역시 대덕구 동서대로1754번길 39, A동 102호(비래동, 수정맨션)

(74) 대리인

특허법인빛과소금

전체 청구항 수 : 총 8 항

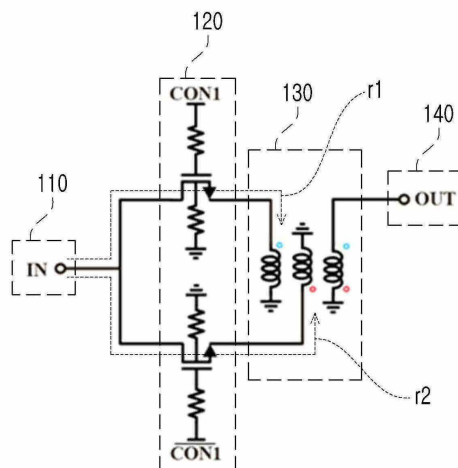
심사관 : 정용택

(54) 발명의 명칭 위상 천이기

(57) 요약

입력단을 통해 입력된 신호(이하, ‘입력신호’라 칭함)가 상이한 경로를 통해 출력단에 선택적으로 전달되도록 상기 입력신호의 전달경로를 스위칭하는 스위칭부; 및 상기 스위칭부와 상기 출력단 간을 커플링함으로써 상기 스위칭부를 통해 스위칭된 신호를 상기 출력단을 통해 출력하는 트랜스포머;를 포함하는 위상 천이기를 제공한다.

대표도 - 도3a



(52) CPC특허분류

H03H 17/08 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711188900
과제번호	2021R1A4A1032580
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	집단연구지원
연구과제명	협력 지능형 엣지를 위한 테라헤르츠 무선 시스템 연구실
기 여 율	1/1
과제수행기관명	충남대학교
연구기간	2023.03.01 ~ 2024.02.29

명세서

청구범위

청구항 1

입력단을 통해 입력된 신호(이하, ‘입력신호’라 칭함)가 상이한 경로를 통해 출력단에 선택적으로 전달되도록 상기 입력신호의 전달경로를 스위칭하는 스위칭부; 및

상기 스위칭부와 상기 출력단 간을 커플링함으로써 상기 스위칭부를 통해 스위칭된 신호를 상기 출력단을 통해 출력하는 트랜스포머;를 포함하고,

상기 스위칭부는,

상기 입력단과 상기 트랜스포머 사이에 배치되어서, 상기 입력신호가 상기 전달경로 중 제1경로를 통해 상기 트랜스포머로 전달되도록 상기 입력단 및 상기 트랜스포머 간을 선택적으로 연결하는 제1스위치; 및

상기 입력단과 상기 트랜스포머 사이에 배치되어서, 상기 입력신호가 상기 전달경로 중 제2경로를 통해 상기 트랜스포머로 전달되도록 상기 입력단 및 상기 트랜스포머 간을 선택적으로 연결하는 제2스위치;를 포함하고,

상기 트랜스포머는,

일단이 상기 제1스위치와 연결되고, 타단이 접지에 연결되어, 상기 제1경로를 통해 전달되는 신호를 제공하는 제1인덕터;

일단이 상기 제2스위치와 연결되고, 타단이 접지에 연결되어 상기 제2경로를 통해 전달되는 신호를 제공하는 제2인덕터; 및

일단이 접지에 연결되고, 타단은 상기 출력단에 연결되고, 상기 제1인덕터 또는 상기 제2인덕터와 자기적으로 커플링되어, 상기 제1인덕터 또는 상기 제2인덕터에 입력된 신호를 상기 출력단 측으로 출력하는 제3인덕터;를 포함하며,

상기 제1스위치가 단락된 상태이며 상기 제2스위치가 개방된 상태인 경우, 상기 제1인덕터와 상기 제3인덕터가 자기적으로 커플링되어서 상기 입력신호와 동위상을 가지도록 유도된 신호인 제1커플링신호가 상기 제3인덕터와 연결되는 상기 출력단을 통하여 출력되고,

상기 제1스위치가 개방된 상태이며 상기 제2스위치가 단락된 상태인 경우, 상기 제2인덕터와 상기 제3인덕터가 자기적으로 커플링되어서 상기 입력신호와 180도의 위상 차이를 가지도록 유도된 신호인 제2커플링신호가 상기 제3인덕터와 연결되는 상기 출력단을 통하여 출력되도록 동작하는 것을 특징으로 하는

위상 천이기.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제1스위치 및 상기 제2스위치 중 적어도 어느 하나는 엔-형 모스펫(N-type MOSFET)으로 마련되는 것을 특징으로 하는

위상 천이기.

청구항 4

제1항에 있어서,

상기 제3인덕터는, 상기 제1인덕터 및 상기 제2인덕터 중 적어도 어느 하나와 가극성의 상호 인덕턴스를 형성하는 것을 특징으로 하는

위상 천이기.

청구항 5

제1항에 있어서,

임피던스 매칭을 위한 매칭부;를 더 포함하고,

상기 매칭부는, 상기 입력단과 상기 스위칭부 사이에 전기적으로 연결되는 제1정합네트워크; 및 상기 트랜스포머와 상기 출력단 사이에 전기적으로 연결되는 제2정합네트워크; 중 적어도 어느 하나를 포함하여 구성되는

위상 천이기.

청구항 6

제1항 또는 제5항에 있어서,

상기 스위칭부와 상기 트랜스포머 사이에 전기적으로 연결되되, 상기 제1경로와 상기 제2경로에 각각 배치되는 수동소자들; 을 더 포함하는 것을 특징으로 하는

위상 천이기.

청구항 7

제1항 또는 제3항 내지 제4항 중 어느 한 항에 있어서,

상기 트랜스포머는, 씨모스(complementary metal-oxide semiconductor; CMOS) 공정을 통해 단일 칩 내 집적되어 형성되며,

상기 트랜스포머는,

상기 제1인덕터를 구현하기 위한 제1권선 중 적어도 일부(이하, ‘제1-1부분’이라 칭함)와 상기 제2인덕터를 구현하기 위한 제2권선 중 적어도 일부(이하, ‘제2-1부분’이라 칭함)가 상호 대향되어 배치되는 제1층;

상기 제3인덕터를 구현하기 위한 제3권선이 상기 제1층을 구성하는 상기 제1-1부분 및 상기 제2-1부분과 수직적으로 자기 결합되도록 상기 제1층의 상부에 적층된 제2층; 및

상기 제1권선 중 나머지 일부(이하, ‘제1-2부분’이라 칭함)과 상기 제2권선 중 나머지 일부(이하, ‘제2-2부분’이라 칭함)가 상호 대향되어 배치되되, 상기 제3권선과 수직적으로 자기 결합되도록 상기 제2층의 상부에 적층된 제3층; 을 포함하고,

상기 제1권선에서, 상기 제1-1부분과 상기 제1-2부분은 전기적으로 연결되되, 연결부위(이하, ‘제1연결부위’라 칭함)에 상기 제3권선이 관통되도록 형성된 제1관통홀이 구비되며,

상기 제2권선에서, 상기 제2-1부분 및 제2-2부분은 전기적으로 연결되되, 상기 제1연결부위와 대향되도록 배치된 연결부위(이하, ‘제2연결부위’라 칭함)에 상기 제3권선이 관통되도록 형성된 제2관통홀이 구비되는 것을 특징으로 하는

위상 천이기.

청구항 8

제7항에 있어서,

상기 제1인덕터와 상기 제2인덕터는 동일한 인덕턴스값을 가지되, 상기 제1인덕터와 상기 제2인덕터의 권선 방향은 상이한 것을 특징으로 하는

위상 천이기.

청구항 9

제7항에 있어서,

상기 제1층 및 상기 제3층 중 어느 하나는 탑 메탈 레이어인 것을 특징으로 하는

위상 천이기.

발명의 설명

기술 분야

[0001] 본 발명은 위상 천이기에 관한 것이다.

배경 기술

[0002] 위상 천이기(Phase Shifter)는 전기적 신호의 위상을 변화시키거나 조절하는 구성으로서, 빔포밍(beam-forming) 또는 위상 배열(phased-array) 기술을 구현하는데 필수적으로 요구된다.

[0003] 이러한 위상 천이기는 응용 대역의 대역폭 내에서 원하는 위상 천이 값 뿐 아니라 낮은 삽입 손실과 위상 오차 등의 다양한 설계요소를 고려해야 한다. 특히, 5G 이상의 통신 기술의 경우, 고주파수 대역(예컨대, 20GHz)에서 동작하고, 요구되는 대역폭이 넓기에 위상 천이기의 광대역 동작이 요구되는 실정이다.

[0004] 한편, 위상 천이기를 구성하는 여러 단위 중에서 180도 위상 천이기의 위상 오류와 손실이 가장 크게 나타나는 단위이다.

[0005] 도1 내지 도2는 종래 필터형 180도 위상 천이기의 회로도를 예시한 것이다.

[0006] 도1의 경우, 두 개의 90도 위상 천이를 위한 회로를 직렬로 연결하여 180도 위상 천이기로 구현한 것이다.

[0007] 이러한 회로 구조에서 90도 위상 천이를 위한 단일 회로의 경우, 도2에 예시된 180도 위상 천이기보다 상대적으로 간단하기 때문에 구현하기 용이할 수 있으나, 180도의 위상 천이를 구현하기 위해서는 두 개의 결합된 구조로 구현되어야 하므로 단일 구조로 구현하는 것 대비 손실이 클 수밖에 없다.

[0008] 도2의 경우, 단일 회로로 구현된 180도 위상 천이기를 예시한 것이다.

[0009] 이러한 180도 위상 천이를 위한 단일 회로 구조의 경우, 도1에 예시된 두 개의 90도 위상 천이 회로가 결합된 구조에 비해 손실이 적고, 대역폭이 넓은 장점이 있으나, 구조가 상대적으로 복잡하여 구현하기 어렵다.

[0010] 다만, 도2의 예시된 180도 위상 천이기에 경우 도1에 예시된 구조 대비 대역폭이 상대적으로 넓은 것 뿐, 기존 필터형 위상 천이기의 경우, 협대역 동작 특성을 보이는 것은 자명한 사실이다.

[0011] 한편, 빔 포밍 또는 위상배열 시스템의 경우, 위상 천이기를 비롯해 많은 RF 구성들을 필요로 하므로, 높은 제작비용이 수반될 수밖에 없다. 이에 그 구현비용을 최소화하기 위해 CMOS(Complementary metal-oxide semiconductor) 기술이 활용되고 있다.

[0012] 이러한 CMOS 기술을 이용한 제작공정은 저비용으로 단일 칩에 RF 회로들을 구현하는데 매우 유리한 기술이나, 화합물 공정등과 같은 높은 제작비용을 수반하는 타 제작공정 대비 충분한 성능을 발휘하기에 부족함이 있었다.

[0013] 이에, 최근에는 CMOS 기술을 이용하여 빔 포밍 또는 위상배열 시스템을 구현하는데 있어서, 그 성능을 개선하고자 하는 시도가 다각도로 이루어지고 있다.

[0014]

선행기술문헌

특허문헌

[0015] (특허문헌 0001) 한국등록특허공보 제10-1988901호(등록일 : 2019.06.07.)

발명의 내용

해결하려는 과제

[0016] 본 발명은 상술한 문제점을 해결하기 위한 것으로 우수한 성능을 담보하면서도 소형화하기 위한 고민으로부터 안출되었다.

과제의 해결 수단

[0017] 이러한 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 위상 천이기는, 입력단을 통해 입력된 신호(이하, '입력신호'라 칭함)가 상이한 경로를 통해 출력단에 선택적으로 전달되도록 상기 입력신호의 전달경로를 스위칭하는 스위칭부; 및 상기 스위칭부와 상기 출력단 간을 커플링함으로써 상기 스위칭부를 통해 스위칭된 신호를 상기 출력단을 통해 출력하는 트랜스포머;를 포함하고, 상기 스위칭부는, 상기 입력단과 상기 트랜스포머 사이에 배치되어서, 상기 입력신호가 상기 전달경로 중 제1경로를 통해 상기 트랜스포머로 전달되도록 상기 입력단 및 상기 트랜스포머 간을 선택적으로 연결하는 제1스위치; 및 상기 입력단과 상기 트랜스포머 사이에 배치되어서, 상기 입력신호가 상기 전달경로 중 제2경로를 통해 상기 트랜스포머로 전달되도록 상기 입력단 및 상기 트랜스포머 간을 선택적으로 연결하는 제2스위치;를 포함하고, 상기 트랜스포머는, 일단이 상기 제1스위치와 연결되고, 타단이 접지에 연결되어, 상기 제1경로를 통해 전달되는 신호를 제공받는 제1인덕터; 일단이 상기 제2스위치와 연결되고, 타단이 접지에 연결되어 상기 제2경로를 통해 전달되는 신호를 제공받는 제2인덕터; 및 상기 제1인덕터 또는 상기 제2인덕터와 자기적으로 커플링되어, 상기 제1인덕터 또는 상기 제2인덕터에 입력된 신호를 상기 출력단 측으로 출력하는 제3인덕터;를 포함할 수 있다.

[0018] 여기서, 상기 제1스위치가 단락된 상태이며 상기 제2스위치가 개방된 상태인 경우, 상기 입력신호와 동위상을 가지도록 유도된 신호인 제1커플링신호가 상기 제3인덕터와 연결되는 상기 출력단을 통하여 출력되고, 상기 제1스위치가 개방된 상태이며 상기 제2스위치가 단락된 상태인 경우, 상기 입력신호와 180도의 위상 차이를 가지도록 유도된 신호인 제2커플링신호가 상기 제3인덕터와 연결되는 상기 출력단을 통하여 출력되도록 동작할 수 있다.

[0019] 이때, 상기 제1스위치 및 상기 제2스위치 중 적어도 어느 하나는 엔-형 모스펫(N-type MOSFET)으로 마련될 수 있다.

[0020] 그리고, 상기 제3인덕터는, 상기 제1인덕터 및 상기 제2인덕터 중 적어도 어느 하나와 가극성의 상호 인덕턴스를 형성할 수 있다.

[0021] 한편, 본 발명이 제안하는 위상 천이기는, 임피던스 매칭을 위한 매칭부;를 더 포함하고, 상기 매칭부는, 상기 입력단과 상기 스위칭부 사이에 전기적으로 연결되는 제1정합네트워크; 및 상기 트랜스포머와 상기 출력단 사이에 전기적으로 연결되는 제2정합네트워크; 중 적어도 어느 하나를 포함하여 구성될 수 있다.

[0022] 또한, 본 발명이 제안하는 위상 천이기는, 상기 스위칭부와 상기 트랜스포머 사이에 전기적으로 연결되되, 상기 제1경로와 상기 제2경로에 각각 배치되는 수동소자들;을 더 포함할 수 있다.

[0023] 아울러, 상기 트랜스포머는, 씨모스(complementary metal-oxide semiconductor; CMOS) 공정을 통해 단일 칩 내 집적되어 형성되며, 상기 트랜스포머는, 상기 제1인덕터를 구현하기 위한 제1권선 중 적어도 일부(이하, '제1-1부분'이라 칭함)와 상기 제2인덕터를 구현하기 위한 제2권선 중 적어도 일부(이하, '제2-1부분'이라 칭함)가 상호 대향되어 배치되는 제1층; 상기 제3인덕터를 구현하기 위한 제3권선이 상기 제1층을 구성하는 상기 제

1-1부분 및 상기 제2-1부분과 수직적으로 자기 결합되도록 상기 제1층의 상부에 적층된 제2층; 및 상기 제1권선 중 나머지 일부(이하, ‘제1-2부분’이라 칭함)과 상기 제2권선 중 나머지 일부(이하, ‘제2-2부분’이라 칭함)가 상호 대향되어 배치되되, 상기 제3권선과 수직적으로 자기 결합되도록 상기 제2층의 상부에 적층된 제3층; 을 포함하고, 상기 제1권선에서, 상기 제1-1부분과 상기 제1-2부분은 전기적으로 연결되되, 연결부위(이하, ‘제1연결부위’라 칭함)에 상기 제3권선이 관통되도록 형성된 제1관통홀이 구비되며, 상기 제2권선에서, 상기 제2-1부분 및 제2-2부분은 전기적으로 연결되되, 상기 제1연결부위와 대향되도록 배치된 연결부위(이하, ‘제2연결부위’라 칭함)에 상기 제3권선이 관통되도록 형성된 제2관통홀이 구비될 수 있다.

[0024] 이때, 상기 제1인덕터와 상기 제2인덕터는 동일한 인덕턴스값을 가지되, 상기 제1인덕터와 상기 제2인덕터의 권선 방향은 상이할 수 있다.

[0025] 그리고, 상기 제1층 및 상기 제3층 중 어느 하나는 탑 메탈 레이어로 마련될 수 있다.

발명의 효과

[0026] 이상에서 설명한 바와 같이 본 발명에 의하면, 다음과 같은 효과가 도출될 수 있다.

[0027] 첫째, 간단한 회로 추가 및 트랜스포머의 구조 변화를 통하여, 손실 및 위상 오류를 최소화하면서도 광대역 동작을 수행할 수 있다. 즉, 위상 천이기의 우수한 성능을 담보할 수 있다.

[0028] 둘째, 트랜스포머의 자체 특성을 이용하여 위상을 뒤집는 방식으로 위상 천이를 달성하면서도, 트랜스포머를 구성하는 인덕터들이 상호 인덕턴스를 활용할 수 있도록 함으로써, 트랜스포머 자체의 크기를 줄일 수 있다.

[0029] 셋째, 우수한 성능을 담보하면서도 소형화된 위상 천이기를 제안함에 따라 면적이 곧 비용으로 직결되는 반도체 분야에 활용될 경우 그 제작비용을 절감하는데 기여할 수 있다.

[0030] 넷째, 본 발명이 제안하는 트랜스포머 및 이를 포함하는 위상 천이기는 종래 대비 빔포밍과 위상 배열 시스템의 RF 전지단의 이득 손실과 위상 오류를 개선하며 통신 품질 및 성능을 크게 향상시킬 수 있으므로 무선통신 산업 발전에 크게 기여할 수 있다.

도면의 간단한 설명

[0031] 도1 내지 도2는 종래의 위상 천이기를 설명하기 위해 도시한 것이다.

도3a 내지 도3c는 본 발명의 일 실시예에 따른 위상 천이기를 설명하기 위해 도시한 것이다.

도4a 내지 도4b는 본 발명의 일 실시예에 따른 위상 천이기의 다양한 적용예에 관하여 도시한 것이다.

도5a 내지 도5b는 본 발명의 일 실시예에 따른 위상 천이기의 광대역 동작 특성을 설명하기 위해 예시한 것이다.

도6은 본 발명과 대비되는 비교예에 관하여 설명하기 위해 도시한 것이다.

도7a 내지 도7b는 도6에 예시된 구성 중 센터탭 트랜스포머를 기관 상에 구현하였을 때 그 구조를 설명하기 위해 도시한 것이다.

도8a 내지 8d는 본 발명이 제안하는 위상 천이기에 적용된 트랜스포머의 실시예에 관하여 설명하기 위해 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0032] 본 발명의 바람직한 실시 예에 대하여 첨부된 도면을 참조하여 더 구체적으로 설명하되, 이미 주지되어진 기술적 부분에 대해서는 설명의 간결함을 위해 생략하거나 압축하기로 한다.

[0033] 본 명세서에서 본 발명의 “일” 또는 “하나의” 실시예에 대한 언급들은 반드시 동일한 실시예에 대한 것은 아니며, 이들은 적어도 하나를 의미한다는 것에 유의해야 한다.

[0034] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0035] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다른 의미를 뜻하지 않는 한, 복수의 표현을 포함한다.

- [0036] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0037] 도면에서 나타난 각 구성은 설명의 편의를 위해 임의로 나타낸 것이므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0039] **<위상 천이기에 관한 설명>**
- [0040] 도3은 본 발명의 일 실시예에 따른 위상 천이기를 설명하기 위해 도시한 것이며, 도3a는 본 발명의 일 실시예에 따른 위상 천이기의 회로도를 도시한 것이고, 도3b 및 도3c는 도3a에 도시된 위상 천이기의 동작을 설명하기 위해 예시한 것이다.
- [0042] 도3a 내지 도3c를 참조하면, 본 발명의 일 실시예에 따른 위상 천이기(100)는 입력단(110), 스위칭부(120), 트랜스포머(130) 및 출력단(140)을 포함하여 구성된다.
- [0043] 입력단(110)에는 신호(예컨대, RF신호)가 입력된다.
- [0044] 스위칭부(120)는 입력단(110)을 통해 입력된 신호(이하, '입력신호'라 칭함)가 상이한 경로를 통해 후술할 출력단(140)에 선택적으로 전달되도록 입력신호의 전달경로를 스위칭하기 위한 구성이다.
- [0045] 스위칭부(120)는 제1스위치(121) 및 제2스위치(122)를 포함한다.
- [0046] 제1스위치(121)는 입력단(110)과 후술할 트랜스포머(130) 사이에 배치되어서, 입력신호가 전달경로 중 제1경로(r1)를 통해 트랜스포머(130)로 전달되도록 입력단(110) 및 트랜스포머(130) 간을 선택적으로 연결한다.
- [0047] 제2스위치(122)는 입력단(110)과 트랜스포머(130) 사이에 배치되어서, 입력신호가 전달경로 중 제2경로(r2)를 통해 트랜스포머(130)로 전달되도록 입력단(110) 및 트랜스포머(130) 간을 선택적으로 연결한다.
- [0048] 이때, 제1스위치(121) 및 제2스위치(122) 중 적어도 어느 하나는 엔-형 모스펫(N-type MOSFET)으로 마련될 수 있다.
- [0049] 좀더 구체적으로는 피-형 모스펫(P-type MOSFET)은 캐리어 전송 속도가 느려 위상 천이기에 적용되는 것이 부적절할 수 있기에, 제1스위치(121) 및 제2스위치(122) 모두가 엔-형 모스펫으로 마련되는 것이 바람직할 수 있다.
- [0050] 즉, 본 발명이 제안하는 위상 천이기(100)는 제1스위치(121) 및 제2스위치(122)의 단락/개방(예컨대, 온/오프)에 따라, 입력단(110)으로 입력되는 입력신호가 제1경로(r1) 또는 제2경로(r2)를 통해 트랜스포머(130)에 전달되게 된다.
- [0051] 트랜스포머(130)는 스위칭부(120)와 출력단(140) 간을 커플링함으로써 스위칭부(120)를 통해 스위칭된 전달경로를 따라 전달된 신호를 상기 출력단을 통해 출력한다.
- [0052] 이러한 트랜스포머(130)는 제1인덕터(L_1), 제2인덕터(L_2) 및 제3인덕터(L_3)를 포함한다.
- [0053] 제1인덕터(L_1)는 일단이 제1스위치(121)와 연결되고, 타단이 접지에 연결되어 제1경로(r1)를 통해 전달되는 신호를 제공받는다.
- [0054] 제2인덕터(L_2)는 일단이 제2스위치(122)와 연결되고, 타단이 접지에 연결되어 제2경로(r2)를 통해 전달되는 신호를 제공받는다.
- [0055] 제3인덕터(L_3)는 제1인덕터(L_1) 또는 제2인덕터(L_2)와 자기적으로 커플링되어, 제1인덕터(L_1) 또는 제2인덕터(L_2)에 입력된 신호를 출력단(140) 측으로 출력한다.
- [0056] 이때, 제3인덕터(L_3)의 일단은 접지에 연결되고, 타단은 출력단(140)에 연결된다.
- [0057] 여기서, 제1인덕터(L_1)와 제2인덕터(L_2)는 동일한 인덕턴스값을 가지되, 제1인덕터(L_1)와 제2인덕터(L_2)의 권선 방향은 상이할 수 있다.
- [0058] 그리고, 제3인덕터(L_3)는 제1인덕터(L_1) 및 제2인덕터(L_2) 중 적어도 어느 하나와 가극성의 상호 인덕턴스를 형성한다.
- [0059] 참고로, 제1인덕터(L_1)와 제3인덕터(L_3) 또는 제2인덕터(L_2)와 제3인덕터(L_3)간에 가극성의 상호 인덕턴스를 형

성함으로써 트랜스포머(130)의 구성으로서 요구되는 인덕턴스 값을 구비하기 위해 가극성의 상호 인덕턴스를 활용할 수 있게 된다. 따라서 요구되는 인덕턴스 값을 구비하기 위한 인덕터들(제1인덕터(L_1), 제2인덕터(L_2) 및 제3인덕터(L_3))의 물리적인 크기는 감소된다. 이는 위상 천이기의 소형화에 기여할 수 있다.

- [0061] 이하에서는, 도3b 내지 도3c를 참조하여, 본 발명이 제안하는 위상 천이기(100)의 동작을 설명하고자 한다.
- [0062] 참고로, 제1스위치(121)와 제2스위치(122)는 입력신호를 0° 또는 180° 로 위상을 천이기 위한 스위치 역할을 한다. 각 스위치에 따라 트랜스포머(130)의 제3인덕터(L_3)의 유도 방향이 변경되어 위상 지연을 발생시킨다.
- [0063] 먼저, 도3b를 참조하면, 컨트롤 전압에 의해 제1스위치(121)가 단락된 상태이며, 제2스위치(122)가 개방된 상태인 경우, 트랜스포머(130)의 두 개의 1차 인덕터(예컨대, 제1인덕터(L_1) 및 제2인덕터(L_2)) 중 제1인덕터(L_1)로 흐르는 전류가 트랜스포머(130)의 2차 인덕터(예컨대, 제3인덕터(L_3))의 접지에서 출력 방향 즉, 출력단(140) 측으로 유도전류를 발생시킨다.
- [0064] 이때, 위상 천이기(100)는 입력신호와 동위상(0°)을 가지도록 유도된 신호인 제1커플링신호가 제3인덕터(L_3)와 전기적으로 연결되는 출력단(140)을 통하여 출력되도록 동작할 수 있다.
- [0065] 다음으로, 도3c를 참조하면, 컨트롤 전압에 의해 제1스위치(121)가 개방된 상태이며, 제2스위치(122)가 단락된 상태인 경우, 트랜스포머(130)의 두 개의 1차 인덕터 중 제2인덕터(L_2)로 흐르는 전류가 트랜스포머(130)의 2차 인덕터 즉, 제3인덕터(L_3)의 출력에서 접지 방향 측으로 유도전류를 발생시킨다.
- [0066] 이때, 위상 천이기(100)는 입력신호와 역위상(180°)을 가지도록 유도된 신호인 제2커플링신호가 제3인덕터(L_3)와 전기적으로 연결되는 출력단(140)을 통하여 출력되도록 동작할 수 있다.
- [0067] 참고로, 컨트롤 전압은 위상 천이기(100)와 전기적으로 연결된 프로세서(미도시)에 의해 제어될 수 있다.
- [0068] 일례로, 프로세서에 의해 제1스위치(121) 또는 제2스위치(122)에 제1제어신호(예컨대, 1)이 전달되면, 제1스위치(121) 또는 제2스위치(122)가 단락 즉, 온 상태로 동작하게 된다.
- [0069] 또 다른 예로, 프로세서에 의해 제1스위치(121) 또는 제2스위치(122)에 제2제어신호(예컨대, 0)이 전달되면, 제1스위치(121) 또는 제2스위치(122)가 개방 즉, 오프 상태로 동작하게 된다.
- [0070] 결론적으로, 출력단(140) 측에 구비된 제3인덕터(L_3)의 유도 전류의 변화로 스위칭부(120)의 동작에 따라 출력단(140)을 통하여 출력되는 출력신호의 위상이 입력신호와 대비하였을 때 동위상(0°) 또는 역위상(180°)으로 출력되게 되는 것이다.
- [0071] 이상적으로, 스위치가 오프 상태인 경로는 전류가 흐르지 않기 때문에 해당 경로와 전기적으로 연결된 인덕터(예컨대, 제1인덕터 또는 제2인덕터)는 트랜스포머(130)에 영향을 주지 않고, 스위치가 온 상태인 경로에 연결된 인덕터(예컨대, 제1인덕터 또는 제2인덕터)만이 제3인덕터(L_3)와 가극성을 유지하게 된다.
- [0072] 이하에서는, 도4를 참조하여 본 발명의 일 실시예에 따른 위상 천이기의 다양한 적용예에 관하여 설명하고자 한다.
- [0073] 도4는 본 발명의 일 실시예에 따른 위상 천이기를 설명하기 위해 도시한 것이며, 도4a는 매칭부(150)를 더 포함하는 위상 천이기의 회로도를 예시한 것이고, 도4b는 수동소자(160)를 더 포함하는 위상 천이기의 회로도를 예시한 것이다.
- [0074] 먼저, 도4a를 참조하면, 본 발명의 일 실시예에 따른 위상 천이기(100)는 임피던스 매칭을 위한 매칭부(150)를 더 포함할 수 있다.
- [0075] 이러한 매칭부(150)는 임피던스 매칭(예컨대, 50옴[ohm])뿐 아니라 광대역 매칭 또한 수행할 수 있으므로, 본 발명이 제안하는 위상 천이기(100)의 광대역 동작에 기여할 수 있다.
- [0076] 매칭부(150)는 제1정합네트워크(151)와 제2정합네트워크(152) 중 적어도 어느 하나를 포함할 수 있다.
- [0077] 즉, 매칭부(151)는 제1정합네트워크(151) 또는 제2정합네트워크(152) 즉, 하나의 정합네트워크만을 포함하도록 설계되거나, 상기한 정합네트워크들을 모두 포함하도록 설계될 수 있음은 물론이다.

- [0078] 이때, 제1정합네트워크(151)는 입력단(110)과 스위칭부(120) 사이에 전기적으로 연결된다.
- [0079] 그리고, 제2정합네트워크(152)는 트랜스포머(130)와 출력단(140) 사이에 전기적으로 연결된다.
- [0080] 참고로, 제1정합네트워크(151) 및 제2정합네트워크(152)는 커패시터, 인덕터와 같은 수동소자들을 직렬/병렬로 연결하여 조합된 회로일 수 있다.
- [0081] 다음으로, 도4b를 참조하면, 본 발명의 일 실시예에 따른 위상 천이기(100)는 임피던스 매칭뿐 아니라, 트랜스포머(130)의 구현을 용이하게 하기 위해 인덕터, 커패시터와 같은 수동소자들(L_a)을 더 포함할 수 있다.
- [0082] 이러한 수동소자들은 스위칭부(120)와 트랜스포머(130) 사이에 전기적으로 연결되되, 제1경로($r1$)과 제2경로($r2$)에 각각 배치될 수 있다.
- [0083] 참고로, 도4b에 예시된 바와 같이, 두 개의 인덕터(L_a)를 추가 구성한 경우, 두 개의 인덕터 각각의 인덕턴스는 실질적으로 동일할 수 있다.
- [0084] 이와 더불어, 구현하기에 따라 입력단(110)과 스위칭부(120) 사이 또는 트랜스포머(130)와 출력단(140) 사이에 수동소자 예컨대, 커패시터(C_1 , C_2)가 부가적으로 연결되어 있을 수 있다.
- [0085] 이러한 위상 천이기(100) 내 수동소자의 추가는 트랜스포머(130)를 이용하여 광대역 동작 구현에 용이하며, 트랜스포머(130)의 1차 인덕터가 온전히 2차 인덕터로 전달되도록 구성되어, 삽입 손실을 최소화할 수 있다.
- [0086] 또한, 2차 인덕터의 유도 전류 방향을 변경하여 위상을 180° 변화시키기 때문에 위상 오류를 최소화할 수 있다.
- [0088] 이하에서는, 도5를 참조하여, 본 발명이 제안하는 위상 천이기(100)가 종래 필터형 위상 천이기 대비 광대역 동작을 수행한다는 것을 설명하고자 한다.
- [0089] 도5는 본 발명의 광대역 동작 특성을 설명하기 위해 예시한 것이며, 좀더 구체적으로 도5a는 종래 필터형 위상 천이기에서 주파수변화에 따른 반사계수를 예시한 것이고, 도5b는 본 발명이 제안한 트랜스포머를 적용한 위상 천이기에서 주파수변화에 따른 반사계수를 예시한 것이다.
- [0090] 도5a를 참조하면, 인덕터와 커패시터로 구성되는 필터 구조가 적용된 종래 위상 천이기의 경우, 협대역 동작을 한다는 것을 확인할 수 있다. 즉, 광대역 동작을 수행하기에 어려움이 존재하는 것이다.
- [0091] 반면에, 도5b를 참조하면, 본 발명이 제안하는 트랜스포머를 적용함으로써 종래 위상 천이기 대비 광대역 동작을 수행한다는 것을 확인할 수 있다.
- [0092] 이는, 트랜스포머에 구성된 인덕터를 간에 상호 인덕턴스가 형성되며, 종래 위상 천이기에서 양 포트 사이의 전달함수에 비하여 극점(pole)이 하나 더 추가되기 때문이다.
- [0093] 즉, 본 발명은 광대역 동작을 수행할 수 있게 설계되었다.
- [0094] 이와 별개로, 종래 필터형 위상 천이기와 본 발명 간의 차이점을 추가적으로 기술하면, 종래 필터형 위상 천이기의 경우, 지연소자의 특성을 이용하여 지연도를 조절하는 방식이기 때문에 공정 변이(variation)가 어렵고, 지연소자의 미세한 공정 오차에도 목표하는 위상 천이가 달성되기 어려움이 있었다. 또한 임피던스 매칭을 동반한 설계가 필요하므로 설계 난이도가 높을 수밖에 없었다.
- [0095] 반면에, 본 발명은 트랜스포머의 본질적인 특성을 이용하는 것이어서, 공정 오차에 민감하지 않고, 공정 변이 역시 용이한 장점이 있다.
- [0097] **<트랜스포머에 관한 설명>**
- [0098] 도6 내지 도7은 본 발명과 대비되는 비교예에 관하여 설명하기 위해 도시한 것이고, 도8은 본 발명이 제안하는 위상 천이기에 적용된 트랜스포머의 실시예에 관하여 설명하기 위해 도시한 것이다.
- [0099] 참고로, 본 발명이 제안하는 위상 천이기에 적용된 트랜스포머는 씨모스(complementary metal-oxide semiconductor; CMOS) 공정을 통해 단일 칩 내 집적되어 형성된다. 이때, 본 발명이 제안하는 트랜스포머는 180° 위상 천이에 특화되도록 설계되었다.
- [0100] 이하에서는 도6 내지 도8을 참조하여, 트랜스포머를 활용한 비교예와 실시예에 대해 논하면서, 본 발명의 효용

성에 관하여 기술하고자 한다.

[0102] **<비교예에 관한 설명>**

[0103] 도6은 트랜스포머를 활용한 위상 천이기의 비교예를 설명하기 위한 회로도이다. 도7a 내지 도7d는 도6의 회로도에서 센터탭 트랜스포머를 기관 상에 구현하였을 때 그 구조를 설명하기 위해 예시한 것이다.

[0104] 먼저, 도6을 참조하면, 비교예의 위상 천이기(PS)는 제1스위치(M1), 제2스위치(M2) 및 센터탭 트랜스포머(CT)로 구성된다.

[0105] 제1스위치(M1)와 제2스위치(M2)의 경우, 앞서 언급한 구성과 동일한 역할을 수행하므로 그 기동에 대한 설명은 생략코자 한다.

[0106] 센터탭 트랜스포머(CT)는 상기한 스위치들과 전기적으로 연결된 1차인덕터(L_a , L_b), 2차인덕터(L_c , L_d) 및 센터탭 커패시터(C_{s2})를 포함하여 구성될 수 있다.

[0107] 이때, 제1스위치(M1)가 온 상태이고, 제2스위치(M2)가 오프 상태면, 위상 천이기(PS)의 입력단을 통해 입력되는 입력신호는 1차인덕터 중 1단에 연결된 인덕터(L_a)에 전달되고, 1차인덕터(L_a)와 자기적으로 커플링된 2차인덕터(L_c , L_d)를 통해 유도된 동위상(0°)의 커플링신호가 출력단으로 출력되게 된다.

[0108] 그리고, 제1스위치(M1)가 오프 상태이고, 제2스위치(M2)가 온 상태면, 위상 천이기(PS)의 입력단을 통해 입력된 입력신호는 1차인덕터 중 2단에 연결된 인덕터(L_b)에 전달되고, 1차인덕터(L_b)와 자기적으로 커플링된 2차인덕터(L_c , L_d)를 통해 유도된 역위상(180°)의 커플링신호가 출력단으로 출력되게 된다.

[0109] 도7a는 센터탭 트랜스포머의 평면도이며, 도7b는 입력신호와 동위상의 커플링신호를 출력할 경우에 동작하는 1차인덕터를 예시한 것이고, 도7c는 입력신호와 역위상의 커플링신호를 출력할 경우에 동작하는 1차인덕터를 예시한 것이며, 도7d는 1차인덕터와 커플링됨으로써 제공받은 커플링신호를 출력할 경우에 동작하는 2차인덕터를 예시한 것이다.

[0110] 비교예로서 제시한 위상 천이기(PS) 본 발명에서 제안된 아이디어처럼 회로 크기를 축소하기 위해 센터탭 트랜스포머(CT)를 구성하는 1차인덕터와 2차인덕터를 적층된 형상으로 구현할 수 있다.

[0111] 그러나, 위상 천이기(PS)에 포함된 센터탭 트랜스포머(CT)에 경우, 위상 천이를 위한 동작 변화시 신호(전류)가 흐르는 종단이 센터탭(C_{s2})로 흐르게 되며, 신호 전달을 위해 센터탭 트랜스포머(CT)의 절반만 동작에 기여할 수밖에 없다. 즉, 각 위상을 출력하는데 있어 전체 센터탭 트랜스포머(CT)의 절반만 사용하게 되므로, 기본 손실이 있을 뿐만 아니라, 센터탭 트랜스포머(CT)를 효율적으로 사용할 수 없다.

[0112] 또한, 센터탭 트랜스포머(CT)의 절반만 활용함에 목표하는 주파수에서 원하는 인덕턴스값을 구현하기 위해서는 본 발명이 제안하는 트랜스포머(130) 대비 그 크기가 커질 수밖에 없다.

[0114] **<실시예에 관한 설명>**

[0115] 이하에서는, 도8을 참조하여 본 발명이 제안하는 트랜스포머(130)의 구조를 설명하고자 한다. 다만, 트랜스포머(130)는 앞서 설명한 제1인덕터(L_1), 제2인덕터(L_2) 및 제3인덕터(L_3)의 기능을 수행하기 위한 것이므로, 그 동작은 앞서 설명한 제1인덕터(L_1), 제2인덕터(L_2) 및 제3인덕터(L_3)의 기능 및 동작에 관한 설명으로 일부 대체될 수 있다.

[0116] 도8은 본 발명이 제안하는 위상 천이기에 적용된 트랜스포머의 실시예에 관하여 설명하기 위해 도시한 것이다.

[0117] 도8a는 트랜스포머의 평면도이며, 도8b는 입력신호와 동위상의 제1커플링신호를 출력할 경우에 동작하는 제1인덕터를 예시한 것이고, 도8c는 입력신호와 역위상의 제2커플링신호를 출력할 경우에 동작하는 제2인덕터를 예시한 것이며, 도8d는 제1인덕터 또는 제2인덕터와 커플링됨으로써 제공받은 커플링신호를 출력할 경우에 동작하는 제3인덕터를 예시한 것이다.

[0118] 도8a 내지 도8d를 참조하면, 본 발명이 제안하는 트랜스포머(130)는 제1층(131), 제2층(132) 및 제3층(133)을 포함할 수 있다.

- [0119] 제1층(131)에는 제1인덕터(L_1)를 구현하기 위한 제1권선 중 적어도 일부(이하, ‘제1-1부분(P_{1-1})’이라 칭함)와 제2인덕터(L_2)를 구현하기 위한 제2권선 중 적어도 일부(이하, ‘제2-1부분(P_{2-1})’이라 칭함)가 상호 대향되어 배치된다.
- [0120] 제2층(132)은 제3인덕터(L_3)를 구현하기 위한 제3권선이 제1층(131)을 구성하는 제1-1부분(P_{1-1}) 및 제2-1부분(P_{2-1})과 수직적으로 자기 결합되도록 제1층(131)에 적층된다.
- [0121] 제3층(133)은 제1권선 중 나머지 일부(이하, ‘제1-2부분(P_{1-2})’이라 칭함)가 제2권선 중 나머지 일부(이하, ‘제2-2부분(P_{2-2})’이라 칭함)가 상호 대향되어 배치되되, 제3권선과 수직적으로 자기 결합되도록 제2층(132)의 상부에 적층된다.
- [0122] 이때, 제1권선에서 제1-1부분(P_{1-1})과 제1-2부분(P_{1-2})은 전기적으로 연결되되, 연결부위(이하, ‘제1연결부위(CP_1)’라 칭함)에 제3권선이 관통되도록 형성된 제1관통홀(H_1)이 구비된다.
- [0123] 이와 더불어, 제2권선에서 제2-1부분(P_{2-1})과 제2-2부분(P_{2-2})은 전기적으로 연결되되, 제1연결부위(CP_1)와 대향되도록 배치된 연결부위(이하, ‘제2연결부위(CP_2)’라 칭함)에 제3권선이 관통되도록 형성된 제2관통홀(H_2)이 구비된다.
- [0124] 좀더 구체적으로 설명하면, 제1권선은 제1인덕터(L_1)를 구현하기 위해 제1층(131) 및 제3층(133)에 마련될 수 있다. 이때, 제1권선은 상측으로 연장된 일단(E_1)과 타단(E_2)을 구비하며, 일단(E_1)을 통해 입력신호를 입력받을 수 있다. 그리고, 제1권선의 타단(E_2)은 접지(GND)에 연결된다.
- [0125] 제2권선은 제2인덕터(L_2)를 구현하기 위해 제1층(131) 및 제3층(133)에 마련될 수 있다. 이때, 제2권선은 하측으로 연장된 일단(E_3)과 타단(E_4)을 구비하며, 일단(E_3)을 통해 입력신호를 입력받을 수 있다. 그리고, 제1권선의 타단(E_4)은 접지(GND)에 연결된다.
- [0126] 제3권선은 제3인덕터(L_3)를 구현하기 위해 제2층(132)에 마련될 수 있다. 이때, 제3권선은 우측으로 연장된 양단(E_5 , E_6)을 통해 제1커플링신호 또는 제2커플링신호를 출력할 수 있다.
- [0127] 이때, 제3권선과 제1권선 또는 제2권선은 가극성의 상호 인덕턴스를 형성하며 자기 결합될 수 있다. 이 경우, 각 층에 구비된 인덕터들의 실질적인 인덕턴스는 증가하므로, 설계자 또는 제작자는 제1권선, 제2권선 및 제3권선을 소형화하여 설계 또는 제작하는 것이 가능하게 된다. 이것은, 트랜스포머(130)를 소형화하는데 기여할 수 있다.
- [0128] 한편, 제1층(131) 및 제3층(133) 중 어느 하나는 탑 메탈 레이어로 마련될 수 있다. 좀더 구체적으로는 제3층(133)에 구비되는 제1권선 및 제2권선이 탑 메탈 레이어로 마련될 수 있다.
- [0129] 탑 메탈 레이어는 CMOS 공정에서 이용되는 M1 내지 M9 즉, 9개의 메탈 레이어 중 M9를 의미하며, 다른 메탈 레이어에 비하여 그 두께가 두껍고, 단면적이 넓어 전력 전달 효율이 우수하다.
- [0130] 좀더 상세하게는 제3층(133)에 구성된 제1권선 및 제2권선 중 적어도 일부를 탑 메탈 레이어로 마련함으로써, 1차인덕터(예컨대, 제1인덕터(L_1) 또는 제2인덕터(L_2))와 2차인덕터(예컨대, 제3인덕터(L_3)) 간의 신호 전달 효율을 높이는데 기여할 수 있다.
- [0131] 참고로, 도8b 내지 도8d에 예시된 인덕터들의 구현 예에서, 각 인덕터들을 구현하기 위한 권선들 간의 두께에서 일부 차이가 있는 것으로 보인다. 그러나, 이는 하나의 실시예이므로, 원하는 인덕턴스 값을 가지도록 구현하기에 따라 각 인덕터들을 구현하기 위한 권선들의 두께는 동일하거나, 각기 다를 수 있음은 물론이다.
- [0132] 앞서 언급한 비교예와 본 실시예를 대비하였을 때, 센터탭 방식의 트랜스포머를 이용하는 것 보다 본 발명이 제안하는 트랜스포머를 위상 천이기에 적용할 경우, 자체인덕턴스에 대한 상호 인덕턴스 비율이 더 높아질 수밖에 없다.
- [0133] 이는, 본 발명이 제안하는 트랜스포머와 비교예에서 제시된 센터탭 트랜스포머가 동일한 인덕턴스 값을 가지도

록 구현해야 한다면, 본 발명이 좀더 작은 크기로 구현될 수 있음을 시사한다.

[0135] 상술한 바와 같이, 본 발명에 대한 구체적인 설명은 도면을 참조한 실시예에 의해서 이루어졌지만, 상술한 실시예는 본 발명의 바람직한 예를 들어 설명하였을 뿐이기 때문에, 본 발명이 상기의 실시예에만 국한되는 것으로 이해되어져서는 아니 되며, 본 발명의 권리범위는 후술하는 청구범위 및 그 균등범위로 이해되어야 할 것이다.

부호의 설명

[0136] 100 : 위상 천이기

110 : 입력단

120 : 스위칭부

121 : 제1스위치

122 : 제2스위치

130 : 트랜스포머

131 : 제1층

132 : 제2층

133 : 제3층

L_1 : 제1인덕터

E_1, E_2 : 일단, 타단

P_{1-1}, P_{1-2} : 제1-1부분, 제1-2부분

L_2 : 제2인덕터

E_3, E_4 : 일단, 타단

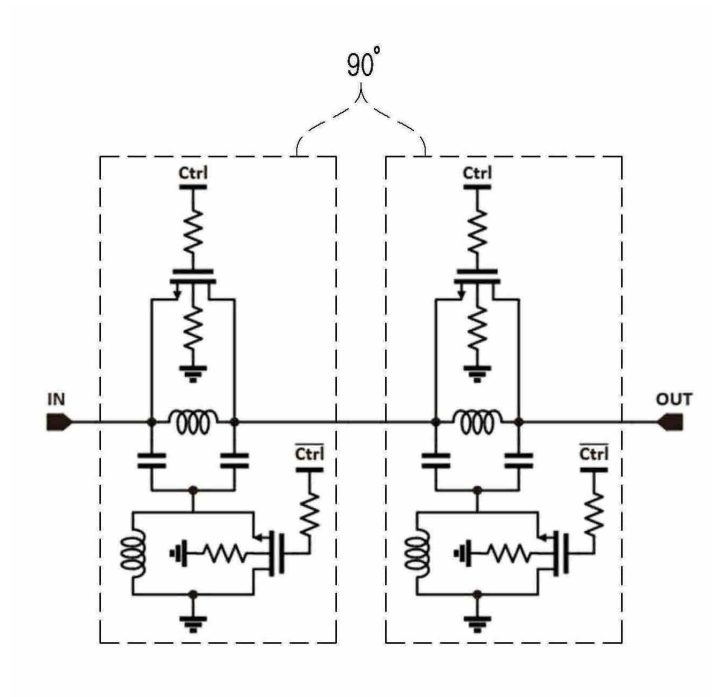
P_{2-1}, P_{2-2} : 제2-1부분, 제2-2부분

L_3 : 제3인덕터

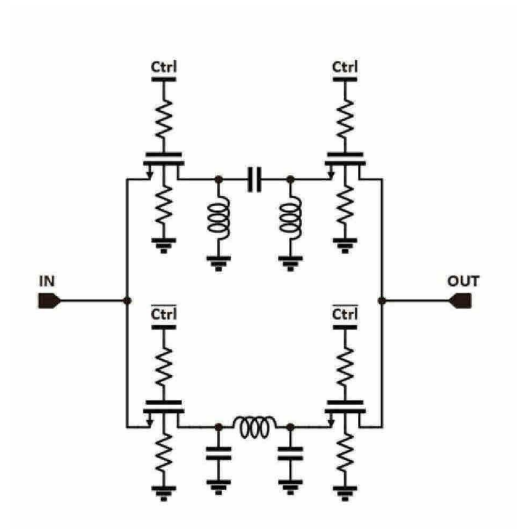
E_5, E_6 : 양단

도면

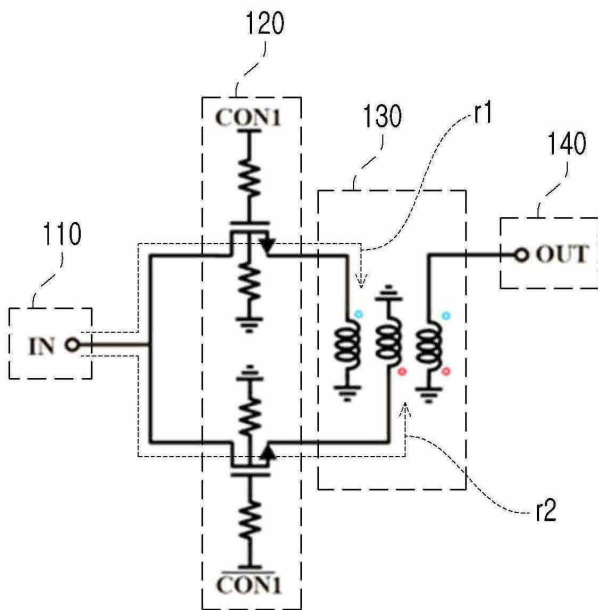
도면1



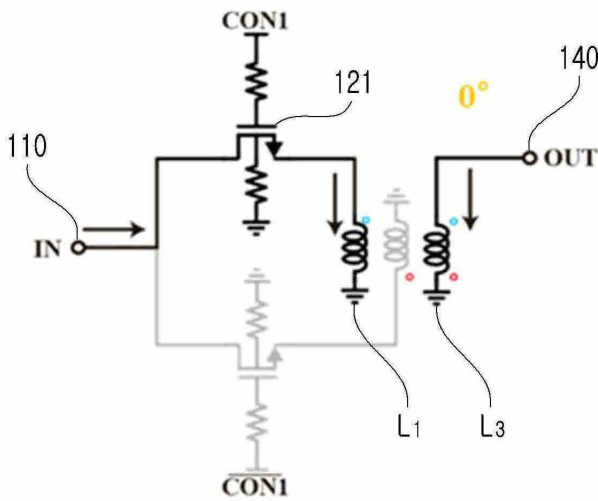
도면2



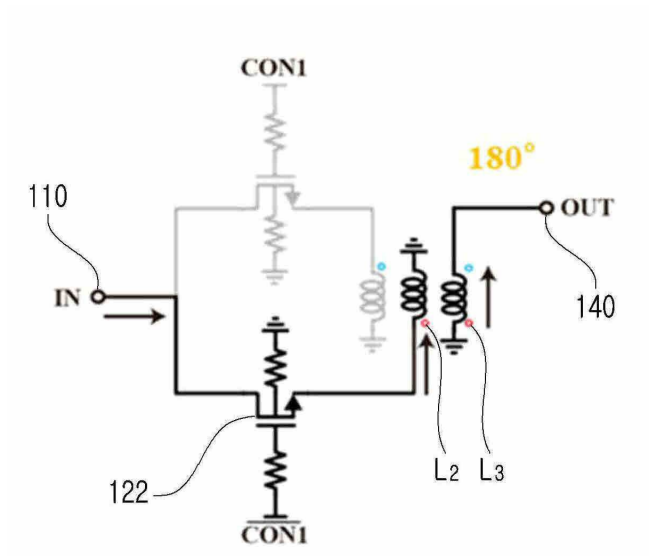
도면3a



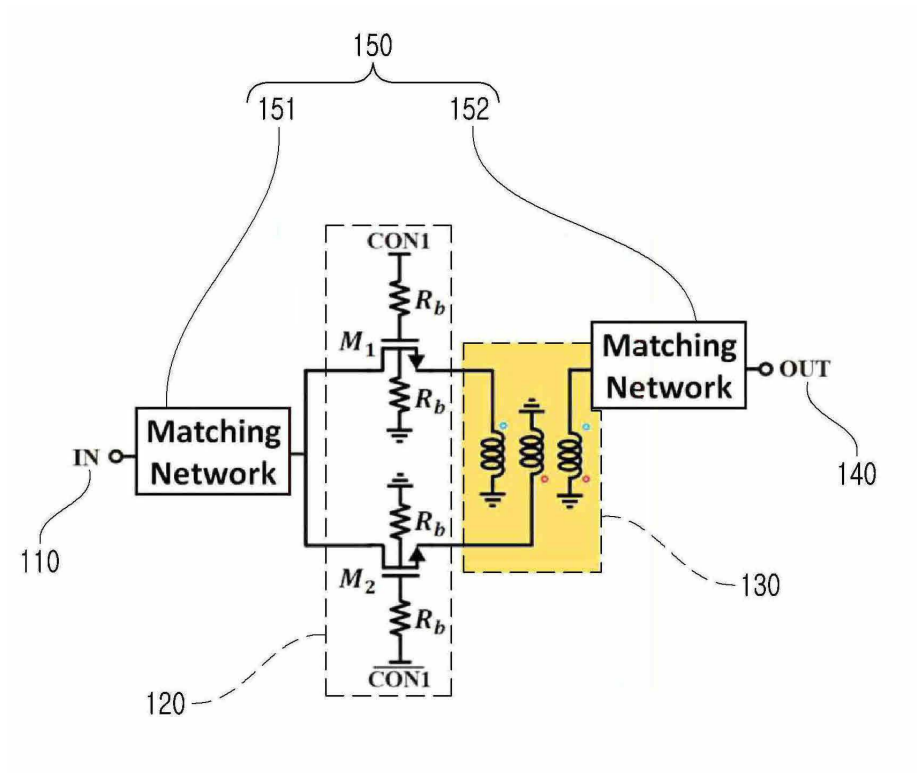
도면3b



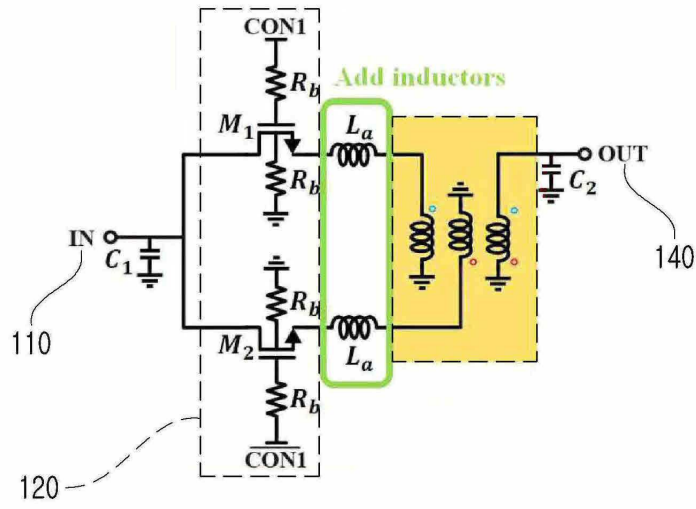
도면3c



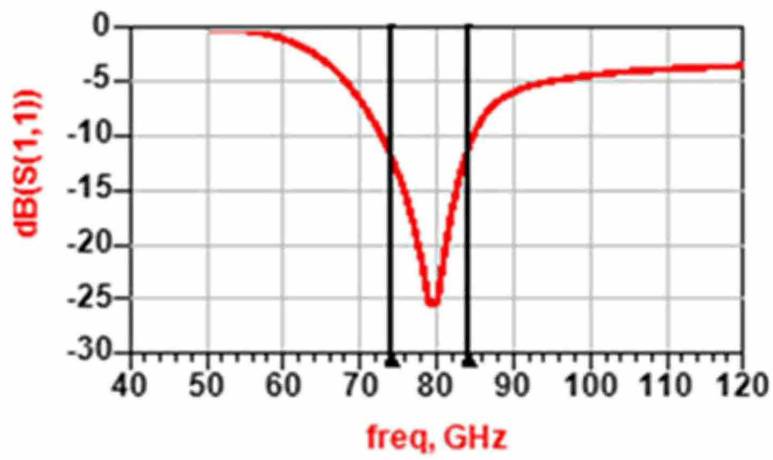
도면4a



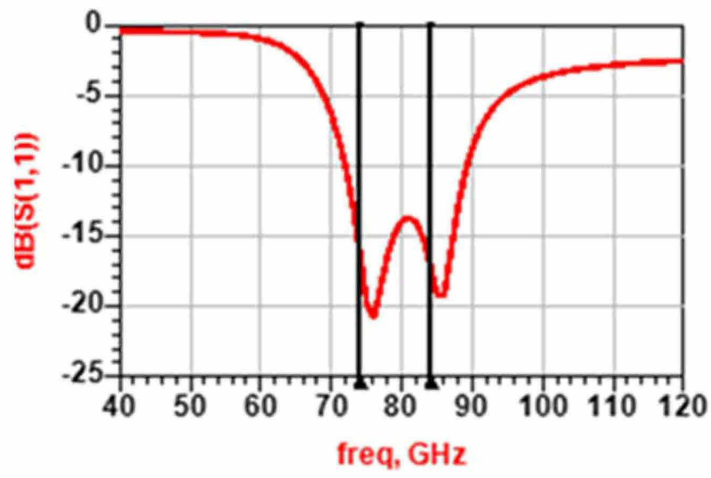
도면4b



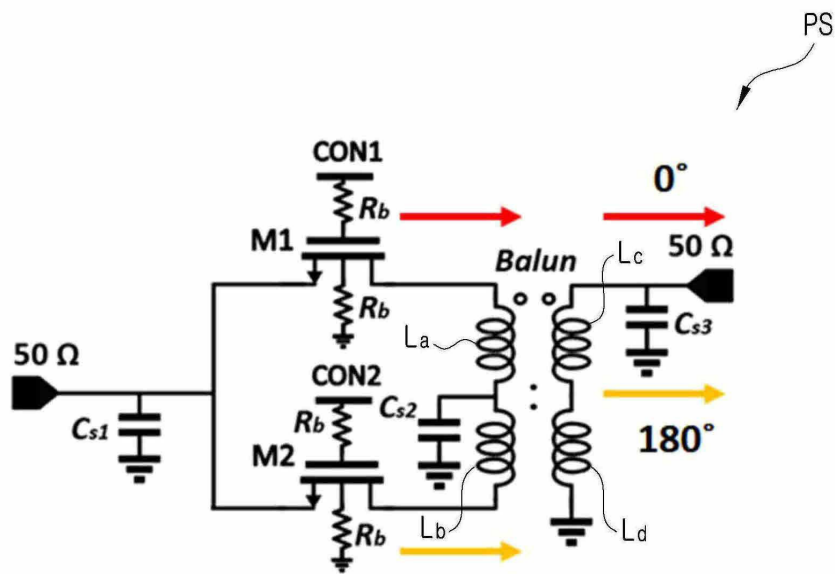
도면5a



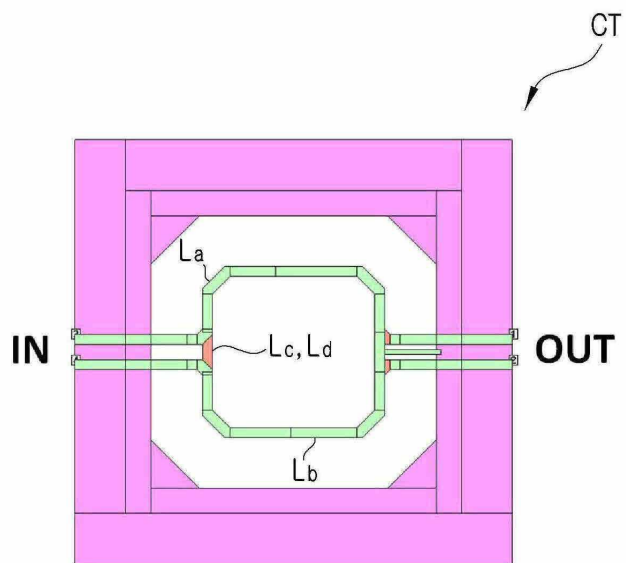
도면5b



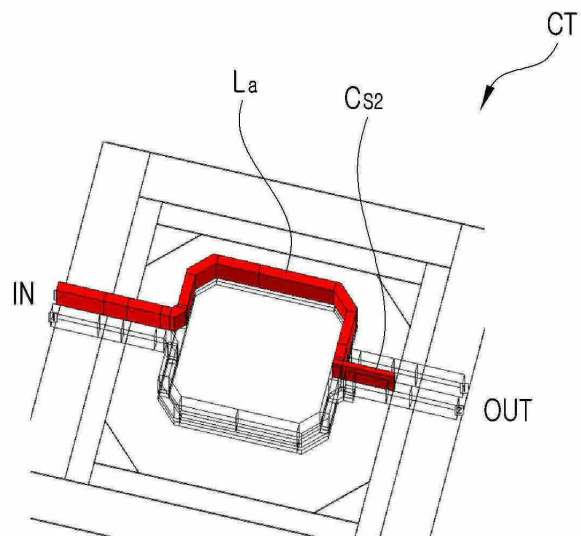
도면6



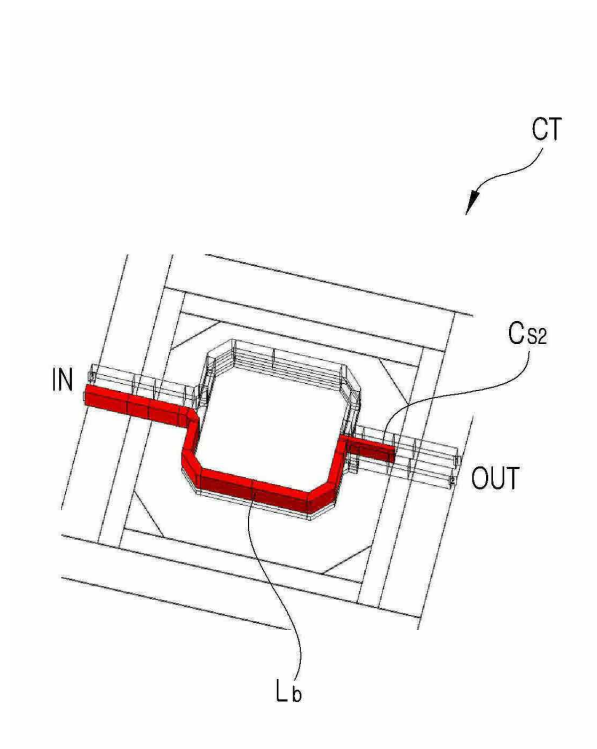
도면7a



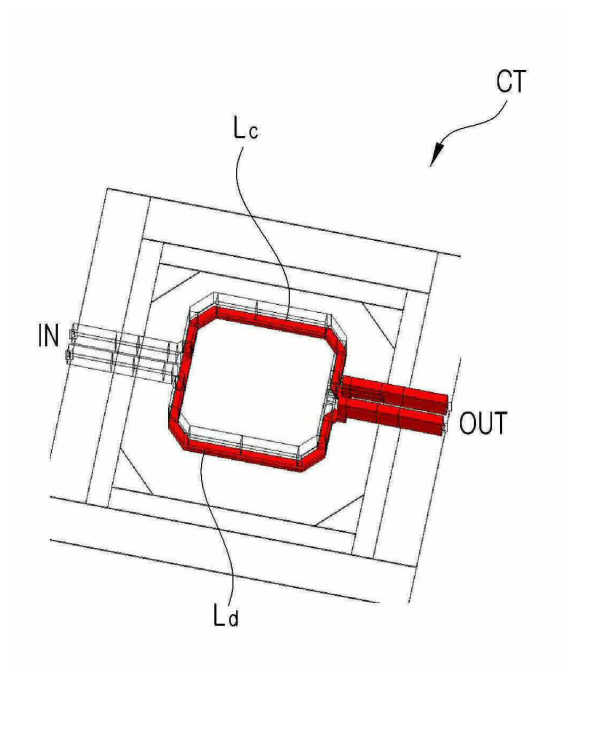
도면7b



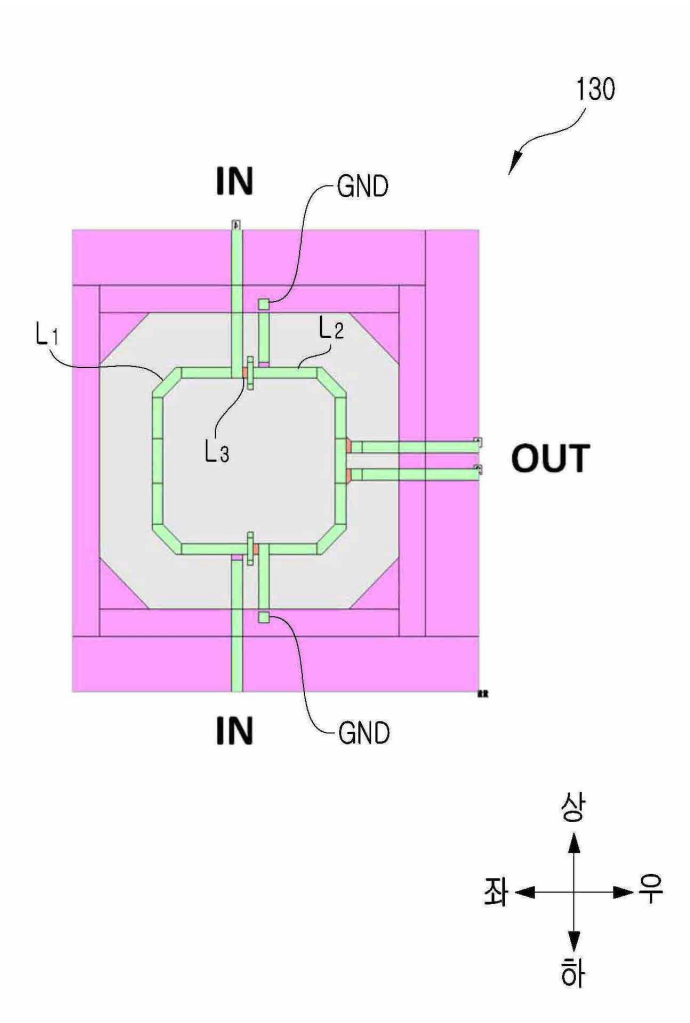
도면7c



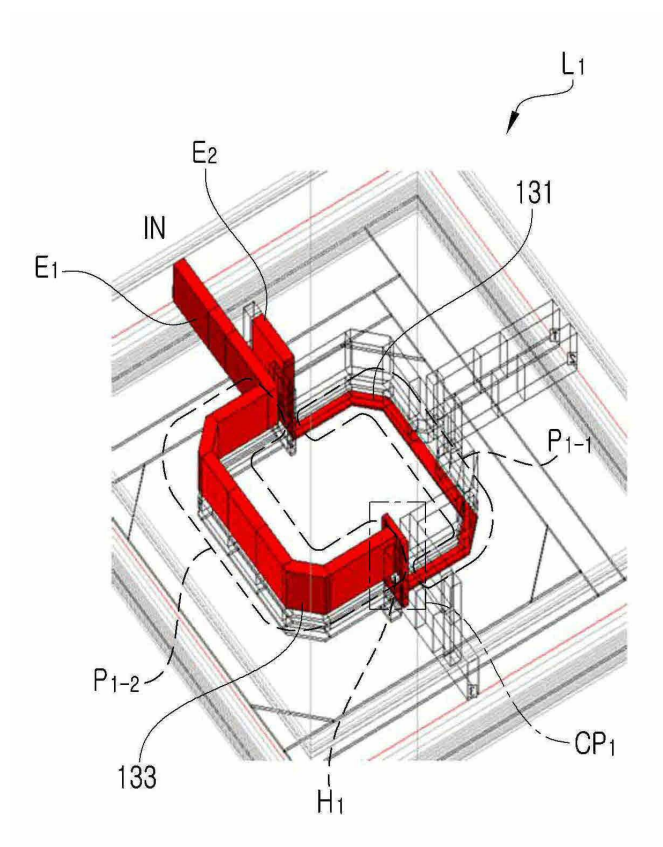
도면7d



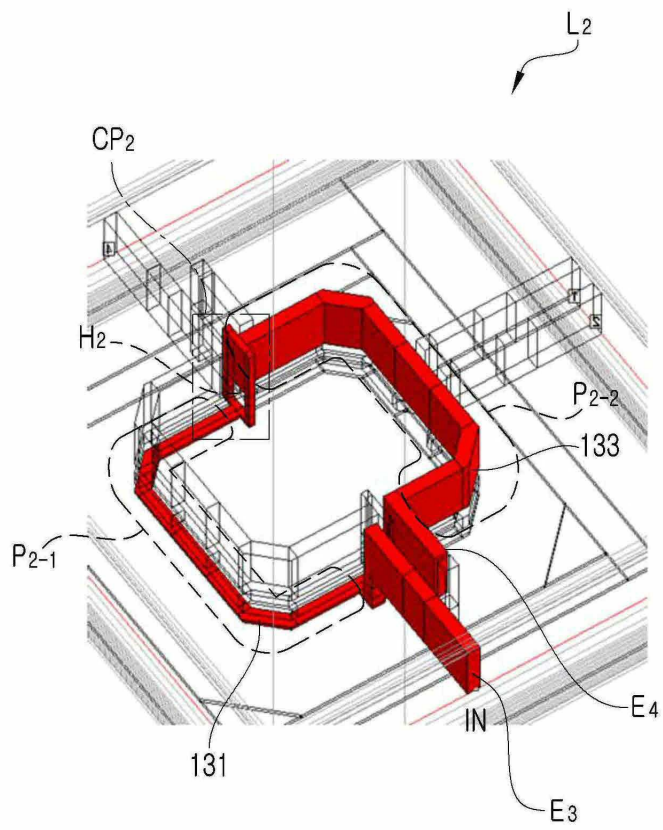
도면8a



도면8b



도면8c



도면8d

