



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0084557
(43) 공개일자 2025년06월11일

(51) 국제특허분류(Int. Cl.)

G06N 3/063 (2023.01)

(52) CPC특허분류

G06N 3/063 (2013.01)

(21) 출원번호 10-2023-0173332

(22) 출원일자 2023년12월04일

심사청구일자 2023년12월04일

(71) 출원인

국립창원대학교 산학협력단

경상남도 창원시 의창구 창원대학교 20(퇴촌동)

경상국립대학교산학협력단

경상남도 진주시 진주대로 501 (가좌동)

서울대학교산학협력단

서울특별시 관악구 관악로 1 (신림동)

(72) 발명자

김영희

경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)

김홍주

서울특별시 영등포구 신길로 15길 10-19

(뒷면에 계속)

(74) 대리인

이철희, 고윤호

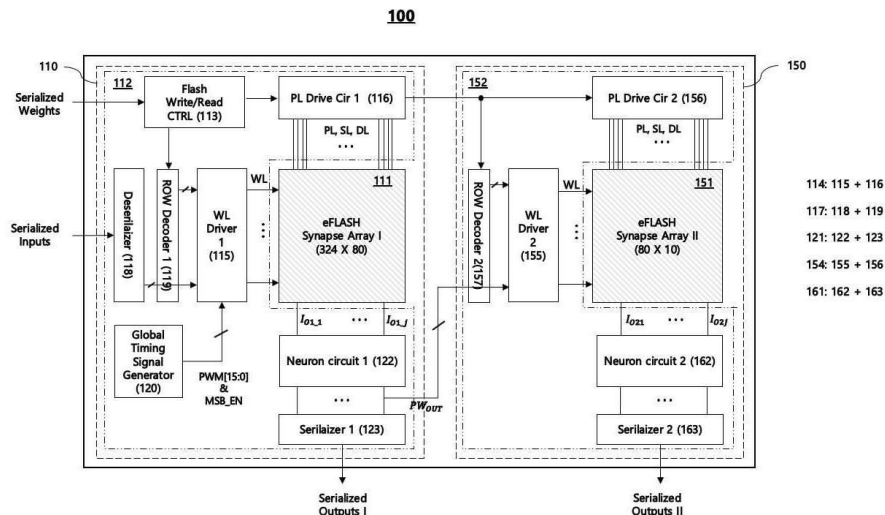
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기

(57) 요약

본 발명은 음의 웨이트 값도 프로그램할 수 있는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기를 제안한다. 상기 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기는, 음의 웨이트를 프로그램할 수 있는 음의 시냅스셀 및 양의 웨이트를 프로그램할 수 있는 양의 시냅스셀 한 쌍을 포함하는 복수의 단위 시냅스 셀을 포함하는 시냅스셀어레이 및 상기 시냅스셀어레이에 포함되는 상기 음의 시냅스셀 및 상기 양의 시냅스셀에 대해 삭제, 프로그램, 읽기 중 적어도 하나의 기능을 수행하는 신호처리부를 포함한다.

대표도



(72) 발명자

손현우

경상남도 진주시 내동로348번길 10, 112동 1504호
(가좌동, 가좌그린빌주공아파트)

우정민

경상남도 진주시 진주대로815번길 11, 103동 1301호
(주약동, 주약현대아파트)

박민규

서울특별시 관악구 남부순환로 1845, 408호 (봉천동, 더헤르미온)

황준

서울특별시 강남구 선릉로 221, 410동 402호 (도곡동, 도곡렉슬아파트)

이중호

서울특별시 서초구 잠원로14길 23, 202동 701호 (잠원동, 롯데캐슬갤럭시)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711159770
과제번호	2021-0-01776-002
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	신개념PIM반도체기술개발
연구과제명	eFLASH 기반의 PIM 시냅스 어레이 제작 및 인공신경망 하드웨어 개발
기 여 율	1/1
과제수행기관명	한국과학기술연구원(KIST)
연구기간	2022.02.01 ~ 2022.12.31

명세서

청구범위

청구항 1

음의 웨이트를 프로그램할 수 있는 음의 시냅스셀 및 양의 웨이트를 프로그램할 수 있는 양의 시냅스셀 한 쌍을 포함하는 복수의 단위 시냅스 셀을 포함하는 시냅스셀어레이; 및

상기 시냅스셀어레이에 포함되는 상기 음의 시냅스셀 및 상기 양의 시냅스셀에 대해 삭제, 프로그램, 읽기 중 적어도 하나의 기능을 수행하는 신호처리부;를

포함하는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

청구항 2

제1항에 있어서, 상기 신호처리부는,

PWM 제어신호에 응답하여 직렬로 인가되는 입력데이터를 병렬로 변환한 워드라인 제어신호를 생성하여 상기 시냅스셀어레이에 공급하는 디시리얼라이저 및 ROW 디코더 회로를 포함하는 수신부;

상기 시냅스셀어레이에 포함되는 상기 음의 시냅스셀 및 상기 양의 시냅스셀에 대해 삭제, 프로그램, 읽기 중 적어도 하나의 기능을 수행하도록 하는 제어신호를 생성하여 상기 시냅스셀어레이에 공급하는 구동부; 및

상기 시냅스셀어레이에 포함되는 복수의 단위 시냅스셀에 흐르는 전류에 대응하는 PWM 신호를 생성하는 뉴런 회로 및 시리얼라이저를 포함하는 출력부;를

포함하는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

청구항 3

제2항에 있어서, 상기 신호처리부는,

128MHz 신호를 이용하여 PWM 신호 및 MSB 인에이블 신호 생성하는 신호생성부를 더 포함하는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

청구항 4

제3항에 있어서, 상기 양의 시냅스 셀 및 상기 음의 시냅스 셀 각각은,

하나의 플로팅 게이트 트랜지스터를 포함하는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

청구항 5

제4항에 있어서,

상기 양의 시냅스셀에 포함되는 하나의 플로팅 게이트 트랜지스터는,

플로팅 게이트 단자에는 상기 워드라인 제어신호에 포함되는 양의 워드라인 제어신호 및 음의 워드라인 제어신호 중 상기 양의 워드라인 제어신호가 인가되고, 벌크 단자에는 양의 프로그램 라인이 연결되고, 소스 단자는 양의 소스라인이 연결되며, 드레인 단자는 양의 드레인라인이 각각 연결되며,

상기 음의 시냅스셀에 포함되는 하나의 플로팅 게이트 트랜지스터는,

플로팅 게이트 단자에는 상기 음의 워드라인 제어신호가 인가되고, 벌크 단자에는 음의 프로그램라인이 연결되고, 소스 단자는 음의 소스라인이 연결되며, 드레인 단자는 음의 드레인라인이 각각 연결되는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

청구항 6

제2항에 있어서, 상기 디시리얼라이저는,

8비트 단위로 직렬로 인가되는 상기 시리얼 데이터의 각 웨이트당 비트 중 제1비트를 클럭신호에 응답하여 순차적으로 저장하는 복수의 쉬프트 레지스터를 포함하는 제1쉬프트 레지스터 블록;

상기 시리얼 데이터 중 제2비트를 상기 클럭신호에 응답하여 순차적으로 저장하는 복수의 쉬프트 레지스터를 포함하는 제2쉬프트 레지스터 블록; 내지

상기 시리얼 데이터 중 제8비트를 상기 클럭신호에 응답하여 순차적으로 저장하는 복수의 쉬프트 레지스터를 포함하는 제8쉬프트 레지스터 블록을 포함하는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

청구항 7

제6항에 있어서, 상기 제1쉬프트레지스터 블록 내지 상기 제8쉬프트레지스터 블록에 포함되는 각각의 쉬프트 레지스터는,

상기 클럭신호의 주기로 입력단자에 인가되는 데이터를 저장하고, 출력하는 D형 플립플롭인 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

청구항 8

제7항에 있어서, 상기 D형 플립플롭은,

상기 클럭신호에 응답하여 동작하는 네거티브 엣지 트리거드 D형 플립플롭인 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

청구항 9

제3항에 있어서, 상기 구동부는,

상기 디시리얼라이저로부터 수신한 8비트의 디시리얼라이즈드 데이터를 각각 4비트 디시리얼라이즈드 데이터를 포함하는 2개의 디시리얼라이즈드 그룹으로 구분하고, 상기 신호생성부에서 생성한 MSB 인에이블 신호에 응답하여 두 개의 디시리얼라이즈드 그룹을 번갈아 가면서 스위칭하여 선택신호를 생성하는 제1 멀티플렉서; 및

상기 선택신호에 응답하여 상기 신호생성부에서 생성한 상기 PWM 신호에 대응하는 워드라인 PWM를 생성하는 제2 멀티플렉서;를

포함하는 펄스폭 변조회로를 포함하는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

청구항 10

제9항에 있어서,

상기 워드라인 PWM의 펄스 폭은 8비트의 상기 디시리얼라이즈드 데이터에 따라 결정되는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기.

발명의 설명

기술 분야

[0001] 본 발명은 뉴럴 네트워크 가속기에 관한 것으로, 특히, 음의 웨이트 값도 프로그램할 수 있는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기에 관한 것이다.

배경 기술

[0002] 뉴럴 네트워크(Neural Network)는 회귀분석, 패턴인식, 및 클러스터링과 같은 다양한 분야에서 널리 사용되고 있다. 그러나 회귀분석, 패턴인식 및 클러스터링을 하드웨어로 처리하기 위해서는 상당히 많은 곱셈누적 연산과 중간 데이터 및 웨이트 (weight)를 저장하기 위한 상당한 규모의 저장장치가 요구되기 때문에, 클라우드 서버를 이용하여 뉴럴 네트워크 모델의 학습 및 추론을 수행할 수밖에 없었다.

[0003] 최근에는 특정 데이터 셋에 대하여 웨이트 및 활성화 함수 출력을 양자화한다고 해도 추론 연산만을 수행할 때는 성능의 저하가 없는 이진 뉴럴 네트워크(Binary Neural Network)와 같은 소형 뉴럴 네트워크 모델의 발전과

함께, 추론 연산을 클라우드 기반의 데이터 센터에서 하는 대신, IoT 장치와 같은 로컬 위치에서 연산을 수행하는 엣지 디바이스(edge device)를 위한 가속기(accelerator)가 제안되어 사용되고 있다. 여기서 엣지 디바이스는 두 개의 네트워크의 경계에서 데이터 흐름을 제어하는 모든 하드웨어를 의미하며, 가속기는 특정 목적의 연산을 가속하기 위한 전용 하드웨어 로직을 의미한다.

[0004] 높은 에너지 효율을 갖는 엣지 디바이스 용 가속기를 구현하기 위해서는 신호 처리 시 데이터의 이동을 최소화하는 것이 요구되는데, 이에 따라 메모리(Memory) 기능과 프로세서(Processor)의 기능을 합친 PIM(Processing In Memory)이 제안되었다. 연산 기능이 내장된 메모리를 갖고 있는 PIM은 적은 데이터 이동 및 대규모 병렬 동작으로 인해 높은 에너지 효율 및 낮은 레이턴시(latency)를 달성할 수 있다.

[0005] PIM에 사용되는 메모리로는 SRAM, RRAM, eFLASH 등이 사용될 수 있지만, eFLASH는 대용량 메모리 안에 대부분의 웨이트를 저장할 수 있고 멀티 레이어(multilayer)의 메모리 계층 구조의 데이터 액세스에서 발생하는 레이턴시를 피할 수 있으며, 연산 중간 데이터 액세스 타임을 줄일 수 있는 장점이 있다.

[0006] 최근에는 싱글 TFT(single Thin Film Transistor) eFLASH 소자를 SNN(Spiking Neural Network)에 적용한 하드웨어가 보고된 적이 있지만, 이 하드웨어는 음의 웨이트 값을 프로그램할 수 없어 일반적인 DNN(Deep Neural Network)에는 사용되기 어렵다. 특히, TFT eFLASH 소자는 800℃ 이상의 고온 공정을 사용하여야 하는데, 알루미늄 메탈 공정을 포함하는 일반적인 CMOS 로직 공정이 진행된 이후의 공정으로 TFT eFLASH 소자를 집적하는데 어려움이 따른다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 선행문헌: W. M. Kang et al., "Hardware-based Spiking Neural Network Using a TFT-Type AND Flash Memory Array Architecture Based on Direct Feedback Alignment," IEEE Access, vol 9, 73121 - 73132, May. 2021.

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 기술적 과제는, 음의 웨이트 값도 프로그램할 수 있는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기를 제공하는 것에 있다.

[0009] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 음의 웨이트 값도 프로그램할 수 있는 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기는, 음의 웨이트를 프로그램할 수 있는 음의 시냅스셀 및 양의 웨이트를 프로그램할 수 있는 양의 시냅스셀 한 쌍을 포함하는 복수의 단위 시냅스 셀을 포함하는 시냅스셀어레이 및 상기 시냅스셀어레이에 포함되는 상기 음의 시냅스셀 및 상기 양의 시냅스셀에 대해 삭제, 프로그램, 읽기 중 적어도 하나의 기능을 수행하는 신호처리부를 포함한다.

[0011] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

[0012] 상술한 바와 같은 TFT eFLASH 기반 바이너리 웨이트드 뉴럴 네트워크 가속기는, 양의 웨이트 및 음의 웨이트를 모두 프로그램할 수 있으며, 시냅스 셀링 전류의 적분 단계에서 비선형성을 최소화할 수 있고, 펄스 트레인을 이용하여 셀링 프로그램 전류를 타겟 전류로 정밀하게 프로그램할 수 있는 장점이 있다.

[0013] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0014] 도 1은 본 발명에 따른 TFT eFLASH 기반 바이너리 웨이티드 뉴럴 네트워크 가속기의 일 실시 예이다.
 도 2는 제1 시냅스셀어레이 및 제2 시냅스셀어레이의 실시 예이다.
 도 3은 제1 데이터처리부를 구성하는 제1수신부의 제1 디시리얼라이저의 일 실시 예이다.
 도 4는 플래시 W/R 제어부, 제1 구동부, 제1 수신부 및 신호 생성부의 구체적인 실시 예이다.
 도 5는 도 4에 도시된 워드라인 구동회로의 구체적인 회로이다.
 도 6은 워드라인 구동회로에 포함되는 WL 스위칭 전력 공급 회로의 일 실시 예이다.
 도 7은 워드라인 구동회로에 포함되는 WL 구동회로의 일 실시 예이다.
 도 8은 제1 구동부를 구성하는 제1 CL 구동회로의 일 실시 예이다.
 도 9는 도 8에 도시된 PL 스위칭 전력 공급회로의 일 실시 예이다.
 도 10은 도 8에 도시된 프로그램 라인 구동회로의 일 실시 예이다.
 도 11은 제1 출력부의 일 실시 예이다.
 도 12는 시냅스셀어레이에 포함되는 단위 시냅스 셀을 나타낸다.
 도 13은 삭제, 프로그램 및 읽기 동작과 관련된 TFT eFLASH 셀의 바이어스 조건을 나타낸다.
 도 14는 양 및 음의 웨이트를 가지는 시냅스 셀의 기능 진리 표의 예이다.
 도 15는 제1 데이터처리부에서 수행되는 삭제, 페이지 버퍼 데이터 로드, 프로그램 및 읽기 모드에 대한 타이밍 다이어그램이다.
 도 16은 도 15에 도시된 타이밍 다이어그램에 따라 동작하는 시냅스 셀의 프로그램 모드와 삭제 모드 일 때의 바이어스 조건을 표시하는 테이블이다.
 도 17은 삭제, 프로그램 및 읽기 동작에서의 제1 시냅스셀어레이를 나타낸다.
 도 18은 PWM 제어 타이밍 다이어그램이다.
 도 19는 동작모드 별 HV 스위칭 회로의 출력전압을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시 예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야 한다.

[0016] 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0017] 도 1은 본 발명에 따른 TFT eFLASH 기반 바이너리 웨이티드 뉴럴 네트워크 가속기의 일 실시 예이다.

[0018] 도 1을 참조하면, 본 발명에 따른 TFT eFLASH 기반 바이너리 웨이티드 뉴럴 네트워크 가속기(100, 이하 뉴럴 네트워크 가속기)는, 제1 데이터처리부(110) 및 제2 데이터처리부(150)를 포함할 수 있다. 여기서 제1 데이터처리부(110)는 제1 시냅스셀어레이(111) 및 제1 신호처리부(112)를 포함하고, 제2 데이터처리부(150)는 제2 시냅스셀어레이(151) 및 제2 신호처리부(152)를 각각 포함한다.

[0019] 제1 데이터처리부(110)에 포함되는 제1 신호처리부(112)는 플래시 W/R 제어부(113), 제1 구동부(114 = 115 + 116), 제1 수신부(117 = 118 + 119), 신호 생성부(120) 및 제1 출력부(121)를 포함하고, 제2 데이터처리부(150)에 포함되는 제2 신호처리부(152)는 제2 구동부(154 = 155 + 156), 제2 수신부(157) 및 제2 출력부(161 = 162 + 163)를 포함한다.

- [0020] 제1 구동부(114)는 제1WL 구동회로(115) 및 제1 CL 구동회로(116)를 포함하고, 제1 수신부(117)는 제1디시리얼라이저(118) 및 제1ROW 디코더 회로(119)를 포함하며, 제1 출력부(121)는 제1 뉴런 회로(122) 및 제1 시리얼라이저(123)를 포함한다.
- [0021] 제2 구동부(154)는 제2WL 구동회로(155) 및 제2CL 구동회로(156)를 포함하고, 제2수신부(117)는 제2ROW 디코더 회로(157)를 포함하며, 제2 출력부(161)는 제2뉴런 회로(162) 및 제2시리얼라이저(163)를 포함한다.
- [0022] 제1CL 구동회로(116) 및 제2CL 구동회로(156)는 각각 CL 디코더, CL 라인 드라이버 및 CL 전류 센서회로를 포함하지만, 도면의 간소화 및 설명의 편의를 위해 생략하였다.
- [0023] 제1 신호처리부(112) 및 제2 신호처리부(152)에 포함되는 각각의 기능 블록의 연결관계 및 기능은 이 분야의 통상의 기술자에게는 자명하므로, 여기서는 자세하게 설명하지 않는다. 다만, 본 발명의 핵심 아이디어를 이해하기 위해 필요한 경우에는 이들의 연결관계 및 기능에 대해서 설명할 것이다.
- [0024] 본 발명이 제안하고자 하는 것은, 종래에는 구현하기 어려웠던 음의 웨이트 값을 프로그램할 수 있는 시냅스 셀 및 시냅스 셀 구동회로를 제안하는 것으로, 본 발명에서 제안하는 시냅스 셀은 다음과 같다.
- [0025] 도 2는 제1 시냅스셀어레이 및 제2 시냅스셀어레이의 실시 예이다.
- [0026] 도 1 및 도 2를 참조하면, 제1 시냅스셀어레이(111)는 324 X 80의 시냅스 셀(S/C)을 포함하며, 제2 시냅스셀어레이(151)는 80 X 10의 시냅스 셀을 포함한다는 것을 알 수 있다.
- [0027] 각각의 시냅스 셀(S/C)은 양의 웨이트를 프로그램하는 시냅스 셀(W+ Cell)과 음의 웨이트를 프로그램하는 시냅스 셀(W- Cell)을 포함한다. 설명의 간소화를 위해 이하에서는, 양의 웨이트를 프로그램하는 시냅스 셀(W+ Cell)을 양의 시냅스 셀(W+), 그리고 음의 웨이트를 프로그램하는 시냅스 셀(W- Cell)을 음의 시냅스 셀(W-)이라고 가정하고 설명한다.
- [0028] 다시 도 2를 참조하면, 본 발명에서는 각 단위 시냅스 셀(S/C)은 2개의 시냅스 셀 즉 양의 시냅스 셀(W+)과 음의 시냅스 셀(W-) 한 쌍을 포함하도록 구성하였다.
- [0029] 이들의 연결관계 및 동작에 대해서는 후술한다.
- [0030] 도 3은 제1 데이터처리부를 구성하는 제1수신부의 제1 디시리얼라이저의 일 실시 예이다.
- [0031] 도 3을 참조하면, 제1 디시리얼라이저(118)는 서로 다른 웨이트를 가지는 8비트 단위(SIN[0] ~ SIN[7])로 직렬로 입력되는 시리얼 입력데이터(Serialized Input)를, 클럭신호(CLK)에 응답하여 동작하는 복수의 네거티브 엣지 트리거드 D형 플립플롭(D F/F)을 이용하여, 8비트 단위의 병렬 신호인 디시리얼라이즈드 신호(POUT[0] ~ POUT[7])로 변환한다.
- [0032] 각각의 D형 플립플롭(D F/F)은 입력 단자(D)로 인가되는 데이터를 일정시간 저장하고 출력 단자(Q)로 출력하는 기능이 있으므로, 기능면으로 볼 때 레지스터(Register)라고 할 수 있다. 본 발명에서는 각각의 D형 플립플롭(D F/F)을 쉬프트 레지스터(Shift Register)의 형태로 구현하는 경우도 있으므로, 이하의 설명에서는 D 플립플롭 및 쉬프트 레지스터를 혼용하게 될 것이다.
- [0033] 제1 디시리얼라이저(118)에 포함되는 324 X 8개의 D형 플립플롭(D F/F)은 그 기능에 따라 8개의 버티컬 쉬프트 레지스터 블록(VSR1 ~ VSR8)과 324개의 ROW 블록(ROW1 ~ ROW324)으로 그룹핑할 수 있다.
- [0034] 설명의 편의를 위해, 8비트 단위의 시리얼 입력데이터(Serialized Input) 중 하나의 비트(SIN[0])에 대해 설명하고 이를 나머지 비트에 대해 적용한다.
- [0035] 제1 버티컬 쉬프트 레지스터 블록(VSR1)은 쉬프트 레지스터의 형태로 연결된 324개의 D형 플립플롭(D F/F)을 포함한다. 도 3에서는 수직 방향으로 도시되어 있으므로, 설명의 편의를 위해 버티컬 쉬프트 레지스터 블록이라고 명명한다.
- [0036] 324개의 D형 플립플롭(D F/F)이 쉬프트 레지스터의 형태로 연결되었다는 말은, 첫 번째 D형 플립플롭(D F/F)에서 수신하여 저장한 데이터를 연속하는 D형 플립플롭(D F/F)에 순차적으로 전달한다는 것을 의미하고, 전달하는 시기는 클럭신호(CLK)의 전압 준위가 천이할 때이다. 즉, 첫 번째 시리얼 데이터 비트(SIN[0])는 제1 버티컬 쉬프트 레지스터 블록(VSR1)을 구성하는 324개의 쉬프트 레지스터 중 첫 번째 레지스터에 인가된 후 클럭신호(CLK)가 천이할 때마다 이어지는 쉬프트 레지스터로 이동하여 결국 324번째 쉬프트 레지스터로 이동하게 될 것이다.

- [0037] 시리얼 입력데이터(Serialized Input) 중 다른 비트(SIN[1] ~ SIN[7])는 각각 제2 버티컬 쉬프트 레지스터 블록(VSR2) 내지 제8 버티컬 쉬프트 레지스터 블록(VSR7)에서 순차적으로 데이터를 전달하게 될 것이다.
- [0038] 도 1 및 도 3을 참조하면, 제1 디시리얼라이저(118)는 8비트의 병렬 데이터 즉 디시리얼라이즈드 데이터(POUT[0] ~ POUT[7])를 제1 WL 구동회로(115)에 전달하는데, 이를 위해, 각 버티컬 쉬프트 레지스터 블록(VSR1 ~ VSR8)의 첫 번째 쉬프트 레지스터 즉 8개의 쉬프트 레지스터를 제1 ROW 블록(ROW1)으로 그룹핑하고, 계속하여 8개의 두 번째 쉬프트 레지스터들을 제2 ROW 블록(ROW2)으로 그룹핑하는 방식으로 모두 324 ROW 블록(ROW324)으로 그룹핑한다.
- [0039] 도 3을 참조하면, 본 발명에 따른 제1 디시리얼라이저(118)는 직렬로 인가되는 시리얼라이즈드 입력데이터(Serialized Input)를 8비트 단위의 병렬데이터 즉 디시리얼라이즈드 데이터(POUT)로 변환하여 제1 WL 구동회로(115)에 전달한다는 것을 알 수 있다.
- [0040] 도 4는 플래시 W/R 제어부, 제1 구동부, 제1 수신부 및 신호 생성부의 구체적인 실시 예이다.
- [0041] 도 4를 참조하면, 제1 구동부(114)는 복수의 워드라인 구동회로(WL Driver 1 ~ WL Driver 324)를 포함하고 있으며, 신호 생성부(120)는 128MHz 신호를 수신하여 클럭신호를 생성하는 클럭생성기(1201) 및 클럭생성기(1201)에서 생성한 클럭신호f_{mf} 이용하여 PWM 신호 및 MSB 인에이블 신호(PWM[15:0], MSB_EN)를 생성하는 전역 신호생성기(1202)를 포함한다.
- [0042] 전역 신호생성기(1202)에서 생성한 2개의 신호(PWM[15:0], MSB_EN)는 제1 구동부(114)를 구성하는 복수의 워드라인 구동회로(WL Driver 1 ~ WL Driver 324)에 공통으로 인가함으로써, 회로의 구성을 최소한으로 하였다.
- [0043] 복수의 워드라인 구동회로(WL Driver 1 ~ WL Driver 324) 각각은 양의 시냅스 셀(W+) 및 음의 시냅스 셀(W-)을 각각 구동하는 2개의 시냅스 셀 제어신호(WL_P, WL_M)를 각각 생성하여 제1 시냅스셀어레이(111)의 동작을 제어한다.
- [0044] 도 5는 도 4에 도시된 워드라인 구동회로의 구체적인 회로이다.
- [0045] 도 5를 참조하면, 복수의 워드라인 구동회로(WL Driver 1 ~ WL Driver 324) 중 하나인 제1 워드라인 구동회로(1141)는, WL 스위칭 전력 공급 회로(11411), 펄스 폭 변조회로(11412) 및 WL 구동회로(11413)를 포함하며, 이들 3개의 기능블록(11411~11413)은 전역 신호생성기(1202)에서 생성한 2개의 신호(PWM[15:0], MSB_EN) 제1 디시리얼라이저(118)로부터 수신한 8비트의 디시리얼라이즈드 데이터(POUT[0] POUT[7]) 및 제1 ROW 디코더(119)로부터 수신한 신호(ERS_HVSW)를 이용하여 양의 시냅스 셀(W+) 및 음의 시냅스 셀(W-)에 각각 인가되는 2개의 워드라인 제어신호(WL_P[1], WL_M[1])를 생성한다. 여기서 양의 시냅스 셀(W+)을 제어하는 워드라인 제어신호는 WL_P로 표시하였고, 음의 시냅스 셀(W-)을 제어하는 워드라인 제어신호는 WL_M으로 표시하였다.
- [0046] 펄스 폭 변조회로(11412)는 제1 멀티플렉서(2:1 MUX) 및 제2 멀티플렉서(16:1 MUX)를 포함한다.
- [0047] 제1 멀티플렉서(2:1 MUX)는 제1 디시리얼라이저(118)로부터 수신한 8비트의 디시리얼라이즈드 데이터(POUT[0] POUT[7])를 각각 4비트 디시리얼라이즈드 데이터 그룹(POUT[3:0], POUT[7:4])으로 구분하고, 신호생성부(120)에서 생성한 MSB 인에이블 신호(MSB_EN)에 응답하여 두 개의 그룹(POUT[3:0], POUT[7:4])을 번갈아 가면서 선택하여 선택신호(SEL[3:0])로 출력한다.
- [0048] 제2 멀티플렉서(16:1 MUX)는 선택신호(SEL[3:0])에 응답하여 신호생성부(120)에서 생성한 PWM 신호(PWM[15:0])에 대응하는 워드라인 PWM(PWM_WL)를 생성한다. 워드라인 PWM(PWM_WL)는 WL 구동회로(11413)에 전달된다.
- [0049] 워드라인 PWM(PWM_WL)의 펄스 폭(Pulse Width)은 8비트의 디시리얼라이즈드 데이터(POUT[7:0])에 따라 결정된다.
- [0050] WL 구동회로(11413)에 인가되는 복수의 신호(WRTB_PG, WRT_NG, WRTb_NG)는 별도의 기능블록(미도시)에서 생성한다.
- [0051] 도 6은 워드라인 구동회로에 포함되는 WL 스위칭 전력 공급 회로의 일 실시 예이다.
- [0052] 도 7은 워드라인 구동회로에 포함되는 WL 구동회로의 일 실시 예이다.
- [0053] 본 발명에서는, 메모리에 포함된 프로세서에서 연산이 수행되는 동안 후술하는 뉴런 회로(112, 162)의 시냅스 센싱 전류를 적분하는 단계에서 비선형성을 최소화하기 위하여, 도 5에 도시된 펄스 폭 변조회로(11412)에 입력되는 8비트의 데이터(POUT[0] ~ POUT[7])를 하나의 연속적인 PWM 펄스로 변환하여 사용한다. 도 5에 도시된 펄

스 폭 변조회로(11412)는 2개의 멀티플렉서(2:1 MUX, 16:1 MUX)를 이용하여 구현할 수 있으므로, 소비전력 및 반도체 장치의 레이아웃 상의 소비면적의 오버헤드(overhead)를 최소화 할 수 있는 장점이 있다.

- [0054] 도 5 ~ 도 7에 도시된 회로의 연결관계 및 전기적인 동작 특성은 이 분야의 통상의 기술자는 쉽게 이해할 수 있으므로 여기서는 자세하게 설명하지 않는다.
- [0055] 도 8은 제1 구동부를 구성하는 제1 CL 구동회로의 일 실시 예이다.
- [0056] 도 8을 참조하면, 제1 PL 구동회로(116) 중 제1 CL 드라이버(1161)는 CL 스위칭 전력 공급회로(1162) 및 CL 구동회로(1163)를 포함하며, 플래시 W/R 제어부(113)로부터 수신한 신호(PGM_HVSW)를 이용하여 양의 시냅스 셀(W+) 및 음의 시냅스 셀(W-)에 각각 인가되는 2개의 프로그램 라인 제어신호(PL_P[1], PL_M[1])를 생성한다. 여기서 양의 시냅스 셀(W+)을 제어하는 프로그램 라인 제어신호는 PL_P로 표시하였고, 음의 시냅스 셀(W-)을 제어하는 프로그램 라인 제어신호는 PL_M으로 표시하였다.
- [0057] 도 9는 도 8에 도시된 PL 스위칭 전력 공급회로의 일 실시 예이다.
- [0058] 도 10은 도 8에 도시된 프로그램 라인 구동회로의 일 실시 예이다.
- [0059] 도 9 및 도 10에 도시된 회로의 연결관계 및 전기적인 동작 특성은 이 분야의 통상의 기술자에게는 자명하므로, 여기서는 자세하게 설명하지 않는다.
- [0060] 도 11은 제1 출력부의 일 실시 예이다.
- [0061] 도 11을 참조하면, 제1 출력부(121)는 제1 뉴런 회로(122) 및 제1 시리얼라이저(123)를 포함한다. 제1 뉴런 회로(122)는 제1 시냅스셀어레이(111)에 포함되는 복수의 시냅스 셀로부터 수신하는 복수의 센싱 전류($I_{01_1} \sim I_{01_80}$)를 각각 PWM 신호(PW_{OUT})로 변환하여 제2 데이터처리부(150)에 전달한다.
- [0062] 제1 뉴런 회로(122)는 각각 전류(I)를 펄스(Pulse)로 변환하는 회로(1222) 및 카운터(1223)를 한 쌍으로 하는 변환회로(1221)를 복수 개 포함한다. 각각의 변환회로에서 생성하는 PWM 신호(PW_{OUT})의 폭은 센싱 전류($I_{01_1} \sim I_{01_80}$)의 크기에 비례한다.
- [0063] 도 11에 도시된 제1 출력부(121)는 제1 데이터처리부(110)에 포함되는 기능 블록이고, 제1 시냅스셀어레이(111)가 324 X 80의 시냅스 셀을 포함하고 있으므로, 센싱 전류의 개수도 80이 될 것이다.
- [0064] 제1 데이터처리부(110)에 대한 도 2 ~ 도 11에 도시된 도면과 이들의 설명은 제2 데이터처리부(150)의 구성 및 동작 설명에 같음한다.
- [0065] 이하에서는 본 발명의 핵심 아이디어 중 하나인 양의 시냅스 셀(W+) 및 음의 시냅스 셀(W-)을 삭제(erase), 프로그램(program) 또는 읽는(read) 과정에 대해 설명한다.
- [0066] 도 12는 시냅스셀어레이에 포함되는 단위 시냅스 셀을 나타낸다.
- [0067] 도 12를 참조하면, 하나의 시냅스 셀(S/C)은 좌측에 도시된 양의 시냅스 셀(W+Cell) 및 우측에 도시된 음의 시냅스 셀(W-Cell)을 포함한다는 것을 알 수 있다. 각 시냅스 셀은 하나의 플로팅 게이트 트랜지스터(Floating Gate Transistor)를 이용하여 구현하는 것으로 가정하고 설명한다.
- [0068] 양의 시냅스 셀(W+ Cell)을 구성하는 플로팅 게이트 트랜지스터(이하, 트랜지스터)의 플로팅 게이트 단자에는 2개의 워드라인 제어신호(WL_P, WL_M) 중에서, 양의 워드라인 제어신호(WL_P)가 인가되고, 벌크 단자에는 양의 프로그램 라인(PL_P)이 연결되고, 소스 단자는 양의 소스라인(SL_P), 그리고 드레인 단자는 양의 드레인라인(DL_P)이 각각 연결된다.
- [0069] 음의 시냅스 셀(W- Cell)을 구성하는 트랜지스터의 플로팅 게이트 단자에는 음의 워드라인 제어신호(WL_M)가 인가되고, 벌크 단자에는 음의 프로그램라인(PL_M)이 연결되고, 소스 단자는 음의 소스라인(SL_M), 그리고 드레인 단자는 음의 드레인라인(DL_M)이 각각 연결된다.
- [0070] 2개의 워드라인 제어신호(WL_P, WL_M)의 상태에 따라 양의 시냅스 셀(W+ Cell) 또는 음의 시냅스 셀(W- Cell)이 선택될 것이다.
- [0071] 플로팅 게이트 트랜지스터의 타입에 따라 2개의 소스라인(SL_P, SL_M) 또는 2개의 드레인라인(DL_P, DL_M) 중 하나는 시냅스 셀의 센싱 전류를 전달하는 라인이 될 것이다.

- [0072] 여기서 워드라인(WL), 프로그램라인(PL), 소스라인(SL) 및 드레인라인(DL)의 전압준위(Voltage Level)는 제1 CL 구동회로(116)에서 제어한다.
- [0073] 도 13은 삭제, 프로그램 및 읽기 동작과 관련된 TFT eFLASH 셀의 바이어스 조건을 나타낸다.
- [0074] 도 13을 참조하면, 각 시냅스 셀에 저장된 정보를 삭제(ERS)하고자 할 때에는 시냅스 셀의 전류를 50pA 이하의 오프 상태를 만들기 위해 WL, DL, SL, PL에 각각 VERS, OV, OV, OV의 전압을 각각 인가한다. 여기서, WL는 워드라인, DL은 드레인라인, SL은 소스라인 그리고 PL은 프로그램라인을 각각 의미한다. PL은 컬럼라인(CL, Column Line)일 수도 있다.
- [0075] 삭제모드(ERS)에서 삭제 전압인 VERS는 8V 크기의 단일 펄스를 인가하며, 시냅스 셀의 벌크(bulk)로부터 전하 트랩핑 절연체(charge trapping insulator)인 A/N/O ($\text{Al}_2\text{O}_3/\text{Si}_3\text{N}_4/\text{SiO}_2$)로 전자 주입(electron injection)이 일어나면서 시냅스 셀의 문턱전압(Threshold Voltage, V_T)의 전압준위가 높아진다. 상술한 바와 같이, 삭제 동작에 의해 시냅스 셀의 전류는 50pA 이하로 낮아지게 된다.
- [0076] 프로그램 모드(PGM)는 데이터(data)가 '1' 인 경우 시냅스 셀 전류를 셀이 온(ON) 상태인 50nA(nano-Ampere) 정도의 타겟 전류(target current)를 갖도록 전하 트랩용 절연체)인 A/N/O로부터 P 타입 다결정레이어(p-poly)로 전하를 주입하기 위해, WL, DL, SL, PL에 각각 OV, floating, floating, VPGM의 전압을 각각 인가한다.
- [0077] 이때 프로그램 펄스(program pulse)는 7V의 전압을 1ms(millisecons)의 펄스 폭(pulse width)으로 100번 인가하며, 시냅스 구동회로에서 각 프로그램 펄스(program pulse) 때마다 PVR(Program-Verify-Read) 동작을 수행하면서 시냅스 셀 전류가 50nA 미만인 경우는 시냅스 셀에 프로그램 동작을 계속 수행하게 한다.
- [0078] 만약 시냅스 셀 전류가 50nA 이상인 경우는 회로에서 프로그램 펄스를 마스킹하므로 TFT eFLASH cell 즉 시냅스 셀에 프로그램 동작이 일어나지 않도록 하여 시냅스 셀 전류를 목표 전류인 50nA로 유지한다.
- [0079] 그리고 프로그램모드(PGM)에서 데이터가 0' 인 경우는 도 13에 도시한 것과 같이 WL과 PL에 인가되는 전압이 모두 OV이므로 프로그램 동작을 수행하기 이전에 수행한 삭제 모드인 오프 상태를 유지한다.
- [0080] 마지막으로 읽기 모드(Read)인 경우 선택된 WL과 DL에 VRD (=1.5V)와 VDL (=2V)의 전압을 인가하는 반면, SL과 PL에는 OV를 인가한다. 이렇게 바이어스 전압을 인가하면 데이터 '0'으로 프로그램된 시냅스 셀은 삭제된 셀이므로 50pA 이하의 오프 전류가 흐르는 반면, 데이터 '1'로 프로그램된 시냅스 셀은 50nA의 온 전류가 흐르게 된다.
- [0081] 바이너리 웨이트드 뉴럴 네트워크(Binary-weighted Neural Network)에서는 웨이트(weight)가 +1, -1의 값을 프로그램할 수 있는 시냅스 셀이 요구되며, 본 발명에서는 +1, -1의 웨이트 프로그램이 가능한 TFT eFLASH 소자 기반 시냅스 셀을 새롭게 제안하였다.
- [0082] 도 14는 양 및 음의 웨이트를 가지는 시냅스 셀의 기능 진리 표의 예이다.
- [0083] 도 14를 참조하면, 입력 데이터(Input)와 시냅틱 웨이트(synaptic weight)가 각각 1과 +1인 경우 시냅스 셀 전류(I_{cell})는 I_{W+}(=50nA)이고, 입력데이터(input data)와 시냅틱 웨이트(synaptic weight)가 +1과 -1인 경우 시냅스 셀 전류(I_{cell})는 -I_W이다.
- [0084] 시냅스 셀에서 W+ cell과 W- cell은 프로그램 검증 읽기(program-verify-read) 동작을 통해 프로그램 전류를 50nA로 맞추기 때문에 I_{W+} 전류와 I_{W-} 전류는 50nA로 같다. 한편, 입력데이터(input data)가 0(zero)인 경우는 시냅틱 웨이트(synaptic weight)가 +1과 -1의 경우 모두 시냅스 셀 전류(I_{cell})은 0이다.
- [0085] 도 15는 제1 데이터처리부에서 수행되는 삭제, 페이지 버퍼 데이터 로드, 프로그램 및 읽기 모드에 대한 타이밍 다이어그램이다.
- [0086] 도 15a는 삭제 모드를 나타내고, 도 15b는 페이지 버퍼 데이터 로드 모드를 나타내며, 도 15c는 프로그램 모드 그리고 도 15d는 읽기 모드를 각각 나타낸다.
- [0087] 도 16은 도 15에 도시된 타이밍 다이어그램에 따라 동작하는 시냅스 셀의 프로그램 모드와 삭제 모드 일 때의 바이어스 조건을 표시하는 테이블이다.

- [0088] 도 17은 삭제, 프로그램 및 읽기 동작에서의 제1 시냅스셀어레이를 나타낸다.
- [0089] 도 17a는 삭제 동작, 도 17b는 프로그램 동작 그리고 도 17c는 읽기 동작 시의 시냅스셀어레이의 회로를 각각 나타낸다.
- [0090] 도 15 ~ 도 17을 참조하면, 시냅스 셀에 프로그램을 수행하기 전에 제1 시냅스셀어레이(111)에 포함된 모든 시냅스 셀에 대하여 삭제 동작을 선 수행한다.
- [0091] 삭제 모드 (erase mode)는 도 15a 및 도 17a를 참조하면, 삭제 신호인 ERS1(도 15a, ERS; 도 17a)에 액티브 하이 펄스(active high pulse)를 인가하고, 읽기 쓰기 펄스(write pulse) 신호인 WP1을 삭제 시간(erase time = 10ms) 동안 논리 하이(high) 상태로 활성화(activation) 시키면 된다.
- [0092] 도 15a에 도시된 신호에 따라 삭제 동작을 수행하게 되면, 제1 시냅스셀어레이(111)에 있는 324×80 의 시냅스 셀에 포함되는 양의 시냅스 셀(W+)과 음의 시냅스 셀(W- cell)은 동시에 삭제되어 시냅스 셀(TFT eFLASH cell)에 흐르는 전류는 50pA 이하로 떨어지면서 오프 상태가 된다.
- [0093] 제1 시냅스 셀 어레이(111)에 대한 삭제 동작을 수행한 후에는, 도 15b에 도시한 바와 같이 페이지 버퍼 데이터 로드 모드(page buffer data load mode)에 따라 80비트의 페이지 버퍼(page buffer)에 프로그램 데이터(program data)를 비트(bit) 단위로 로딩(loading) 한다.
- [0094] 80비트의 페이지 버퍼 데이터(page buffer data)를 로딩한 후 도 15c 및 도 17b에 도시된 조건에 따른 프로그램 모드(program mode) 동작을 수행한다. 프로그램 모드는 PGM1에 하이 펄스(high pulse)를 인가한 뒤 1ms의 폭을 가지는 WP1 펄스를 100개 연속적으로 인가한다. 도 15c에 도시된 프로그램 모드 타이밍 다이어그램(Program mode timing diagram)에서 WP1 펄스가 활성화되기 전에 READ1 펄스가 항상 인가되며, READ1 펄스가 하이(high) 상태로 활성화(activation)되는 구간은 회로에서 PVR (Program-Verify-Read) 동작을 수행하게 된다.
- [0095] PVR 동작은 프로그램하려고 하는 시냅스 셀(TFT eFLASH cell) 읽기 전류(read current)가 50nA 미만이면 그 다음 들어오는 WP1 펄스에 의해 해당하는 시냅스 셀의 프로그램 동작이 계속 수행되는 반면, 시냅스 셀(TFT eFLASH cell) 전류가 50nA 이상이면 WM (writing Mask) 신호가 하이 상태로 되면서 해당하는 PL 전압을 0V로 구동하게 하므로, 해당 시냅스 셀(TFT eFLASH cell)이 추가 프로그램되는 것을 방지한다.
- [0096] 따라서, 제1 데이터처리부(110)에 인가되는 WP1은 펄스 트레인 (pulse train)의 형식으로 인가되더라도 내부적으로는 PVR 동작을 통해 프로그램하려고 하는 시냅스 셀(TFT eFLASH cell)의 프로그램 전류를 50nA로 맞출 수 있다.
- [0097] 도 17b는 시냅스 셀 A, B, C와 D를 각각 W+, W-, W-와 W-cell에 프로그램한 것을 나타낸다.
- [0098] 제1 시냅스셀어레이(111)에 대한 읽기 모드(read mode) 타이밍 다이어그램은 도 15d에 도시된 바와 같이, READ1 신호에 high를 인가한 뒤 8bit PWM conversion을 위한 MSB_EN1과 PWM1[15:0] 신호를 인가하면 된다. 읽기 모드에서 모든 WL_P와 WL_M 신호는 8bit의 PWM pulse가 동시에 인가된다.
- [0099] 그림 17c는 설명을 위해 간단히 WL_P와 WL_M에 VRD (=1.5V)이 인가되었을 때 IDL_P[1]과 IDL_M[1]은 각각 50nA의 전류가 흐르며, IDL_P[80]과 IDL_M[80]은 각각 0nA와 100nA의 전류가 흐르는 것을 보여주고 있다. 1st layer neuron 회로에서 DL_P 전류에서 DL_M 전류를 빼주면 Binary-weighted NN 동작을 위한 synapse cell의 동작이 완성된다.
- [0100] 도 18은 PWM 제어 타이밍 다이어그램이다.
- [0101] 도 18을 참조하면, POUT[7:0] 데이터가 헥사데시멀(hexadecimal)로 각각 1H와 32H일 때, MSB_EN 신호가 '1'인 경우는 각각 1H, 3H가 SEL[3:0]로 출력되며, MSB_EN 신호가 '1'인 동안 $16 \times t_{ref} \times SEL[3:0]$ 의 폭을 갖는 PWM[1], PWM[3]이 멀티플렉싱(multiplexing)되어 출력된다. 그리고 MSB_EN 신호가 하이에서 로우(low)로 스위칭(switching)하면 2:1 MUX 회로에서 각각 1H와 2H가 SEL[3:0]로 멀티플렉싱(multiplexing)되어 출력되고, MSB_EN 신호가 '0'인 동안 $t_{ref} \times SEL[3:0]$ 의 폭을 갖는 PWM[1], PWM[2]가 멀티플렉싱(multiplexing) 되어 출력된다. 따라서, 최종적으로 $t_{ref} \times POUT[7:0]$ 의 폭을 갖는 싱글 펄스인 PWM_WL 신호가 출력된다.
- [0102] 도 19는 동작모드 별 HV 스위칭 회로의 출력전압을 나타낸다.
- [0103] 도 6 ~ 도 9를 참조하면, 제1 데이터처리부(110) 및 제2 데이터처리부(150)의 시냅스셀어레이(111, 151)의 WL 구동회로(115, 155)와 CL 구동회로(116, 156)는 도 19에 도시한 바와 같이 동작 모드별로 출력 전압이 스위칭되

는 스위칭 전압(WL_HV, PL_HV)이 필요하다.

[0104] 도 19에 도시된 동작 모드에서 페이지 버퍼 로드 모드(page buffer load)는 프로그램 하기 이전에 페이지 버퍼(page buffer)에 프로그램 할 데이터를 업 로드(upload)하는 것이고, 쉬프트 레지스터(shift register load)모드는 각 로(row)마다 8bit의 PWM 데이터를 쉬프트하여 로드하는 것이다. 그리고 테스트 리드(test read)모드는 시냅스셀어레이에서 각 단위 시냅스 셀을 구성하는 양의 시냅스셀(W+)과 음의 시냅스셀(W-) 각각에 대해 삭제(erase)후 TFT eFLASH 셀의 읽기 전류(read current)를 테스트하거나 프로그램 후 읽기 전류(read current)를 테스트하다.

[0105] 여기서, WL_HV는 삭제 모드에서 삭제 전압 VERS(=8V)을 10ms 동안 인가하며, 나머지 동작 모드에서는 동작 제한 전압 VINH(=4V)을 공급한다. 그리고 WL_PL 전압은 프로그램 모드에서 1ms 펄스 폭을 가지는 프로그램 전압 VPGM(=7V)을 100번 인가하며, 나머지 동작 모드는 VDD 전압을 공급한다.

[0106] 전술한 본 발명은, 프로그램이 기록된 매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 매체는, 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다. 컴퓨터가 읽을 수 있는 매체의 예로는, HDD(Hard Disk Drive), SSD(Solid State Disk), SDD(Silicon Disk Drive), ROM, RAM, CD-ROM, 자기 테이프, 플로피 디스크, 광 데이터 저장 장치 등이 있다.

[0107] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 기술자라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방 가능함은 명백한 사실이다.

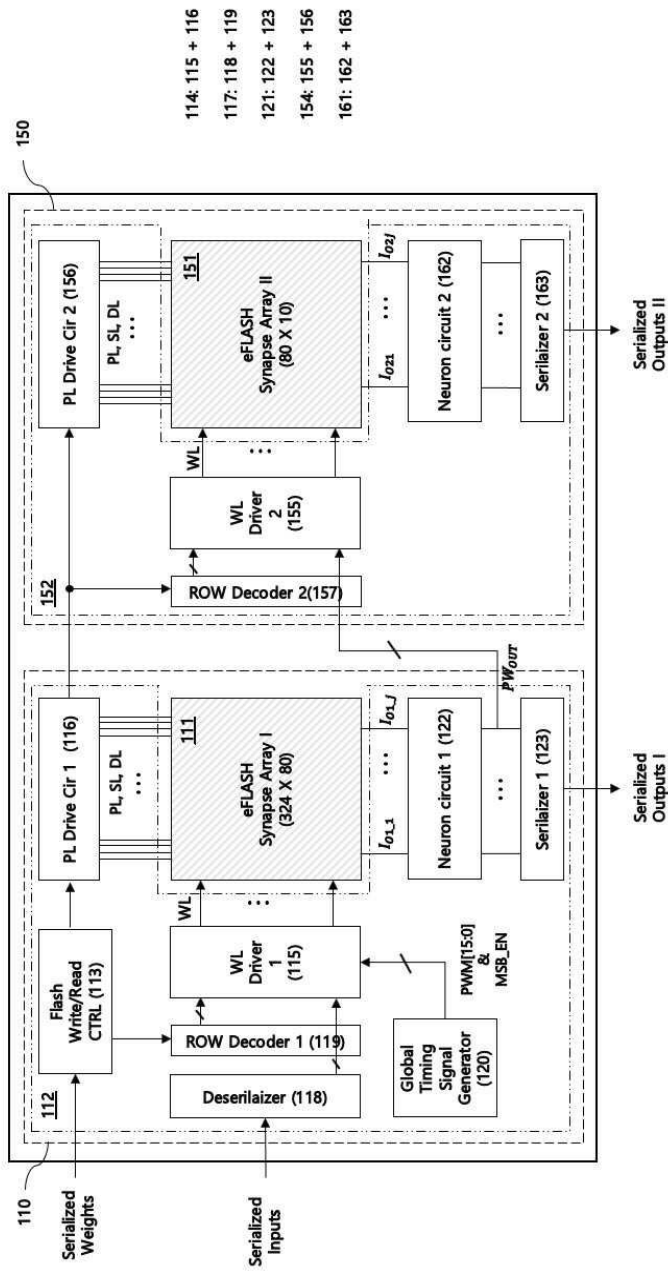
부호의 설명

[0108] 110: 제1 데이터처리부
111: 제1 시냅스셀어레이
112: 제1 신호처리부
150: 제2 데이터처리부
151: 제2 시냅스셀어레이
152: 제2 신호처리부

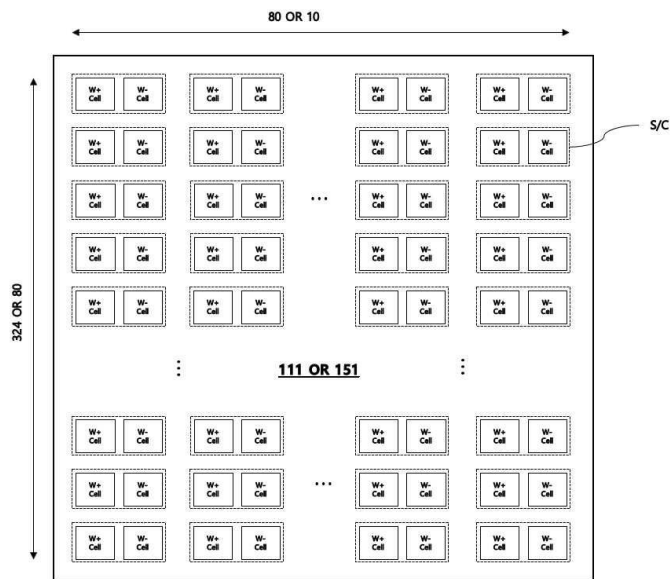
도면

도면1

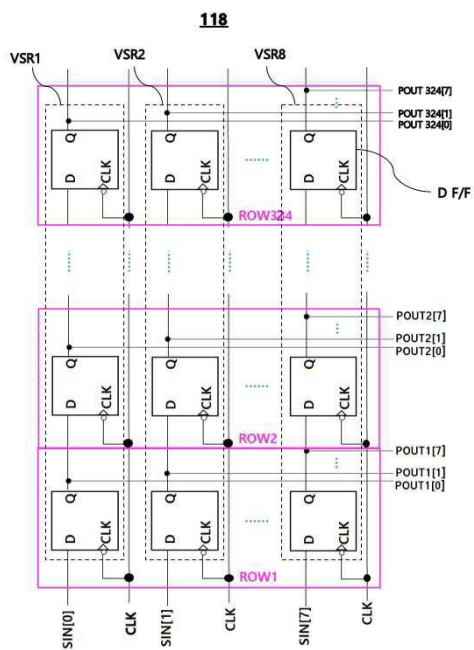
100



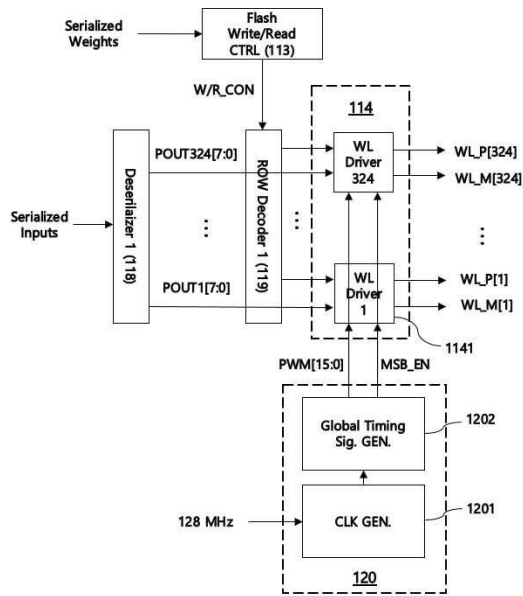
도면2



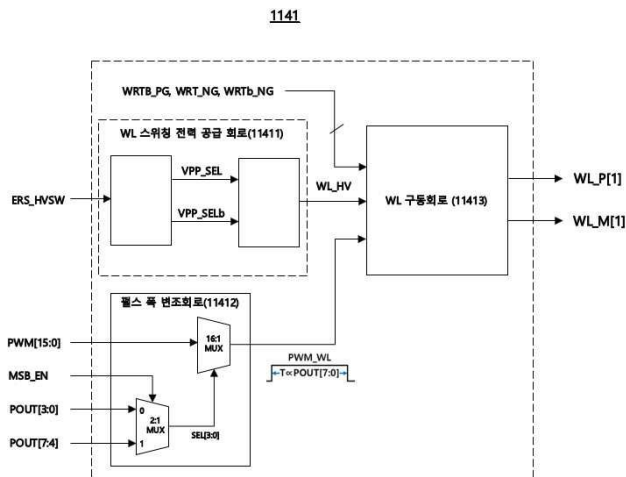
도면3



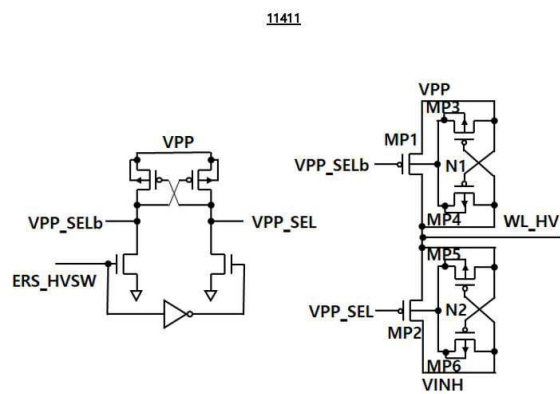
도면4



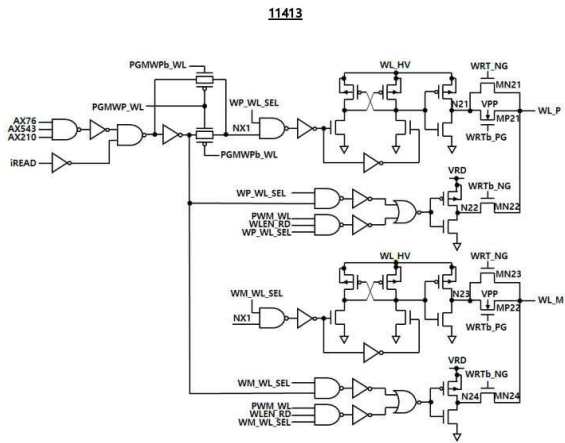
도면5



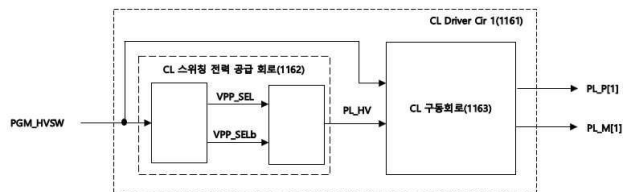
도면6



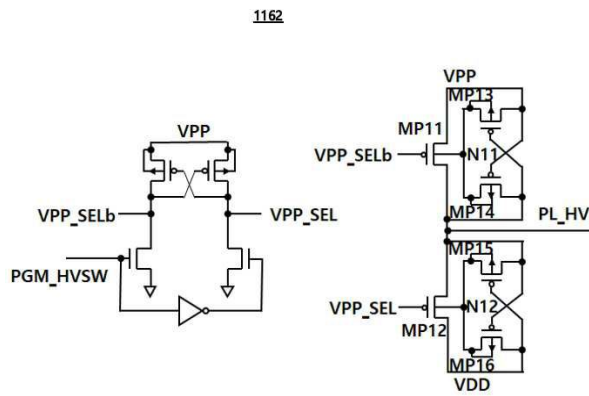
도면7



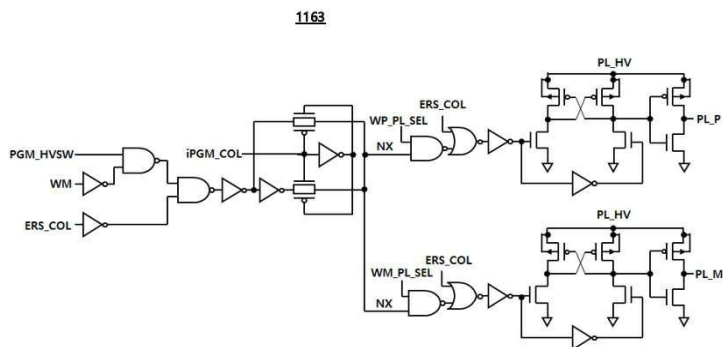
도면8



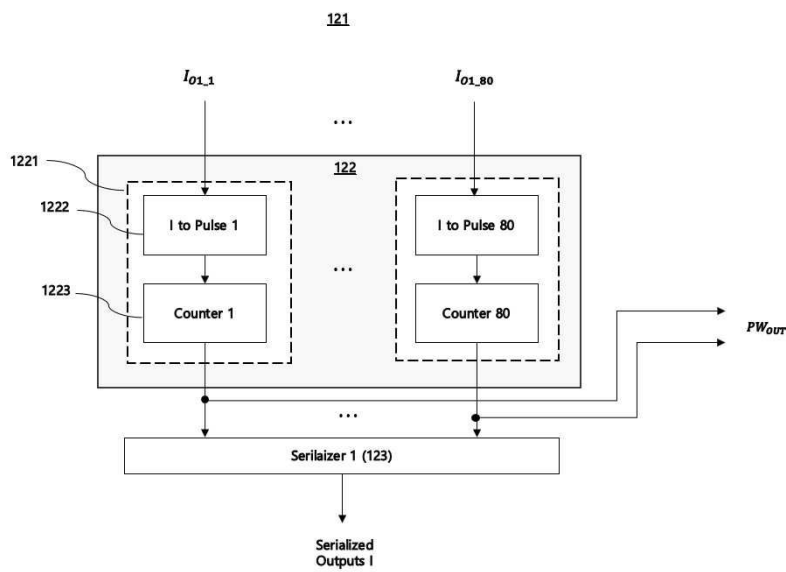
도면9



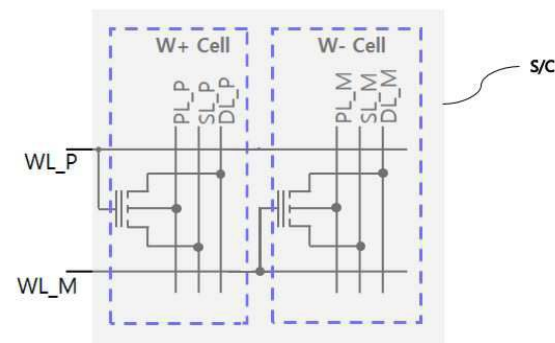
도면10



도면11



도면12



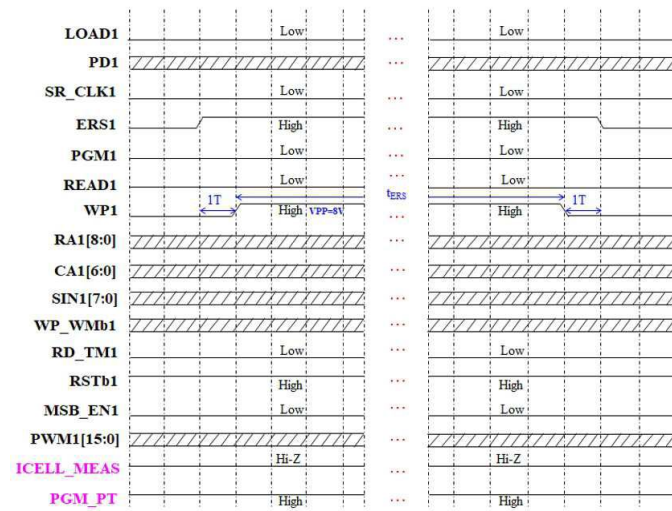
도면13

Operation	Node	WL	DL	SL	PL
ERS	Chip Erase	VERS	0V	0V	0V
PGM	Sel, WL & Sel, DL/SL	0V	Floating	Floating	VPGM
	Sel, WL & Unsel, DL/SL	0V	Floating	Floating	0V
	Unsel, WL & Sel, DL/SL	VINHP	Floating	Floating	VPGM
	Unsel, WL & Unsel, DL/SL	VINHP	Floating	Floating	0V
Read	Sel, WL & Sel, DL/SL	VRD	VDL	0V	0V
	Unsel, WL & Sel, DL/SL	0V	VDL	0V	0V

도면14

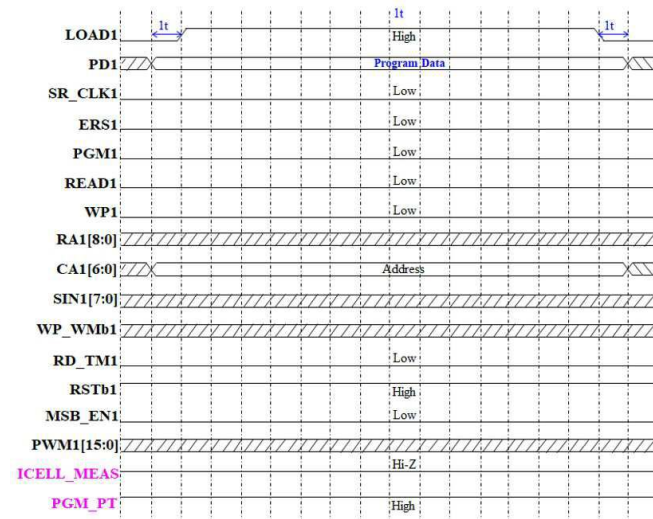
Input	Synaptic Weight	I_{cell}
1	+1	I_{W+}
1	-1	$-I_{W-}$
0	+1	0
0	-1	0

도면15a



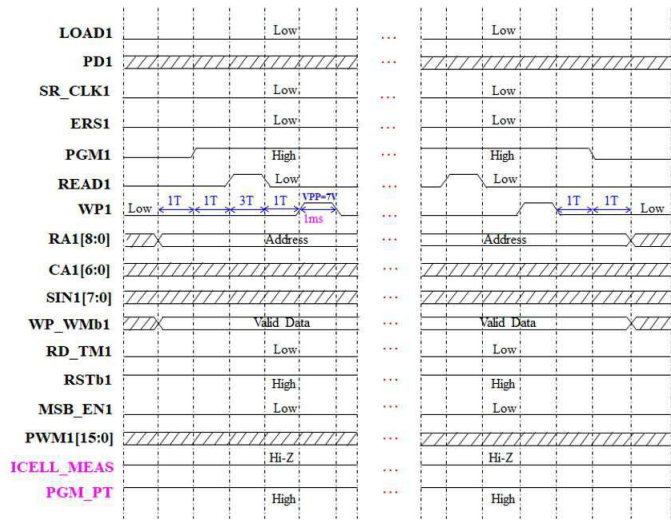
Erase mode

도면15b



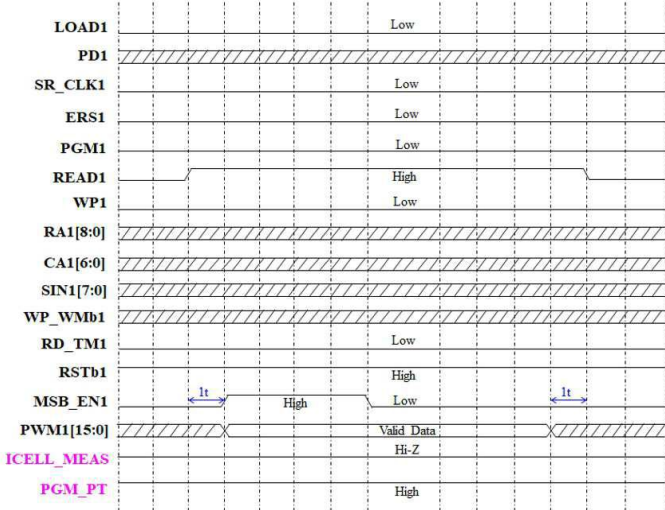
Page buffer data load

도면15c



Program mode

도면15d

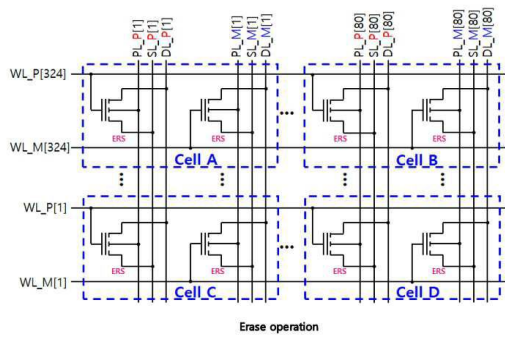


Read mode

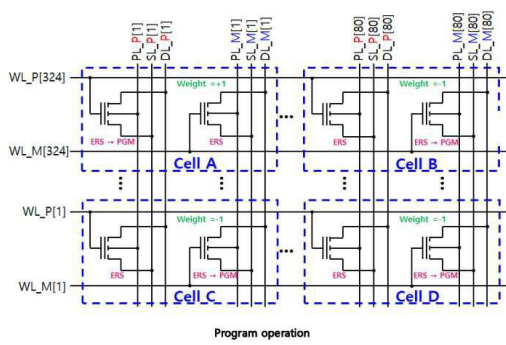
도면16

Function	WP_WMb	Synapse Cell	WL_P	SL_P	PL_P	DL_P	WL_M	SL_M	PL_M	DL_M
Program Mode	1	Sel. Row & Sel. Col.	0V	Floating	VPGM	Floating	VINH	Floating	0V	Floating
		Sel. Row & Unsel. Col.	0V	Floating	0V	Floating	VINH	Floating	0V	Floating
		Unsel. Row & Sel. Col.	VINH	Floating	VPGM	Floating	VINH	Floating	0V	Floating
		Unsel. Row & Unsel. Col.	VINH	Floating	0V	Floating	VINH	Floating	0V	Floating
	0	Sel. Row & Sel. Col.	VINH	Floating	0V	Floating	0V	Floating	VPGM	Floating
		Sel. Row & Unsel. Col.	VINH	Floating	0V	Floating	0V	Floating	0V	Floating
		Unsel. Row & Sel. Col.	VINH	Floating	0V	Floating	VINH	Floating	VPGM	Floating
		Unsel. Row & Unsel. Col.	VINH	Floating	0V	Floating	VINH	Floating	0V	Floating
Erase Mode	X	Chip Erase	VERS	0V	0V	Floating	VERS	0V	0V	Floating

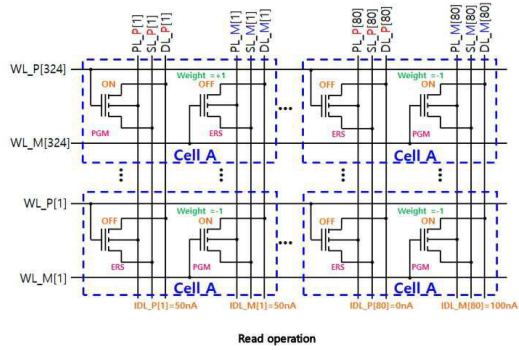
도면17a



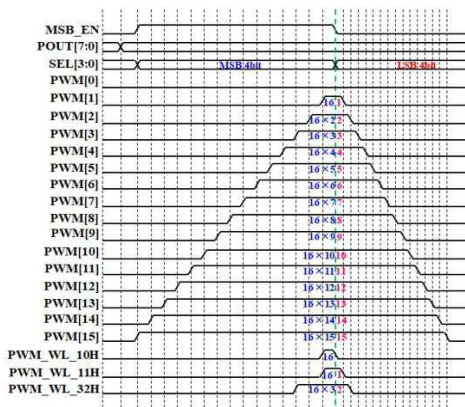
도면17b



도면17c



도면18



도면19

Operating Mode	WL_HV	PL_HV	WRTb_PG	WRT_NG	WRTb_NG
Chip Erase	VERS	VDD	0V	WL_HV	0V
Page Buffer Load	VINH	VDD	WL_HV	0V	VDD
Program	VINH	VPGM	0V	WL_HV	0V
Shift Register Load	VINH	VDD	WL_HV	0V	VDD
Read	VINH	VDD	WL_HV	0V	VDD
Test Read	VINH	VDD	WL_HV	0V	VDD