

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4812066号
(P4812066)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年9月2日(2011.9.2)

(51) Int.Cl.		F I			
G06F	1/08	(2006.01)	G06F	1/04	320Z
G06F	13/42	(2006.01)	G06F	13/42	350B
G06K	17/00	(2006.01)	G06K	17/00	B
G06K	19/077	(2006.01)	G06K	19/00	K

請求項の数 13 (全 22 頁)

(21) 出願番号	特願2003-350287 (P2003-350287)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成15年10月9日(2003.10.9)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2005-115715 (P2005-115715A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成17年4月28日(2005.4.28)	(72) 発明者	奥田 裕一 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
審査請求日	平成18年5月16日(2006.5.16)		
審判番号	不服2009-25212 (P2009-25212/J1)		
審判請求日	平成21年12月21日(2009.12.21)		
		合議体	
		審判長	小松 正
		審判官	早川 学
		審判官	関谷 隆一

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

USB準拠の外部インタフェース回路を有し、

前記外部インタフェース回路は、一定周期毎に区切られたデータ列を入出力し、データ入出力の同期化に用いる同期クロック信号を生成するクロック発生回路を有し、前記一定周期毎の区切はフレームの先頭に配置されるSOFパケットによって明示され、

前記クロック発生回路は、前記同期クロック信号の源発振とされる自励発振回路と、前記自励発振回路の発振周波数の製造時トリミング値を格納するトリミングレジスタと、前記自励発振回路の発振周波数を微調整する制御回路とを有し、

前記自励発振回路は、前記トリミングレジスタ内の製造時トリミング値により発振周波数が補正され、

前記制御回路は、前記データ列における一定周期の区切りを検出し、区切りの間隔を前記自励発振回路の発振出力に基づいて計測し、計測値を目標値に一致させる方向に自励発振回路の発振周波数を制御する半導体集積回路であって、

前記制御回路は、前記自励発振回路の発振周波数を制御する制御データが格納される制御データレジスタと、SOFパケットにより明示される一定周期毎に前記同期クロック信号を計数するカウンタと、前記カウンタによる計数値とその目標範囲とのずれを判定し判定されたずれを小さくする方向に前記制御データレジスタの制御データを修正する判定回路とを有し、

前記制御データレジスタから出力される制御データの初期値は、制御範囲の中央値とさ

10

20

れ、

前記判定回路は、前記制御データを修正するための1回の制御量を第1変化量と、それよりも大きな第2変化量とに切り替え可能とされ、制御開始時点では、前記制御量を前記第2変化量として前記制御データを修正し、前記計測値が前記目標範囲に入るか、前記目標範囲を越えた場合には、前記制御量を前記第2変化量から前記第1変化量に切り替えて前記制御データを修正するものであり、

前記自励発振回路は、発振周波数を決定する定電流発生回路と、前記定電流発生回路で生成される電流を動作電流として相互に逆相で容量の充放電を行なって基準レベルへの到達を検出する一対のランプ回路と、前記一方のランプ回路の出力をセット端子に受け他方のランプ回路の出力をリセット端子に受けるフリップフロップとを有し、前記一対のランプ回路は前記フリップフロップの逆相出力に基づいて相互に逆相で充放電動作されることを特徴とする半導体集積回路。

10

【請求項2】

USB準拠の外部インタフェース回路を有し、

前記外部インタフェース回路は、一定周期毎に区切られたデータ列を入出力し、データ入出力の同期化に用いる同期クロック信号を生成するクロック発生回路を有し、前記一定周期毎の区切はフレームの先頭に配置されるSOFパケットによって明示され、

前記クロック発生回路は、前記同期クロック信号の源発振とされる自励発振回路と、前記自励発振回路の発振周波数の製造時トリミング値を格納するトリミングレジスタと、前記自励発振回路の発振周波数を微調整する制御回路とを有し、

20

前記自励発振回路は、前記トリミングレジスタ内の製造時トリミング値により発振周波数が補正され、

前記制御回路は、前記データ列における一定周期の区切りを検出し、区切りの間隔を前記自励発振回路の発振出力に基づいて計測し、計測値を目標値に一致させる方向に自励発振回路の発振周波数を制御する半導体集積回路であって、

前記制御回路は、前記自励発振回路の発振周波数を制御する制御データが格納される制御データレジスタと、SOFパケットにより明示される一定周期毎に前記同期クロック信号を計数するカウンタと、前記カウンタによる計数値とその目標範囲とのずれを判定し判定されたずれを小さくする方向に前記制御データレジスタの制御データを修正する判定回路とを有し、

30

前記制御データレジスタから出力される制御データの初期値は、制御範囲の中央値とされ、

前記判定回路は、前記制御データを修正するための1回の制御量を第1変化量と、それよりも大きな第2変化量とに切り替え可能とされ、制御開始時点では、前記制御量を前記第2変化量として前記制御データを修正し、前記計測値が前記目標範囲に入るか、前記目標範囲を越えた場合には、前記制御量を前記第2変化量から前記第1変化量に切り替えて前記制御データを修正するものであり、

前記自励発振回路は、発振周波数を決定する定電流発生回路と、前記定電流発生回路で生成される電流を動作電流として容量の充放電を行なって基準レベルへの到達を検出するランプ回路と、前記ランプ回路の出力を遅延させる遅延回路と、遅延回路の出力をクロックとし非反転データ出力をデータ入力とするフリップフロップとを有し、前記ランプ回路は前記遅延回路の出力に基づいて逆相で充放電動作されることを特徴とする半導体集積回路。

40

【請求項3】

前記クロック発生回路は、前記自励発振回路の発振周波数を過倍して同期クロック信号を出力するPLL回路を更に有することを特徴とする請求項1又は2記載の半導体集積回路。

【請求項4】

前記自励発振回路は、前記トリミングレジスタ内の製造時トリミング値により発振周波数が補正されることでSOFパケットの認識が可能な発振精度を有することを特徴とする

50

請求項 3 記載の半導体集積回路。

【請求項 5】

前記定電流発生回路は、前記制御データレジスタの制御データに応じた電流を流す第 1 電流源と、前記トリミングレジスタに格納された制御データにより制御され、前記自励発振回路のプロセスバラツキによる発振周波数の変動を補償する第 2 電流源とを有することを特徴とする請求項 1 又は 2 記載の半導体集積回路。

【請求項 6】

前記定電流発生回路は、前記自励発振回路の温度変化による発振周波数の変動を補償する電流を流す第 3 電流源とを有することを特徴とする請求項 1 又は 2 記載の半導体集積回路。

10

【請求項 7】

前記外部インタフェース回路に接続する中央処理装置を有し、前記中央処理装置は前記クロック発生回路で生成されるクロック信号を動作基準クロック信号として用いることを特徴とする請求項 1 又は 2 記載の半導体集積回路。

【請求項 8】

前記中央処理装置に接続する不揮発性メモリと揮発性メモリとを有することを特徴とする請求項 7 記載の半導体集積回路。

【請求項 9】

前記半導体集積回路は所定の認証機関による認証を受けた IC カード用マイクロコンピュータであることを特徴とする請求項 8 記載の半導体集積回路。

20

【請求項 10】

外部接続端子を有するカード基板に請求項 7 乃至 9 の何れか 1 項記載の半導体集積回路が搭載され、搭載された前記半導体集積回路の前記外部インタフェース回路に前記外部接続端子が接続されることを特徴とするカードデバイス。

【請求項 11】

請求項 10 記載のカードデバイスが着脱可能にされ、装着されたカードデバイスの外部接続端子を USB ホストへ接続可能とする電氣的接続経路を有することを特徴とするカードリーダー。

【請求項 12】

発振子が省略されていることを特徴とする請求項 11 記載のカードリーダー。

30

【請求項 13】

請求項 7 乃至 9 の何れか 1 項記載の半導体集積回路を搭載し、前記外部インタフェース回路を介して USB ホストに接続可能にされることを特徴とする USB インタフェース機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路、更にはクロック発振技術に関し、主たる装置に接続され、該主たる装置と Plesiochronous (プレシオクロナス) 通信を行う、従たる装置、例えば USB (Universal Serial Bus) クライアントに適用して有効な技術に関する。

40

【背景技術】

【0002】

近年、パーソナルコンピュータ (PC) と周辺機器との接続に USB を用いることが一般的になってきており様々な周辺機器が USB 対応になっている。

【0003】

例えば、特許文献 1 には USB を用いた電話装置のアイソクロナス通信に関する記載がある。即ち、パーソナルコンピュータ (PC) と電話装置のクロックの差異に起因する音声データのスリップによるノイズ発生を抑制するのに、非同期転送モード時に約 1 ミリ秒 (ms) 周期で PC から起こられてくる SOF というフレーム信号をカウントするカウン

50

たと、電話交換網のクロックに同期したフレームをカウントするカウンタとのカウント値の差に基づいて電話装置のクロックを選択する。

【0004】

USBに関して、USB 1.1で定義されていたフルスピードモード(12MHz)に加えてUSB 2.0で新たに定義されたハイスピードモード(480MHz)の双方に対応するとき、サンプリングクロックを生成するPLLによる電力消費を低減するために、モードに応じてクロックを切り換えるようにした技術が提供される(特許文献2)。

【0005】

【特許文献1】特開2001-230837号公報

【0006】

【特許文献2】特開2002-141911号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明者はICカードを用いたクレジットカードに対するUSB対応について検討した。クレジットカードに用いられるICカードは、国際規格ISO7816によって規定されている。これまで、インターネット等でクレジットカード決済を行う場合には、カード番号や期限を直接インターネットサイトに送る必要があった。もちろん一般的に通信自体は暗号化され、通信経路で番号を盗まれる可能性は問題にならないほど小さいが、インターネットサイトで直接悪用される可能性は防ぐことが出来ない。そこで、ICカードを用いたクレジットカードで、カード番号も含めて暗号化し、よりセキュアなクレジットカード使用を行いたいと言う要求が増えてきている。

【0008】

しかし、ISO7816規格では外部との通信にUART(Universal Asynchronous Receiver Transmitter)を利用する事になっている。UARTは様々な場所で使用されており、入手が容易で安価であると言う利点があるが、規格として古く自動認識が困難であり、特に個人がPC等で利用する際に利便性の面で問題となる。

【0009】

そこで、最近のPCにほぼ必ず搭載され、利便性の高いUSBの利用が求められている。ISO7816規格では、2つのRFU(Reserved for Future Use)という使用されない端子が規定されており、これにUSBの通信端子であるD+及びD-を割り当てることでUSBに対応することが出来る。

【0010】

USB機器では、通信を発する側と受け取る側とでそれぞれ独立した基準発振器を持ち、送受信間のクロックのずれを規格で定められた基準以下にすることで、自動的にクロックのずれを補償するPlesiochronous転送を行っている。USB規格において、例えばFS(Full Speed)デバイスにおけるクロックのずれは±2500ppmを満たす必要がある。このためUSBを採用した機器では、規格を満たす精度の発振器が必要となり、通常セラミック発振器や水晶発振器を内蔵している。

【0011】

しかし、ICカードでは物理的なスペースの制約によって、セラミック発振器等を個別に内蔵することが不可能であり、本発明者は基準発振器を半導体集積回路(LSI)に内蔵することの必要性について見出した。

【0012】

また、その他のUSB機器においても発振器をLSIに内蔵する方が都合の良い場合があることが本発明者によって見出された。例えば、ゲーム用の入力機器など安価であることが要求される機器では、外付け部品は1つでも少ない方がよい。入力機器などでは、機器自体には±2500ppm以上の精度は必要とされないため、USB通信用チップに基準発振回路が内蔵される場合、他の基準発振回路も不用になり、極めて安価なシステムを

10

20

30

40

50

構成することが可能である。

【0013】

しかしながら、自励発振による基準発振器をLSIチップ内に集積しようとする、プロセスばらつき、電源電圧、温度変化等に対して、例えば ± 2500 ppmの規格を満たすには、別途周波数調整が必要になる。

【0014】

本発明の目的は、振動子を用いずSOF(Start of Frame)パケット等により一定周期毎に区切られたデータ列を用いて所要の周波数を自励発振することができる半導体集積回路を提供することにある。

【0015】

本発明の別の目的は、比較的発振周波数精度の高い自励発振が可能な半導体集積回路を提供することにある。

【0016】

本発明の更に別の目的は、USBのSOFパケットの精度が ± 500 ppmであるとき、USB機器に要求される ± 2500 ppmの精度で自励発振を行なうことが可能な半導体集積回路を提供することにある。

【0017】

本発明の更に別の目的は、ICカードに代表されるカードデバイスをUSBホストに接続するカードリーダー並びにその他のUSB機器のコストを低減することにある。

【0018】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0019】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0020】

〔1〕本発明に係る半導体集積回路は外部インタフェース回路を有し、前記外部インタフェース回路は、一定周期毎に区切られたデータ列を入出力し、データ入出力の同期化に用いる同期クロック信号を生成するクロック発生回路(100)を有する。前記クロック発生回路は、前記同期クロック信号の源発振とされる自励発振回路(120)と、前記自励発振回路の発振周波数を微調整する制御回路(110)とを有し、前記制御回路は、前記データ列における一定周期の区切りを検出し、区切りの間隔を前記自励発振回路の発振出力に基づいて計測し、計測値を目標値に一致させる方向に自励発振回路の発振周波数を制御する。

【0021】

上記より、振動子を用いずSOFパケット等により一定周期毎に区切られたデータ列を用いて所要の周波数を自励発振することができる。

【0022】

本発明の具体的な形態として、前記外部インタフェース回路はUSB準拠のインタフェース回路(918)であり、一定周期毎の区切はフレームの先頭に配置されるSOFパケットによって明示される。USB機器では、バス中に必ず1つのUSBホスト(通常はPC)と、0~127個のUSBデバイスが存在する。各USBデバイスは、必ずUSBホストのみと通信を行い、USBデバイス同士で通信を行うことはない。例えばUSB接続のHDD(Hard Disk Drive)同士でファイル転送を行う場合でも、第1のHDD PC 第2のHDDのように通信が行われる。このため、USBホストに対する精度要求はUSAB(Universal Synchronous and Asynchronous Bus)デバイスに対する精度要求と比較して厳しくなっており、USBデバイスの ± 2500 ppmに対してUSBホストは ± 500 ppmが要求されている。USB規格は、データフローを1ms毎にFrame(フレーム)として区切って

10

20

30

40

50

いる。そして各Frameの先頭において、USBホストからSOFパケットが送られる。USBホストのクロック精度は ± 500 ppmが要求されているため、SOFの間隔も $1\text{ms} \pm 500$ ppmとなる。このSOFを基準にUSBデバイスの基準クロック周波数を補正する。SOFの精度は ± 500 ppm精度が期待できるため、SOF基準で 2000 ppmの周波数補正をかけることが出来れば、全体として発振周波数に ± 2500 ppmの補正が実現できる。この補正法を利用することで、半導体集積回路に内蔵された発振器でも ± 2500 ppmを実現することが出来る。

【0023】

本発明のさらに具体的な形態として、前記クロック発生回路は、前記自励発振回路の発振周波数を逡倍して同期クロック信号を出力するPLL回路(130)を更に有し、前記制御回路は、前記自励発振回路の発振周波数を制御する制御データが格納される制御データレジスタ(114)と、SOFパケットにより明示される一定周期毎に前記同期クロック信号を計数するカウンタ(112)と、前記カウンタによる計数値とその目標範囲とのずれを判定し判定されたずれを小さくする方向に前記制御データレジスタの制御データを修正する判定回路(113)とを有する。

10

【0024】

上記自励発振の周波数補正にはSOFパケット等による所定の区切りの認識が不可欠である。この意味において、自励発振回路はSOFパケット等による所定の区切りの認識が可能な発振精度を有する。

【0025】

必要な発振精度を得るといふ点に関し、例えば前記自励発振回路は発振周波数を決定する定電流発生回路を有する。この定電流発生回路は、前記制御データレジスタの制御データに応じた電流を流す第1電流源(411)と、前記自励発振回路のプロセスバラツキによる発振周波数の変動を補償する制御データを受けて電流を流す第2電流源(412)とを有する。

20

【0026】

前記定電流発生回路は、例えば前記自励発振回路の温度変化による発振周波数の変動を補償する電流を流す第3電流源(413)とを有する。

【0027】

必要な発振精度を得るといふ点に関し、例えば前記自励発振回路は、前記定電流発生回路で生成される電流を動作電流として相互に逆相で容量の充放電を行なって基準レベルへの到達を検出する一対のランプ回路(420, 430)と、前記一方のランプ回路の出力をセット端子に受け他方のランプ回路の出力をリセット端子に受けるフリップフロップ(440)とを有し、前記一対のランプ回路は前記フリップフロップの逆相出力に基づいて相互に逆相で充放電動作される。容量の充電時間は高精度にコントロールできるが、放電時間については大きな誤差を伴うのが通例である。これを考慮したとき、一対のランプ回路を交互に充電動作させ、前記基準レベルへの到達検出の間隔に基づいて周期を規定するから、比較的大きな誤差を伴う放電動作が充電動作によって見掛け上隠蔽され、高精度のクロック周波数発振に資することができる。

30

【0028】

自励発振回路のチップ占有面積低減を考慮する場合にはランプ回路を1個として容量によるチップ占有面積を削減する。ランプ回路を1個にした場合には前記ランプ回路の出力を遅延させる遅延回路と、遅延回路の出力をクロックとし非反転データ出力をデータ入力とするフリップフロップとを採用し、前記ランプ回路は前記遅延回路の出力に基づいて逆相で充放電動作されるようにすればよい。

40

【0029】

〔2〕本発明の更に別の具体的な形態として、半導体集積回路は、前記外部インタフェース回路に接続する中央処理装置を有し、前記中央処理装置は前記クロック発生回路で生成されるクロック信号を動作基準クロック信号として用いる。半導体集積回路の動作基準クロックを得るのに水晶振動子などの外付け発振子を必要としない。前記半導体集積回路

50

には中央処理装置に接続する不揮発性メモリと揮発性メモリが搭載されてもよい。このような半導体集積回路は例えば所定の認証機関による認証を受けたICカード用マイクロコンピュータである。

【0030】

上記半導体集積回路をICカードやマルチファンクションメモリカードなどのカードデバイスに適用する場合には、外部接続端子を有するカード基板に前記半導体集積回路が搭載され、搭載された前記半導体集積回路の前記外部インタフェース回路に前記外部接続端子が接続される。

【0031】

上記カードデバイスをUSBホストに接続するカードリーダーは、カードデバイスが着脱可能にされ、装着されたカードデバイスの外部接続端子をUSBホストへ接続可能とする電氣的接続経路を有する。USBのサンプリングクロックはカードデバイスに実装された半導体集積回路のオンチップ発振回路で生成するからカードリーダーは発振子を備えることを要しない。

10

【0032】

上記半導体集積回路をUSBインタフェース機器に適用する場合、半導体集積回路は前記外部インタフェース回路を介してUSBホストに接続可能にされていればよい。

【0033】

〔3〕本発明に係る発振回路は、定電流発生回路と、前記定電流発生回路で生成される電流を入力して容量を充電し充電レベルを基準レベルと比較し一致を出力する一対の時間計測回路と、前記一方の時間計測回路の出力をセット端子に受け他方の時間計測回路の出力をリセット端子に受けるフリップフロップと、を有し、相互に一の時間計測回路による一致検出に応答して、当該一の時間計測回路の容量を放電開始すると共に他の時間計測回路の充電を開始し、前記一致検出の間隔に基づいて周期が規定されたクロック信号を生成する。比較的大きな誤差を伴う放電動作が充電動作によって見掛け上隠蔽され、高精度のクロック周波数発振に資することができる。

20

【発明の効果】

【0034】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

30

【0035】

振動子を用いずSOFパケットのような一定周期毎に区切られたデータ列を用いて所要の周波数を自励発振することができる。

【0036】

半導体集積回路に基準発振回路を採用することで、ICカードリーダーやUSB機器のコストを削減することができる。

【発明を実施するための最良の形態】

【0037】

図1に本発明に係る半導体集積回路に搭載される基準発振回路が例示される。100はUSB用基準発振回路、110は発振周波数微調整回路、120は自励発振回路、130はPLL(Phase-Locked Loop)回路、140は製造時トリミングレジスタ、151は1MHzクロック、152は48MHzクロック、153は発振周波数微調整信号、154は製造時トリミング値、155は製造時トリミング設定信号、156はD+信号、157はD-信号である。なお、D+信号156、D-信号157は、共にUSBのデータの信号である。

40

【0038】

特に限定する意図はないが、本実施例における発振回路は、USB規格2.0のフルスピード(Full Speed)モード(12Mbps)に対応したUSB送受信回路用の、基準発振回路であるとする。一般的にUSB受信回路では、4倍オーバーサンプリングを用いるため、フルスピードモード対応のUSB送受信回路では、48MHzの基準ク

50

ロックが必要となる。

【0039】

本実施例における発振回路は、たとえば上記発振回路が搭載される半導体集積回路に電源が投入された時、カードリーダーに上記半導体集積回路を搭載するカードデバイスが接続された時、USBホストからのリセット信号が上記半導体集積回路に入力された時など、半導体集積回路に電源が投入されたあと発振を開始（自励発振を行う）するものである。

【0040】

まず自励発振回路120が、1MHzクロック151を生成する。該1MHzクロックはPLL130において48逓倍され、48MHzクロック152として出力される。

【0041】

PLL回路130において、131は電圧制御発振回路（VCO：Voltage - Controlled Oscillator）、132は分周回路、133は位相周波数比較回路（PFD：Phase Frequency Detector）、134は低域通過フィルタ（LPF：Low Pass Filter）である。

【0042】

VCO131は動作開始時点で自走周波数と呼ばれる周波数で発振している。VCO131から出力されるクロック152を分周回路132で分周する。PLL回路130を逓倍回路として使用する場合、この分周回路132の分周比が逓倍比となる。ここでは、1MHzクロック151を48MHzクロック152へ48逓倍することが目的のため、分周比は1/48に設定される。

【0043】

このように分周されたフィードバッククロック136は、PFD133において、1MHzクロック151と位相及び周波数が比較される。1MHzクロック151と比較して、フィードバッククロック136の位相が進んでいるもしくは周波数が高い場合、チャージアップ信号137よりもチャージダウン信号138のほうが長期間のパルスが出力される。逆に、1MHzクロック151と比較して、フィードバッククロック136の位相が遅れているもしくは周波数が低い場合、チャージダウン信号138よりもチャージアップ信号137のほうが長期間のパルスが出力される。

【0044】

LPF134によって、チャージアップ信号137及びチャージダウン信号138が平滑化され、周波数制御電位135が出力される。すなわち、チャージアップ信号137がLPF134へ入力された場合、周波数制御電位135が上昇し、チャージダウン信号137がLPF134へ入力された場合、周波数制御電位135が下降する。

【0045】

この周波数制御電位135が上昇すると、VCO131の周波数が上昇し、周波数制御電位135が下降するとVCO131の周波数は下降する。このようにして、フィードバッククロック136と1MHzクロック151との周波数及び位相が一致するようにネガティブフィードバック（負帰還）制御が行われる。分周回路132の動作から、48MHzクロック152の周波数は1MHzクロック151の48倍に制御される。これにより、PLL回路130はクロックの48逓倍回路として動作する。

【0046】

1MHzクロック151を48逓倍して生成された、該48MHzクロック152がUSB用基準クロックになるが、このままでは±2500ppmの規格を満足することは出来ない。自励発振回路120は製造時にトリミングされており、そのトリミング値154は製造時トリミングレジスタ140に格納されている。トリミング値154自体は製造時に測定され、製造時トリミング信号155を通して、製造時トリミングレジスタ140に書き込まれる。製造時トリミング信号155は、例えば半導体集積回路に搭載されたレーザ溶断ヒューズ回路又はEEPROM、MRAM、フラッシュメモリなどの不揮発性メモリから、当該半導体集積回路の電源投入時やリセット時にイニシャルロードされる信号である。

10

20

30

40

50

【 0 0 4 7 】

トリミングされた自励発振回路 1 2 0 は、プロセスばらつきに対して極めて安定した周波数で発振する事が可能である。しかし、他に発振周波数が変化する要因として、電源電圧と温度が挙げられる。無論、プロセス、電源電圧、温度に対する補償回路を組み込んでおき、それぞれを高精度にトリミングすることも論理上は可能であるが、あるパラメータに対する補償回路が他のパラメータに対して依存性を持つため、高精度に補償を行うことは極めて難しい。例えばプロセスばらつきを補償する回路自体が温度依存性を持つなどが挙げられる。特に温度依存性を製造時にトリミングするためには、温度の上昇/下降を行う必要があるため、テスト時間の増加につながり、テストコストの面から困難である。そこで、発振周波数微調整回路 1 1 0 を利用して、温度依存性など製造時にトリミングが難しいばらつきを補償する。

10

【 0 0 4 8 】

発振周波数微調整回路 1 1 0 において、1 1 1 は S O F 検出回路、1 1 2 はクロックパルス計数回路、1 1 3 はクロック数判定回路、1 1 4 は周波数微調整値レジスタである。

【 0 0 4 9 】

U S B の信号である D + 信号 1 5 6 及び D - 信号 1 5 7 から、S O F 検出回路 1 1 1 が S O F パケットを検出する。なお、S O F パケットは U S B を流れるデータ中でユニークであり、他のデータと容易に区別が出来る。S O F パケットが入力されると S O F 検出回路 1 1 1 は、S O F 検出信号 1 1 5 を、4 8 M H z クロック 1 5 2 に同期させて 1 周期間出力する。また S O F パケットは、たとえば U S B ホストに対し複数の U S B ファンクションが接続されている状態であっても、各 U S B ファンクションそれぞれが S O F パケットを受信可能な状態となっている。

20

【 0 0 5 0 】

図 1 0 に示す通り、S O F パケットは S y n c - P I D - F r a m e N o . - C R C - E O P という順でデータが送られてくる。このうち S y n c はデータ本体を取り込むためのタイミングを計るために送られてくるビット列である。P I D はパケットの種類を指定するビット列であり、S O F パケットであれば S O F パケットを示すビット列が送られてくる。F r a m e N o . は F r a m e の番号を示しており、これは F r a m e 毎に変化する。C R C はデータエラーを検出するためのビット列である。E O P は各パケットの終了を示す特殊な状態である。U S B は 2 本の信号線 D + 、D - を使用しディファレンシャル伝送を行っている。通常 2 つの信号線の電位は互いに逆の関係にあるが、E O P の場合に限り同電位となる。よって、E O P は容易に検出できる。実際に S O F パケットを検出するためには、前パケットの E O P - S y n c - P I D を検出することになる。

30

【 0 0 5 1 】

クロックパルス計数回路 1 1 2 は、4 8 M H z クロック 1 5 2 の立ち上がりエッジが入力される毎に、クロック計数信号 1 1 6 に 1 を加算し、S O F 検出信号 1 1 5 が入力されると、クロック計数信号 1 1 6 を 0 にリセットする。これにより、S O F パケットから S O F パケットまでのクロックパルスの数を計数することが出来る。

【 0 0 5 2 】

U S B 規格により、S O F パケットの間隔は 1 m s であり、4 8 M H z クロック 1 5 2 が正確に 4 8 M H z であるならば、クロック計数信号 1 1 6 は 4 8 0 0 0 を計数するはずである。これを用いて、4 8 M H z クロック 1 5 2 の周波数を補正する。

40

【 0 0 5 3 】

クロック数判定回路 1 1 3 は、S O F 検出信号 1 1 5 が出力される直前のクロック計数信号 1 1 6 の値を用いる。クロック計数信号 1 1 6 の値が 4 8 0 4 8 より大きければ、周波数微調整値レジスタ 1 1 4 から出力される周波数微調整信号 1 5 3 の値を 1 減算する。逆に、クロック計数信号 1 1 6 の値が 4 7 9 5 2 より小さければ、周波数微調整信号 1 5 3 の値を 1 加算する。1 1 7 は周波数微調整値レジスタ 1 1 4 に対する加算指示信号、1 1 8 は周波数微調整値レジスタ 1 1 4 に対する減算指示信号である。クロック計数信号 1 1 6 の値が 4 7 9 5 2 と 4 8 0 4 8 の間であれば、フィードバック制御の不感帯としてク

50

ロック計数信号 1 1 6 の値を操作しない。

【 0 0 5 4 】

自励発振回路 1 2 0 には周波数微調整機能があり、周波数微調整信号 1 5 3 が増加すると 1 MHz クロック 1 5 1 の周波数が上昇し、周波数微調整信号 1 5 3 が減少すると 1 MHz クロック 1 5 1 の周波数が下降する。これによりネガティブフィードバック制御となっている。周波数微調整信号 1 5 3 の初期値を中央値にすることで、1 MHz クロック 1 5 1 の初期周波数が高くて低くても対応することが出来る。

【 0 0 5 5 】

S O F パケットの間隔が正確に 1 m s であるとすれば、4 8 MHz クロック 1 5 2 の実周波数は 4 7 . 9 5 2 ~ 4 8 . 0 4 8 MHz の間で安定する事になる。すなわち 4 8 MHz \pm 1 0 0 0 p p m である。実際には S O F パケットの間隔は 1 m s \pm 5 0 0 p p m であるため、あわせて 4 8 MHz \pm 1 5 0 0 p p m の精度を持つクロックが得られる。U S B の規格では 4 8 MHz \pm 2 5 0 0 p p m まで許容範囲であるが、1 0 0 0 p p m 分はガードバンド（製造時余裕）とする。

【 0 0 5 6 】

これにより、U S B 規格を満足する精度を有する基準発振回路を構成することは可能である。この制御において、1 0 0 0 p p m 未満の精度を目指すフィードバック制御であることから、1 回の制御量は 5 0 0 p p m 程度で設計する。ここで、自励発振回路 1 1 0 の初期発振周波数のずれが 5 0 0 0 0 p p m (5 %) 程度あったとすると、1 0 0 回程度のフィードバック制御を経て制御が収束する。これでは本発明における基準発振回路 1 0 0 が U S B に接続されてから、実際に通信が可能になるまで 1 0 0 m s 程度かかってしまう。

【 0 0 5 7 】

これを回避するために次のような制御を行う。図 2 に本発明における 2 段階制御方式の概念図を示す。図 2 において、2 1 0 は 4 8 MHz クロック 1 5 2 の周波数軸、2 2 0 は時間軸、2 1 1 は 4 8 . 0 4 8 MHz、2 1 2 は 4 8 MHz、2 1 3 は 4 7 . 9 5 2 MHz である。

【 0 0 5 8 】

本発明における基準発振回路 1 0 0 が動作を開始した時点での発振周波数は、図 2 に示した通り制御目標よりも低い周波数であるとする。ここから、制御目標 (2 1 1 ~ 2 1 3) に向かって制御を行う。

【 0 0 5 9 】

まず、制御開始時点 2 3 0 では 1 回の制御につき大きな量の制御を行う。すなわち、周波数微調整信号 1 5 3 の値を \pm 1 ではなく、例えば \pm 9 の変化量を与える (制御点 2 3 1 ~ 2 3 2)。周波数微調整信号 1 5 3 の値を 1 変化させた時の 4 8 MHz クロック 1 5 2 の周波数の変化量を 5 0 0 p p m であるとすれば、9 変化させた時の変化量は 4 5 0 0 p p m となる。その後、4 8 MHz クロック 1 5 2 の発振周波数が制御目標 2 1 1 ~ 2 1 3 に入るか、制御目標 2 1 1 ~ 2 1 3 を超えた場合 (制御点 2 3 2)、周波数微調整信号 1 5 3 の変化値を \pm 1 にする。もし制御目標 2 1 1 ~ 2 1 3 に入っていれば制御はその時点で安定し、もし制御目標 2 1 1 ~ 2 1 3 を超えていれば逆方向に 1 ~ 6 回制御を行うことで制御目標 2 1 1 ~ 2 1 3 へ入る (制御点 2 3 3 ~ 2 3 4)。言うまでもないが、4 8 MHz クロック 1 5 2 の初期周波数が速い場合でも、最初は \pm 9 で制御を行い、制御目標に入るか飛び越すかで \pm 1 の制御に切り替える。この場合図 2 の波形は上下が逆になるが、考え方としては変わらない。

【 0 0 6 0 】

ここで仮定として、4 8 MHz クロック 1 5 2 の初期周波数が - 5 0 5 0 0 p p m ずれていた場合、+ 9 (+ 4 5 0 0 p p m) の制御を 1 2 回行ったところで、制御目標 2 1 1 ~ 2 1 3 を飛び越し + 3 5 0 0 p p m となる。その後 - 1 (- 5 0 0 p p m) の制御を 6 回行うことで + 5 0 0 p p m となり、制御目標 2 1 1 ~ 2 1 3 を満足し制御は安定する。すなわち合計 1 8 回の制御で制御目標 2 1 1 ~ 2 1 3 に達する。この条件における制御回

10

20

30

40

50

数が - 5 0 0 0 0 p p m 付近における最悪値である。

【 0 0 6 1 】

- 5 0 5 0 0 p p m の初期周波数から、周波数微調整信号 1 5 3 の値を + 1 ずつ制御した場合、1 0 0 回の制御で - 5 0 0 p p m となり、制御目標 2 1 1 ~ 2 1 3 に達する。このことから、2 段階制御を行うことで、大幅に制御が安定する時間を短縮出来ることがわかる。

【 0 0 6 2 】

ところで、U S B はシリアル半 2 重通信でありデータ同期用のクロックが存在しないため、受信側でデータ取り込むタイミングを調整する必要がある。図 3 にデータ取り込みタイミングがずれた場合の例を挙げる。3 1 0 に示したシリアルデータ信号を正しく取り込むには、3 2 1 で示したようなクロックでデータを取り込む必要がある。正確なクロック 3 2 1 で取り込んだデータは 3 2 2 のようなデータ列となる。

10

【 0 0 6 3 】

ここで、不正確なクロックで同じシリアルデータ信号 3 1 0 を取り込んだ場合について考える。3 3 1 は不正確なクロックを示す。この不正確なクロック 3 3 1 でシリアルデータ信号 3 1 0 を取り込んだ場合、取り込まれたデータ列は 3 3 2 のようになる。図 3 を見れば明らかなように、クロックのタイミングが不正確であった場合、取り込まれたデータ列が不正確になってしまう。

【 0 0 6 4 】

U S B 規格では、送信側と受信側とでそれぞれ独立に基準周波数を持ち、送受信間の位相差及び微小な周波数のずれはデータ通信中に適宜補正するという方法をとっている。この送受信間の同期の取り方を P l e s i o c h r o n o u s 転送と呼ぶ。

20

【 0 0 6 5 】

図 3 に示した通り、P l e s i o c h r o n o u s 転送では、送受信間のクロック周波数がずれるとデータを正確に読み取れないため、U S B データから S O F パケットを検出することが出来なくなってしまう。ゆえに、自励発振回路 1 2 0 の初期周波数は、U S B 規格を満たさないまでも、S O F パケットを検出することが出来るほどには正確でなければならない。

【 0 0 6 6 】

図 4 に一般的な C M O S プロセスで実現可能な、高精度自励発振回路 1 2 0 の例を示す。図 4 において、4 1 0 は定電流発生回路、4 2 0 は正相側ランプ回路、4 3 0 は逆相側ランプ回路、4 4 0 は R S フリップフロップ、4 5 0 は比較電位生成回路である。

30

【 0 0 6 7 】

4 1 0 の定電流発生回路において、4 1 1 は周波数微調整用可変電流源、4 1 2 は主電流源、4 1 3 は温度補償電流源である。夫々の電流源 4 2 1 , 4 1 2 , 4 1 3 は、特に図示はしないが、直列接続された複数個のシリーズ抵抗と各シリーズ抵抗の両端に夫々一端が結合されたシャント抵抗との抵抗網を有し、各シャント抵抗の一端には周波数微調整信号 1 5 3 (トリミング値 1 5 4) のような複数ビットの制御情報によってオン・オフされる C M O S スイッチを介してクランプ電圧が印加される、所謂 R 2 R 形態回路構成とされる。C M O S スイッチは周波数微調整信号 1 5 3 (トリミング値 1 5 4) のような複数ビットの制御情報の対応ビットによりスイッチ制御される。前記クランプ電圧は電源電圧変化や温度変化による出力電圧の変動を補償する所謂基準電圧発生回路によって生成された安定な基準電圧とされる。したがって、前記周波数微調整信号 1 5 3 (トリミング値 1 5 4) のような複数ビットの制御情報にしたがって前記抵抗網で生成される電圧は温度や電源電圧の変動に対して安定した電圧になる。そのような電圧は夫々の電流源 4 2 1 , 4 1 2 , 4 1 3 を構成する電流源トランジスタをバイアスして定電流を流そうとする。

40

【 0 0 6 8 】

基本的には、主電流源 4 1 2 によって該定電流発生回路 4 1 0 の電流値は決定される。詳しくは後述するが、電流値が増加すれば自励発振回路 1 2 0 の周波数は上がり、逆に電流値が減少すれば自励発振回路 1 2 0 の周波数は下がる。C M O S プロセスを用いて L S

50

Iを量産するときには、必ず素子のばらつきを考える必要がある。この主電流源412の電流値は製造時にトリミングされており、トリミング値154の値にしたがって電流値を変化させる。なお、トリミング値154は、動作中に変化することはない。

【0069】

しかし、CMOSプロセスを用いた定電流源は基本的に温度依存性を持っており、一般的に温度が上昇すると電流値が下がる。これを補償するのが、温度補償電流源413である。この温度補償電流源413は、一般的な電流源と異なり温度が上昇すると電流値が上昇するように設計してある。例えば、図6に示した通りバンドギャップ定電圧回路を利用する。図6についての詳しい説明は後述するが、温度補償電位656には絶対温度に比例した電位が出力される。656の電位から電圧-電流変換回路を用いて電流を生成すれば、温度の上昇に伴い電流値が増加する電流源を設計することが可能である。また、主電流源412の温度依存性が一般とは逆に、温度の上昇に伴い電流値が上がるといった性質であった場合は、カレントミラーを用いて、温度補償電流源の電流方向を逆転することで、主電流源412の温度依存性を打ち消すことが出来る。前記主電流源412と温度補償電流源413との温度依存性をちょうど打ち消すように、温度補償電流源413の電流値を、製造時トリミング値154で設定することで、電流の温度依存性を極めて小さくすることが出来る。但し前記の通り、製造時に温度依存性を打ち消すことはテスト時間の関係で困難であり、温度補償電流源413だけで温度依存性を打ち消して、USB規格を満足させることは困難である。

【0070】

そのために発振周波数微調整回路110が存在する。発振周波数微調整回路110の出力である周波数微調整信号153を受けて、周波数微調整用可変電流源411は電流値を変化させる。すなわち、周波数微調整信号153が増加すれば、周波数微調整用可変電流源411の電流値は上昇し、周波数微調整信号153が減少すれば、周波数微調整用可変電流源411の電流値は下降する。

【0071】

これら3つの電流源により、定電流発生回路410全体の電流値は極めて精度良く一定に保たれる。無論言うまでもないが、最終的に一定に保たれるのは自励発振回路120の発振周波数であり、他の回路によって自励発振回路120の発振周波数が変化するのは、この定電流発生回路410にて補償される。該電流値はバイアス用PMOS414によりバイアス電位452に変換される。定電流発生回路410において生成された電流は、バイアス電位452を通し、正相側及び逆相側ランプ回路420、430に伝送される。

【0072】

ランプ回路420、430の動作を図5に示した各ノード電位の遷移を基に説明する。図5において、510は正相側及び逆相側ランプ電位453、454の電位軸、520はセット信号455及びリセット信号456の電位軸、530は1MHzクロック151の電位軸、540は時間軸、453は正相側ランプ電位453の電位、454は逆相側ランプ電位454の電位、455はセット信号455の電位、456はリセット信号456の電位、151は1MHzクロック151の電位、451は比較電位451の電位を示している。

【0073】

まず、正相側ランプ回路420がオフ(OFF)状態のときから説明を行う。正相側ランプ回路ディセイブル電位457がハイ(Hi)レベルであるため、正相側リセットNMOS423はON、正相側スイッチPMOS422はオフである。よって、正相側ランプ電位453はグラウンド電位で安定している。その後、正相側ランプ回路ディセイブル電位457がロー(Lo)レベルに落ちると、正相側リセットNMOSがオフ、正相側スイッチPMOSがオン(ON)になるため、キャパシタ424に電荷が注入され、正相側ランプ電位453が上昇していく(図5参照)。正相側ランプ電位453が比較電位451を越えた時、コンパレータ425の出力であるセット電位455がLoレベルからHiレベルに立ち上がる。このセット信号455の働きで、RSフリップフロップ440の状態

10

20

30

40

50

が反転し、正相側ランプ回路ディセイブル電位457がHiレベルに立ち上がる。これにより正相側ランプ回路は再びオフ状態に移る。

【0074】

RSフリップフロップ440の働きにより、正相側ランプ回路ディセイブル電位457がLoレベルである時、逆相側ランプ回路ディセイブル電位458はHiレベルである。このとき、逆相側ランプ回路430はオフ状態であるので、逆相側リセットNMOS433はオン、逆相側スイッチPMOS432はオフであり、逆相側ランプ電位454はグラウンド電位で安定している。正相側ランプ回路420の働きにより、RSフリップフロップ440が反転することで、逆相側ディセイブル電位458がLoレベルに落ちる。これにより逆相側リセットNMOS433がオフ、逆相側スイッチPMOS432がオンになるため、逆相側ランプ電位454が上昇していく(図5参照)。正相側と同様に、逆相側ランプ電位454が、比較電位451を越えることで、コンパレータ435の出力であるリセット電位456が立ち上がり、RSフリップフロップ440の状態が反転する。

10

【0075】

逆相側ランプ回路430が動作している時、正相側ランプ回路420はオフ状態であり、正相側ランプ電位453はグラウンド電位まで落ちている。後は、正相側、逆相側ランプ回路420、430が交互に動作することで、RSフリップフロップ440が定期的に反転する。これを出力として取り出したものが、1MHzクロック151である。

【0076】

ここで、正相側電流源PMOS421と逆相側電流源PMOS431とはバイアス用PMOS414とゲート長(Lg)及びゲート幅(W)が同一に設計されており、定電流発生回路410で生成された電流と同じ大きさの電流が、正相側電流源PMOS421と逆相側電流源PMOS431に流れるように設計されている。この電流値をIとする。キャパシタ424、434の容量をCとおくと、各ランプ回路420、430がオンになってから時間tが経過した時のランプ電位453、454の電位Vは以下の式で現すことが出来る。

20

【0077】

【数1】

【数1】

$$V = I/C \cdot t$$

30

【0078】

数1から、ランプ回路420、430がオンになってから、比較電位451(Vc)の電位に達するまでの時間は以下のような式で表すことが出来る。

【0079】

【数2】

【数2】

$$t = C \cdot Vc / I$$

40

【0080】

コンパレータ425、435、RSフリップフロップ440の反応速度が無視できるほど小さいとすると、数2のtが0.5μsになるようC、Vc、Iの値を設計することで、1MHzの発振周波数を得ることが出来る。

【0081】

この3種類の設計パラメータのうち、CはMIMキャパシタ(MIM: Metal Insulator Metal ゲート層や配線層を電極として形成するキャパシタ)を用いることで、温度及び電源電圧に対して安定な容量を得ることが出来る。Iの生成法は前記に示した通りである。最後のVcの生成法について図6を用いて説明を行う。

50

【 0 0 8 2 】

図 6 に比較電位生成回路 4 5 0 の回路図を示す。PMOS 6 0 8 ~ 6 1 1 は同じ L_g 、 W の値を持っており、PMOS ゲート電位 6 5 1 も共通のため、同じ量の電流が流れている。NPN トランジスタ 6 0 1 と 6 0 2 はダイオード接続されており、NPN トランジスタ 6 0 2 のエミッタ面積は NPN トランジスタ 6 0 1 と比較して 2 0 倍に設計されている。NPN トランジスタ 6 0 1 に流れる電流を I_{t1} 、ノード 6 5 2 の電位を V_{t1} 、NPN トランジスタ 6 0 1 の逆方向漏れ電流の大きさを I_s とおくと、これら 3 つの関係は以下の式で表すことが出来る。下記式において、 k はボルツマン定数、 T は絶対温度、 q は電気素量である。

【 0 0 8 3 】

【数 3】

【数 3】

$$I_{t1} = I_s \cdot \exp\left(\frac{q}{kT} \cdot V_{t1}\right)$$

【 0 0 8 4 】

同様に NPN トランジスタ 6 0 2 に流れる電流を I_{t2} 、ノード 6 5 3 の電位を V_{t2} 、とすると、NPN トランジスタ 6 0 2 の電流 I_{t2} は、以下の式で表すことが出来る。

【 0 0 8 5 】

【数 4】

【数 4】

$$I_{t2} = 20 \cdot I_s \cdot \exp\left(\frac{q}{kT} \cdot V_{t2}\right)$$

【 0 0 8 6 】

前記の通り PMOS 6 0 8 および 6 0 9 には同じ電流が流れるため、 $I_{t1} = I_{t2}$ である。また、opAMP 6 0 7 によるネガティブフィードバックの結果、ノード 6 5 2 とノード 6 5 4 の電位はイマジナリショートされており同電位である。また抵抗 6 0 4 の大きさを R_1 と置く。これらから以下の 2 式が得られる。

【 0 0 8 7 】

【数 5】

【数 5】

$$I_{t1} = I_{t2}$$

【 0 0 8 8 】

【数 6】

【数 6】

$$V_{t1} = V_{t2} + R_1 \cdot I_{t2}$$

【 0 0 8 9 】

数 3 から数 6 をとくと、以下の式が得られる。

【 0 0 9 0 】

10

20

30

40

【数7】

【数7】

$$I_{t1} = I_{t2} = \frac{kT}{qR_1} \cdot \ln(20)$$

【0091】

数7に示したように、図6の回路を用いるとNPNトランジスタのエミッタ面積比で決定する電流が得られる。ただし、数7にあるように、この電流 I_{t1} は絶対温度 T に比例するため、温度係数が高いと言う問題がある。

10

【0092】

そこでカレントミラーを用い、PMOS610に I_{t1} を流す。抵抗605の大きさを R_2 とすると、抵抗605の両端の電圧は以下の式で表すことが出来る。

【0093】

【数8】

【数8】

$$\frac{kTR_1}{qR_1} \cdot \ln(20)$$

20

【0094】

この電圧は、絶対温度 T に比例した値となる。すなわち正の温度依存性を持つ電圧である。逆に、NPNトランジスタ603のエミッタ - ベース間電圧は、負の温度依存性を持つことが知られており、両者の値を慎重に選ぶことによって温度依存性を打ち消すことが出来る。

【0095】

このように回路を構成することで、温度に対して極めて安定した比較電位451を得ることが出来る。また、カレントミラーにより I_{t1} をPMOS611に流す。PMOS611に直列接続された抵抗606には、絶対温度 T に比例した電圧が現れる。よって温度補償電位656は、温度に比例した値となり、温度補償回路に使用することが出来る。本自励発振回路120では、温度補償を温度補償電流源413で行っている。この温度補償電位656は、温度補償電流源413へ入力されているが、図4では図の簡略化のため省略してある。

30

【0096】

図4に示した自励発振回路120は2つのランプ回路420、430を持つことで、ランプ電位453、454のリセット時間を隠蔽することが出来る。ランプ電位をリセットする時間はMOSの電流駆動力に左右される。MOSは温度依存性が大きく、また1次特性から大きく外れるため温度補償が困難である。このため、2つのランプ回路420、430を持つことで、高精度な発振周波数を得ることが出来る。

【0097】

40

この図4の自励発振回路120を簡略化した回路が、図7に示した自励発振回路120__2である。図7に示した通り、ランプ回路が420の1つだけとなり、遅延回路710とD-フリップフロップ720が加えられている。ランプ回路420中のキャパシタ424は、精度良く製造するためにサイズが大きくなるため、ランプ回路を省くことで回路面積を大幅に縮小することが出来る。

【0098】

図8に自励発振回路120__2の各ノード電位の遷移を示す。図8を基に自励発振回路120__2の説明を行う。

【0099】

まず、正相側ランプ回路420がオフ状態のときから説明を行う。正相側ランプ回路デ

50

イセイブル電位457がHiレベルであるため、正相側リセットNMOS423はオン、正相側スイッチPMOS422はオフである。よって、正相側ランプ電位453はグラウンド電位で安定している。その後、正相側ランプ回路ディセイブル電位457がLoレベルに落ちると、正相側リセットNMOSがオフ、正相側スイッチPMOSがオンになるため、キャパシタ424に電荷が注入され、正相側ランプ電位453が上昇していく(図8参照)。正相側ランプ電位453が比較電位451を越えた時、コンパレータ425の出力であるセット電位455がLoレベルからHiレベルに立ち上がる。ここまでは、図4に示した自励発振回路120の動作と同様である。セット電位455が遅延回路710でtDだけ遅延され、正相側ランプ回路ディセイブル電位457となる。この間、正相側ランプ電位453の電位は上昇しつづける。正相側ランプ回路ディセイブル電位457が入力すると、正相側ランプ回路420がオフ状態になり、正相側ランプ電位453が下降し始める。このため、セット電位455は、正相側ランプ電位453が比較電位451を越えている間Hiレベルを出力し、パルスにある程度の幅が生じる。言うまでもないが、セット電位455をtDだけ遅延して生成した正相側ランプ回路ディセイブル電位457もある程度の幅を持つ。この幅の間正相側ランプ回路420はリセットされつづけることとなり、正相側ランプ電位453はグラウンドレベルまで下降する。その後、正相側ランプ回路ディセイブル電位457がLoレベルに落ちると、正相側ランプ回路420がオンとなりこれまでの動作を繰り返す。D-フリップフロップ720は、負出力QBが入力Dに接続されており、クロック入力が入力Dに立ち上がる毎に出力を反転する。D-フリップフロップのクロック入力は、正相側ランプ回路ディセイブル電位457となっており、図8に示した通り、D-フリップフロップの正出力Qが1MHzクロック151となる。言うまでもないが、主電流源412と温度補償電流源413の設定は、自励発振回路120と自励発振回路120_2とは異なる値となる。

【0100】

この自励発振回路120_2は遅延回路710の精度が要求されるため、自励発振回路120と比較して設計難易度が高いが、前記の通りレイアウト面積が小さいという利点がある。

【0101】

このようにして構成されたUSB用基準発振回路100をICカード用マイクロコンピュータ(ICカードマイコン)のようなICカード用LSIに適用する例を図9に示す。ここでのICカードは、接触型ICカードの国際規格であるISO7816にUSB通信端子を追加したものを想定している。

【0102】

図9において、900はICカード、910はICカード用LSI、911は電源回路、912はCPU(Central Processing Unit)、913はSRAM(Static Random Access Memory)、914はEEPROM(Electric Erasable Programmable Read Only Memory)、915はMROM(Mask Read Only Memory)、916はPLL、917はUART、918はUSBインタフェースである。USBインタフェース918に本発明における基準発振回路100が搭載される。また、ICカード900における各端子は、951はVcc端子、952はReset端子、953はClock端子、954はRFU(Reserved for Future Use)端子、955はGround端子、956はVpp端子、957はI/O端子、958はRFU端子である。ICカード900は多層配線基板もしくは複合配線基板などから成るカード基板に形成される。カード基板の一面には前記カード端子951~958が形成され、実装されたICカードマイコンの外部端子が前記カード端子951~958に結合され、ICカードマイコンの実装面はキャップ若しくはレジン等で封止される。920はICカード用LSI910が形成される、単結晶シリコンなどの半導体基板(半導体チップ)である。

【0103】

10

20

30

40

50

ISO7816では外部とのインタフェースにUARTを採用している。UARTとはシリアルデータ転送規格として広く使われおり、例えばPCではRS232-Cと呼ばれるシリアルポートにUARTが採用されている。UART917の半2重通信(受信と送信とを同時に行うことが出来ない双方向通信)でやり取りされたデータは、CPU912で処理される。この時のワークメモリとしてSRAM913が用意される。ROM915にはOS等のプログラムといったICカード900共通のデータが、EEPROM914にはICカード900の識別番号等ICカード900毎に違ったデータを格納するのに使用される。CPU912で処理された結果は、再びUART917を通して外部へと出力される。

【0104】

なお、電源Vcc951の電圧は5Vと比較的高いため、電源回路911において降圧され各回路に分配される。また電源Vppは、EEPROMへの書き込み時に大電流が必要とされる場合、Vcc951の電源容量を強化する目的で採用されている端子である。PLL916はClock953からのクロック入力を受けて、CPU912等に必要なくクロックを生成する。

【0105】

このようにISO7816規格に準拠したICカードでは、UARTを利用して外部との通信を行うわけであるが、これをUSBに置きかえることで利用者の利便性を向上させる。そのため、USBインタフェース918を追加する。本発明における基準発振回路100は、このUSBインタフェース918のコンポーネントとして存在する。このように、USBインタフェース918内に直接基準発振回路100を設けることで、ICカード用LSI910の外部に水晶発振器を取り付けなくともUSBによる通信を行うことが出来る。なお、図9においては説明の簡略化のため、PLL916を独立して設けたが、基準発振回路100内部にもPLL130が存在する。そのため、PLL916を省略しPLL130に兼用させてもかまわない。その場合、UARTで通信を行う場合、PLL130のリファレンスクロックは、Clock端子953から入力されるクロックに置き換える。

【0106】

USBの通信端子であるD+、D-は、ISO7816規格のRFUである954、958に割り当てる。RFUはReserved for Future Useの略であり、ISO7816規格では特に使用目的を持たないため、このように使用することが可能である。USBにはその他に電源端子であるVbusおよびGround端子が必要であるが、これはそれぞれVcc951、Ground955に割り当てることが出来る。

【0107】

図11にはICカードリーダが例示される。PC970はUSBホストとして位置付けられる。PC97のUSBインタフェースコネクタにカードリーダ971が接続される。カードリーダ971は、ICカード900が着脱可能にされ、装着されたICカード900の外部接続端子951~958をUSBホストとしてのPC970へ接続可能とする電氣的接続経路を有する。USBクライアント側のサンプリングクロックはICカードに実装されたICカードマイコンのオンチップ発振回路で生成するからカードリーダは水晶振動子などの発振子を備えることを要しない。このようにICカード用LSIに、基準発振器を含めてUSBの機能すべてを集積することで、ICカードリーダは、ICカードとUSB信号線との電氣的接合のみを提供するだけで良く、ICカードリーダの大幅なコスト削減を行うことが出来る。

【0108】

現状、ISO7816に対応したICカードとUSBとを接続するICカードリーダは、USBの信号をUARTに変換するIC、水晶発振器、USBから供給される電源をISO7816規格に適應させる電源装置等が必要となり、本基準発振回路を内蔵したICカードと比較して、全体のコストが大きくなっている。

【0109】

10

20

30

40

50

以上説明した半導体集積回路による作用効果を整理する。

【0110】

ICカードマイコンなどの半導体集積回路にオンチップした基準発振回路100は、USB規格によって定められたSOFパケットをデコードし、SOFパケットの間隔を基準時間単位として、自己の発振周波数にネガティブフィードバック制御をかけるから、SOFパケットの精度が ± 500 ppmであるので、USB機器に要求される ± 2500 ppmの精度を達成することが可能になる。

【0111】

SOFパケットを検出するのに ± 2500 ppmの精度は必要とされないが、それでもある程度の精度を必要とする。電流源とキャパシタを組み合わせたランプ回路を使用して自励発振回路を構成することで、SOFパケットを検出するために必要な精度を満たす事が出来る。その際ランプ回路を2つ使い、ランプ回路をリセットする時間をもう一方のランプ回路の動作で隠蔽することで、精度の高い自励発振回路を構成することが可能である。

10

【0112】

ICカードマイコンに基準発振回路を採用することで、ICカードリーダーのコストを大幅に削減することができる。

【0113】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

20

【0114】

例えば外部インタフェース回路はUSBインタフェースに限定されない。プレシオナス通信を行なうその他のインタフェース形式にも適用可能である。また、半導体集積回路はICカードマイコンに限定されず、その他の制御用マイクロコンピュータ、システムオンチップのシステムLSI等の半導体集積回路に広く適用することができる。更に前記半導体集積回路が適用されるカードデバイスはICカードに限定されず、携帯電話用途のSIMカード、セキュリティ機能などの強化を図ったマルチファンクションメモリカード等にも適用することができる。前記半導体集積回路に搭載されるメモリはEEPROMに限定されず、フラッシュメモリやMRAM等の不揮発性メモリであってもよい。USBホストと前記半導体集積回路がデータ通信を行っていない場合においても、USBホストと接続状態にあれば、発振回路100は受信されるSOFパケットを利用して発振周波数の調整を行うことが可能となる。USBクライアントとされるUSB機器はICカードのカードリーダーに限定されない。USBで接続されるハードディスク、キーボード、ディスプレイなどであってもよい。クライアント側のサンプリングクロックを、ICオンチップの前記基準発振回路で生成すればよい。また、発振回路100はSOFパケットが入力されていない状態でも図4のランプ回路を用いた構成によりSOFパケットの入力を識別できる程度の発振精度を得るようにしている。特性変動に対する補償回路を強化できればそのような発振精度を得るのにリングオシレータを用いることも考慮に値する。

30

【図面の簡単な説明】

40

【0115】

【図1】本発明の一例に係る基準発振回路のブロック図である。

【図2】図1の基準発振回路の発振周波数微調整回路の動作を示すタイミング図である。

【図3】シリアルデータを間違ったタイミングで取り込んだ場合に起きる誤りを例示する説明図である。

【図4】基準発振回路を構成する自励発振回路を例示する回路図である。

【図5】図4の自励発振回路のノード電位の遷移を示すタイミング図である。

【図6】図4の自励発振回路に含まれる比較電位生成回路を例示する回路図である。

【図7】図4の自励発振回路の構成を簡易化した簡易自励発振回路の回路図である。

【図8】図7の自励発振回路のノード電位の遷移を示すタイミング図である。

50

【図9】図1の基準発振回路を有するICカードマイコンを採用したICカードの平面図である。

【図10】USBのデータフローを示す説明図である。

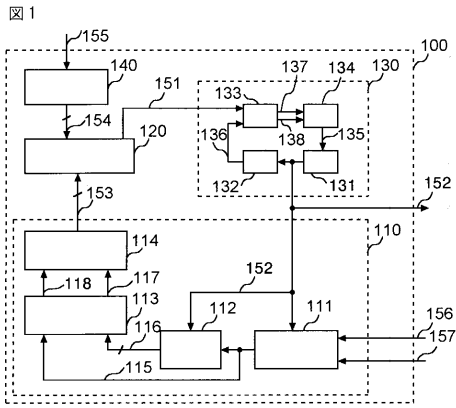
【図11】USBホストとしてのPCに接続されたICカードリーダーを示す説明図である。

【符号の説明】

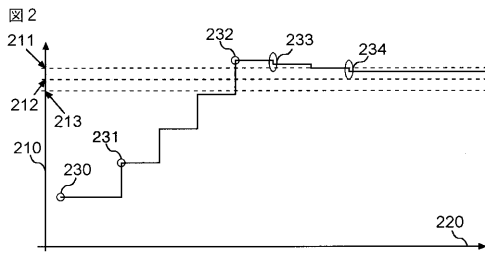
【0116】

100	基準発振回路	
110	発振周波数微調整回路	
111	SOF検出回路	10
112	クロックパルス計数回路	
113	クロック判定回路	
114	周波数微調整値レジスタ	
115	SOF検出信号	
116	クロック計数信号	
120	自励発振回路	
130	PLL回路	
140	製造時トリミングレジスタ	
151	1MHzクロック	
152	48MHzクロック	20
153	発振周波数微調整信号	
410	定電流発生回路	
411	周波数微調整用可変電流源	
412	主電流源	
413	温度補償電流源	
420	正相側ランプ回路	
430	逆相側ランプ回路	
440	RSフリップフロップ	
450	比較電位生成回路	
900	ICカード	30
910	ICカード用LSI	
912	CPU	
913	SRAM	
914	EEPROM	
918	USBインタフェース	
970	PC	
971	カードリーダー	

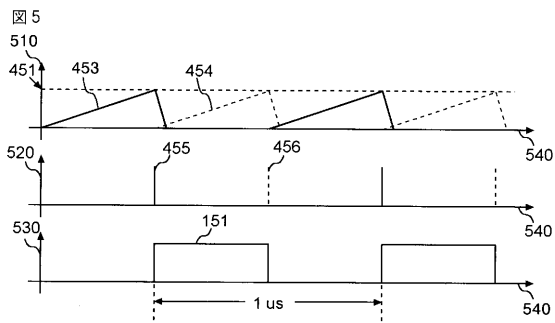
【図1】



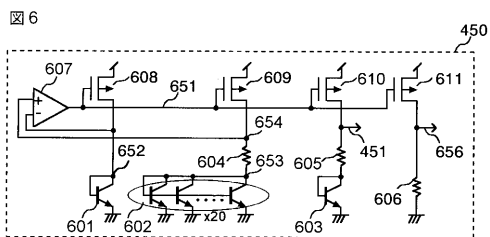
【図2】



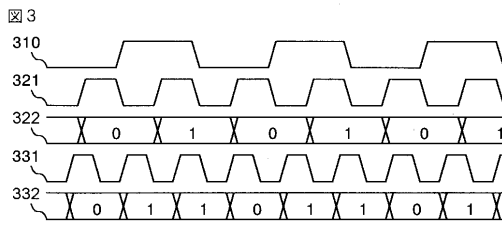
【図5】



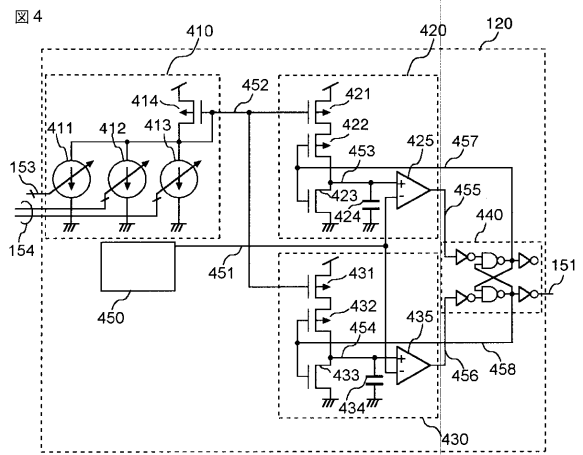
【図6】



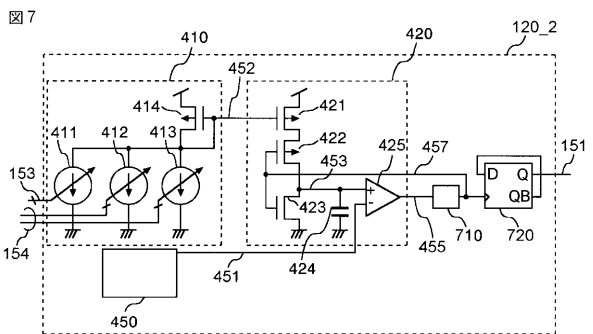
【図3】



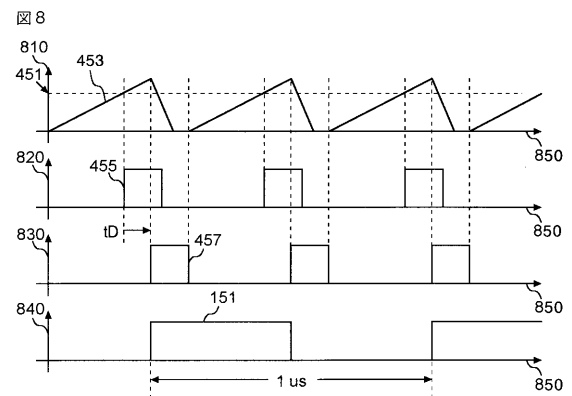
【図4】



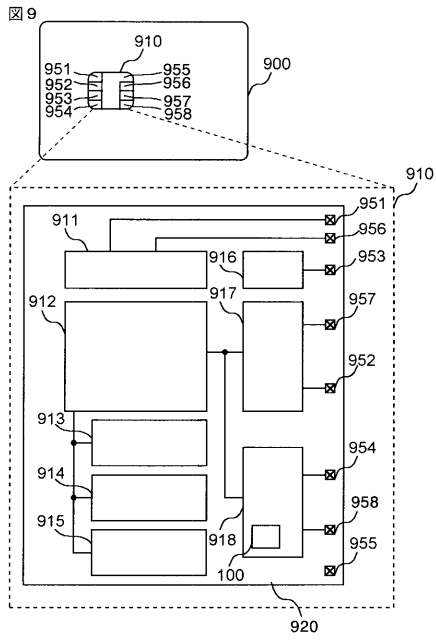
【図7】



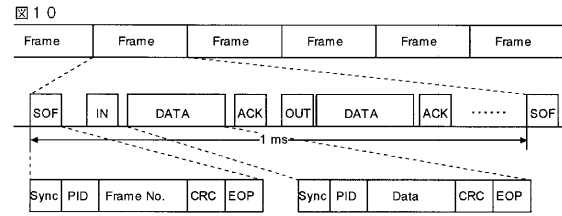
【図8】



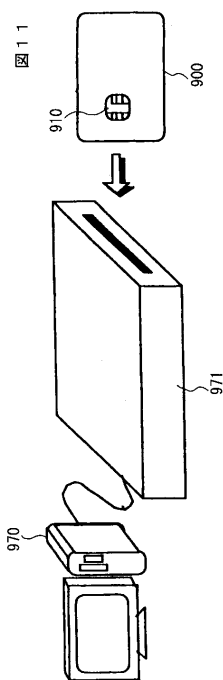
【 9 】



【 10 】



【 11 】



フロントページの続き

- (56)参考文献 特表2004-507812号公報(JP, A)
特表2004-504664号公報(JP, A)
特開2004-207976号公報(JP, A)
特開2004-234659号公報(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 1/08
G06F13/42
G06K17/00
G06K19/077