

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年3月12日(12.03.2020)



(10) 国際公開番号

WO 2020/049398 A1

(51) 国際特許分類:  
H01L 27/144 (2006.01) H01L 29/786 (2006.01)  
H01L 27/146 (2006.01) H04N 5/369 (2011.01)  
H01L 27/15 (2006.01)

(21) 国際出願番号: PCT/IB2019/057137

(22) 国際出願日: 2019年8月26日(26.08.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2018-167669 2018年9月7日(07.09.2018) JP

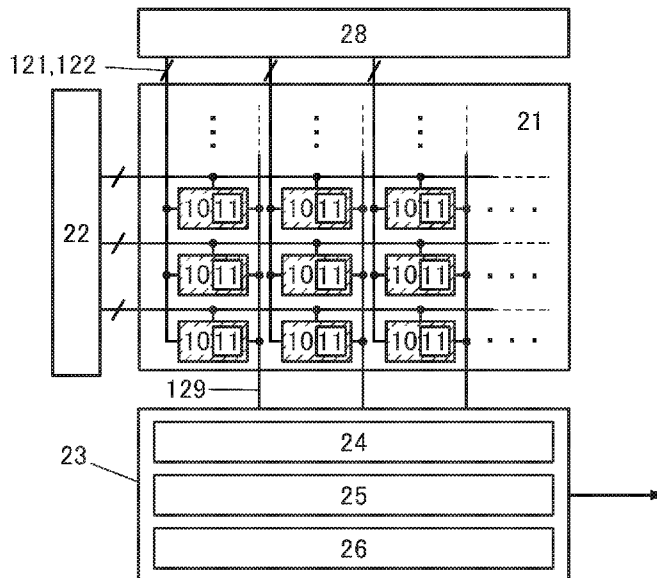
(71) 出願人: 株式会社半導体エネルギー研究所  
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 瀬尾 哲史 (SEO, Satoshi); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 楠 紘 慈 (KUSUNOKI, Koji); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 池田 隆之 (IKEDA, Takayuki); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(54) Title: IMAGE-CAPTURE DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像装置および電子機器



(57) Abstract: Provided is a thin image-capture device having a light source. This image-capture device has a light-emitting device that emits infrared light, and the infrared light that is emitted by the light-emitting device and reflected from a subject is received by a photoelectric conversion device having a pixel circuit. Because an EL element is used for the light-emitting device, it is possible to configure a thin image-capture device with a light source. Also, by using a pixel circuit that uses an oxide semiconductor transistor having low off current characteristics, imaging using a global shutter



WO 2020/049398 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

method is possible, and even with a moving subject, it is possible to obtain an undistorted image.

(57) 要約 : 光源を有する薄型の撮像装置を提供する。赤外光を発する発光デバイスを有する撮像装置であって、発光デバイスが発し、被写体から反射された赤外光を画素回路が有する光電変換デバイスで受光する。発光デバイスにはEL素子を用いるため、薄型の光源付撮像装置を構成することができる。また、オフ電流の低い特性を有する酸化物半導体トランジスタを利用した画素回路を用いることで、グローバルシャッタ方式での撮像を可能とし、動きのある被写体であっても歪のない画像を得ることができる。

## 明細書

発明の名称

撮像装置および電子機器

技術分野

[0001]

本発明の一態様は、撮像装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

基板上に形成された酸化物半導体薄膜を用いてトランジスタを構成する技術が注目されている。例えば、酸化物半導体を有するオフ電流が極めて低いトランジスタを画素回路に用いる構成の撮像装置が特許文献1に開示されている。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 特開2011-119711号公報

発明の概要

発明が解決しようとする課題

[0006]

撮像装置は、可視光を画像化する手段として用いられるだけでなく、様々な用途に用いられている。例えば、撮像装置は、個人認証、不良解析、医療診断、セキュリティ用途などに用いられている。これらの用途では、可視光の他、X線などの短波長の光、赤外線などの長波長の光などを用途に応じて使い分けている。

[0007]

可視光および赤外線としては自然光や室内光を利用する場合もあるが、専用の光源を用いることも一般化している。光源としては電球型のランプやLEDなどが多く用いられるが、撮像装置との組み合わせでは小型化、薄型化に課題がある。

[0008]

したがって、本発明の一態様では、光源を有する撮像装置を提供することを目的の一つとする。または、薄型の光源を有する撮像装置を提供することを目的の一つとする。または、薄型の光源を有し、当該光源から発する光の被写体からの反射光を撮像する撮像装置を提供することを目的の一つとする。または、薄型の赤外光源を有する撮像装置を提供することを目的の一つとする。

[0009]

または、低消費電力の撮像装置を提供することを目的の一つとする。または、高速に撮像が行える撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置を提供することを目的の一つとする。または、上記撮像装置の動作方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

[0010]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0011]

本発明の一態様は、光源を有する薄型の撮像装置に関する。

[0012]

本発明の一態様は、第1の層と、第2の層と、を有する撮像装置であって、第1の層および第2の層は重なる領域を有し、第1の層は画素回路を有し、第2の層は発光デバイスを有し、画素回路は、光電変換デバイスと、トランジスタと、を有し、発光デバイスは、第1の電極と、第2の電極と、発光層と、を有し、発光層は、第1の電極と第2の電極との間に設けられ、光電変換デバイスは、第1の電極と重ならない領域を有する撮像装置である。

[0013]

本発明の一態様の他の一態様は、第1の層と、第2の層と、を有する撮像装置であって、第1の層および第2の層は重なる領域を有し、第1の層は画素回路を有し、第2の層は発光デバイスを有し、発光デバイスは、第1の電極と、第2の電極と、発光層と、を有し、発光層は、第1の電極と第2の電極との間に設けられ、画素回路は、光電変換デバイスと、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、キャパシタと、を有し、光電変換デバイスの一方の電極は、第1のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は、第2のトランジスタのソースまたはドレインの一方と電気的に接続され、第2のトランジスタのソースまたはドレインの一方は、キャパシタの一方の電極と電気的に接続され、

キャパシタの一方の電極は、第3のトランジスタのゲートと電氣的に接続され、第3のトランジスタのソースまたはドレインの一方は、第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、光電変換デバイスは、第1の電極と重ならない領域を有する撮像装置である。

[0014]

光電変換デバイスは、第2の電極および発光層と重なる領域を有していてもよい。

[0015]

発光デバイスには、赤外光を発する素子を用いることができる。また、第2の電極は、赤外光に透光性を有する透光性導電膜を用いることが好ましい。

[0016]

第2のトランジスタのソースまたはドレインの他方と、第3のトランジスタのソースまたはドレインの他方は電氣的に接続され、第3のトランジスタのソースまたはドレインの他方と、発光デバイスの一方の電極は電氣的に接続することができる。

[0017]

上記と異なる構成として、光電変換デバイスの他方の電極と、第3のトランジスタのソースまたはドレインの他方は電氣的に接続され、第3のトランジスタのソースまたはドレインの他方と、発光デバイスの一方の電極が電氣的に接続されていてもよい。

[0018]

上記2つの構成において、さらに第5のトランジスタを有し、第5のトランジスタのソースまたはドレインの一方は、発光デバイスの一方の電極と電氣的に接続され、第5のトランジスタのソースまたはドレインの他方は、第3のトランジスタのソースまたはドレインの他方と電氣的に接続されていてもよい。

[0019]

撮像装置が有するトランジスタの少なくとも一つ以上は、チャンネル形成領域に金属酸化物を有し、金属酸化物は、Inと、Znと、M (MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf) と、を有することが好ましい。

発明の効果

[0020]

本発明の一態様を用いることで、光源を有する撮像装置を提供することができる。または、薄型の光源を有する撮像装置を提供することができる。または、薄型の光源を有し、当該光源から発する光の被写体からの反射光を撮像する撮像装置を提供することができる。または、薄型の赤外光源を有する撮像装置を提供することができる。

[0021]

または、低消費電力の撮像装置を提供することができる。または、高速に撮像が行える撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置を提供することができる。または、上記撮像装置の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

図面の簡単な説明

[0022]

図 1 は、撮像装置を説明するブロック図である。

図 2 A、図 2 B、図 2 C は、画素アレイを説明する図である。

図 3 A、図 3 B、図 3 C は、画素回路を説明する図である。

図 4 A、図 4 B、図 4 C は、画素回路を説明する図である。

図 5 A、図 5 B、図 5 C は、画素回路を説明する図である。

図 6 A、図 6 B、図 6 C は、画素回路を説明する図である。

図 7 A は、ローリングシャッタ方式を説明する図である。図 7 B は、グローバルシャッタ方式を説明する図である。

図 8 A、図 8 B は、画素回路の動作を説明するタイミングチャートである。

図 9 A、図 9 B は、画素回路を説明する図である。

図 10 A は、撮像装置の画素の構成を説明する図である。図 10 B、図 10 C は、光電変換デバイスの構成を説明する図である。図 10 D は、発光デバイスの構成を説明する図である。

図 11 A、図 11 B は、撮像装置の画素の構成を説明する図である。

図 12 A、図 12 B、図 12 C、図 12 D は、トランジスタを説明する図である。

図 13 A、図 13 B、図 13 C は、撮像装置を収めたパッケージの斜視図である。

図 14 A、図 14 B、図 14 C は、電子機器を説明する図である。

発明を実施するための形態

[0023]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

[0024]

また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合がなければ、当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数が直列または並列に接続されてもよい場合がある。また、キャパシタ（容量素子ともいう）を分割して複数の位置に配置してもよい場合がある。

[0025]

また、一つの導電体が、配線、電極および端子のような複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

[0026]

(実施の形態 1)

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。

[0027]

本発明の一態様は、発光デバイス（発光素子ともいう）を有する撮像装置である。発光デバイスから被写体に光が照射され、被写体から反射された光を画素回路が有する光電変換デバイス（光電変換素子ともいう）で受光する。発光デバイスにはEL素子を用いるため、薄型の光源付撮像装置を構成することができる。

[0028]

また、発光デバイスとして赤外光を発する素子を用いることで生体認証や工業製品の不良解析などの用途に用いることができる。また、グローバルシャッタ方式での撮像に適用しやすい画素回路を用いることで、動きのある被写体であっても歪のない画像を得ることができる。

[0029]

図1は、本発明の一態様の撮像装置を説明するブロック図である。当該撮像装置は、マトリクス状に配列された画素回路10を有する画素アレイ21と、画素アレイ21の行を選択する機能を有する回路22（ロードライバ）と、画素回路10からデータを読み出す機能を有する回路23と、電源電位を供給する回路28を有する。画素回路10上には、発光デバイス11が積層されている。

[0030]

回路23は、画素アレイ21の列を選択する機能を有する回路24（カラムドライバ）と、画素回路10の出力データに対して相関二重サンプリング処理を行うための回路25（CDS回路）と、回路25から出力されたアナログデータをデジタルデータに変換する機能を有する回路26（A/D変換回路等）などを有することができる。

[0031]

なお、解像度を重視しない場合は、画素回路10と発光デバイス11が重ならない構成としてもよい。例えば、図2Aに示すように、画素回路10と発光デバイス11とを一定の間隔で交互に配置してもよい。また、図2Bに示すように、画素回路10と発光デバイス11とを行毎に交互に配置してもよい。なお、画素回路10と発光デバイス11とを列毎に交互に配置してもよい。

[0032]

また、図2Cに示すように、隣り合う2つの画素回路10の間に発光デバイス11を配置する構成であってもよい。この場合、発光デバイス11は、画素回路10と接続する配線と重なる領域を有して配置される。したがって、広義では画素回路10と発光デバイス11が重なっているともいえる。なお、図2Cでは画素回路10と同数の発光デバイス11を図示しているが、発光デバイス11の数は画素回路10と異なってもよい。

[0033]

図3Aは、本発明の一態様の撮像装置に用いることができる画素回路10および発光デバイス11を説明する回路図である。画素回路10は、光電変換デバイス101と、トランジスタ103と、トランジスタ104と、トランジスタ105と、トランジスタ106と、キャパシタ108を有することができる。なお、キャパシタ108を設けない構成としてもよい。

[0034]

光電変換デバイス101の一方の電極（カソード）は、トランジスタ103のソースまたはドレインの一方と電氣的に接続される。トランジスタ103のソースまたはドレインの他方は、トランジスタ104のソースまたはドレインの一方と電氣的に接続される。トランジスタ104のソースまたはドレインの一方は、キャパシタ108の一方の電極と電氣的に接続される。キャパシタ108の一方の電極は、トランジスタ105のゲートと電氣的に接続される。トランジスタ105のソースまたはドレインの一方は、トランジスタ106のソースまたはドレインの一方と電氣的に接続される。

[0035]

ここで、トランジスタ103のソースまたはドレインの他方、キャパシタ108の一方の電極、およびトランジスタ105のゲートを接続する配線をノードFDとする。ノードFDは、電荷蓄積部として機能させることができる。

[0036]

光電変換デバイス101の他方の電極（アノード）は、配線121と電氣的に接続される。トランジスタ103のゲートは、配線127と電氣的に接続される。トランジスタ104のソースまたはドレインの他方およびトランジスタ105のソースまたはドレインの他方は、配線122に電氣的に接続される。トランジスタ104のゲートは、配線126と電氣的に接続される。トランジスタ106のゲートは、配線128と電氣的に接続される。キャパシタ108の他方の電極は、例えばGND配線などの基準電位線と電氣的に接続される。トランジスタ106のソースまたはドレインの他方は、配線129と電氣的に接続される。

[0037]

図3Aにおいて、発光デバイス11の一方の電極は、配線130と電氣的に接続される。発光デバイス11の他方の電極は、例えばGND配線などの基準電位線と電氣的に接続される。当該構成では、画素回路10と発光デバイス11との電氣的な接続はないため、発光デバイス11に対する入力電位、および発光のタイミングは独立して制御することができる。

[0038]

配線127、128は、各トランジスタの導通を制御する信号線として機能させることができる。配線129は出力線として機能させることができる。

[0039]

配線121、122、130は、電源線としての機能を有することができる。図3Aに示す構成では光電変換デバイス101のカソード側がトランジスタ103と電氣的に接続する構成であり、ノードFDを高電位にリセットして動作させる構成であるため、配線122は高電位（配線121よりも高い電位）とする。また、配線130は、発光デバイス11に順方向バイアスを供給して発光させるための電位を供給する機能を有する。

[0040]

図3Bは、発光デバイス11の一方の電極が配線122と電氣的に接続された構成である。ノードFDのリセット電位、トランジスタ105に供給する電源電位、および発光デバイス11の入力電位を共通化できる場合は、当該構成とすることができる。

[0041]

また、図3Cに示すように、図3Bの構成にトランジスタ107を加えてもよい。トランジスタ107のソースまたはドレインの一方は、発光デバイス11の一方の電極と電氣的に接続される。トランジスタ107のソースまたはドレインの他方は、配線122と電氣的に接続される。トランジスタ107のゲートは配線127と電氣的に接続される。当該構成とすることによって、発光期間をトランジスタ103の導通の期間のみに制限することができ、消費電力を低減することができる。トランジスタ103の導通が必要な期間は、ノードFDに対するリセット動作期間および蓄積動作期間のみであり、読み出し動作期間などにおける不要な発光を抑えることができる。

[0042]

また、発光デバイス11に入力する適切な電位に対して、ノードFDのリセット電位などが高すぎる場合は、図4Aに示すように発光デバイス11の一方の電極と配線122との間に抵抗素子109を電氣的に接続してもよい。抵抗素子109は電流制限抵抗として作用し、発光デバイス11に流れる電流を制限することができ、発光デバイス11の信頼性を高めることができる。抵抗素子109の抵抗値は、発光デバイス11の電気特性にあわせて適切な値を選択すればよい。

[0043]

なお、図4Bに示すように図3Cに示したトランジスタ107を抵抗素子109の代替えとして動作させてもよい。当該構成では、トランジスタ107のゲートは配線131と電氣的に接続する。したがって、配線131の電位を変化させることで、発光デバイス11の照度および発光のタイミングを任意に制御することができ、消費電力を抑えることができる。

[0044]

また、図4Cに示すように、トランジスタ107を設けた構成であって、トランジスタ107のソースまたはドレインの他方を配線130と電氣的に接続し、トランジスタ107のゲートを配線127と電氣的に接続する構成であってもよい。当該構成では、発光デバイス11に対する入力電位は配線130で制御し、発光のタイミングは配線127で制御する。

[0045]

なお、図3A乃至図3Cおよび図4A乃至図4Cでは、光電変換デバイス101のカソードがノードFDと電氣的に接続する構成を示したが、図5A乃至図5Cおよび図6A乃至図6Cに示すように光電変換デバイス101のアノードがノードFDと電氣的に接続する構成としてもよい。

[0046]

図5A乃至図5Cおよび図6A乃至図6Cに示す構成では、光電変換デバイス101の一方の電極が配線122と電氣的に接続され、光電変換デバイス101の他方の電極がトランジスタ103のソースまたはドレインの一方と電氣的に接続される。また、トランジスタ104のソースまたはドレインの他方が配線132と電氣的に接続される。

[0047]

配線132は、電源線またはリセット電位の供給線としての機能を有することができる。図5A乃至図5Cおよび図6A乃至図6Cに示す構成では光電変換デバイス101のアノード側がトランジスタ103と電氣的に接続する構成であり、ノードFDを低電位にリセットして動作させる構成であるため、配線132は低電位（配線122よりも低い電位）とする。

[0048]

図5A乃至図5Cおよび図6A乃至図6Cに示す発光デバイス11およびその周辺要素との接続形態の説明は、図3A乃至図3Cおよび図4A乃至図4Cの説明を参照することができる。

[0049]

光電変換デバイス101としては、フォトダイオードを用いることができる。本発明の一態様では、赤外線を用いた撮像を行う。したがって、光電変換デバイス101には、赤外領域の光を光電変換できるフォトダイオードを用いる。例えば、単結晶シリコンを光電変換部に用いたpn接合型フォトダイオード、多結晶シリコンまたは微結晶シリコンを光電変換層に用いたpin型フォトダイオードなどを用いることができる。または、化合物半導体など、赤外領域の光を光電変換できる材料を用いてもよい。

[0050]

トランジスタ103は、ノードFDの電位を制御する機能を有する。トランジスタ104は、ノードFDの電位をリセットする機能を有する。トランジスタ105はソースフォロア回路として機能し、ノードFDの電位を画像データとして配線129に出力することができる。トランジスタ106は、画像データを出力する画素を選択する機能を有する。

[0051]

トランジスタ103およびトランジスタ104には、チャンネル形成領域に金属酸化物を用いたトランジスタ（以下、OSトランジスタ）を用いることが好ましい。OSトランジスタは、オフ電流が極めて低い特性を有する。トランジスタ103、104にOSトランジスタを用いることによって、ノードFDで電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。

[0052]

図7Aはローリングシャッタ方式の動作方法を模式化した図であり、図7Bはグローバルシャッタ方式を模式化した図である。Enはn列目（nは自然数）の露光（蓄積動作）、Rnはn列目の読み出し動作を表している。図7A、図7Bでは、1行目からM行目（Mは自然数）までの動作を示している。

[0053]

ローリングシャッタ方式は、露光とデータの読み出しを順次行う動作方法であり、ある行の読み出し期間と他の行の露光期間を重ねる方式である。露光後すぐに読み出し動作を行うため、データの保持期間が比較的短い回路構成であっても撮像を行うことができる。しかしながら、撮像の同時性がないデータで1フレームの画像が構成されるため、動体の撮像においては画像に歪が生じてしまう。

[0054]

一方で、グローバルシャッタ方式は、全画素で同時に露光を行って各画素にデータを保持し、行毎にデータを読み出す動作方法である。したがって、動体の撮像であっても歪のない画像を得ることができる。

[0055]

画素回路にチャンネル形成領域にSiを用いたトランジスタ（以下、Siトランジスタ）などの比較的オフ電流の高いトランジスタを用いた場合は、電荷蓄積部からデータ電位が流出しやすいためローリングシャッタ方式が用いられる。Siトランジスタを用いてグローバルシャッタ方式を実現するには、別途メモリ回路などを設ける必要があり、さらに複雑な動作を高速で行わなければならない。一方で、画素

回路にOSトランジスタを用いた場合は、電荷蓄積部からのデータ電位の流出がほとんどないため、容易にグローバルシャッタ方式を実現することができる。

[0056]

なお、トランジスタ105、106にもOSトランジスタを適用してもよい。また、OSトランジスタおよびSiトランジスタを任意に組み合わせて適用してもよい。また、全てのトランジスタをOSトランジスタまたはSiトランジスタとしてもよい。Siトランジスタとしては、アモルファスシリコンを有するトランジスタ、結晶性のシリコン（代表的には、低温ポリシリコン、単結晶シリコンなど）を有するトランジスタなどが挙げられる。

[0057]

発光デバイス11には、EL素子を用いることができる。当該EL素子としては、赤外光を発する素子を用いることができる。特に波長700nm以上2500nm以下にピークを有する近赤外光を発するEL素子であることが好ましい。例えば、波長760nmおよびその近傍の光は静脈中のヘモグロビンに吸収されやすいため、手のひらや指などからの反射光などを受光して画像化することで静脈の位置を検出することができる。当該作用は生体認証として利用することができる。また、適切な波長の近赤外光を利用して食品内の異物検査や工業製品の不良解析などの非破壊検査に利用することもできる。また、グローバルシャッタ方式と組み合わせることで、被写体に動きがあっても精度の高いセンシングが可能となる。

[0058]

また、発光デバイス11としてEL素子を用いることで、薄型の光源付撮像装置を実現することができ、様々な機器へ搭載が容易となり、携帯性も向上させることができる。

[0059]

次に、図3A乃至図3Cおよび図4A乃至図4Cに示す画素回路10の動作の一例を図8Aのタイミングチャートを用いて説明する。なお、本明細書におけるタイミングチャートの説明においては、高電位を“H”、低電位を“L”で表す。配線121には常時“L”が供給され、配線122には常時“H”が供給されている状態とする。

[0060]

なお、発光デバイス11においては、少なくとも蓄積動作の期間に適切に発光させるための電源電位が発光デバイス11に供給される状態とする。

[0061]

期間T1において、配線126の電位を“H”、配線127の電位を“H”、配線128の電位を“L”とすると、トランジスタ103、104が導通し、ノードFDには配線122の電位“H”が供給される（リセット動作）。

[0062]

期間T2において、配線126の電位を“L”、配線127の電位を“H”、配線128の電位を“L”とすると、トランジスタ104が非導通となってリセット電位の供給が遮断される。また、光電変換デバイス101の動作に応じてノードFDの電位が低下する（蓄積動作）。

[0063]

期間T3において、配線126の電位を“L”、配線127の電位を“L”、配線128の電位を“L”とすると、トランジスタ103が非導通となり、ノードFDの電位は確定し、保持される（保持動作）。このとき、ノードFDに接続されるトランジスタ103およびトランジスタ104にオフ電流の低いOSトランジスタを用いることによって、ノードFDからの不必要な電荷の流出を抑えることができ、データの保持時間の延ばすことができる。

[0064]

期間T4において、配線126の電位を“L”、配線127の電位を“L”、配線128の電位を“H”とすると、トランジスタ106が導通し、トランジスタ105のソースフォロア動作によりノードFDの電位が配線129に読み出される（読み出し動作）。

[0065]

以上が図3A乃至図3Cおよび図4A乃至図4Cに示す画素回路10の動作の一例である。

[0066]

図5A乃至図5Cおよび図6A乃至図6Cに示す画素回路10は、図8Bのタイミングチャートに従って動作させることができる。なお、配線122には常時“H”が供給され、配線132には常時“L”が供給されている状態とする。基本的な動作は、上記の図8Aのタイミングチャートの説明と同様である。

[0067]

本発明の一態様においては、図9A、図9Bに例示するように、トランジスタにバックゲートを設けた構成としてもよい。図9Aは、バックゲートがフロントゲートと電氣的に接続された構成を示しており、オン電流を高める効果を有する。図9Bは、バックゲートが定電位を供給できる配線と電氣的に接続された構成を示しており、トランジスタのしきい値電圧を制御することができる。

[0068]

また、図9A、図9Bを組み合わせるなど、それぞれのトランジスタが適切な動作が行えるような構成としてもよい。また、バックゲートが設けられないトランジスタを画素回路が有していてもよい。なお、トランジスタにバックゲートを設ける構成は、図3A乃至図3C、図4A乃至図4C、図5A乃至図5Cおよび図6A乃至図6Cに示す全ての構成に適用することができる。

[0069]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0070]

（実施の形態2）

本実施の形態では、本発明の一態様の撮像装置の構造例などについて説明する。

[0071]

図10Aに、撮像装置が有する画素の構造を例示する。画素は、画素回路10を有する層561および発光デバイス11を有する層562の積層構造とすることができる。

[0072]

層561は、層563および層564を有する。層563には、主に画素回路10が有するトランジスタ等の要素が設けられる。また、層564には、主に光電変換デバイス101が設けられる。光電変換デバイス101は、図10Bに示すように層565aと、層565bとの積層とすることができる。

[0073]

図10Bに示す光電変換デバイス101はpn接合型フォトダイオードであり、例えば、層565aにp型半導体、層565bにn型半導体を用いることができる。または、層565aにn型半導体、層565bにp型半導体を用いてもよい。

[0074]

または、図10Cに示すようにpin接合型フォトダイオードであってもよい。例えば、層566aにp型半導体、層566bにi型半導体、層566cにn型半導体、層566dに透光性導電膜を用いることができる。または、層566aをn型半導体、層566cをp型半導体としてもよい。

[0075]

上記pn接合型フォトダイオードは、単結晶シリコンを用いて形成することができる。また、pin接合型フォトダイオードとしては、単結晶シリコン、微結晶シリコン、または多結晶シリコンなどの薄膜を用いて形成することもできる。単結晶シリコン、微結晶シリコン、多結晶シリコンは赤外光に感度を有し、赤外光の検知に適している。

[0076]

図10Aに示す層564としては、例えばシリコン基板を用いることができる。当該シリコン基板は、pn接合型フォトダイオードの他にSiトランジスタ等を有することができる。当該Siトランジスタを用いて、画素回路を駆動する回路、画像信号の読み出し回路、画像処理回路等を設けることができる。具体的には、実施の形態1で説明し周辺回路（画素回路10、回路22、23、28など）が有する一部または全てのトランジスタを層564に設けることができる。

[0077]

または、層564は、ガラス基板などの絶縁性の表面を有する支持体および上述したpin接合型フォトダイオードを有する構成であってもよい。

[0078]

層563は、OSトランジスタ（例えば、画素回路10が有するトランジスタ103、104、105、106、107の一部または全て）を有することができる。また、実施の形態1で説明した周辺回路が有する一部のトランジスタを有していてもよい。

[0079]

当該構成とすることで、画素回路を構成する要素および周辺回路を複数の層に分散させ、当該要素同士または当該要素と当該周辺回路を重ねて設けることができるため、撮像装置の面積を小さくすることができる。

[0080]

OSトランジスタに用いる半導体材料としては、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述するC-Axis Aligned Crystal

line Oxide Semiconductor (CAAC-OS) または Cloud-Aligned Composite Oxide Semiconductor (CAC-OS) などを用いることができる。CAAC-OSは結晶を構成する原子が安定であり、信頼性を重視するトランジスタなどに適する。また、CAC-OSは、高移動度特性を示すため、高速駆動を行うトランジスタなどに適する。

[0081]

OSトランジスタは半導体層のエネルギーギャップが大きいこと、数 $y$  A/ $\mu$ m (チャネル幅 $1\mu$ mあたりの電流値) という極めて低いオフ電流特性を示す。また、OSトランジスタは、インパクトイオン化、アバランシェ降伏、および短チャネル効果などが生じないなどSiトランジスタとは異なる特徴を有し、高耐圧で信頼性の高い回路を形成することができる。また、Siトランジスタでは問題となる結晶性の不均一性に起因する電気特性のばらつきもOSトランジスタでは生じにくい。

[0082]

OSトランジスタが有する半導体層は、例えばインジウム、亜鉛およびM (アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属) を含むIn-M-Zn系酸化物で表記される膜とすることができる。In-M-Zn系酸化物は代表的には、スパッタリング法で形成することができる。または、ALD (Atomic Layer Deposition) 法を用いて形成してもよい。

[0083]

In-M-Zn系酸化物をスパッタリング法で形成するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In \geq M$ 、 $Zn \geq M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In : M : Zn = 1 : 1 : 1$ 、 $In : M : Zn = 1 : 1 : 1.2$ 、 $In : M : Zn = 3 : 1 : 2$ 、 $In : M : Zn = 4 : 2 : 3$ 、 $In : M : Zn = 4 : 2 : 4.1$ 、 $In : M : Zn = 5 : 1 : 6$ 、 $In : M : Zn = 5 : 1 : 7$ 、 $In : M : Zn = 5 : 1 : 8$ 等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

[0084]

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

[0085]

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性 (電界効果移動度、しきい値電圧等) に応じて適切な組成の酸化物半導体を用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

[0086]

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0087]

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（SIMSにより得られる濃度）を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0088]

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（SIMSにより得られる濃度）は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

[0089]

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合があります。酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合があります。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合があります。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0090]

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能する。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0091]

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体を用いることで、安定した電気特性を付与することができる。

[0092]

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、c軸に配向した結晶を有するCAAC-Os、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-Osは最も欠陥準位密度が低い。

[0093]

非晶質構造の酸化半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

[0094]

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-Osの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

[0095]

以下では、非単結晶の半導体層の一態様であるCAC-Osの構成について説明する。

[0096]

CAC-Osとは、例えば、酸化半導体を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0097]

なお、酸化半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0098]

例えば、In-Ga-Zn酸化物におけるCAC-Os（CAC-Osの中でもIn-Ga-Zn酸化物を、特にCAC-IGZOと呼称してもよい。）とは、インジウム酸化物（以下、 $\text{InO}_{X1}$ （ $X1$ は0よりも大きい実数）とする。）、またはインジウム亜鉛酸化物（以下、 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ （ $X2$ 、 $Y2$ 、および $Z2$ は0よりも大きい実数）とする。）と、ガリウム酸化物（以下、 $\text{GaO}_{X3}$ （ $X3$ は0よりも大きい実数）とする。）、またはガリウム亜鉛酸化物（以下、 $\text{Ga}_{X4}\text{Zn}_{Y4}\text{O}_{Z4}$ （ $X4$ 、 $Y4$ 、および $Z4$ は0よりも大きい実数）とする。）などと、に材料が分離することでモザイク状となり、モザイク状の $\text{InO}_{X1}$ 、または $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

[0099]

つまり、CAC-Osは、 $\text{GaO}_{X3}$ が主成分である領域と、 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 、または $\text{InO}_{X1}$ が主成分である領域とが、混合している構成を有する複合酸化半導体である。なお、本明細書において、

例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

[0100]

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $InGaO_3(ZnO)_{m1}$  ( $m1$ は自然数)、または $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$  ( $-1 \leq x0 \leq 1$ 、 $m0$ は任意数)で表される結晶性の化合物が挙げられる。

[0101]

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAAC構造を有する。なお、CAAC構造とは、複数のIGZOのナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

[0102]

一方、CAC-OSは、酸化半導体の材料構成に関する。CAC-OSとは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、CAC-OSにおいて、結晶構造は副次的な要素である。

[0103]

なお、CAC-OSは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

[0104]

なお、 $GaO_{x3}$ が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または $InO_{x1}$ が主成分である領域とは、明確な境界が観察できない場合がある。

[0105]

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-OSは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

[0106]

CAC-OSは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス(代表的にはアルゴン)、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

[0107]

CAC-OSは、X線回折(XRD: X-ray diffraction)測定法のひとつであるOut-of-plane法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観察さ

れないという特徴を有する。すなわち、X線回折測定から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

[0108]

また、CAC-OSは、プローブ径が1 nmの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域（リング領域）と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc（nanocrystal）構造を有することがわかる。

[0109]

また、例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、GaO<sub>x3</sub>が主成分である領域と、In<sub>x2</sub>Zn<sub>y2</sub>O<sub>z2</sub>、またはInO<sub>x1</sub>が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

[0110]

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、GaO<sub>x3</sub>などが主成分である領域と、In<sub>x2</sub>Zn<sub>y2</sub>O<sub>z2</sub>、またはInO<sub>x1</sub>が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

[0111]

ここで、In<sub>x2</sub>Zn<sub>y2</sub>O<sub>z2</sub>、またはInO<sub>x1</sub>が主成分である領域は、GaO<sub>x3</sub>などが主成分である領域と比較して、導電性が高い領域である。つまり、In<sub>x2</sub>Zn<sub>y2</sub>O<sub>z2</sub>、またはInO<sub>x1</sub>が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、In<sub>x2</sub>Zn<sub>y2</sub>O<sub>z2</sub>、またはInO<sub>x1</sub>が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度（ $\mu$ ）が実現できる。

[0112]

一方、GaO<sub>x3</sub>などが主成分である領域は、In<sub>x2</sub>Zn<sub>y2</sub>O<sub>z2</sub>、またはInO<sub>x1</sub>が主成分である領域と比較して、絶縁性が高い領域である。つまり、GaO<sub>x3</sub>などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

[0113]

したがって、CAC-OSを半導体素子に用いた場合、GaO<sub>x3</sub>などに起因する絶縁性と、In<sub>x2</sub>Zn<sub>y2</sub>O<sub>z2</sub>、またはInO<sub>x1</sub>に起因する導電性とが、相補的に作用することにより、高いオン電流（ $I_{on}$ ）、および高い電界効果移動度（ $\mu$ ）を実現することができる。

[0114]

また、CAC-OSを用いた半導体素子は、信頼性が高い。したがって、CAC-OSは、様々な半導体装置の構成材料として適している。

[0115]

層562は、発光デバイス11を有する。発光デバイス11としては、エレクトロルミネッセンスを利用する発光デバイス（EL素子）を適用することができる。EL素子は、一对の電極の間に発光性の化合物を含む層（EL層）を有する。一对の電極間に、EL素子のしきい値電圧よりも大きい電位差を生じさせると、EL層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はEL層において再結合し、EL層に含まれる発光物質が発光する。

[0116]

EL素子としては、例えば、有機EL素子または無機EL素子を用いることができる。なお、発光材料として化合物半導体を用いるLED（ミニLED、マイクロLEDを含む）を用いることもできる。

[0117]

有機EL素子は、電圧を印加することにより、一方の電極から電子、他方の電極から正孔がそれぞれEL層に注入される。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光デバイスは、電流励起型の発光デバイスと呼ばれる。

[0118]

EL層は、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法などの方法で形成することができる。

[0119]

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

[0120]

図10Dに発光デバイス11の構成を示す。EL層300は、層330、発光層320、層340などの複数の層で構成することができる。層330は、例えば電子注入性の高い物質を含む層（電子注入層）および電子輸送性の高い物質を含む層（電子輸送層）などを有することができる。発光層320は、例えば発光性の化合物を有する。層340は、例えば正孔注入性の高い物質を含む層（正孔注入層）および正孔輸送性の高い物質を含む層（正孔輸送層）を有することができる。

[0121]

電極311および電極312の間に設けられたEL層300は、単一の発光ユニットとして機能することができる。なお、層330と層340との間に複数の発光層が設けられていてもよい。なお、電極311および電極312のいずれか一方に透光性の導電膜を用いることで、光の射出方向が決定される。

[0122]

発光デバイス11は、EL層300を構成する材料に応じて様々な波長の光を発することができる。本発明の一態様では、EL層300を構成する材料に近赤外光（波長720nm乃至2500nm）にピークを有する光を発する材料を用いる。例えば、720nm、760nm、850nm、900nmおよびこれらの波長近傍の光を発する材料を用途に応じて用いればよい。

[0123]

なお、本発明の一態様においては、EL層300の発光材料（ゲスト材料、またはドーパント材料ともいう）として、近赤外光を呈する有機金属イリジウム錯体を有すると好ましい。当該有機金属イリジウム錯体としては、ジメチルフェニル骨格とキノキサリン骨格とを有すると好適である。また、上記有機金属イリジウム錯体としては、代表的には、ビス{4,6-ジメチル-2-[3-(3,5-ジメチルフェニル)-2-キノキサリニル- $\kappa$ N]フェニル- $\kappa$ C} (2,2',6,6'-テトラメチル-3,5-ヘプタンジオナト- $\kappa^2$ O, O') イリジウム(III) (略称: Ir(dmdpq)<sub>2</sub>(dpm))などを用いることができる。上記有機金属イリジウム錯体を用いることで、量子効率または発光効率の高い撮像素子を提供することができる。

[0124]

また、上記有機金属イリジウム錯体を分散状態にするために用いる物質（すなわちホスト材料）としては、例えば、2,3-ビス(4-ジフェニルアミノフェニル)キノキサリン(略称:TPAQn)、4,4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル(略称:NPB)のようなアリーールアミン骨格を有する化合物の他、4,4'-ジ(N-カルバゾリル)ビフェニル(略称:CBP)、4,4',4''-トリス(カルバゾール-9-イル)トリフェニルアミン(略称:TCTA)等のカルバゾール誘導体や、ビス[2-(2-ヒドロキシフェニル)ピリジナト]亜鉛(略称:Znp<sub>2</sub>)、ビス[2-(2-ヒドロキシフェニル)ベンズオキサゾラト]亜鉛(略称:Zn(BOX)<sub>2</sub>)、ビス(2-メチル-8-キノリノラト)(4-フェニルフェノラト)アルミニウム(略称:BAIq)、トリス(8-キノリノラト)アルミニウム(略称:Alq<sub>3</sub>)等の金属錯体が好ましい。また、ポリ(N-ビニルカルバゾール)(略称:PVK)のような高分子化合物を用いることもできる。

[0125]

なお、上記有機金属イリジウム錯体を分散状態にするために用いる材料（ホスト材料）としては、N-(1,1'-ビフェニル-4-イル)-N-[4-(9-フェニル-9H-カルバゾール-3-イル)フェニル]-9,9-ジメチル-9H-フルオレン-2-アミン(略称:PCBBiF)を用いると好適である。

[0126]

なお、発光層320において、上述した有機金属イリジウム錯体（ゲスト材料）と上述したホスト材料とを含んで形成することにより、EL層300からは、発光効率の高い近赤外の燐光発光を得ることができる。

[0127]

図11Aは、図10Aに示す画素の断面の一例を説明する図である。層564は光電変換デバイス101として、図10Bに示したpn接合型フォトダイオードを有する。層563はOSトランジスタを有し、図11Aでは図3Cに示す構成を例として、トランジスタ103、107を例示する。

[0128]

光電変換デバイス101において、層565aはp型領域、層565bはn型領域とすることができる。また、層565bは、電源線の機能を有する配線121が接続される。

[0129]

図12AにOSトランジスタの詳細を示す。図12Aに示すOSトランジスタは、酸化半導体層および導電層の積層上に絶縁層を設け、当該半導体層に達する開口部を設けることでソース電極205およびドレイン電極206を形成するセルフアライン型の構成である。

[0130]

OSトランジスタは、酸化半導体層207に形成されるチャンネル形成領域、ソース領域203およびドレイン領域204のほか、ゲート電極201、ゲート絶縁膜202を有する構成とすることができる。当該開口部には少なくともゲート絶縁膜202およびゲート電極201が設けられる。当該開口部には、さらに酸化半導体層208が設けられていてもよい。

[0131]

OSトランジスタは、図12Bに示すように、ゲート電極201をマスクとして半導体層にソース領域203およびドレイン領域204を形成するセルフアライン型の構成としてもよい。

[0132]

または、図12Cに示すように、ソース電極205またはドレイン電極206とゲート電極201とが重なる領域を有するノンセルフアライン型のトップゲート型トランジスタであってもよい。

[0133]

トランジスタ103、107はバックゲート535を有する構造を示しているが、バックゲートを有さない構造であってもよい。バックゲート535は、図12Dに示すトランジスタのチャンネル幅方向の断面図のように、対向して設けられるトランジスタのフロントゲートと電氣的に接続してもよい。なお、図12Dは図12Aのトランジスタを例として示しているが、その他の構造のトランジスタも同様である。また、バックゲート535にフロントゲートとは異なる固定電位を供給することができる構成であってもよい。

[0134]

OSトランジスタが形成される領域と光電変換デバイス101等のSiデバイスが形成される領域との間には、水素の拡散を防止する機能を有する絶縁層543が設けられる。光電変換デバイス101近傍に設けられる絶縁層中の水素は、シリコンのダングリングボンドを終端する。一方、トランジスタ103、107のチャンネル形成領域の近傍に設けられる絶縁層中の水素は、酸化半導体層中にキャリアを生成する要因の一つとなる。

[0135]

絶縁層543により、一方の層に水素を閉じ込めることでSiデバイスの信頼性を向上させることができる。また、一方の層から他方の層への水素の拡散が抑制されることで、OSトランジスタ（トランジスタ103、107）の信頼性も向上させることができる。

[0136]

絶縁層543としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア（YSZ）等を用いることができる。

[0137]

トランジスタ103、107上には平坦化膜541、542が設けられる。平坦化膜541、542によってトランジスタやコンタクト部で生じる凹凸部を平坦化した面に発光デバイス11（電極311、EL層300、電極312）が設けられる。

[0138]

電極311には金属などの低抵抗の導電膜を用いることができる。例えば、タングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)、アルミニウム(Al)、銅(Cu)、銀(Ag)などの金属、またはその合金、もしくはその金属窒化物から一種以上を用いて形成することができる。

[0139]

電極312には近赤外光を透過する透光性導電膜を用いることができる。例えば、電極312には、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

[0140]

ここで、電極311および電極312と重なるEL層300は発光することができるが、電極312と重なり、かつ電極311と重ならないEL層300は発光することはできない。また、EL層300は極めて薄い薄膜であり、近赤外光の吸収を無視することができる。したがって、光電変換デバイス101上にEL層300および電極312を重ねて設けることができる。

[0141]

また、図11Aでは、光電変換デバイス101とトランジスタ103が重なる領域を有するように図示しているが、当該領域は受光部全体としては一部であり、受光能力を著しく低下させることはない。なお、光電変換デバイス101とトランジスタ103が重なる領域を有さない構成としてもよい。

[0142]

図11Aに示す画素の構成では、層562が有する発光デバイス11から外部に光601を射出し、その反射光602を層562および層563を介して層564が有する光電変換デバイス101で受光する。

[0143]

発光デバイス11に酸素、水素、水分、二酸化炭素等が侵入しないように、発光デバイス11と基板580との間に封止層590を設けて密封することが好ましい。封止層590としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル系樹脂、ポリイミド、エポキシ系樹脂、シリコーン系樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）などを用いることができる。また、封止層590に乾燥剤が含まれていてもよい。

[0144]

また、封止層の一部として、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC (Diamond Like Carbon) などの保護層を設けてもよい。

[0145]

図11Bは、光電変換デバイス101として、図10Cに示したpin接合型フォトダイオードを用いた場合の画素の断面の一例を説明する図である。光電変換デバイス101において、層566aはp型領域、層566bはi型領域、層566cはn型領域とすることができる。また、層566aは、電源線の機能を有する配線121が接続される。

[0146]

光電変換デバイス101および配線121は、基板570上に設けられる。基板570としては、ガラス基板、セラミクス基板、樹脂基板などの表面が絶縁性を有する基板を用いることができる。なお、表面に絶縁性処理を施してあれば、金属基板や半導体基板を用いてもよい。

[0147]

以下では、イメージセンサチップを収めたパッケージについて説明する。当該イメージセンサチップには、上記光源付き撮像装置の構成を用いることができる。

[0148]

図13Aは、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ450を固定するパッケージ基板410、カバーガラス420および両者を接着する接着剤430等を有する。

[0149]

図13Bは、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンブ440としたBGA (Ball grid array) を有する。なお、BGAに限らず、LGA (Land grid array) やPGA (Pin Grid Array) などを有していてもよい。

[0150]

図13Cは、カバーガラス420および接着剤430の一部を省いて図示したパッケージの斜視図である。パッケージ基板410上には電極パッド460が形成され、電極パッド460およびバンブ440はスルーホールを介して電氣的に接続されている。電極パッド460は、イメージセンサチップ450とワイヤ470によって電氣的に接続されている。

[0151]

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な電子機器に組み込むことができる。

[0152]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0153]

(実施の形態3)

本実施の形態では、本発明の一態様に係る撮像装置を用いることができる電子機器の一例を説明する。

[0154]

図14Aは生体認証機器であり、薄型の筐体911、操作ボタン912、検知部913等を有する。検知部913上に手や指をかざす、または密着することにより静脈の形状を認識することができる。取得したデータは無線通信ユニット914でサーバに送信してデータベースと照合し、個人を特定することができる。また、操作ボタンにより暗証番号などを入力することもできる。本発明の一態様の撮像装置915は検知部の直下に配置され、別の光源が不要で薄型の認証機器を形成することができる。薄型であることで、様々な機器に組み込みやすくなる。また、携帯性も向上する。

[0155]

図14Bは非破壊検査機器であり、筐体921、操作パネル922、搬送機構923、モニタ924、検知ユニット925等を有する。被検査部材926は搬送機構923で検知ユニット925の直下に運搬される。被検査部材926は、検知ユニット925内に設けられた本発明の一態様の撮像装置927で撮像が行われ、撮像された画像がモニタ924に映し出される。その後、筐体921の出口まで運搬され、不良品が分別されて回収される。近赤外線を用いた撮像により、非検査部材内部の欠陥や異物などの不良要素を非破壊で高速に検出することができる。本発明の一態様の撮像装置915は別の光源が不要であるため、検知ユニット925を安価に形成することができる。

[0156]

図14Cは食品選別機器であり、筐体931、操作ボタン932、表示部933、遮光フード934等を有する。果物などの被検査食材に受光部の周囲に設けられた遮光フード934を密着させて撮像することにより、食材内に混入した異物、虫、食材内部の空洞や腐敗などを検出することができる。また、検出した近赤外光の強度から食材の糖度や水分量なども検出することができる。食品選別機器では、不良品やグレードの選別や収穫期の判断を行うことができる。受光部に設けられた本発明の一態様の撮像装置935は別の光源が不要であるため、薄型、軽量で携帯性の良い食品選別機器を安価に形成することができる。なお、図14Bに示す構成を食品選別機器として用いてもよい。または、図14Cに示す構成を非破壊検査機器として用いてもよい。

[0157]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[符号の説明]

[0158]

10：画素回路、11：発光デバイス、21：画素アレイ、22：回路、23：回路、24：回路、25：回路、26：回路、28：回路、101：光電変換デバイス、103：トランジスタ、104：トランジスタ、105：トランジスタ、106：トランジスタ、107：トランジスタ、108：キャパシタ、109：抵抗素子、121：配線、122：配線、126：配線、127：配線、128：配線、129：配線、130：配線、131：配線、132：配線、201：ゲート電極、202：ゲート絶縁膜、203：ソース領域、204：ドレイン領域、205：ソース電極、206：ドレイン電極、207：酸化物半導体層、208：酸化物半導体層、300：EL層、311：電極、312：電極、320：発光層、330：層、340：層、410：パッケージ基板、420：カバーガラス、430：接着剤、440：パンプ、450：イメージセンサチップ、460：電極パッド、470：ワイヤ、5

35 : バックゲート、541 : 平坦化膜、542 : 平坦化膜、543 : 絶縁層、561 : 層、562 : 層、563 : 層、564 : 層、565 a : 層、565 b : 層、566 a : 層、566 b : 層、566 c : 層、570 : 基板、580 : 基板、590 : 封止層、601 : 光、602 : 反射光、911 : 筐体、912 : 操作ボタン、913 : 検知部、914 : 無線通信ユニット、915 : 撮像装置、921 : 筐体、922 : 操作パネル、923 : 搬送機構、924 : モニタ、925 : 検知ユニット、926 : 被検査部材、927 : 撮像装置、931 : 筐体、932 : 操作ボタン、933 : 表示部、934 : 遮光フード、935 : 撮像装置

## 請求の範囲

## [請求項1]

第1の層と、第2の層と、を有する撮像装置であって、  
前記第1の層および前記第2の層は重なる領域を有し、  
前記第1の層は画素回路を有し、  
前記第2の層は発光デバイスを有し、  
前記画素回路は、光電変換デバイスと、トランジスタと、を有し、  
前記発光デバイスは、第1の電極と、第2の電極と、発光層と、を有し、  
前記発光層は、前記第1の電極と前記第2の電極との間に設けられ、  
前記光電変換デバイスは、前記第1の電極と重ならない領域を有する撮像装置。

## [請求項2]

第1の層と、第2の層と、を有する撮像装置であって、  
前記第1の層および前記第2の層は重なる領域を有し、  
前記第1の層は画素回路を有し、  
前記第2の層は発光デバイスを有し、  
前記発光デバイスは、第1の電極と、第2の電極と、発光層と、を有し、  
前記発光層は、前記第1の電極と前記第2の電極との間に設けられ、  
前記画素回路は、光電変換デバイスと、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、キャパシタと、を有し、  
前記光電変換デバイスの一側の電極は、前記第1のトランジスタのソースまたはドレインの一側と電気的に接続され、  
前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一側と電気的に接続され、  
前記第2のトランジスタのソースまたはドレインの一側は、前記キャパシタの一側の電極と電気的に接続され、  
前記キャパシタの一側の電極は、前記第3のトランジスタのゲートと電気的に接続され、  
前記第3のトランジスタのソースまたはドレインの一側は、前記第4のトランジスタのソースまたはドレインの一側と電気的に接続され、  
前記光電変換デバイスは、前記第1の電極と重ならない領域を有する撮像装置。

## [請求項3]

請求項2において、  
前記第2のトランジスタのソースまたはドレインの他方と、前記第3のトランジスタのソースまたはドレインの他方は電気的に接続され、  
前記第3のトランジスタのソースまたはドレインの他方と、前記発光デバイスの一側の電極は電気的に接続されている撮像装置。

## [請求項4]

第1の層と、第2の層と、を有する撮像装置であって、

前記第1の層および前記第2の層は重なる領域を有し、  
前記第1の層は画素回路を有し、  
前記第2の層は発光デバイスを有し、  
前記発光デバイスは、第1の電極と、第2の電極と、発光層と、を有し、  
前記発光層は、前記第1の電極と前記第2の電極との間に設けられ、  
前記画素回路は、光電変換デバイスと、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、キャパシタと、を有し、  
前記光電変換デバイスの一方の電極は、前記第1のトランジスタのソースまたはドレインの一方と電気的に接続され、  
前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方と電気的に接続され、  
前記第2のトランジスタのソースまたはドレインの一方は、前記キャパシタの一方の電極と電気的に接続され、  
前記キャパシタの一方の電極は、前記第3のトランジスタのゲートと電気的に接続され、  
前記第3のトランジスタのソースまたはドレインの一方は、前記第4のトランジスタのソースまたはドレインの一方と電気的に接続され、  
前記光電変換デバイスの他方の電極と、前記第3のトランジスタのソースまたはドレインの他方は電気的に接続され、  
前記第3のトランジスタのソースまたはドレインの他方と、前記発光デバイスの一方の電極は電気的に接続され、  
前記光電変換デバイスは、前記第1の電極と重ならない領域を有する撮像装置。

[請求項5]

請求項2乃至4のいずれか一項において、  
さらに第5のトランジスタを有し、  
前記第5のトランジスタのソースまたはドレインの一方は、前記発光デバイスの一方の電極と電気的に接続され、  
前記第5のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの他方と電気的に接続されている撮像装置。

[請求項6]

請求項1乃至4のいずれか一項において、  
前記光電変換デバイスは、前記第2の電極および前記発光層と重なる領域を有する撮像装置。

[請求項7]

請求項1乃至4のいずれか一項において、  
前記発光デバイスは、赤外光を発する撮像装置。

[請求項8]

請求項1乃至4のいずれか一項において、  
前記第2の電極は、赤外光に透光性を有する透光性導電膜で形成されている撮像装置。

## [請求項 9]

請求項 1 乃至 4 のいずれか一項において、

前記撮像装置が有するトランジスタの少なくとも一つ以上は、チャンネル形成領域に金属酸化物を有し、前記金属酸化物は、In と、Zn と、M (M は Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd または Hf) と、を有する撮像装置。

## [請求項 10]

請求項 1 乃至 4 のいずれか一項に記載の撮像装置と、表示装置と、を有する電子機器。

図 1

1/14

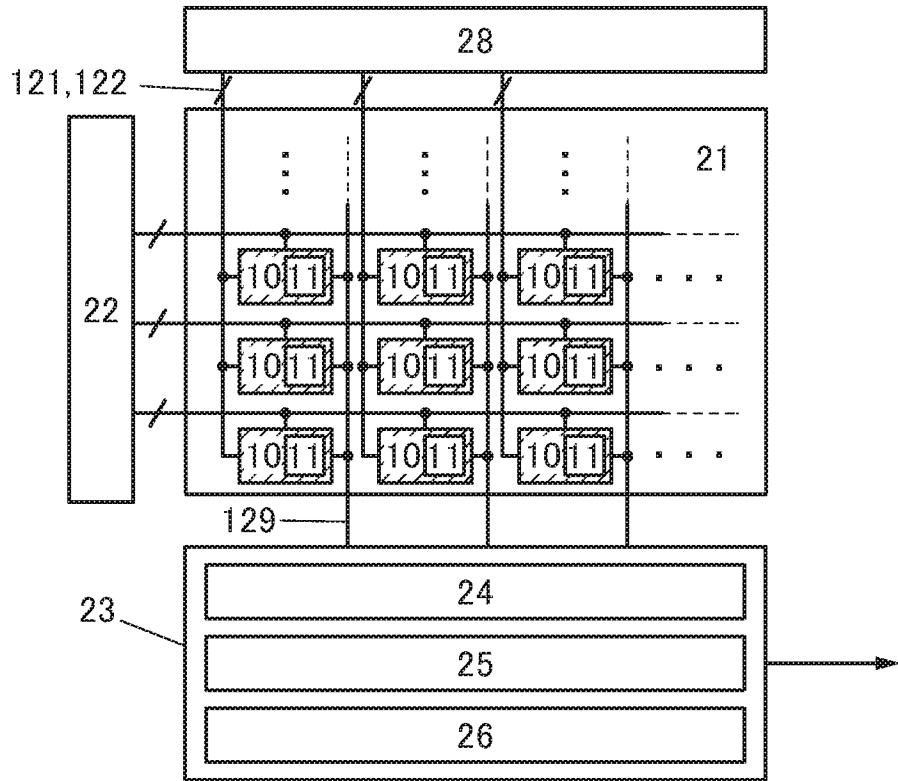


図2A

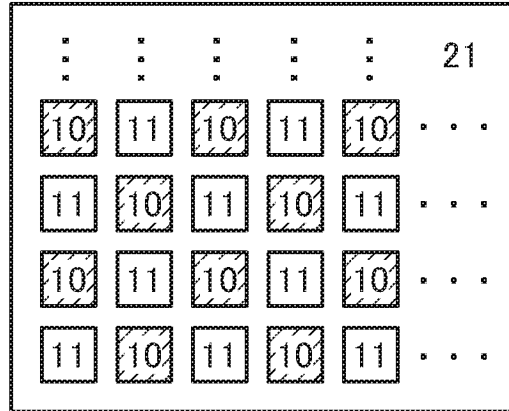


図2B

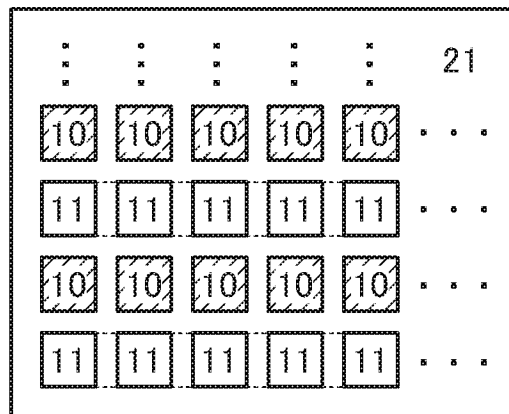
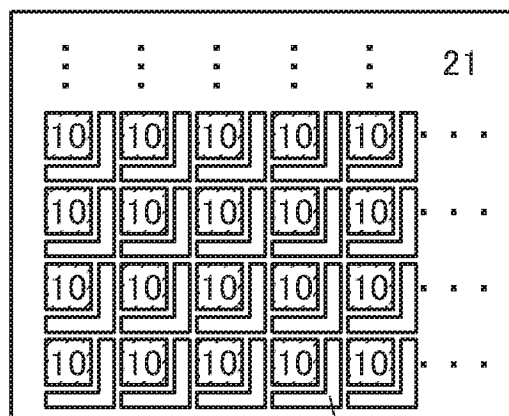


図2C



11



图4A

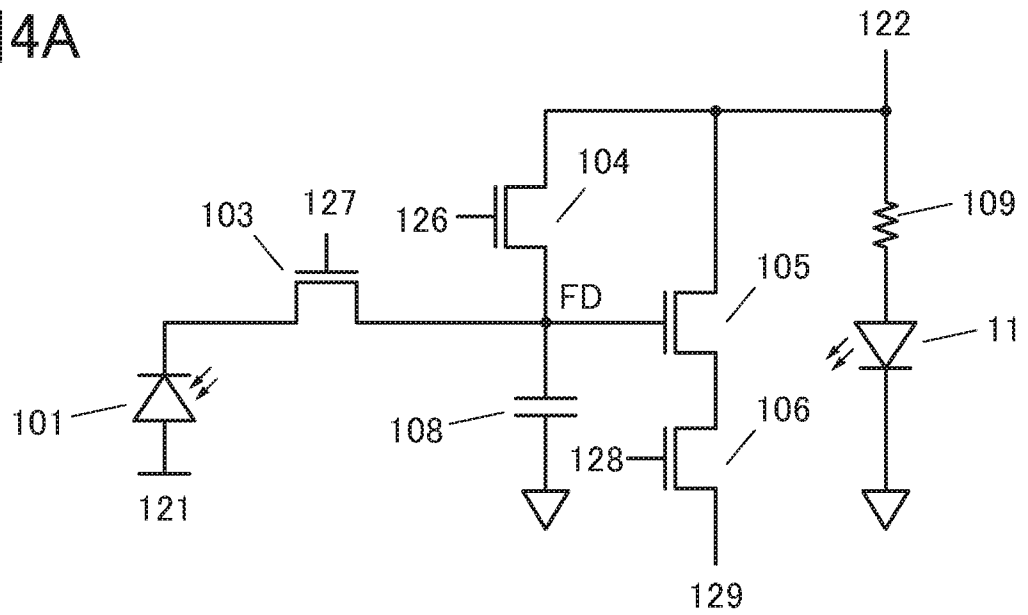


图4B

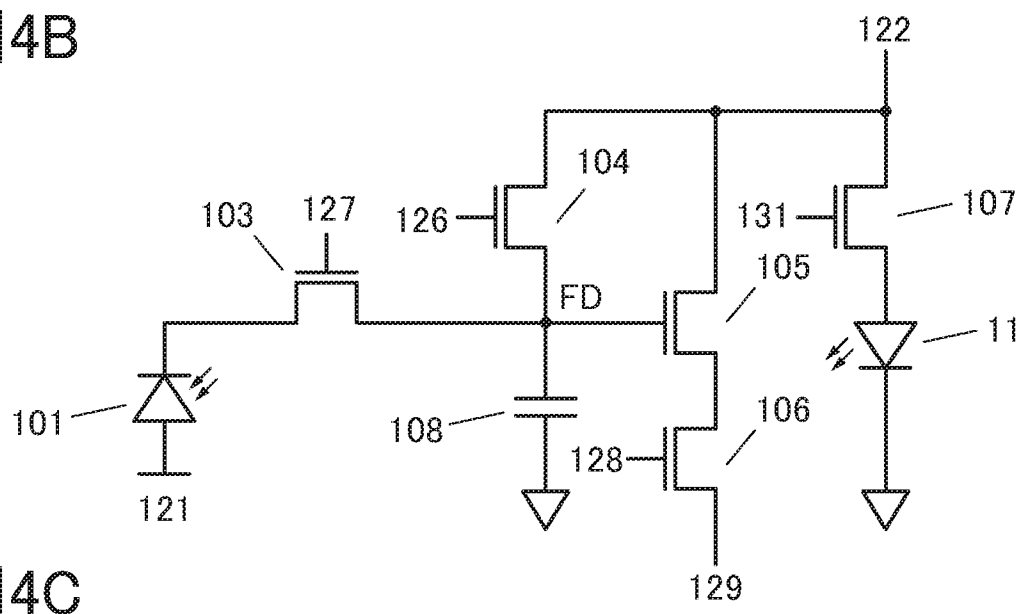


图4C

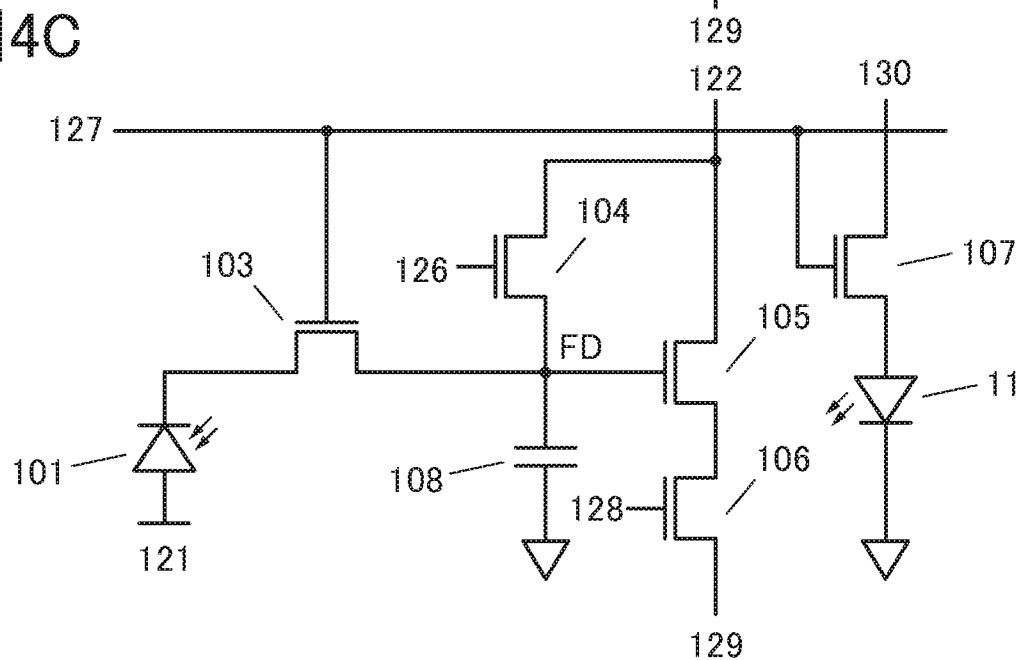


図5A

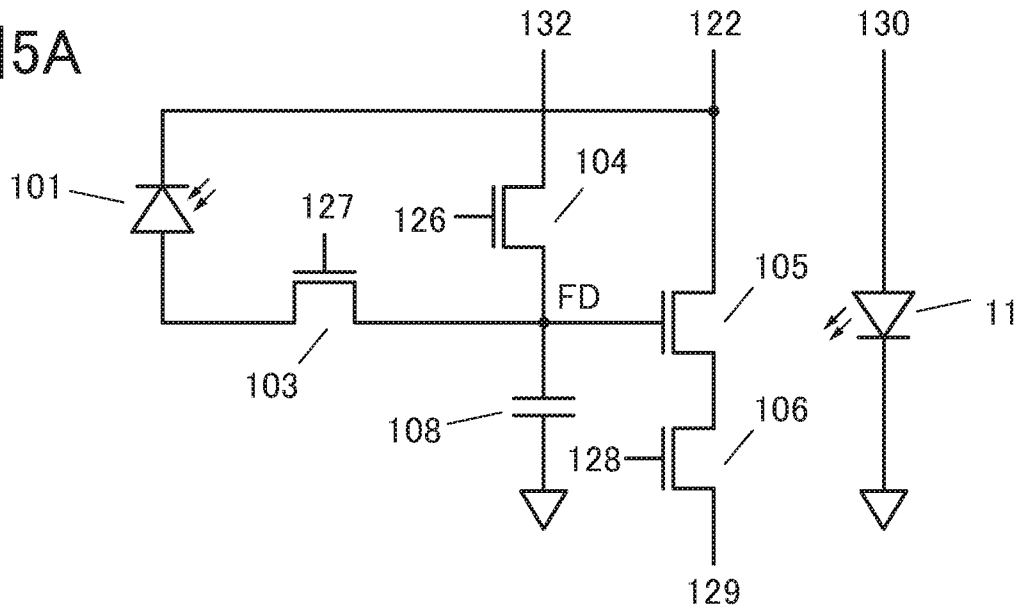


図5B

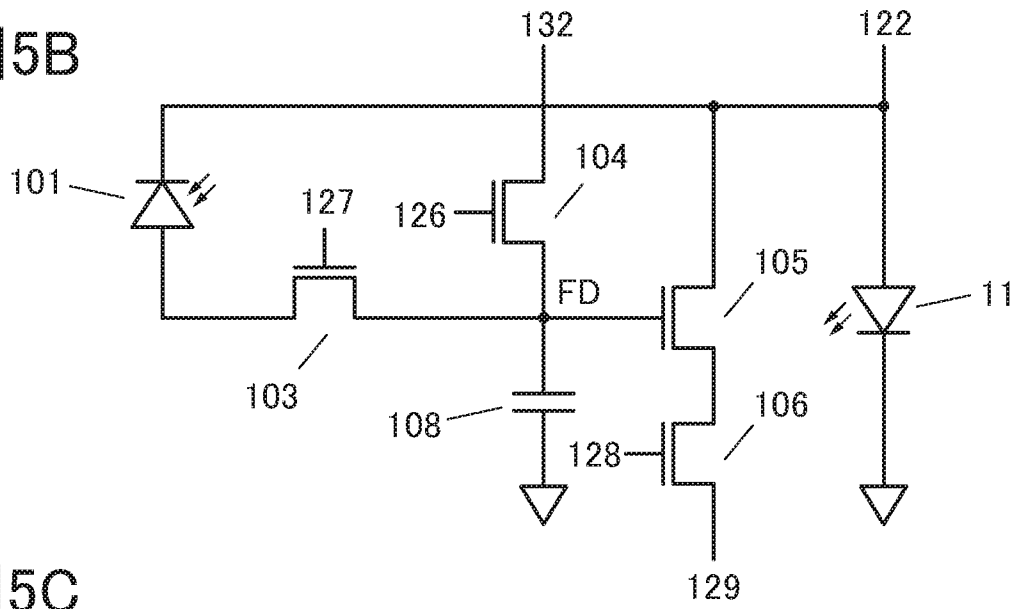


図5C

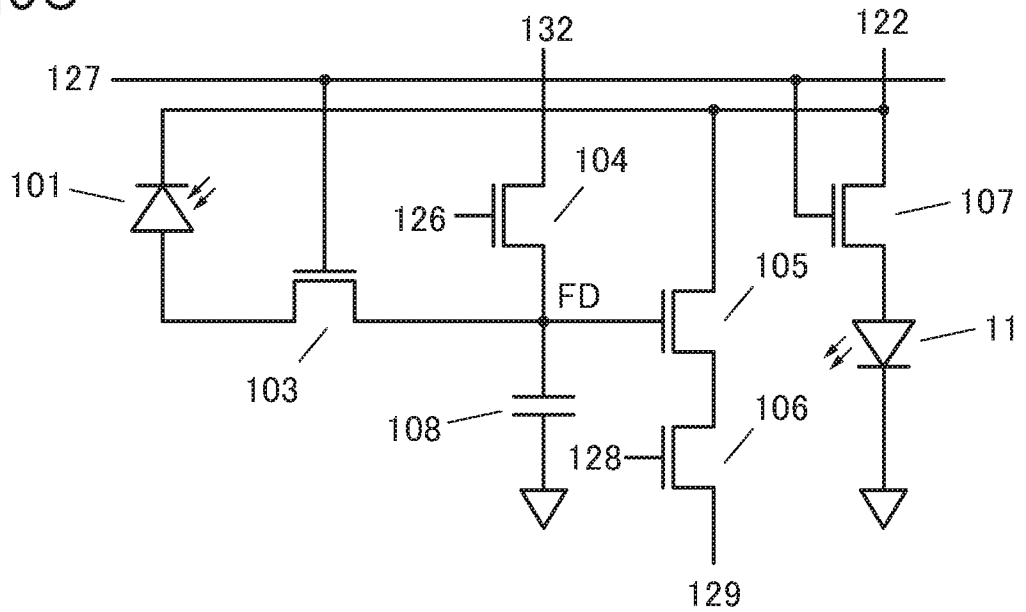


図6A

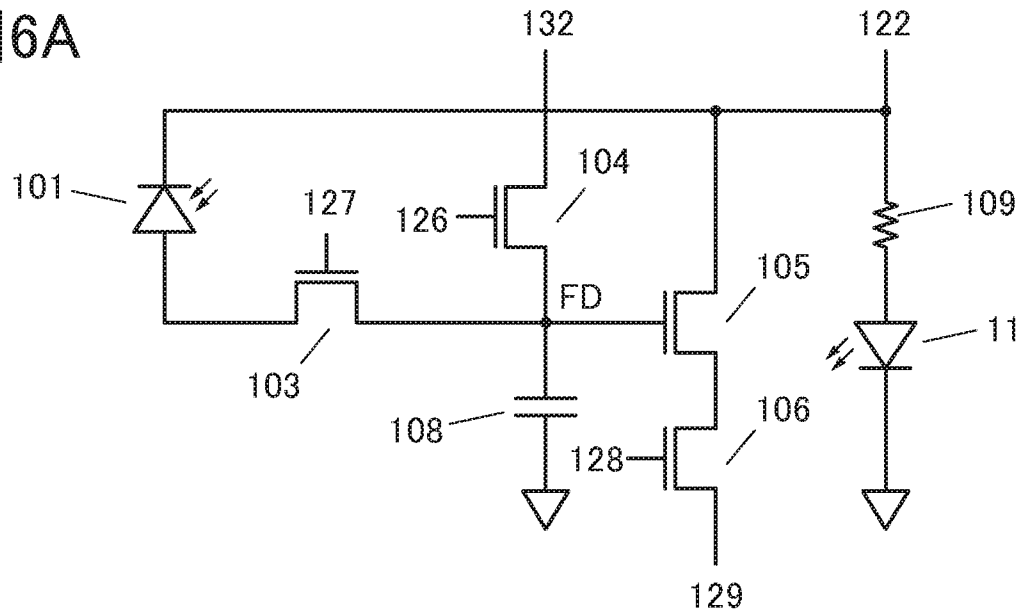


図6B

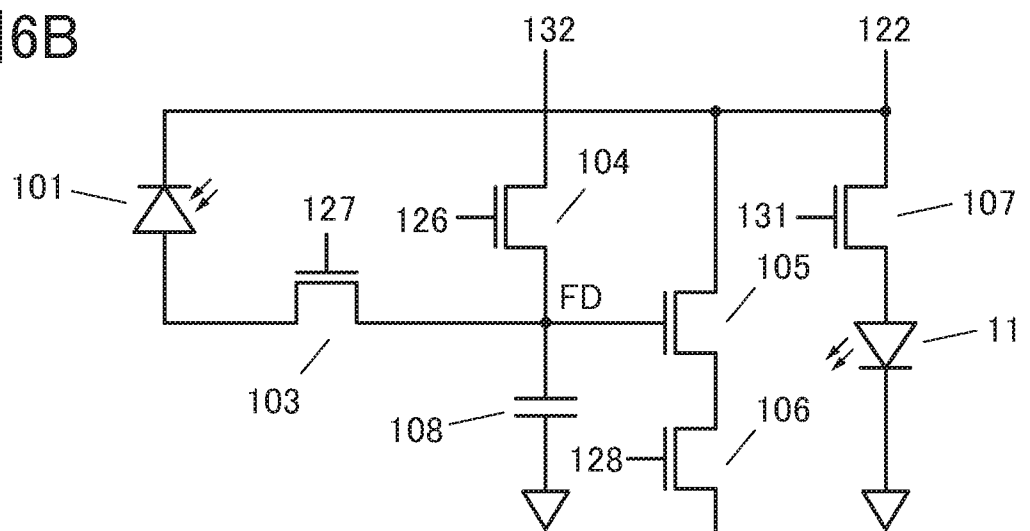
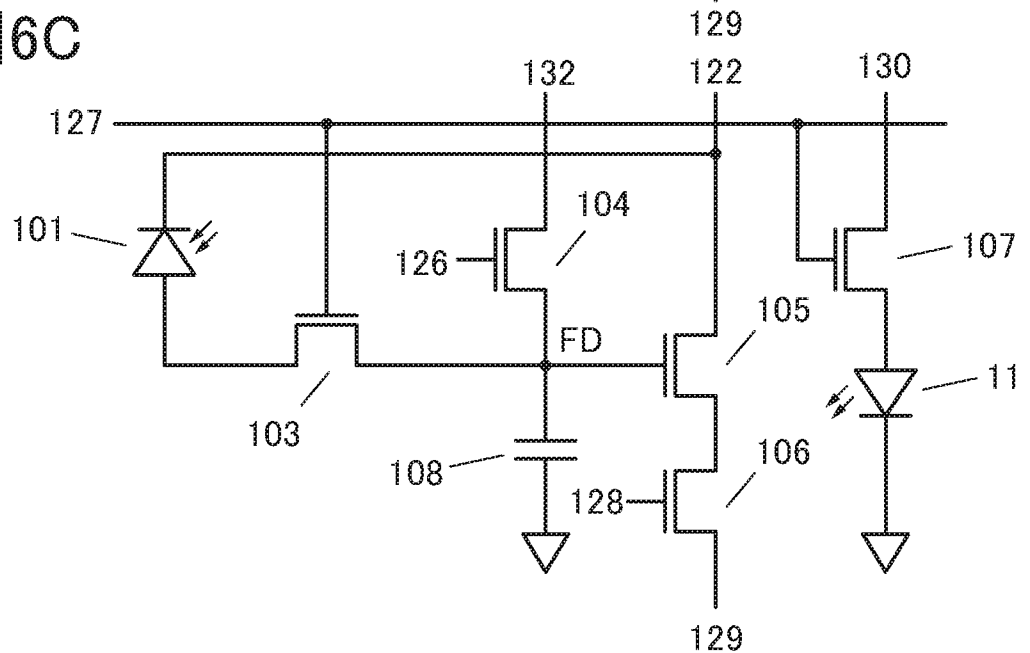
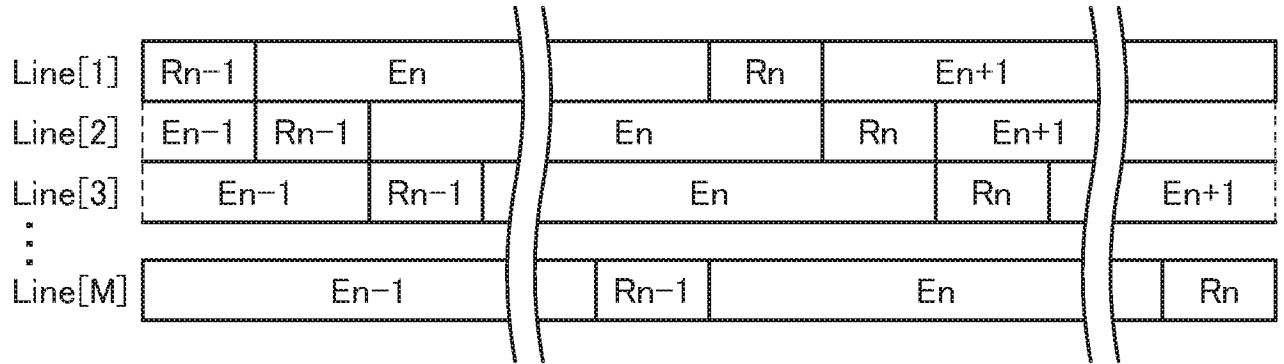


図6C



7A



7B

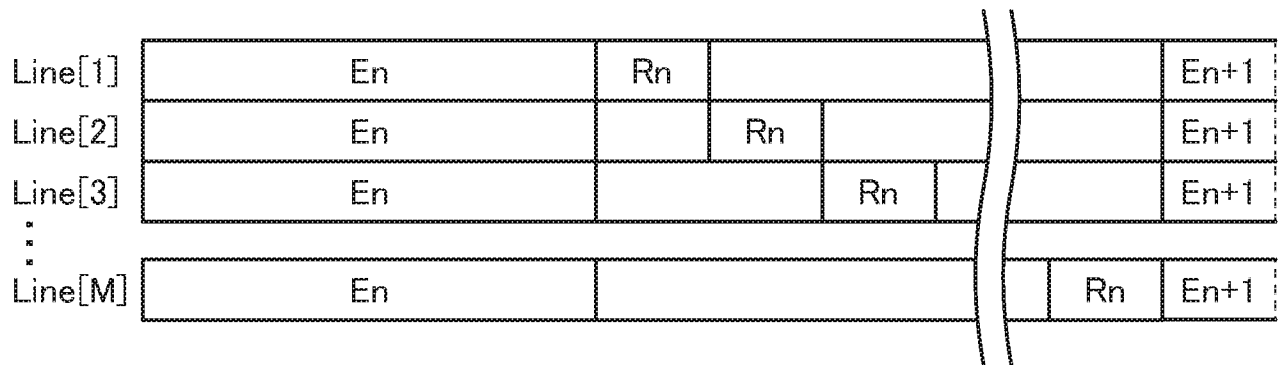


図8A

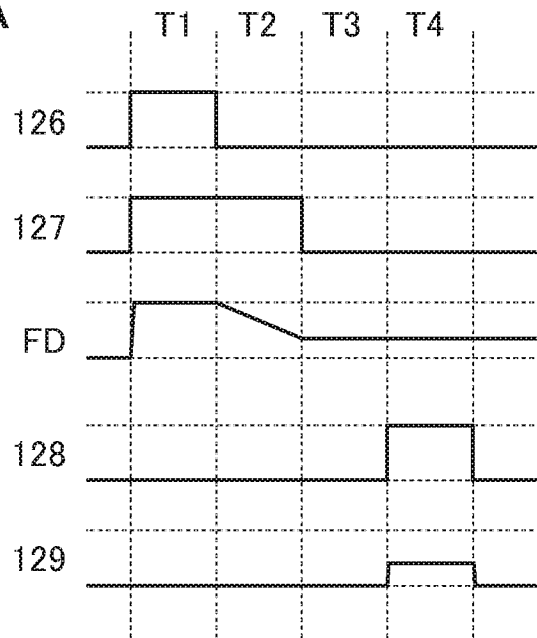


図8B

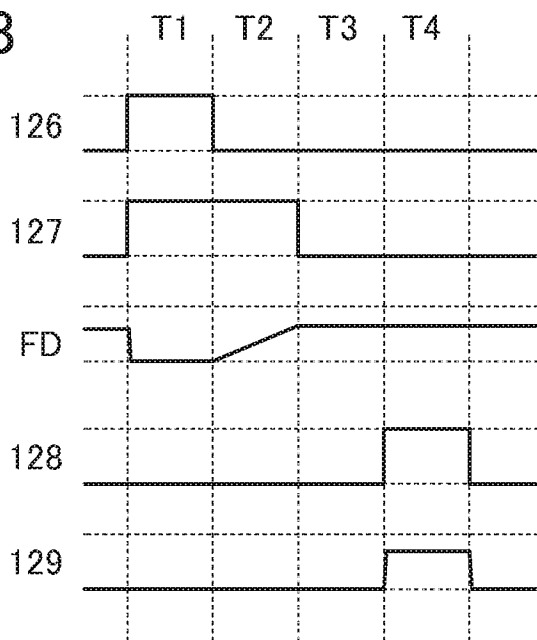


図9A

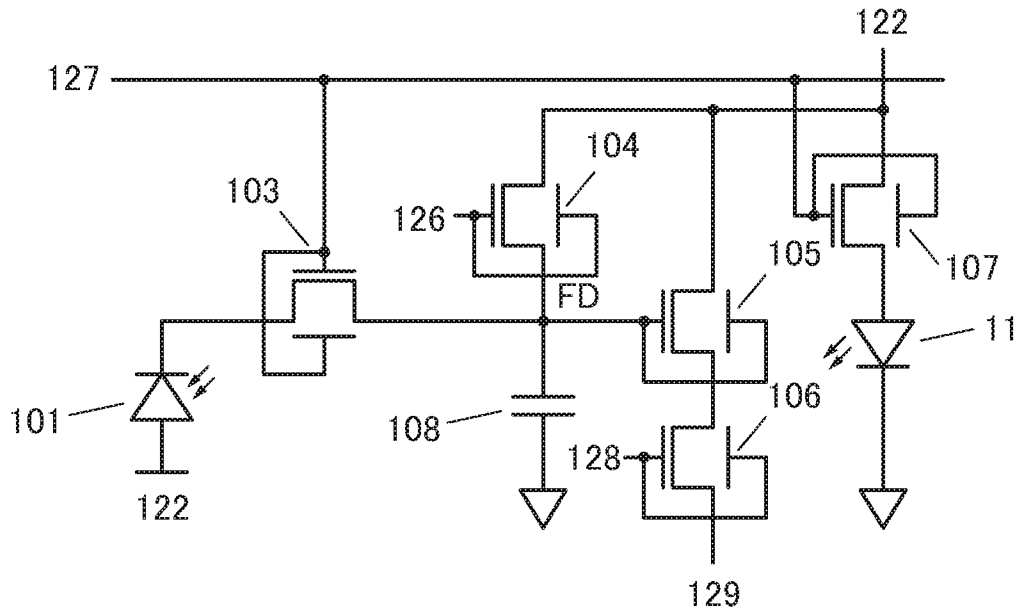


図9B

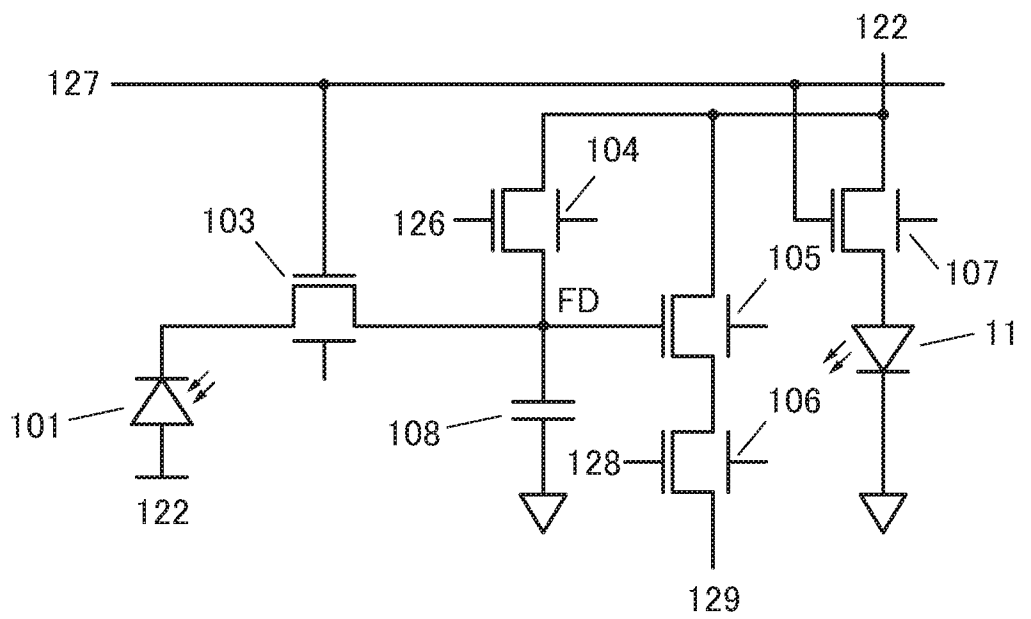


図10A

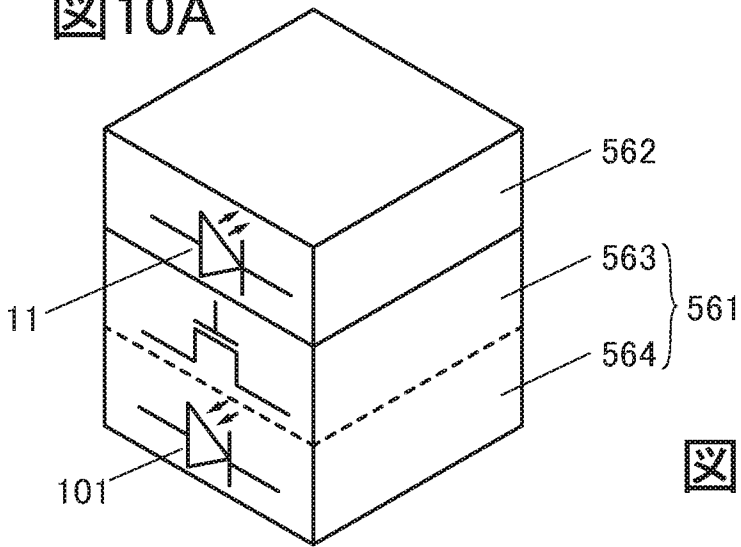


図10B

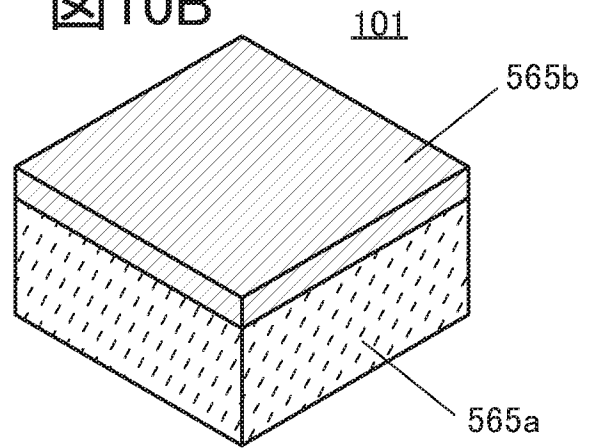


図10C

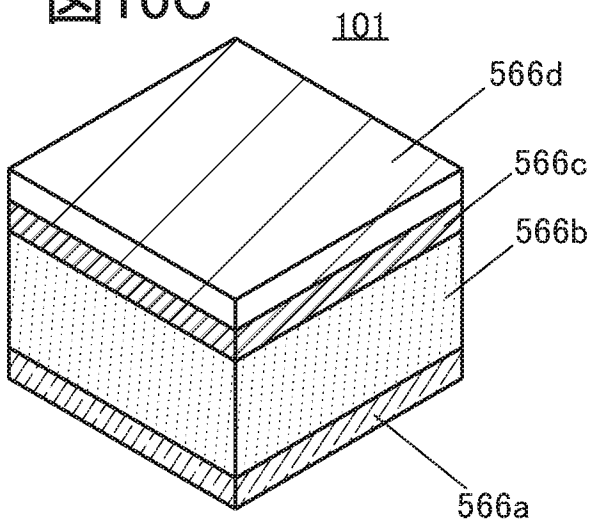


図10D

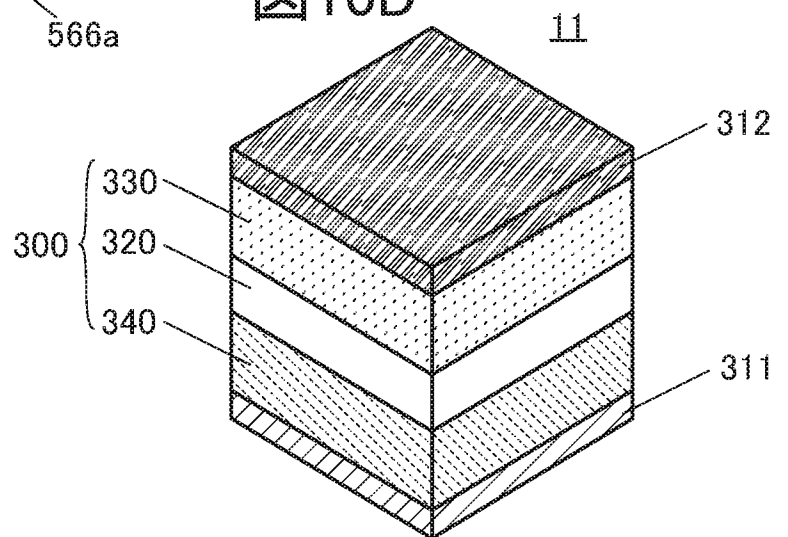


図 11A

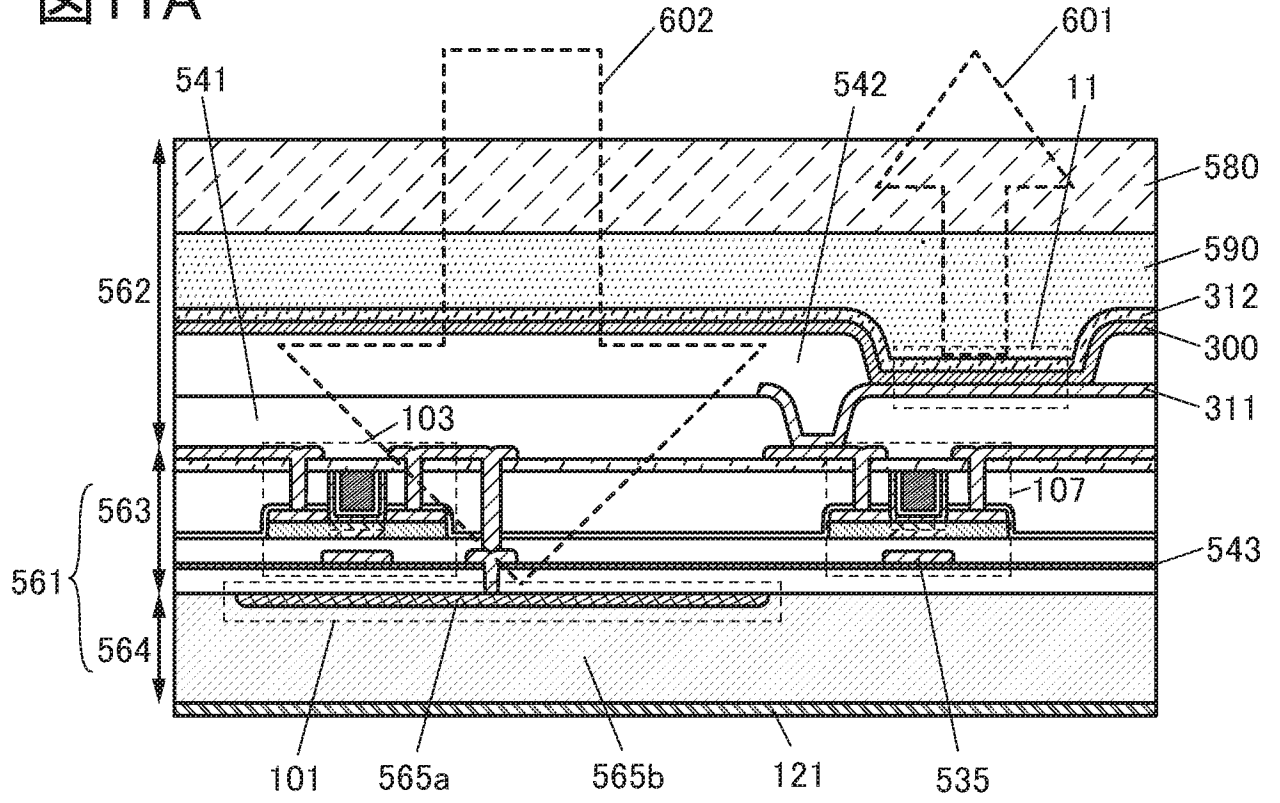


図 11B

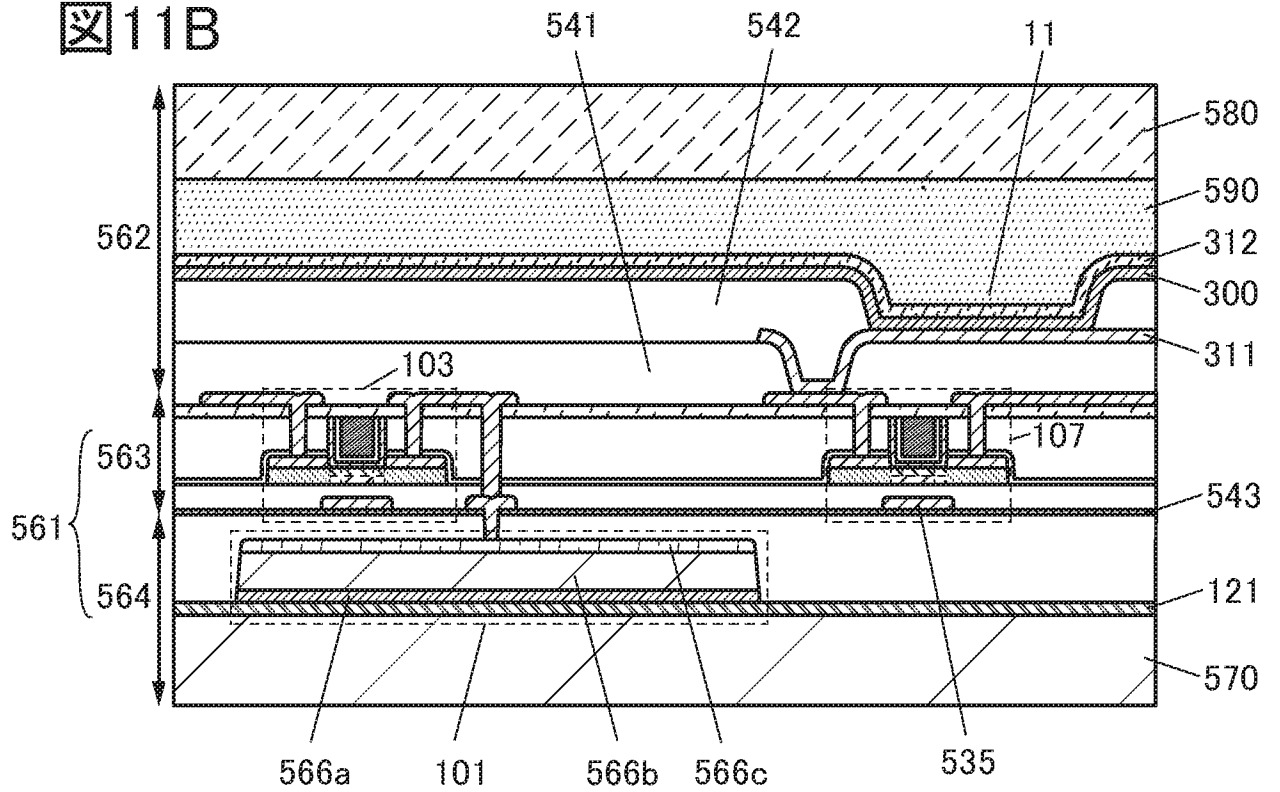


图 12A

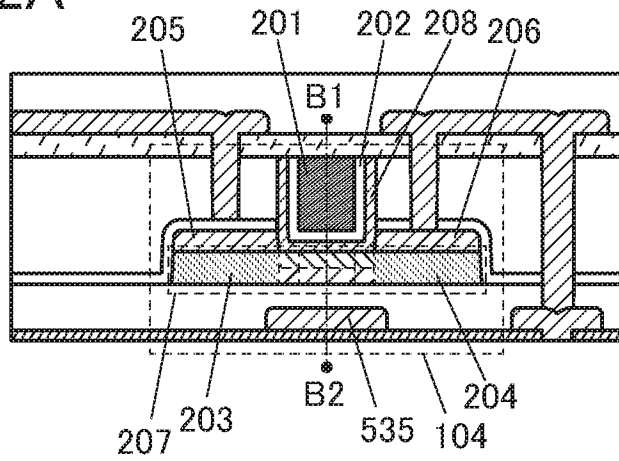


图 12B

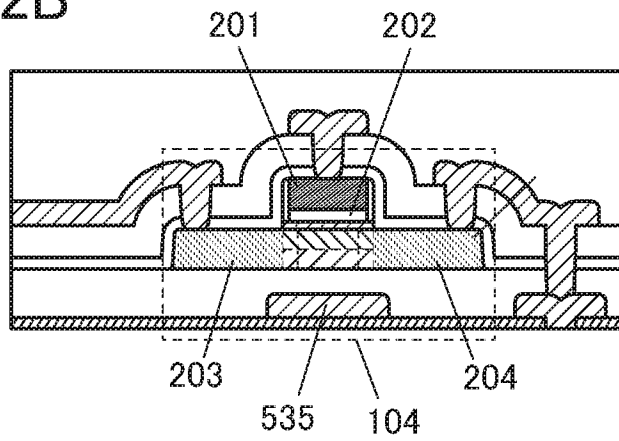


图 12C

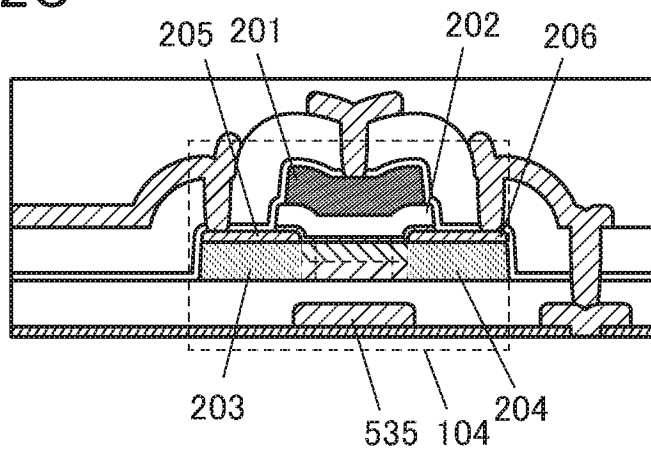


图 12D

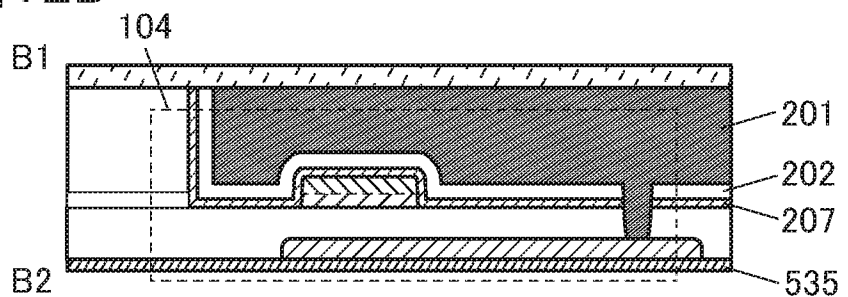


图 13A

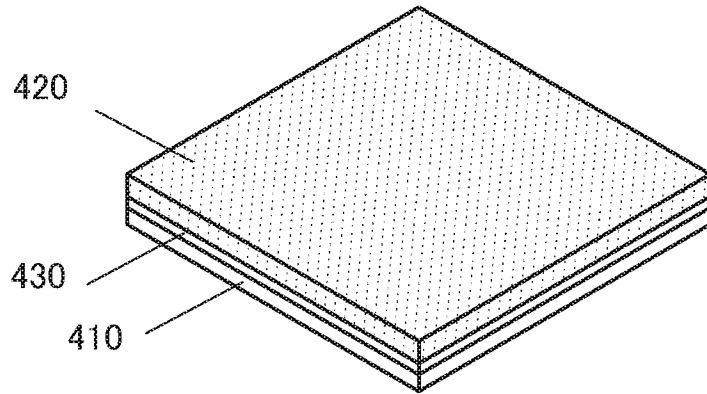


图 13B

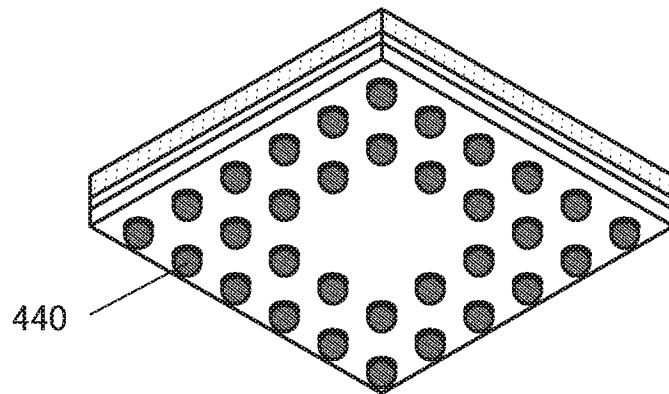


图 13C

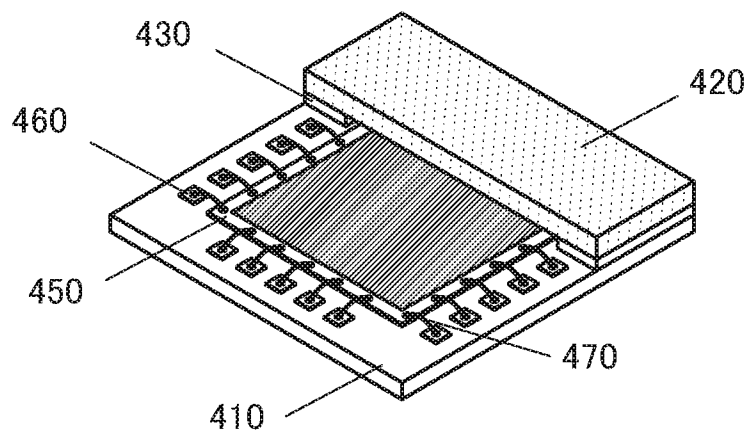


图 14A

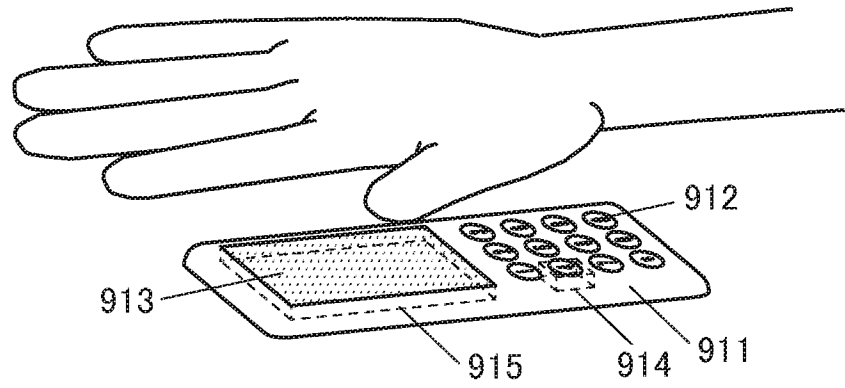


图 14B

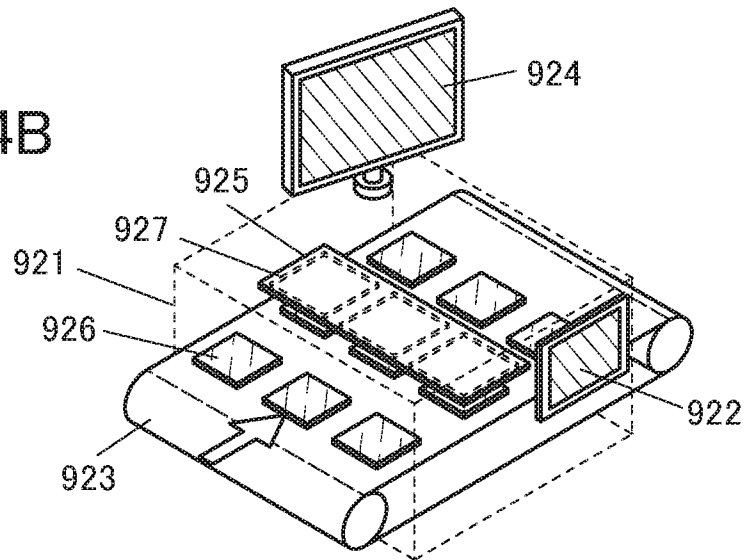
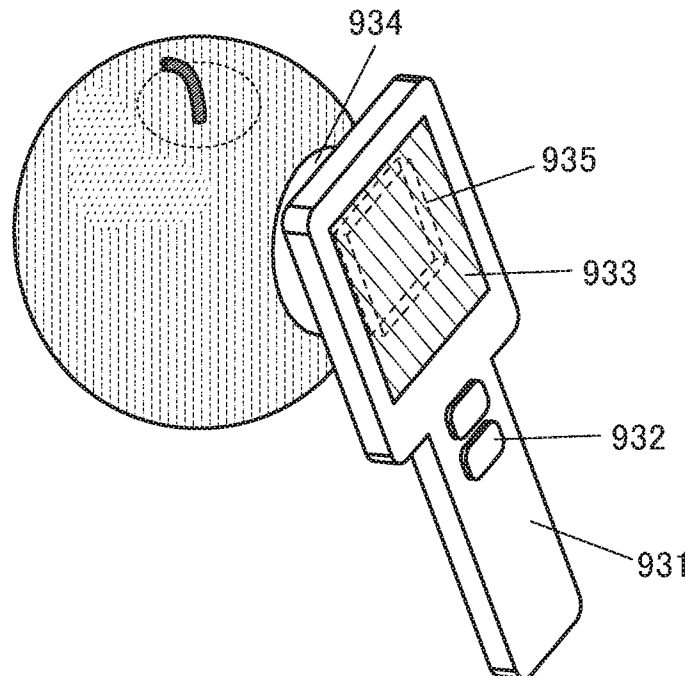


图 14C



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/057137

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
Int.Cl. H01L27/144 (2006.01) i, H01L27/146 (2006.01) i, H01L27/15 (2006.01) i, H01L29/786 (2006.01) i, H04N5/369 (2011.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
Int.Cl. H01L27/144, H01L27/146, H01L27/15, H01L29/786, H04N5/369		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Published examined utility model applications of Japan	1922-1996	
Published unexamined utility model applications of Japan	1971-2019	
Registered utility model specifications of Japan	1996-2019	
Published registered utility model applications of Japan	1994-2019	
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-256020 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 27 December 2012, paragraphs [0032]-	1-3, 5, 6, 9, 10
Y	[0108], fig. 1-8 & US 2012/0154337 A1, paragraphs [0066]-[0142], fig. 1-8 & KR 10-2012-0067292 A & TW 201246039 A	2-5, 7, 8
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 15 November 2019 (15.11.2019)	Date of mailing of the international search report 26 November 2019 (26.11.2019)	
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.	

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/057137

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-349907 A (MINOLTA CO., LTD.) 09 December 2004, paragraphs [0071]-[0072], fig. 17 & US 2004/0233304 A1, paragraphs [0105], [0106], fig. 17	4
X Y	JP 2015-5280 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 January 2015, paragraphs [0034]-[0094], [0103]-[0142], [0219]-[0229], [0288], fig. 1-3, 7, 10(D) & US 2014/0340363 A1, paragraphs [0035]-[0115], [0125]-[0164], [0242]-[0253], [0312], fig. 1-3, 7, 10D	1, 6-10 2-4, 7, 8
A	JP 2015-39165 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 26 February 2015, entire text, all drawings & US 2015/0021598 A1, entire text, all drawings	1-10
A	JP 2002-268615 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 20 September 2002, entire text, all drawings & US 2002/0074551 A1, entire text, all drawings	1-10
A	JP 2010-153449 A (SEIKO EPSON CORP.) 08 July 2010, entire text, all drawings & US 2010/0155578 A1, entire text, all drawings	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int.Cl. H01L27/144(2006.01)i, H01L27/146(2006.01)i, H01L27/15(2006.01)i, H01L29/786(2006.01)i, H04N5/369(2011.01)i		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int.Cl. H01L27/144, H01L27/146, H01L27/15, H01L29/786, H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2019年 日本国実用新案登録公報 1996-2019年 日本国登録実用新案公報 1994-2019年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-256020 A (株式会社半導体エネルギー研究所) 2012. 12. 27, [0032] - [0108], 図1-8 & US 2012/0154337 A1, [0066]-[0142], Figs. 1-8 & KR 10-2012-0067292 A & TW 201246039 A	1-3, 5, 6, 9, 10
Y		2-5, 7, 8
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	15. 11. 2019	国際調査報告の発送日
		26. 11. 2019
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	5 F 3035
日本国特許庁 (ISA/JP)	柴山 将隆	
郵便番号100-8915	電話番号 03-3581-1101	内線 3516
東京都千代田区霞が関三丁目4番3号		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-349907 A (ミノルタ株式会社) 2004. 12. 09, [0071] - [0072], 図17 & US 2004/0233304 A1, [0105], [0106], Fig.17	4
X	JP 2015-5280 A (株式会社半導体エネルギー研究所) 2015. 01. 08, [0034] - [0094], [0103] - [0142],	1, 6-10
Y	[0219] - [0229], [0288], 図1-3, 7, 10 (D) & US 2014/0340363 A1, [0035]-[0115], [0125]-[0164], [0242]-[0253], [0312], Figs.1-3, 7, 10D	2-5, 7, 8
A	JP 2015-39165 A (株式会社半導体エネルギー研究所) 2015. 02. 26, 全文, 全図 & US 2015/0021598 A1, 全文, 全図	1-10
A	JP 2002-268615 A (株式会社半導体エネルギー研究所) 2002. 09. 20, 全文, 全図 & US 2002/0074551 A1, 全文, 全図	1-10
A	JP 2010-153449 A (セイコーエプソン株式会社) 2010. 07. 08, 全文, 全図 & US 2010/0155578 A1, 全文, 全図	1-10