(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2015 年 3 月 12 日 (12.03.2015)

WIPO | PCT

(10) 国际公布号
WO 2015/032149 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) *G02F 1/1362* (2006.01)
H01L 21/77 (2006.01)

(21) 国际申请号: PCT/CN2013/089316

(22) 国际申请日: 2013 年 12 月 13 日 (13.12.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310400101.3 2013 年 9 月 5 日 (05.09.2013) CN

(71) 申请人: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHENG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。

(72) 发明人: **李付强 (LI, Fuqiang)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **王学路 (WANG, Xuelu)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **李成 (LI, Cheng)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **安星俊 (AN, Seong Jun)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)**; 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) **Title**: ARRAY SUBSTRATE AND PREPARATION METHOD THEREFOR, AND DISPLAY DEVICE

(54) **发明名称** : 阵列基板及其制备方法与显示装置

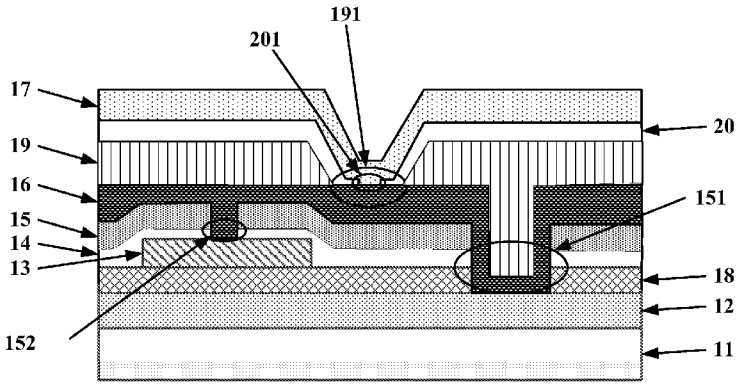


图 1 / FIG. 1

(57) **Abstract**: An array substrate, comprising a base substrate (11), and a metallic shielding layer (12), a semiconductor layer (13), a gate insulating layer (14), a gate metal layer, an interlayer dielectric layer (15), a source-drain metal layer (16) and a pixel electrode layer (17) which are successively formed on the base substrate (11), wherein at least one first via hole (151) which penetrates the metallic shielding layer (12) is formed in the interlayer dielectric layer (15) and the gate insulating layer (14); and the source-drain metal layer (16) is formed in the first via hole (151) and on the interlayer dielectric layer (15) provided with the first via hole (151). Also provided is a preparation method for an array substrate and a display device comprising the array substrate.

(57) **摘要**: 一种阵列基板包括衬底基板（11）、依次形成在衬底基板（11）上的金属屏蔽层（12）、半导体层（13）、栅极绝缘层（14）、栅金属层、层间介电层（15）、源漏金属层（16）以及像素电极层（17），其中，层间介电层（15）和栅极绝缘层（14）内形成有至少一个贯通至金属屏蔽层（12）的第一过孔（151）；源漏金属层（16）形成在第一过孔（151）内以及具备第一过孔（151）的层间介电层（15）上。还提供一种阵列基板的制备方法和包括该阵列基板的显示装置。

WO 2015/032149 A1

IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

阵列基板及其制备方法与显示装置

技术领域

本发明实施例涉及显示技术领域，尤其涉及一种阵列基板及其制备方法与显示装置。

背景技术

随着 TFT（Thin Film Transistor，薄膜晶体管）液晶显示技术的不断发展，具备功耗低、分辨率高、反应速度快以及开口率高等特点的基于 LTPS（Low Temperature Poly-silicon，低温多晶硅）技术的 TFT 显示装置逐渐成为主流，已被广泛应用于各种电子设备，如液晶电视、智能手机、平板电脑以及数码相机等数字电子设备中。

但是，在基于 LTPS 技术的 TFT 显示装置等高分辨率产品中，随着产品分辨率以及开口率的越来越高，会导致 LTPS TFT 显示装置的阵列基板的像素间距（pixel pitch）越来越小，进而导致阵列基板的存储电容越来越小。由于对于 LTPS TFT 阵列基板来说，在同样大小漏电流情况下，存储电容越小会导致像素电压的保持率越低，进而会导致闪烁（Flicker）等不良现象的产生，极大地降低了阵列基板或 TFT 显示装置等高分辨率产品的品质，因此，如何在不影响阵列基板开口率的同时提高其存储电容，已成为业界亟需解决的问题。

发明内容

本发明实施例提供了一种阵列基板及其制备方法与显示装置。

根据本发明的第一方面，提供了一种阵列基板，包括衬底基板、依次形成在所述衬底基板上的金属屏蔽层、半导体层、栅极绝缘层、栅金属层、层间介电层、源漏金属层以及像素电极层；其中，所述层间介电层和栅极绝缘层内形成有至少一个贯通至所述金属屏蔽层的第一过孔；所述源漏金属层形成在所述至少一个第一过孔内以及具备所述至少一个第一过孔的层间介电层上。

在一个示例中，所述源漏金属层覆盖于至少一个第一过孔的内壁并且与所述金属屏蔽层电连接。

在一个示例中，所述至少一个第一过孔的截面形状为圆形、方形、三角形以及梯形中的任意一种或多种。

在一个示例中，所述阵列基板还包括:

形成在所述金属屏蔽层和所述半导体层之间的缓冲层，所述至少一个第一过孔形成在所述层间介电层、栅极绝缘层以及缓冲层内。

在一个示例中，所述源漏金属层包括源极、漏极和数据线的图案。

在一个示例中，所述层间介电层以及栅极绝缘层内还形成有分别用于将所述半导体层与源极和漏极电连接的源极过孔以及漏极过孔。

在一个示例中，所述阵列基板还包括:

依次形成在所述源漏金属层与所述像素电极层之间的平坦层、公共电极层以及钝化层;

其中，所述平坦层以及钝化层内分别形成有相互对应的、贯通至所述源漏金属层的第二过孔、第三过孔;

所述像素电极层形成在所述第三过孔内以及具备所述第三过孔的钝化层上。

在一个示例中，所述半导体层为多晶硅层。

在一个示例中，所述栅金属层包括栅极、栅线和公共电极线的图案。

根据本发明的第二方面，还提供了一种显示装置，包括上述阵列基板。

根据本发明的第三方面，还提供了一种阵列基板的制备方法，包括:

在衬底基板上依次形成金属屏蔽层、半导体层、栅极绝缘层、栅金属层、层间介电层;

在所述层间介电层和栅极绝缘层内形成至少一个贯通至所述金属屏蔽层的第一过孔;

在所述第一过孔内以及具备所述第一过孔的层间介电层上形成源漏金属层。

在一个示例中，所述制备方法还包括在所述源漏金属层上方形成像素电极层。

在一个示例中，所述半导体层为多晶硅层;在形成所述金属屏蔽层之后，

且在形成所述半导体层之前，所述方法还包括:

在所述金属屏蔽层上形成缓冲层，其中，所述第一过孔形成在所述层间介电层、栅极绝缘层以及缓冲层内。

在一个示例中，所述源漏金属层包括源极、漏极和数据线的图案；在形成所述层间介电层之后，且在形成所述源漏金属层之前，所述方法还包括:

在所述层间介电层以及栅极绝缘层内形成分别用于将所述半导体层与源极和漏极电连接的源极过孔以及漏极过孔。

在一个示例中，在所述第一过孔内以及具备所述第一过孔的层间介电层上形成源漏金属层之后，且在所述源漏金属层上方形成像素电极层之前，所述方法还包括:

依次在所述源漏金属层上形成平坦层、公共电极层以及钝化层;

其中，所述平坦层以及钝化层上分别形成有相互对应的、贯通至所述源漏金属层的第二过孔、第三过孔;

在所述源漏金属层上方形成像素电极层，包括:

在所述第三过孔内以及具备所述第三过孔的钝化层上形成所述像素电极层。

在本发明实施例所述技术方案中，通过在所述层间介电层内设置直达金属屏蔽层的过孔，使得位于源漏金属层上的像素电极层可与所述金属屏蔽层电相连，进而使得栅金属层中的公共电极线既能与所述源漏金属层形成存储电容，又能与所述金属屏蔽层形成存储电容，从而起到了增加具备阵列基板的存储电容、提高阵列基板的像素电压保持率以及降低显示装置的闪烁等不良现象的效果，提高了阵列基板及显示装置的品质。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简要介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 所示为本发明实施例一中所述阵列基板的横截面结构示意图;

图 2（a）所示为本发明实施例一中所述金属屏蔽层的平面结构示意图;

图 2（b）所示为本发明实施例一中所述半导体层的平面结构示意图；

图 2（c）所示为本发明实施例一中所述栅金属层的平面结构示意图；

图 2（d）所示为本发明实施例一中所述第一过孔的平面结构示意图；

图 2（e）所示为本发明实施例一中所述源漏金属层的平面结构示意图；

图 2（f）所示为本发明实施例一中所述平坦层过孔的平面结构示意图；

图 2（g）所示为本发明实施例一中所述公共电极层的平面结构示意图；

图 2（h）所示为本发明实施例一中所述钝化层过孔的平面结构示意图；

图 2（i）所示为本发明实施例一中所述像素电极层的平面结构示意图；

图 3 所示为本发明实施例二中所述阵列基板的横截面结构示意图一；

图 4 所示为本发明实施例二中所述阵列基板的横截面结构示意图二；

图 5 所示为本发明实施例二中所述阵列基板的横截面结构示意图三。

具体实施方式

为了使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明作进一步地详细描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

实施例一:

如图 1 所示，其为本发明实施例一中所述阵列基板的横截面结构示意图，所述阵列基板包括：衬底基板 11、依次形成在所述衬底基板 11 上的金属屏蔽层 12、半导体层 13、栅极绝缘层 14、栅金属层（图 1 中未示出）、层间介电层 15、源漏金属层 16 以及像素电极层 17，其中：

所述层间介电层 15 以及栅极绝缘层 14 内形成有至少一个贯通至所述金属屏蔽层 12 的第一过孔 151；所述源漏金属层 16 形成在所述第一过孔 151 内（例如过孔的内壁上并且底部与金属屏蔽层 12 电连接）以及具备所述第一过孔 151 的层间介电层 15 上。

所述栅金属层通常可包括栅线、栅极和公共电极线的图案，所述源漏金属层 16 通常可包括源极、漏极和数据线的图案，本发明实施例对此不作赘述。

所述半导体层 13 可为多晶硅层或非多晶硅层；例如，在本发明所述实施

例中，所述半导体层 13 通常可为多晶硅层。

所述阵列基板还可以包括：形成在所述金属屏蔽层 12 和所述半导体层 13 之间的缓冲层 18，其中，所述第一过孔 151 形成在所述层间介电层 15、栅极绝缘层 14 以及缓冲层 18 内，即所述第一过孔 151 可依次贯穿层间介电层 15、栅极绝缘层 14 以及缓冲层 18 三层，为方便描述，这三层中的该过孔统一称为第一过孔 151。

所述阵列基板通常还可以包括：依次形成在所述源漏金属层 16 与所述像素电极层 17 之间的平坦层 19、公共电极层（图 1 中未示出）以及钝化层 20。

其中，所述平坦层 19 以及钝化层 20 上分别形成有相互对应的、贯通至所述源漏金属层 16 的第二过孔 191、第三过孔 201；所述像素电极层 17 形成在所述第三过孔 201 内以及具备所述第三过孔 201 的钝化层 20 上。

需要说明的是，在本发明所述实施例中，所述第三过孔 201 与所述第二过孔 191 相互对应是指，所述第三过孔 201 形成在位于所述第二过孔 191 内的钝化层 20 上，即所述第三过孔 201 在所述衬底基板 11 上的水平投影区域与所述第二过孔191 在所述衬底基板11上的水平投影区域存在重叠；相应地，所述第三过孔 201 通常比所述第二过孔 191 尺寸要小，具体可如图 1 所示。

也就是说，在本发明所述实施例中，所述像素电极层 17 通常可通过所述第三过孔 201 与所述源漏金属层 16 电相连，并且，由于第一过孔 151 的存在，所述源漏金属层 16 可与所述金属屏蔽层 12 电相连，因此，在本发明所述实施例中，所述像素电极层 17 可与所述金属屏蔽层 12 电相连，从而使得栅金属层中的公共电极线既能与所述源漏金属层 16 形成存储电容，又能与所述金属屏蔽层 12 形成存储电容，起到了增加阵列基板的存储电容、提高阵列基板的像素电压保持率以及降低显示装置的闪烁等不良现象的效果，提高了阵列基板及显示装置的品质。

下面结合图 2（a）~图 2（i）对适用于双栅 LTPS TFT 中的所述阵列基板的结构进行详细说明，需要说明的是，本发明实施例所述阵列基板还可适用于单栅 LTPS TFT 中，本发明实施例对此不作任何限定。另外需要说明的是，为了示意清楚，图 2（a）~图 2（i）各平面图中的各层结构均是透明或半透明的样式示意。

如图 2（a）所示，其为本发明实施例中所述金属屏蔽层 12 的平面结构

示意图，所述金属屏蔽层 12 形成在所述衬底基板 11 上，主要用于对 TFT 沟道进行遮挡，以减小背光源对 TFT 的影响；例如，所述金属屏蔽层 12 可以为铝层、钨层、铬层或其他金属，或者金属化合物导电层等，本发明实施例对此不作任何限定。

所述金属屏蔽层 12 上形成有缓冲层 18，所述缓冲层 18 可用于防止衬底基板 11 内的物质在后续工艺中（如高温晶化过程中）扩散到衬底基板上的各层结构中而影响所制作的阵列基板或 LTPS TFT 的品质；当然，在有些结构中，如衬底基板为无碱玻璃或者其他经过特殊加工后的基板时，可以不设置缓冲层，此时，所述第一过孔仅需贯穿层间介电层 15 和栅极绝缘层 14 即可以贯通至金属屏蔽层 12。

所述缓冲层 18 例如可以为氮化硅薄膜层和氧化硅薄膜层所组成的双层绝缘层结构，也可以为氮化硅薄膜层或氧化硅薄膜层等单层绝缘层结构，本发明实施例对此不作任何限定。再有，由于所述缓冲层 18 通常可以覆盖整个衬底基板 11，因此，在本发明所述实施例中，未对所述缓冲层 18 的平面结构进行具体示意说明。

如图 2（b）所示，其为本发明实施例中所述半导体层 13 的平面结构示意图，所述半导体层 13 可形成在所述缓冲层 18 上，且所述半导体层 13 在所述衬底基板 11 的水平投影区域与所述金属屏蔽层 12 在所述衬底基板 11 的水平投影区域可存在多处重叠，例如，半导体层 13 中的 TFT 栅极在所述衬底基板 11 的水平投影区域可与所述金属屏蔽层 12 在所述衬底基板 11 的水平投影区域存在重叠。

所述半导体层 13 上形成有栅极绝缘层 14，所述栅极绝缘层 14 可为氧化硅层、氮化硅层或由氧化硅层和氮化硅层所组成的复合绝缘层等，本发明实施例对此不作任何限定。再有，由于所述栅极绝缘层 14 通常可以覆盖整个衬底基板 11，只在有些区域如周边走线区形成有过孔，与现有技术类似，因此，在本发明所述实施例中，未对所述栅极绝缘层 14 的平面结构进行具体示意说明。

如图 2（c）所示，其为本发明实施例中所述栅金属层的平面结构示意图（图 2（c）中以标号 21 标识所述栅金属层），所述栅金属层形成在所述栅极绝缘层 14 上，可由两部分组成，一部分为栅极和栅线（Gate，标号 211），

一部分为公共电极线（Gate Metal Vcom，标号 212）；在图 2（c）中，栅金属层 21 在所述衬底基板 11 上的水平投影区域与所述半导体层 13 在所述衬底基板 11 上的水平投影区域存在三处交叠区域 A、B、C，其中 A 和 B 区域为栅极所在的位置。

需要说明的是，在本发明所述实施例中，可通过一次构图工艺来同时形成所述栅金属层的栅极、栅线和公共电极线的图案，且所述栅金属层所采用的材料例如可以为铝、钨、铬或其他金属及金属化合物等，本发明实施例对此不作任何限定；另外需要说明的是，所述公共电极线可与所述半导体层 13 或像素电极层 17 形成存储电容，以达到增大阵列基板存储电容的目的。

所述栅金属层上形成有层间介电层 15，以起到保护栅金属层形成的图案、并隔离所述栅金属层 21 和后续形成的源漏金属层 16 的目的；由于所述层间介电层 15 通常可以覆盖整个衬底基板 11，或者仅形成隔离所述栅金属层 21 和后续形成的源漏金属层 16 的图案，与现有技术类似，因此，在本发明所述实施例中，未对所述层间介电层 15 的平面结构进行具体示意说明。

如图 2（d）所示，所述层间介电层 15、栅极绝缘层 14 以及缓冲层 18 内可形成至少一个贯通至所述金属屏蔽层 12 的第一过孔 151，所述第一过孔 151 的截面形状例如可以为圆形、方形、三角形、梯形或其他多边形结构中的一种或多种，本发明实施例对此不作任何限定。再有，所述第一过孔 151 的大小可调，本发明实施例对此也不作任何限定，以便达到适应不同的工艺条件、提高工艺制备的灵活性和实用性的目的。

例如在图 2（d）中，所述第一过孔 151 的截面形状为方形，且所述第一过孔 151 在所述衬底基板 11 上的水平投影区域与所述半导体层 13、所述栅金属层 21 在所述衬底基板 11 上的水平投影区域均未重叠。

另外需要说明的是，所述层间介电层 15 以及栅极绝缘层 14 内还可形成有分别用于将所述半导体层 13 与 TFT 源极和漏极电连接的源极过孔以及漏极过孔（可用标号 152 来标识），本发明实施例对此不作赘述。

如图 2（e）所示，其为本发明实施例中所述源漏金属层 16 的平面结构示意图，所述源漏金属层 16 形成在所述层间介电层 15 上，其可包括两部分，一为呈条形结构的金属层，通常可称为数据线（Data）；一为呈方形结构的金属层，通常可称为源漏平板（SD Pad），其中，所述源漏平板在所述衬底基

板 11 上的水平投影区域与所述第一过孔 151 在所述衬底基板 11 上的水平投影区域重叠，即所述第一过孔 151 通常形成在位于所述源漏平板下的层间介电层 15、栅极绝缘层 14 以及缓冲层 18 内。需要说明的是，本发明实施例的附图只是为了说明实施例，其形状、大小和位置关系并不是对本发明实施例的限定。

所述源漏金属层 16 上形成有平坦层 19，所述平坦层 19 可起到保护所述源漏金属层 16 以及对所述阵列基板的表面进行平坦化的目的；所述平坦层 19 例如可以是无机材料形成的绝缘层或有机材料形成的绝缘层，本发明实施例对此不作任何限定。

较佳地，所述平坦层 19 通常可由有机树脂材料制作而成，所述有机树脂可以是苯并环丁烯（BCB），也可以是其他有机感光材料，本发明实施例对此不作任何限定。由于有机树脂相比较无机材料硬度较小，因而更有利于对阵列基板表面起到平坦作用，有利于后续公共电极层和像素电极层 17 等的形成，以及彩膜基板和阵列基板之间的液晶分子的理想排列。

所述平坦层 19 内可形成有贯穿至所述源漏金属层 16 的平坦层过孔 191（第二过孔）；所形成的平坦层过孔 191 的平面结构可如图 2（f）所示。所述平坦层过孔 191 的截面形状例如可以为圆形、方形、三角形、梯形或其他多边形结构中的一种或多种，本发明实施例对此不作任何限定；在图 2（f）中，所述平坦层过孔 191 例如为方形结构。

所述平坦层 19 上形成有公共电极层，其中，所述公共电极层的平面结构示意图可如图 2（g）所示（图 2（g）中，以标号 22 标识所述公共电极层）；所述公共电极层例如可采用一次构图工艺形成，且所述公共电极层的材料通常可为 ITO、AZO 等透明导电薄膜材料，本发明实施例对此不作任何限定。

所述公共电极层上可形成有钝化层 20，且所述钝化层 20 内还形成有与所述平坦层过孔 191 相互对应的、贯通至所述源漏金属层 17 的钝化层过孔 201（第三过孔）；所形成的钝化层过孔 201 的平面结构可如图 2（h）所示。

需要说明的是，所述钝化层过孔 201 的大小通常小于所述平坦层过孔 191；再有，所述钝化层过孔 201 的截面形状也可以为圆形、方形、三角形、梯形或其他多边形结构中的一种或多种，本发明实施例对此不作任何限定；在图 2（h）中，所述钝化层过孔 201 例如为方形结构。

再有需要说明的是，与所述平坦层 19 类似，所述钝化层 20 可以是无机材料形成的绝缘层或有机材料形成的绝缘层，本发明实施例对此不作任何限定。

如图 2（i）所示，其为本发明实施例中所述像素电极层 17 的平面结构示意图，所述像素电极层 17 可形成在所述第三过孔 201 内以及具备所述第三过孔 201 的钝化层 20 上，并可通过位于所述第一过孔 151 内的源漏金属层 16 与所述金属屏蔽层 12 电相连，使得栅金属层中的公共电极线可以夹在所述源漏金属层 16 以及所述金属屏蔽层 12 之间，达到既能与所述源漏金属层 16 形成存储电容，又能与所述金属屏蔽层 12 形成存储电容的效果，从而实现了增加阵列基板的存储电容、提高阵列基板的像素电压保持率以及降低显示装置的闪烁等不良现象的目的，提高了阵列基板以及显示装置的品质。

最后需要说明的是，图 2（a）~图 2（i）中各层的图案结构只是示意性的说明本发明的实施例，还可根据实际情况进行调整设定，本发明实施例对此不作任何限定。

本发明实施例一还提供了一种显示装置，包括上述的阵列基板。所述显示装置例如可以为液晶显示面板、电子纸、OLED（Organic Light-Emitting Diode，有机发光二极管）面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具备显示功能的产品或部件，本发明实施例对此不作任何限定。

需要说明的是，本发明实施例中所述的显示装置可以为 TN（Twisted Nematic，扭曲向列）模式、VA（Vertical Alignment，垂直取向）模式、IPS（In-Plane Switching，平面转换技术）模式或 ADS（Advanced Super Dimension Switch，高级超维场转换技术）模式，本发明实施例对此不作任何限定；较优地，本发明实施例中所述的显示装置尤其适用于 IPS 模式和 ADS 模式。

上述本发明实施例一提供了一种阵列基板及显示装置，通过在层间介电层以及栅极绝缘层内设置直达所述金属屏蔽层的过孔，使得位于源漏金属层上的像素电极层可与所述金属屏蔽层电相连，进而使得栅金属层中的公共电极线可以夹在所述源漏金属层以及所述金属屏蔽层之间，达到既能与所述源漏金属层形成存储电容，又能与所述金属屏蔽层形成存储电容的效果，从而实现了增加阵列基板的存储电容、提高阵列基板的像素电压保持率以及降低

显示装置的闪烁等不良现象的目的，提高了阵列基板及显示装置的品质。

实施例二:

本发明实施例二提供了一种可用于制备本发明实施例一中所述阵列基板的方法，下面结合图 2（a）~图 2（i）对本发明实施例二中所述阵列基板的制备方法进行简要说明。以阵列基板中所述半导体层为多晶硅层为例，所述阵列基板的制备方法可以包括以下步骤:

步骤 101: 在衬底基板 11 上形成金属屏蔽层 12; 例如所述金属屏蔽层 12 的图案可如图 2（a）所示。

所述衬底基板 11 可以为玻璃基板或塑料基板等，本发明实施例对此不作任何限定。

在所述衬底基板 11 上形成金属屏蔽层 12 之前，可对所述衬底基板 11 进行预清洗操作，之后，在所述衬底基板 11 上方形成金属屏蔽层 12，所述金属屏蔽层 12 主要用于对 TFT 沟道进行遮挡，以减小背光源对 TFT 的影响。所述金属屏蔽层 12 例如可以为铝层、钨层、铬层或其他金属，或者金属化合物导电层等，本发明实施例对此不作任何限定。

例如，在所述衬底基板 11 上方形成金属屏蔽层 12 可以包括:

采用沉积、溅射等方式在所述衬底基板 11 上形成一金属层，并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺形成具备设定图案的金属屏蔽层 12，本发明实施例对此不作赘述。

步骤 102: 在所述金属屏蔽层 12 上形成缓冲层 18。

在本发明所述实施例中，可采用 CVD（Chemical Vapor Deposition，化学气相沉积）等方法在所述金属屏蔽层 12 上沉积缓冲层 18; 所述缓冲层 18 例如可以为氮化硅薄膜层和氧化硅薄膜层所组成的双层绝缘层结构，也可以为氮化硅薄膜层或氧化硅薄膜层等单层绝缘层结构，本发明实施例对此不作任何限定。当然，在有些结构中，如衬底基板为无碱玻璃或者其他经过特殊加工后的基板时，可以不设置缓冲层，此时，则可以省略步骤 102。

步骤 103: 在所述缓冲层 18 上形成半导体层 13; 所述半导体层 13 的图案可如图 2（b）所示。

在本步骤 103 中，当所述半导体层 13 为多晶硅层时，可采用 CVD 等方法在所述缓冲层 18 上沉积非晶硅层，并采用准分子激光退火（ELA）或固相

结晶（SPC）等方法将所述非晶硅晶化为多晶硅，之后，再通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺形成所需的多晶硅图案。

步骤 104：在所述半导体层 13 上形成栅极绝缘层 14。

可采用 CVD 等方法在所述半导体层 13 上沉积栅极绝缘层 14；其中，所述栅极绝缘层 14 可为氧化硅层、氮化硅层或由氧化硅层和氮化硅层所组成的复合绝缘层等，本发明实施例对此不作任何限定。

步骤 105：在所述栅极绝缘层 14 上形成栅金属层 21；所述栅金属层 21 的图案可如图 2（c）所示，包括栅极、栅线和公共电极线，其中，标号 211 对应栅极和栅线（Gate），标号 212 对应公共电极线（Gate Metal Vcom）。

在本步骤 105 中，可采用 PVD（Physical Vapor Deposition，物理气相沉积）等方法在所述栅极绝缘层 14 上形成一金属层，并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺同时形成栅极、栅线与公共电极线的图案。

例如所述金属层可以为铝层、钨层、铬层或其他金属及金属化合物导电层等，本发明实施例对此不作任何限定。

步骤 106：在所述栅金属层 21 上形成层间介电层 15。

可采用 CVD 等方法在所述栅金属层 21 上沉积层间介电层 15，以起到保护栅金属层 21、并隔离所述栅金属层 21 和后续源漏金属层 16 的目的；其中，所述层间介电层 15 可由氧化硅、氮化硅等材料制备而成，本发明实施例对此不作任何限定。

步骤 107：在所述层间介电层 15、栅极绝缘层 14 以及缓冲层 18 内形成至少一个贯通至所述金属屏蔽层 12 的第一过孔 151；所形成的第一过孔 151 的图案可如图 2（d）所示。

需要说明的是，在形成所述第一过孔 151 的同时，还可在所述层间介电层 15 以及栅极绝缘层 14 内形成贯通至所述半导体层 13 的源极过孔以及漏极过孔（其中，所述源极过孔或漏极过孔的示意图可参见图 2（d）所示，具体可以标号 152 来标识）。

在本步骤 107 中，可采用一次或多次构图工艺形成所述第一过孔 151、源极过孔以及漏极过孔，本发明实施例对此不作任何限定；在通过一次构图

工艺形成上述各过孔时，可通过刻蚀参数的控制来实现不同深度过孔的形成。

步骤 108：在所述第一过孔 151 内以及具备所述第一过孔 151 的层间介电层 15 上形成源漏金属层 16；所形成的源漏金属层 16 的图案可如图 2（e）所示。

在本步骤 108 中，通常可在具备源极过孔、漏极过孔以及第一过孔 151 的层间介电层 15 表面沉积一导电材料，并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺来形成具备设定图案的源漏金属层 16；其中，所述导电材料可以为铝、钨、铬或其他金属及金属化合物等，本发明实施例对此不作任何限定。

例如在本发明所述实施例中，所述源漏金属层 16 具体可包括两部分，一为呈条形结构的金属层，通常可称为数据线；一为呈方形结构的金属层，通常可称为源漏平板，其中，所述源漏平板在所述衬底基板 11 上的水平投影区域与所述第一过孔 161 在所述衬底基板 11 上的水平投影区域重叠，即所述第一过孔 161 通常形成在位于所述源漏平板下的层间介电层 16、栅极绝缘层 14 以及缓冲层 18 内。

步骤 109：在所述源漏金属层 16 上形成平坦层 19。

可采用 CVD 等方法在所述源漏金属层 16 上沉积平坦层 19；其中，所述平坦层 19 可以是无机材料形成的绝缘层或有机材料形成的绝缘层，本发明实施例对此不作任何限定。

步骤 110：在所述平坦层 19 内形成直达所述源漏金属层 16 的平坦层过孔 191（第二过孔）；所形成的平坦层过孔 191 的图案可如图 2（f）所示。

在所述源漏金属层 16 上沉积平坦层 19 之后，可通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺形成具备设定形状的平坦层过孔 191；所述平坦层过孔 191 的截面形状可以为圆形、方形、三角形、梯形或其他多边形结构中的一种或多种，本发明实施例对此不作任何限定；在图 2（f）中，所述平坦层过孔 191 为方形结构。

步骤 111：在所述平坦层 19 上形成公共电极层 22；所形成的公共电极层 22 的图案可如图 2（g）所示。

可采用 CVD 等方法在所述平坦层 19 上方沉积一透明导电薄膜层，并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺形成

具备设定图案的公共电极层 22。

例如所述公共电极层 22 通常可由透明导电薄膜材料制备而成，所述透明导电薄膜材料通常可为 ITO、AZO 等材料，本发明实施例对此不作任何限定。

步骤 112：在所述公共电极层 22 上形成钝化层 20，并在所述钝化层 20 之内形成与所述平坦层过孔 191 相互对应的贯通至所述源漏金属层 16 的钝化层过孔 201（第三过孔）；所形成的钝化层过孔 201 的图案可如图 2（h）所示。

可采用 CVD 等方法在所述公共电极层 22 之上沉积钝化层 20，并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺在所述钝化层 20 之内形成具备设定形状的钝化层过孔 201。

需要说明的是，所述钝化层过孔 201 的大小通常小于所述平坦层过孔 191；再有，所述钝化层过孔 201 的截面形状可以为圆形、方形、三角形、梯形或其他多边形结构中的一种或多种，本发明实施例对此不作任何限定；在图 2（h）中，所述钝化层过孔 201 为方形结构。

例如所述钝化层 20 可以是无机材料形成的绝缘层或有机材料形成的绝缘层，本发明实施例对此不作任何限定。

步骤 113：在所述钝化层 20 上形成像素电极层 17；所形成的像素电极层 17 的图案可如图 2（i）所示。

可采用 CVD 等方法在具备钝化层过孔 201 的钝化层 20 之上沉积一透明导电材料层，并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺来得到具备设定图案的像素电极层 17。

需要说明的是，所得到的像素电极层 17 通常位于所述钝化层过孔 201 内以及所述钝化层 20 之上，并通过位于所述第一过孔 151 内的源漏金属层 16 与所述金属屏蔽层 12 电连接。

也就是说，经过上述步骤 101~步骤 113 之后，可得到本发明实施例一中所述的阵列基板，所得到的阵列基板的横截面结构示意图可如图 1 以及图 3~图 5 所示，其中，图 1 对应图 2（i）中的 A-A’ 横截面，图 3 对应 2（i）中的 B-B’ 横截面，图 4 对应图 2（i）中的 C-C’ 横截面，图 5 对应 2（i）中的 D-D’ 横截面。

在本发明实施例二所述的阵列基板制备方法中，通过在所述层间介电层、栅极绝缘层以及缓冲层内形成贯通至所述金属屏蔽层的过孔，使得像素电极

层可通过所述源漏金属层与所述金属屏蔽层电相连，进而使得公共电极线既能与所述源漏金属层形成存储电容，又能与所述金属屏蔽层形成存储电容，从而起到了增加阵列基板的存储电容、提高阵列基板的像素电压保持率以及降低显示装置的闪烁等不良现象的效果，提高了阵列基板及显示装置的产品品质。

需要说明的是，本发明实施例以半导体层为多晶硅层的顶栅型 TFT 为例进行说明，对于半导体层为非晶硅层等的 TFT，本发明实施例同样适用，且对于底栅型 TFT 或者其他结构变形的 TFT，只要是需要通过增加正对面积而增大存储电容的方案，也都属于本发明实施例的保护范围。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板，包括衬底基板、依次形成在所述衬底基板上的金属屏蔽层、半导体层、栅极绝缘层、栅金属层、层间介电层、源漏金属层以及像素电极层，其中

所述层间介电层和栅极绝缘层内形成有至少一个贯通至所述金属屏蔽层的第一过孔;

所述源漏金属层形成在所述至少一个第一过孔内以及具备所述至少一个第一过孔的层间介电层上。

2、如权利要求 1 所述的阵列基板，其中所述源漏金属层覆盖于至少一个第一过孔的内壁并且与所述金属屏蔽层电连接。

3、如权利要求 1 或 2 所述的阵列基板，其中所述至少一个第一过孔的截面形状为圆形、方形、三角形以及梯形中的任意一种或多种。

4、如权利要求 1~3 任一项所述的阵列基板，其中所述阵列基板还包括:

形成在所述金属屏蔽层和所述半导体层之间的缓冲层，所述至少一个第一过孔形成在所述层间介电层、栅极绝缘层以及缓冲层内。

5、如权利要求 1~4 任一项所述的阵列基板，其中所述源漏金属层包括源极、漏极和数据线的图案。

6、如权利要求 5 所述的阵列基板，其中所述层间介电层以及栅极绝缘层内还形成有分别用于将所述半导体层与源极和漏极电连接的源极过孔以及漏极过孔。

7、如权利要求 1~6 任一项所述的阵列基板，其中所述阵列基板还包括:

依次形成在所述源漏金属层与所述像素电极层之间的平坦层、公共电极层以及钝化层;

其中，所述平坦层以及钝化层内分别形成有相互对应的、贯通至所述源漏金属层的第二过孔、第三过孔;

所述像素电极层形成在所述第三过孔内以及具备所述第三过孔的钝化层上。

8、如权利要求 1~7 任一项所述的阵列基板，其中所述半导体层为多晶硅层。

9、如权利要求 1~8 任一项所述的阵列基板，其中所述栅金属层包括栅

极、栅线和公共电极线的图案。

10、一种显示装置，包括权利要求 1~9 任一项所述的阵列基板。

11、一种阵列基板制备方法，包括:

在衬底基板上依次形成金属屏蔽层、半导体层、栅极绝缘层、栅金属层、层间介电层;

在所述层间介电层和栅极绝缘层内形成至少一个贯通至所述金属屏蔽层的第一过孔;

在所述至少一个第一过孔内以及具备所述至少一个第一过孔的层间介电层上形成源漏金属层。

12、如权利要求 11 所述的阵列基板制备方法，还包括在所述源漏金属层上方形成像素电极层。

13、如权利要求 11 或 12 所述的阵列基板制备方法，其中所述半导体层为多晶硅层；在形成所述金属屏蔽层之后，且在形成所述半导体层之前，所述方法还包括:

在所述金属屏蔽层上形成缓冲层，其中，所述第一过孔形成在所述层间介电层、栅极绝缘层以及缓冲层内。

14、如权利要求 11~13 任一项所述的阵列基板制备方法，其中所述源漏金属层包括源极、漏极和数据线的图案；在形成所述层间介电层之后，且在形成所述源漏金属层之前，所述方法还包括:

在所述层间介电层以及栅极绝缘层内形成分别用于将所述半导体层与源极和漏极电连接的源极过孔以及漏极过孔。

15、如权利要求 12 所述的阵列基板制备方法，其中在所述第一过孔内以及具备所述第一过孔的层间介电层上形成源漏金属层之后，且在所述源漏金属层上方形成像素电极层之前，所述方法还包括:

依次在所述源漏金属层上形成平坦层、公共电极层以及钝化层;

其中，所述平坦层以及钝化层上分别形成有相互对应的、贯通至所述源漏金属层的第二过孔、第三过孔;

在所述源漏金属层上方形成像素电极层，包括:

在所述第三过孔内以及具备所述第三过孔的钝化层上形成所述像素电极层。

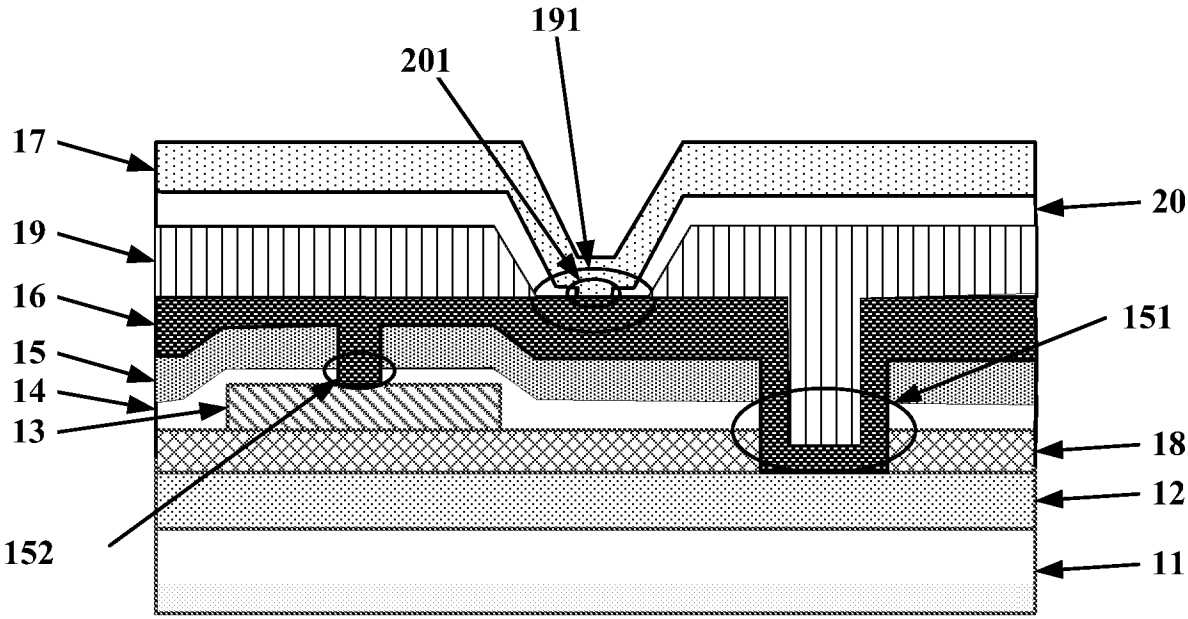


图 1

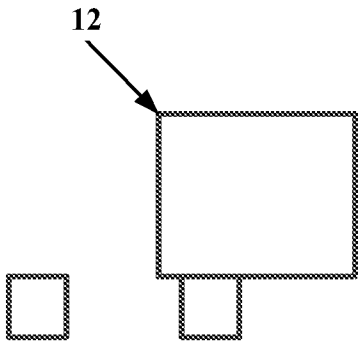


图 2（a）

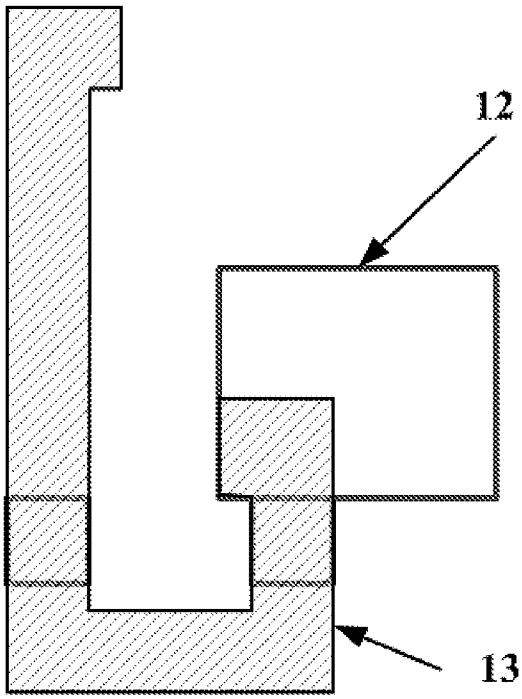


图 2（b）

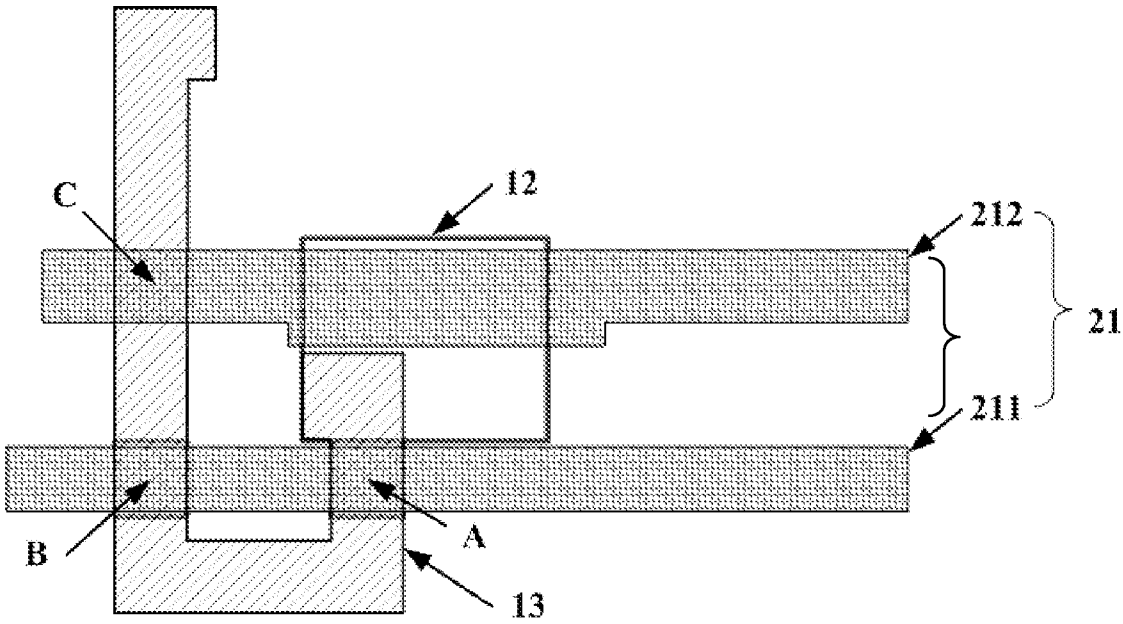


图 2（c）

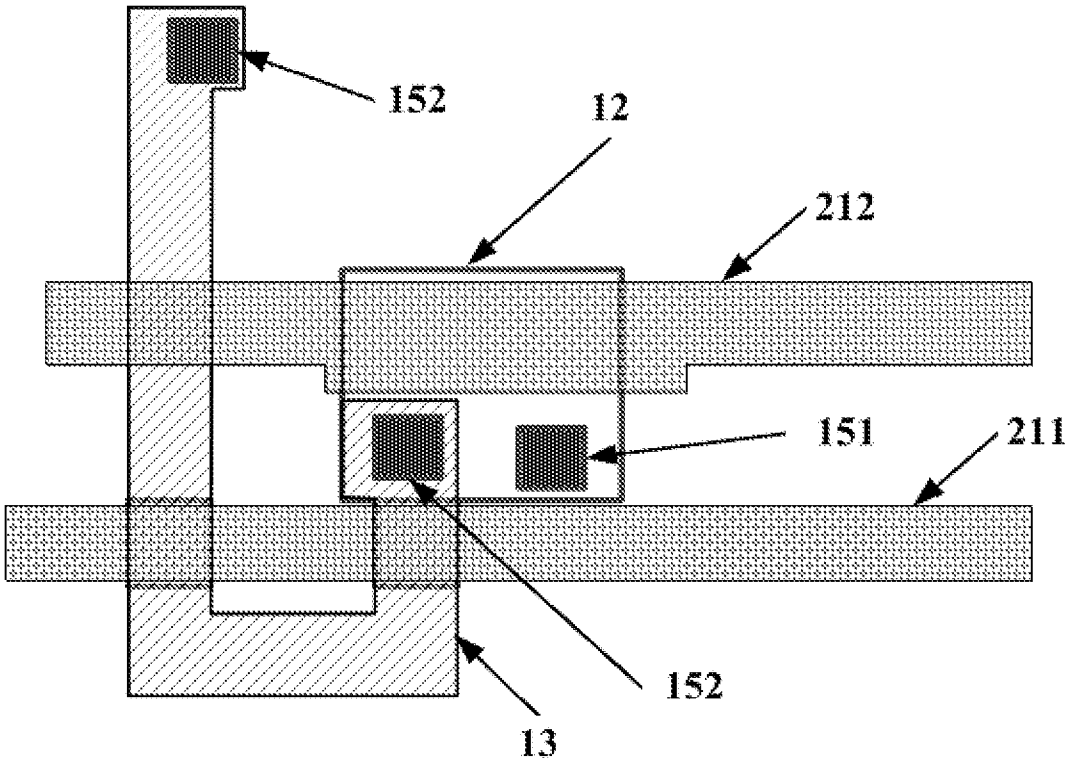


图 2（d）

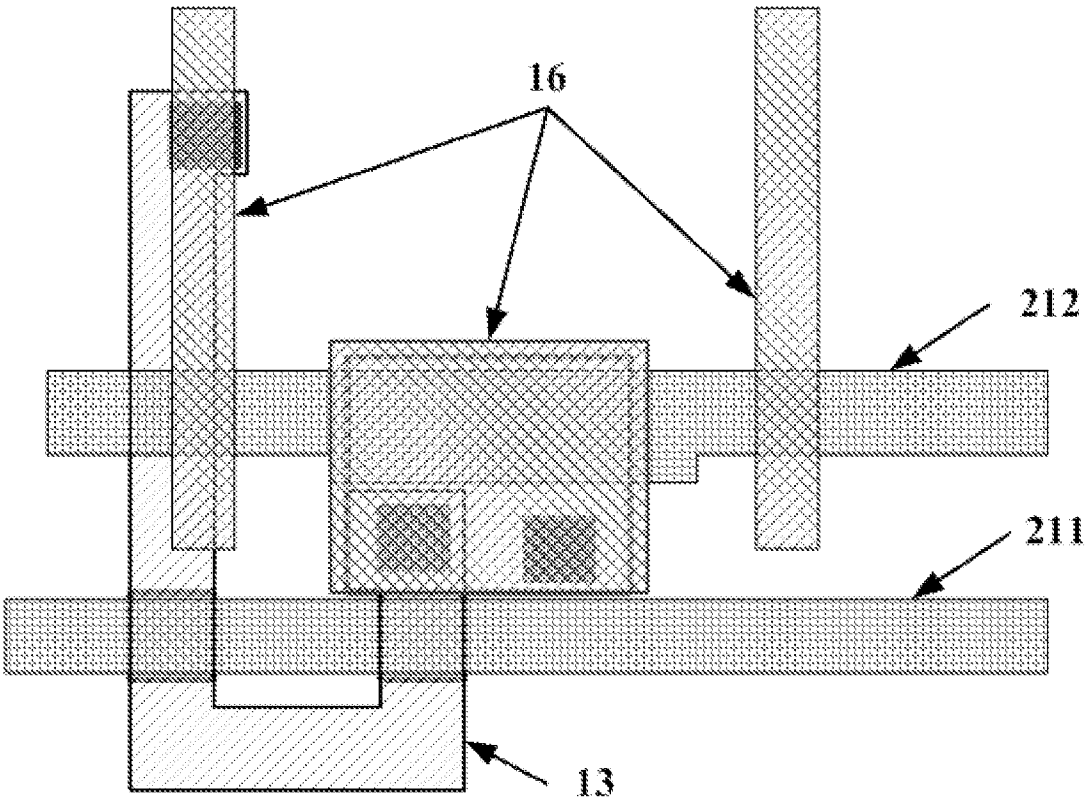


图 2（e）

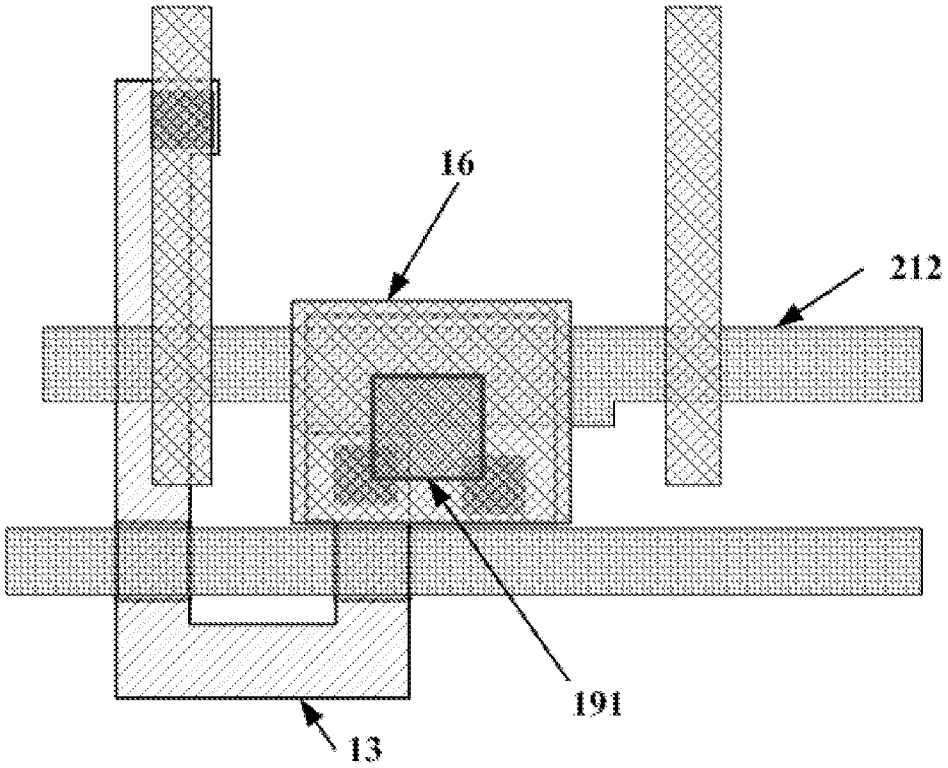


图 2（f）

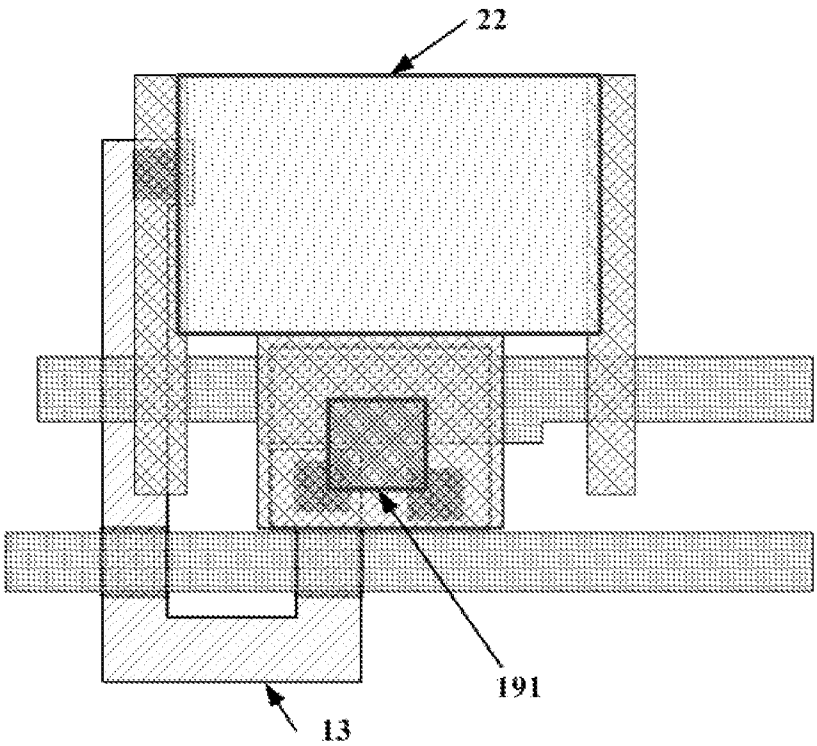


图 2（g）

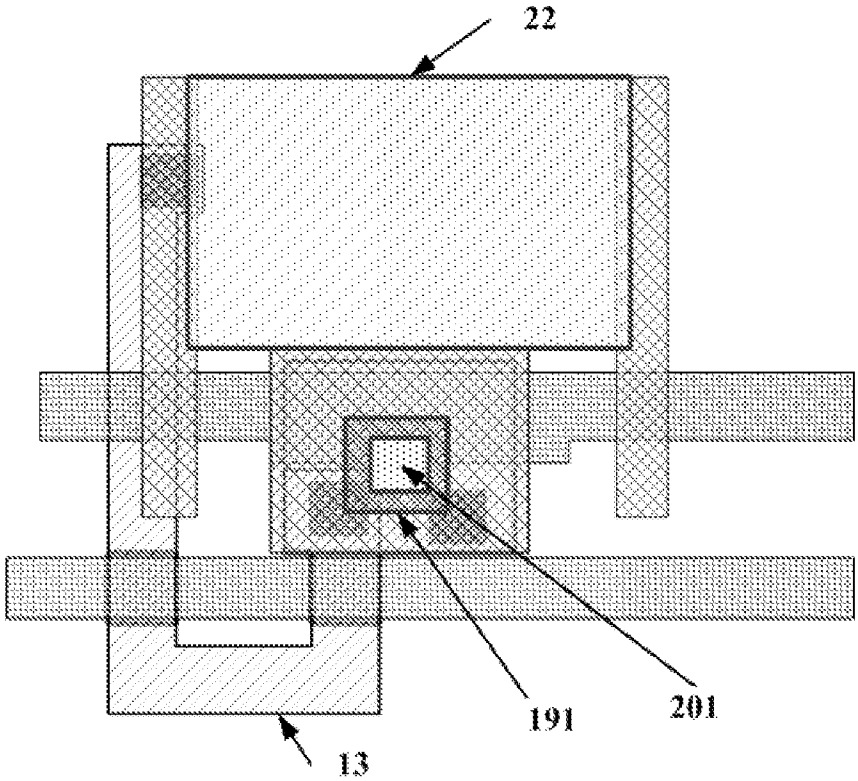


图 2（h）

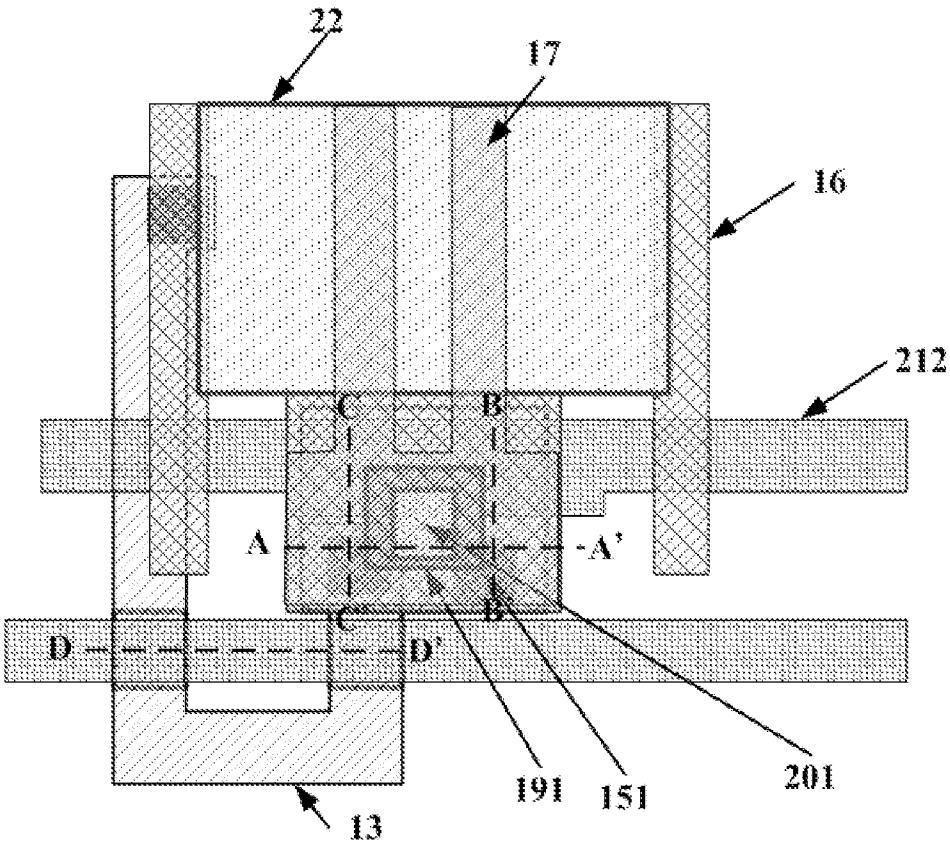


图 2（i）

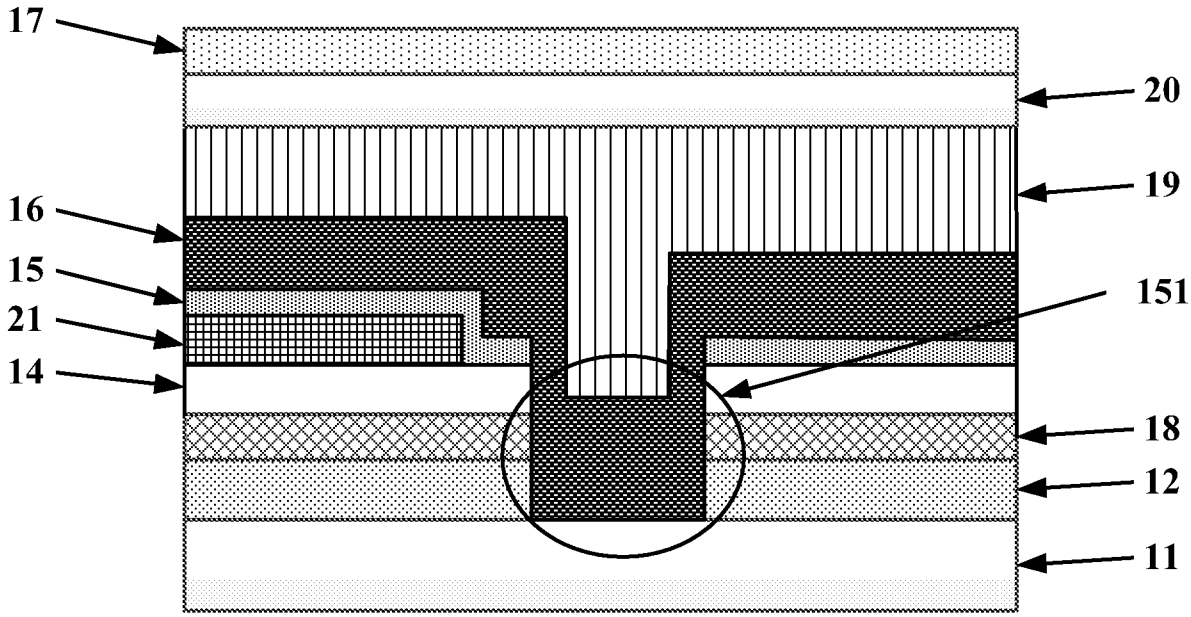


图 3

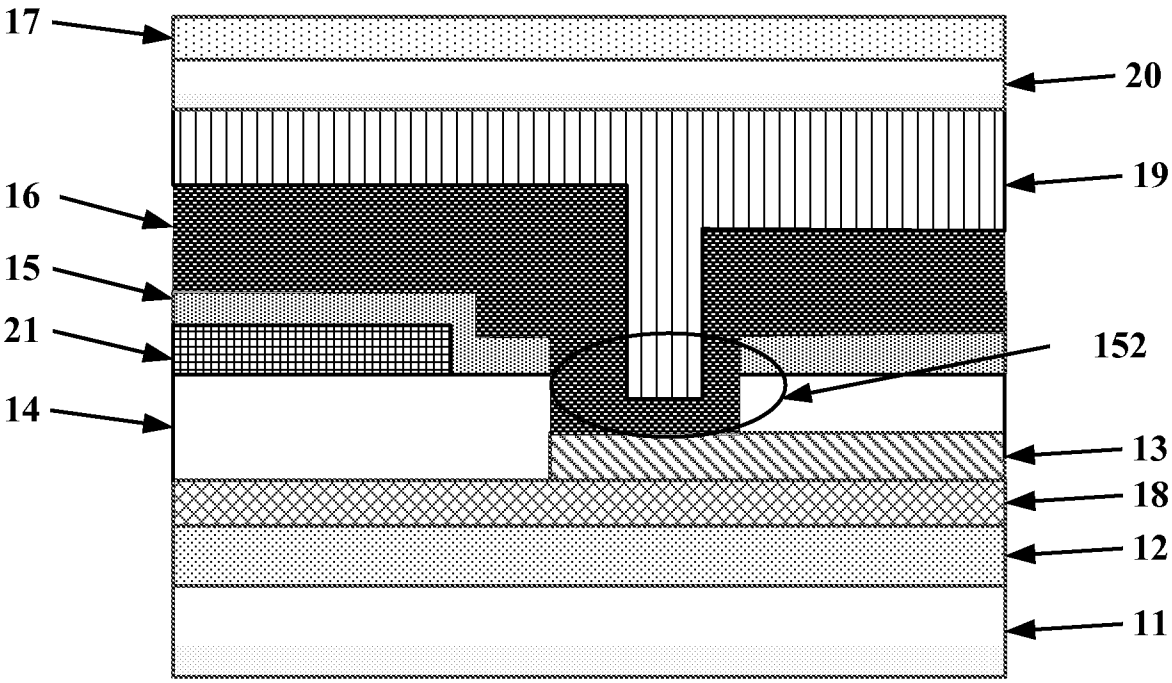


图 4

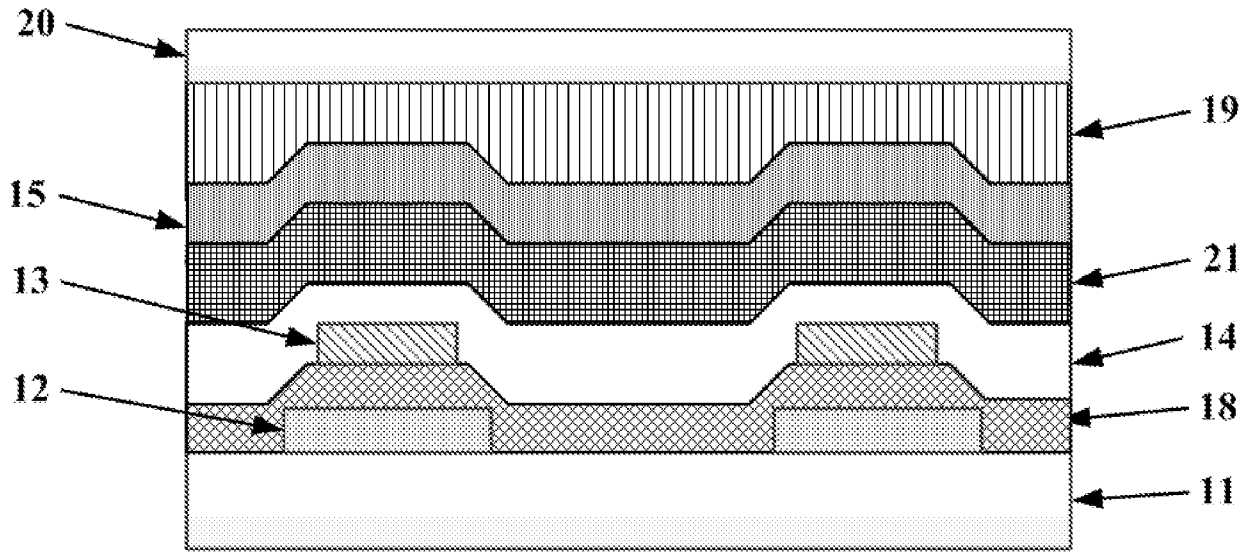


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/089316

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i; G02F 1/1362 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, DWPI: light shading, storage capacitance, array substrate, hole, through hole, shield, block, light, liquid crystal display, opening rate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 203521429 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 02 April 2014 (02.04.2014), the whole document	1-15
X	W0 2012102158 A1 (SHARP KK), 02 August 2012 (02.08.2012), see description, paragraphs [0025] and [0031]-[0061], and figures 3-7	1-15
A	CN 103268047 A (XIAMEN TIANMA MICROELECTRONICS CO. LTD.), 28 August 2013 (28.08.2013), the whole document	1-15

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 May 2014 (27.05.2014)	**18 June 2014 (18.06.2014)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **YANG, Zifang** Telephone No.: (86-10) **62411806**

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/089316

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 203521429 U	02 April 2014	None	
WO 2012102158 A1	02 August 2012	US 2013300968 A1	14 November 2013
CN 103268047 A	28 August 2013	None	

国际检索报告

国际申请号
PCT/CN2013/089316

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2006.01)i; G02F 1/1362(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,DWPI:阵列基板，孔，遮光，屏蔽，阻挡，开口率，存储电容，array substrate, hole,through hole,shield,block,light,liquid crystal display,opening rate

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
E	CN 203521429U (京东方科技集团股份有限公司等) 2014年 4月 02日 (2014-04-02) 全文	1-15
X	WO 2012102158A1 (SHARP KK) 2012年 8月 02日 (2012-08-02) 参见说明书第[0025]、[0031]-[0061]段，图3-7	1-15
A	CN 103268047A (厦门天马微电子有限公司) 2013年 8月 28日 (2013-08-28) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2014年 5月 27日	2014年 6月 18日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	杨子芳 电话号码 (86-10)62411806

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/089316

检索报告引用的专利文件	公布日（年/月/日）	同族专利	公布日（年/月/日）
CN 203521429U	2014年 4月 02日	无	
WO 2012102158A1	2012年 8月 02日	US 2013300968A1	2013年 11月 14日
CN 103268047A	2013年 8月 28日	无	