

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4501059号  
(P4501059)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl.		F I			
<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	G09G	3/30	J
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	624B
<b>H01L</b>	<b>51/50</b>	<b>(2006.01)</b>	G09G	3/20	670J
			H05B	33/14	A

請求項の数 6 (全 15 頁)

(21) 出願番号	特願2003-433630 (P2003-433630)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成15年12月26日(2003.12.26)	(74) 代理人	100082131 弁理士 稲本 義雄
(65) 公開番号	特開2005-189695 (P2005-189695A)	(72) 発明者	内野 勝秀 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(43) 公開日	平成17年7月14日(2005.7.14)	(72) 発明者	山下 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
審査請求日	平成18年6月30日(2006.6.30)	審査官	長井 真一

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

行状の走査線と列状の信号線とが交差する部分に各々配され、少くともサンプリングトランジスタと保持容量とドライブトランジスタと負荷素子とスイッチングトランジスタとからなり、

前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、

前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位を受け、且つ信号電位に応じてソース/ドレイン間に流れる電流で該負荷素子に通電し、

前記保持容量は一端が該サンプリングトランジスタのソース及び該ドライブトランジスタのゲートに接続し、他端が該ドライブトランジスタのソースに接続し、

前記スイッチングトランジスタは、サンプリング時オンして該ドライブトランジスタのソースとともに該保持容量の他端を接地電位に接続し、該負荷素子に対する通電時オフして該ドライブトランジスタのソースとともに該保持容量の他端を接地電位から切り離し、以って該負荷素子に対する通電に伴って上昇する該ドライブトランジスタのソース電位の変動を該ドライブトランジスタのゲートにフィードバックするブートストラップ動作を行なう画素回路であって、

前記保持容量は、電界効果型の第1容量素子及び第2容量素子を中間ノードで互いに直列接続したものから成り、

サンプリング時にあわせて、該第 1 容量素子及び第 2 容量素子の電界効果を維持するために必要な電位を該中間ノードにセットするセッティング用のトランジスタを備えていることを特徴とする画素回路。

【請求項 2】

前記第 1 容量素子は正側電極が該ドライブトランジスタのゲートに接続する一方負側電極が該中間ノードに接続し、前記第 2 容量素子は正側電極が該ドライブトランジスタのソースに接続する一方負側電極が該中間ノードに接続し、

前記セッティング用のトランジスタは、該第 1 容量素子及び第 2 容量素子の電界効果を維持するために必要な所定の負電位を該中間ノードにセットすることを特徴とする請求項 1 記載の画素回路。

10

【請求項 3】

前記第 1 容量素子は負側電極が該ドライブトランジスタのゲートに接続する一方正側電極が該中間ノードに接続し、前記第 2 容量素子は負側電極が該ドライブトランジスタのソースに接続する一方正側電極が該中間ノードに接続し、

前記セッティング用のトランジスタは、該第 1 容量素子及び第 2 容量素子の電界効果を維持するために必要な所定の正電位を該中間ノードにセットすることを特徴とする請求項 1 記載の画素回路。

【請求項 4】

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなる表示装置であって、

20

前記画素回路は、少くともサンプリングトランジスタと保持容量とドライブトランジスタと発光素子とスイッチングトランジスタとセッティング用トランジスタからなり、

前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、

前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位を受け、且つ信号電位に応じてソース/ドレイン間に流れる電流で該発光素子に通電し、

前記保持容量は一端が該サンプリングトランジスタのソース及び該ドライブトランジスタのゲートに接続し、他端が該ドライブトランジスタのソースに接続し、

前記スイッチングトランジスタは、サンプリング時オンして該ドライブトランジスタのソースとともに該保持容量の他端を接地電位に接続し、該発光素子に対する通電時オフして該ドライブトランジスタのソースとともに該保持容量の他端を接地電位から切り離し、以って該発光素子に対する通電に伴って上昇する該ドライブトランジスタのソース電位の変動を該ドライブトランジスタのゲートにフィードバックするブートストラップ動作を行ない、

30

前記保持容量は、電界効果型の第 1 容量素子及び第 2 容量素子を中間ノードで互いに直列接続したもから成り、

前記セッティング用トランジスタはサンプリング時にあわせて動作し、該第 1 容量素子及び第 2 容量素子の電界効果を維持するために必要な電位を該中間ノードにセットすることを特徴とする表示装置。

40

【請求項 5】

前記第 1 容量素子は正側電極が該ドライブトランジスタのゲートに接続する一方負側電極が該中間ノードに接続し、前記第 2 容量素子は正側電極が該ドライブトランジスタのソースに接続する一方負側電極が該中間ノードに接続し、

前記セッティング用のトランジスタは、該第 1 容量素子及び第 2 容量素子の電界効果を維持するために必要な所定の負電位を該中間ノードにセットすることを特徴とする請求項 4 記載の表示装置。

【請求項 6】

前記第 1 容量素子は負側電極が該ドライブトランジスタのゲートに接続する一方正側電極が該中間ノードに接続し、前記第 2 容量素子は負側電極が該ドライブトランジスタのソ

50

ースに接続する一方正側電極が該中間ノードに接続し、

前記セッティング用のトランジスタは、該第1容量素子及び第2容量素子の電界効果を維持するために必要な所定の正電位を該中間ノードにセットすることを特徴とする請求項4記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した負荷素子を電流駆動する画素回路に関する。又この画素回路がマトリクス状に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機EL発光素子などの負荷素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

10

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が速いなどの利点を有する。又、各発光素子の輝度レベル(階調)はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

20

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子(一般には薄膜トランジスタ, TFT)によって制御するものである。

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、行状の走査線と列状の信号線とが交差する部分に各々配されている。各画素回路は、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子などの負荷素子とを含んでいる。サンプリングトランジスタは、そのゲートが走査線によって選択された時ソース/ドレイン間が導通して信号線から映像信号をサンプリングする。サンプリングされた信号は保持容量に書き込まれ保持される。ドライブトランジスタは、そのゲートが保持容量に接続され、ソース/ドレインの片方が発光素子などの負荷素子に接続している。ドライブトランジスタのゲートは、保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受ける。ドライブトランジスタはこの順バイアスに応じてソース/ドレイン間に電流を流し、発光素子に通電する。一般に発光素子の輝度は通電量に比例している。更にドライブトランジスタの通電量は保持容量に書き込まれた信号電位によって制御される。従って、発光素子は映像信号に応じた輝度で発光することになる。

40

【0005】

ドライブトランジスタの動作特性は以下の式で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

このトランジスタ特性式において、 $I_{ds}$ はドレイン電流を表わしている。 $V_{gs}$ はソースを基準としてゲートに印加される電圧を表わしている。 $V_{th}$ はトランジスタの閾電

50

圧である。その他  $\mu$  はトランジスタのチャネルを構成する半導体薄膜の移動度を表わし、 $W$  はチャネル幅を表わし、 $L$  はチャネル長を表わし、 $C_{ox}$  はゲート容量を表わしている。このトランジスタ特性式から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧  $V_{gs}$  が閾電圧  $V_{th}$  を超えて正側に大きくなると、オン状態となってドレイン電流  $I_{ds}$  が流れる。換言すると順バイアス ( $V_{gs}$ ) が閾電圧 ( $V_{th}$ ) を超えるとオン状態となる。逆に  $V_{gs}$  が  $V_{th}$  を下回ると薄膜トランジスタはカットオフし、ドレイン電流  $I_{ds}$  は流れなくなる。

【0006】

ところで、有機 EL 素子などの発光素子は、必ずしも電流 - 電圧特性が安定ではなく、経時的に劣化する傾向にある。この経時劣化によりドライブトランジスタの動作点の変動してしまい、同じ信号電圧をゲートに印加していてもそのソース電位が変動する。これは、ドライブトランジスタで構成される定電流源がソースフォロワ回路となっている為である。ソース電位が変動する為、結局ドライブトランジスタのゲート電圧  $V_{gs}$  は変化してしまい、ドレイン電流  $I_{ds}$  の値が変動する。これにより、発光素子に対する通電量が変化するので、発光輝度も変化することになる。この様に、発光素子の電流 - 電圧特性が劣化すると、ソースフォロワ回路では発光輝度が経時変化するという課題がある。

【課題を解決するための手段】

【0007】

上述した従来の技術の課題に鑑み、本発明は発光素子など負荷素子の電流 - 電圧特性の経時劣化を回路的に補正可能な画素回路及び表示装置とこれらの駆動方法を提供することを目的とする。係る目的を達成する為に以下の手段を講じた。即ち本発明は、行状の走査線と列状の信号線とが交差する部分に各々配され、少くともサンプリングトランジスタと保持容量とドライブトランジスタと負荷素子とスイッチングトランジスタとからなり、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位を受け、且つ信号電位に応じてソース/ドレイン間に流れる電流で該負荷素子に通電し、前記保持容量は一端が該サンプリングトランジスタのソース及び該ドライブトランジスタのゲートに接続し、他端が該ドライブトランジスタのソースに接続し、前記スイッチングトランジスタは、サンプリング時オンして該ドライブトランジスタのソースとともに該保持容量の他端を接地電位に接続し、該負荷素子に対する通電時オフして該ドライブトランジスタのソースとともに該保持容量の他端を接地電位から切り離し、以って該負荷素子に対する通電に伴って上昇する該ドライブトランジスタのソース電位の変動を該ドライブトランジスタのゲートにフィードバックするブートストラップ動作を行なう画素回路であって、前記保持容量は、電界効果型の第 1 容量素子及び第 2 容量素子を中間ノードで互いに直列接続したものから成り、サンプリング時にあわせて、該第 1 容量素子及び第 2 容量素子の電界効果を維持するために必要な電位を該中間ノードにセットするセッティング用のトランジスタを備えていることを特徴とする。

【0008】

一態様では、前記第 1 容量素子は正側電極が該ドライブトランジスタのゲートに接続する一方負側電極が該中間ノードに接続し、前記第 2 容量素子は正側電極が該ドライブトランジスタのソースに接続する一方負側電極が該中間ノードに接続し、前記セッティング用のトランジスタは、該第 1 容量素子及び第 2 容量素子の電界効果を維持するために必要な所定の負電位を該中間ノードにセットする。他の態様では、前記第 1 容量素子は負側電極が該ドライブトランジスタのゲートに接続する一方正側電極が該中間ノードに接続し、前記第 2 容量素子は負側電極が該ドライブトランジスタのソースに接続する一方正側電極が該中間ノードに接続し、前記セッティング用のトランジスタは、該第 1 容量素子及び第 2 容量素子の電界効果を維持するために必要な所定の正電位を該中間ノードにセットする。

【0009】

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画

10

20

30

40

50

素回路とからなる表示装置であって、前記画素回路は、少くともサンプリングトランジスタと保持容量とドライブトランジスタと発光素子とスイッチングトランジスタとセッティング用トランジスタからなり、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位を受け、且つ信号電位に応じてソース/ドレイン間に流れる電流で該発光素子に通電し、前記保持容量は一端が該サンプリングトランジスタのソース及び該ドライブトランジスタのゲートに接続し、他端が該ドライブトランジスタのソースに接続し、前記スイッチングトランジスタは、サンプリング時オンして該ドライブトランジスタのソースとともに該保持容量の他端を接地電位に接続し、該発光素子に対する通電時オフして該ドライブトランジスタのソースとともに該保持容量の他端を接地電位から切り離し、以って該発光素子に対する通電に伴って上昇する該ドライブトランジスタのソース電位の変動を該ドライブトランジスタのゲートにフィードバックするブートストラップ動作を行ない、前記保持容量は、電界効果型の第1容量素子及び第2容量素子を中間ノードで互いに直列接続したもので成り、前記セッティング用トランジスタはサンプリング時に合わせて動作し、該第1容量素子及び第2容量素子の電界効果を維持するために必要な電位を該中間ノードにセットすることを特徴とする。

10

**【0010】**

一態様では、前記第1容量素子は正側電極が該ドライブトランジスタのゲートに接続する一方負側電極が該中間ノードに接続し、前記第2容量素子は正側電極が該ドライブトランジスタのソースに接続する一方負側電極が該中間ノードに接続し、前記セッティング用のトランジスタは、該第1容量素子及び第2容量素子の電界効果を維持するために必要な所定の負電位を該中間ノードにセットする。他の態様では、前記第1容量素子は負側電極が該ドライブトランジスタのゲートに接続する一方正側電極が該中間ノードに接続し、前記第2容量素子は負側電極が該ドライブトランジスタのソースに接続する一方正側電極が該中間ノードに接続し、前記セッティング用のトランジスタは、該第1容量素子及び第2容量素子の電界効果を維持するために必要な所定の正電位を該中間ノードにセットする。

20

**【発明の効果】****【0011】**

本発明によれば、画素回路にブートストラップ機能を組み込んでいる。すなわちスイッチングトランジスタは、映像信号のサンプリング時オンしてドライブトランジスタのソースとともに保持容量を接地電位に接続し、サンプリングした映像信号を保持容量に書き込む一方、負荷素子に対する通電時オフしてドライブトランジスタのソースとともに保持容量を接地電位から切り離す。この結果、負荷素子に対する通電に伴って上昇するドライブトランジスタのソース電位の変動をドライブトランジスタのゲートにフィードバックする。このブートストラップ機能により、有機EL発光素子などの負荷素子を定電流で駆動でき、発光素子の電流-電圧特性の経時変化による輝度劣化を防ぐことが可能になる。その際、保持容量として、電界効果型の第1容量素子及び第2容量素子を中間ノードで互いに直列接続したものをを用いる。サンプリング時に合わせて、第1容量素子及び第2容量素子の電界効果を維持する為に必要な電位を中間ノードにセットする。これにより、通常の薄膜型の保持容量に代えてコスト的に有利な電界効果型の容量素子を用いることが可能になる。

30

40

**【発明を実施するための最良の形態】****【0012】**

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにする為、図1を参照してアクティブマトリクス表示装置及びこれに含まれる画素回路の一般的な構成を参考例として説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路群とで構成されている。周辺の回路群は水平セクタ2、ドライブスキャナ3、ライトスキャナ4などを含んでいる。

**【0013】**

50

画素アレイ 1 は行状の走査線  $W S$  と列状の信号線  $D L$  と両者の交差する部分にマトリクス状に配列した画素回路 5 とで構成されている。信号線  $D L$  は水平セクタ 2 によって駆動される。走査線  $W S$  はライトスキャナ 4 によって走査される。尚、走査線  $W S$  と平行に別の走査線  $D S$  も配線されており、これはドライブスキャナ 3 によって走査される。各画素回路 5 は、走査線  $W S$  によって選択された時信号線  $D L$  から信号をサンプリングする。更に走査線  $D S$  によって選択された時、該サンプリングされた信号に応じて負荷素子を駆動する。この負荷素子は各画素回路 5 に形成された電流駆動型の発光素子などである。

【 0 0 1 4 】

図 2 は、図 1 に示した画素回路 5 の基本的な構成を示す参考図である。本画素回路 5 は、サンプリング用薄膜トランジスタ (サンプリングトランジスタ  $T r 1$ )、ドライブ用薄膜トランジスタ (ドライブトランジスタ  $T r 2$ )、スイッチング用薄膜トランジスタ (スイッチングトランジスタ  $T r 3$ )、保持容量  $C s$ 、負荷素子 (有機  $E L$  発光素子) などで構成されている。

【 0 0 1 5 】

サンプリングトランジスタ  $T r 1$  は走査線  $W S$  によって選択された時導通し、信号線  $D L$  から映像信号をサンプリングして保持容量  $C s$  に保持する。ドライブトランジスタ  $T r 2$  は保持容量  $C s$  に保持された信号電位に応じて発光素子  $E L$  に対する通電量を制御する。スイッチングトランジスタ  $T r 3$  は走査線  $D S$  によって制御され、発光素子  $E L$  に対する通電をオン / オフする。すなわち、ドライブトランジスタ  $T r 2$  は通電量に応じて発光素子  $E L$  の発光輝度 (明るさ) を制御する一方、スイッチングトランジスタ  $T r 3$  は発光素子  $E L$  の発光時間を制御している。これらの制御により、各画素回路 5 に含まれる発光素子  $E L$  は映像信号に応じた輝度を呈し、画素アレイ 1 に所望の表示が映し出される。

【 0 0 1 6 】

図 3 は、図 2 に示した画素アレイ 1 及び画素回路 5 の動作説明に供するタイミングチャートである。1 フィールド期間 (  $1 f$  ) の先頭で、1 水平期間 (  $1 H$  ) の間 1 行目の画素回路 5 に走査線  $W S$  を介して選択パルス  $w s [ 1 ]$  が印加され、サンプリングトランジスタ  $T r 1$  が導通する。これにより信号線  $D L$  から映像信号がサンプリングされ、保持容量  $C s$  に書き込まれる。保持容量  $C s$  の一端はドライブトランジスタ  $T r 2$  のゲートに接続している。従って、映像信号が保持容量  $C s$  に書き込まれると、ドライブトランジスタ  $T r 2$  のゲート電位が、書き込まれた信号電位に応じて上昇する。この時、他の走査線  $D S$  を介してスイッチングトランジスタ  $T r 3$  に選択パルス  $d s [ 1 ]$  が印加される。この間発光素子  $E L$  は発光を続ける。1 フィールド期間  $1 f$  の後半は  $d s [ 1 ]$  がローレベルになるので発光素子  $E L$  は非発光状態となる。パルス  $d s [ 1 ]$  のデューティを調整することで、発光期間と非発光期間の割合を調整でき、所望の画面輝度が得られる。次の水平期間に移行すると、2 行目の画素回路に対し、各走査線  $W S$ 、 $D S$  からそれぞれ走査用の信号パルス  $w s [ 2 ]$ 、 $d s [ 2 ]$  が印加される。

【 0 0 1 7 】

図 4 は、発光素子として画素回路 5 に組み込まれる有機  $E L$  素子の電流 - 電圧 (  $I - V$  ) 特性の経時変化を示すグラフである。グラフにおいて、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に、有機  $E L$  素子の  $I - V$  特性は、グラフに示す様に時間が経過すると劣化してしまう。図 2 に示した参考例の画素回路はドライブトランジスタがソースフォロウ構成となっており、 $E L$  素子の  $I - V$  特性の経時変化に対処できず、発光輝度の劣化が生じるという問題がある。

【 0 0 1 8 】

図 5 の ( A ) は、初期状態におけるドライブトランジスタ  $T r 2$  と発光素子  $E L$  の動作点を示すグラフである。図において、縦軸はドライブトランジスタ  $T r 2$  のドレイン・ソース間電圧  $V d s$  を示し、縦軸はドレイン・ソース間電流  $I d s$  を示している。図示する様に、ソース電位はドライブトランジスタ  $T r 2$  と発光素子  $E L$  との動作点で決まり、その電圧値はゲート電圧によって異なる値を持つ。ドライブトランジスタ  $T r 2$  は飽和領域で動作するので、動作点のソース電圧に対応した  $V g s$  に関し、前述のトランジスタ特性

10

20

30

40

50

式で規定された電流値の駆動電流  $I_{ds}$  を流す。

【0019】

しかしながら発光素子  $E_L$  の  $I - V$  特性は図4に示した様に経時劣化する。図5の(B)に示す様に、この経時劣化により動作点に変化してしまい、同じゲート電圧を印加してもトランジスタのソース電圧は変化してしまう。これによりドライブトランジスタ  $Tr_2$  のゲート・ソース間電圧  $V_{gs}$  は変化してしまい、流れる電流値が変動する。同時に発光素子  $E_L$  に流れる電流値も変化する。この様に発光素子  $E_L$  の  $I - V$  特性が変化すると、図2に示した参考例のソースフォロワ構成の画素回路では、発光素子  $E_L$  の輝度が経時的に変化してしまうという問題がある。

【0020】

図6は画素回路の他の参考例を表わしており、図2に示した先の参考例の問題点に対処したものである。理解を容易にする為、図2の参考例と対応する部分には対応する参照符号を付けてある。改良点は、スイッチングトランジスタ  $Tr_3$  の結線を代えたことであり、これによりブートストラップ機能を実現している。具体的には、スイッチングトランジスタ  $Tr_3$  のソースは接地され、ドレインはドライブトランジスタ  $Tr_2$  のソース(S)と保持容量  $C_s$  の一方の電極とに接続され、ゲートには走査線  $DS$  が接続している。尚保持容量  $C_s$  の他方の電極はドライブトランジスタ  $Tr_2$  のゲート(G)に接続されている。

【0021】

図7は、図6に示した画素回路5の動作説明に供するタイミングチャートである。フィールド期間  $1f$  のうち最初の水平期間  $1H$  で、ライトスキャナ4から走査線  $WS$  を介して1行目の画素回路5に選択パルス  $ws[1]$  が送られる。尚[ ]の中の数字は、マトリクス配置された画素回路の行番号に対応している。選択パルスが印加されるとサンプリングトランジスタ  $Tr_1$  が導通し、信号線  $DL$  から入力信号  $V_{in}$  がサンプリングされ、保持容量  $C_s$  に書き込まれる。この時スイッチングトランジスタ  $Tr_3$  にはドライブスキャナ3から走査線  $DS$  を介して選択パルス  $ds[1]$  が印加されており、オン状態となっている。従って保持容量  $C_s$  の片方の電極並びにドライブトランジスタ  $Tr_2$  のソース(S)は  $GND$  レベルとなっている。この  $GND$  レベルを基準として保持容量  $C_s$  に入力信号  $V_{in}$  が書き込まれる為、ドライブトランジスタ  $Tr_2$  のゲート電位(G)は  $V_{in}$  になる。

【0022】

この後サンプリングトランジスタ  $Tr_1$  に対する選択パルス  $ws[1]$  が解除され、続いてスイッチングトランジスタ  $Tr_3$  に対する選択パルス  $ds[1]$  も解除される。これによりサンプリングトランジスタ  $Tr_1$  及びスイッチングトランジスタ  $Tr_3$  はオフする。従ってドライブトランジスタ  $Tr_2$  のソース(S)は  $GND$  から切り離され、発光素子  $E_L$  のアノードに対する接続ノードとなる。

【0023】

ドライブトランジスタ  $Tr_2$  は保持容量  $C_s$  に保持された入力信号  $V_{in}$  をゲートに受け、その値に応じてドレイン電流を  $V_{cc}$  側から  $GND$  側に向かって流す。この通電により発光素子  $E_L$  は発光を行なう。その際、発光素子  $E_L$  に対する通電により電圧降下が生じるが、その分だけソース電位(S)が  $GND$  側から  $V_{cc}$  側に向かって上昇する。図7のタイミングチャートではこの上昇分を  $V$  で表わしている。保持容量  $C_s$  の一端は  $Tr_2$  のソース(S)に接続され、他端はハイインピーダンスのゲート(G)に接続されている。従ってソース電位(S)が  $V$  だけ上昇するとその分だけゲート電位(G)も持ち上がり、正味の入力信号  $V_{in}$  はそのまま維持される。従って、発光素子  $E_L$  の電流 - 電圧特性に応じてソース電位(S)が  $V$  だけ変動しても、常にゲート電圧  $V_{gs} = V_{in}$  が成立し、ドレイン電流は一定に保たれる。すなわちドライブトランジスタ  $Tr_2$  はソースフォロワ構成であるにも関わらず、上述したブートストラップ機能により、発光素子  $E_L$  に対し定電流源として機能する。

【0024】

10

20

30

40

50

この後選択パルス  $d s [ 1 ]$  がハイレベルに復帰するとスイッチングトランジスタ  $T r 3$  が導通し、発光素子  $E L$  に供給されるべき電流はバイパスされるので非発光状態になる。この様にしてフィールド期間  $1 f$  が終了すると、次のフィールド期間に入り、再びサンプリングトランジスタ  $T r 1$  に選択パルス  $w s [ 1 ]$  が印加され入力映像信号  $V i n *$  のサンプリングが行なわれる。先のフィールド期間と今回のフィールド期間ではサンプリングされる映像信号のレベルが異なる場合があるので、これを区別する為入力映像信号  $V i n$  に  $*$  印を付してある。尚、この様な映像信号の書き込み及び発光動作は線順次（行単位）で行なわれる。この為画素の各行に対し選択パルス  $w s [ 1 ]$ 、 $w s [ 2 ]$ ・・・が順次印加されることになる。同様に選択パルス  $d s [ 1 ]$ 、 $d s [ 2 ]$ ・・・も順次印加されることになる。

10

## 【 0 0 2 5 】

図 8 の ( A ) は、図 6 に示した保持容量  $C s$  の断面構造を表わしている。合わせて、保持容量  $C s$  に接続したサンプリングトランジスタ  $T r 1$  の構造も示してある。図示する様に、サンプリングトランジスタ  $T r 1$  は薄膜型の電界効果トランジスタ ( T F T ) である。この T F T と同一のプロセスで作成できる様に、保持容量  $C s$  も薄膜構造としてある。具体的には、ガラスなどの絶縁性基板 1 0 の上に金属膜でゲート電極 1 1 が形成されている。これを被覆する様に二酸化シリコンなどのゲート絶縁膜 1 2 が形成されており、その上にアモルファスシリコン膜又はポリシリコン膜などの半導体膜 1 3 が形成されている。更にその上にアルミニウムなどでドレイン電極 1 4 及びソース電極 1 5 が形成されている。係る積層構造により、ボトムゲート型のサンプリングトランジスタ  $T r 1$  が構成されている。

20

## 【 0 0 2 6 】

一方保持容量  $C s$  は、一对の電極 1 6 , 1 7 とその間に保持された誘電体層としての絶縁膜 1 2 とで構成されている。その際、下側の電極 1 6 はゲート電極 1 1 と同時にパタニング形成される。又絶縁膜 1 2 はトランジスタ  $T r 1$  側ではゲート絶縁膜として機能し、保持容量  $C s$  側では誘電体膜として機能している。上側の電極 1 7 はソース電極 1 5 と同時に形成される。

## 【 0 0 2 7 】

しかしながら、上側電極 1 7 を形成する際、あらかじめ不要な半導体膜 1 3 を保持容量  $C s$  が形成される部分からエッチングで除去しておく必要がある。このエッチング処理を行なう為追加の工程が必要となり、工程合理化の観点から問題となっている。

30

## 【 0 0 2 8 】

( B ) は、( A ) に示した薄膜型の保持容量  $C s$  に代えて、電界効果型の保持容量  $C s$  を用いた例を表わしている。尚理解を容易にする為、( A ) に示した部分と対応する部分には対応する参照番号を付してある。図示する様に、電界効果型の保持容量  $C s$  は、正側電極 1 6 と負側電極 1 7 と両電極の間に保持された絶縁膜 1 2 とで構成されている。正側電極 1 6 はトランジスタ  $T r 1$  のゲート電極 1 1 と同時にパタニング形成され、負側電極 1 7 はトランジスタ  $T r 1$  のドレイン電極 1 4 やソース電極 1 5 と同時にパタニング形成される。( A ) に示した通常の保持容量  $C s$  と異なり、電界効果型の保持容量  $C s$  は半導体薄膜 1 3 を除去する必要がない為、追加のエッチング工程は必要ない。従って、通常の薄膜型保持容量に比べ、製造プロセスの合理化を図ることができる。

40

## 【 0 0 2 9 】

ところで、( B ) に示した電界効果型の保持容量  $C s$  は、正側電極 1 6 と負側電極 1 7 の間に、誘電体として機能する絶縁膜 1 2 に加え N 型の半導体膜 1 3 が介在している。係る構造を有する電界効果型の保持容量を電氣的に機能させる為には、N 型の半導体膜 1 3 を電極化する必要がある。換言すると、半導体膜 1 3 を反転化して空乏層を形成する必要がある。その為、負側電極 1 7 には正側電極 1 6 に対して少なくとも半導体膜 1 3 の反転化に必要な所定の閾電圧よりも低い負電位を印加する必要がある。

## 【 0 0 3 0 】

ところが図 6 に示した参考例に係る画素回路を見ると、保持容量  $C s$  には所定の映像信

50

号が書き込まれる。この映像信号は0Vから十数Vの間で変化する。この様な状況で、通常の薄膜保持容量を電界効果型の保持容量に取り換えても、書き込まれる映像信号のレベルが0Vに近い場合、正側電極と負側電極との間で必要な電位差を確保できない為、電界効果型の保持容量は電氣的なキャパシタとして機能しないばかりでなく、リークが生じ画品位の低下を招く。

#### 【0031】

本発明は係る状況に基づいて成されたものであり、ブートストラップ機能を備えた画素回路で、保持容量を製造プロセス上有利な電界効果型に置き換えることを目的とする。図9は、係る目的を達成する為に成された本発明の実施形態に係る画素回路を示している。図示する様に、本画素回路は、行状の走査線WS、DSと列状の信号線DLとが交差する部分に配され、少くともサンプリングトランジスタTr1と保持容量CsとドライブトランジスタTr2と負荷素子ELとスイッチングトランジスタTr3とからなる。サンプリングトランジスタTr1は、ゲートが走査線WSによって選択された時ソース/ドレイン間が導通して、信号線DLから映像信号Vsigをサンプリングし且つサンプリングした映像信号Vsigを保持容量Csに保持させる。ドライブトランジスタTr2は、ゲート(G)が保持容量Csに保持された信号電位を受け、且つ信号電位に応じてソース(S)/ドレイン間に流れる電流で負荷素子ELに通電する。保持容量Csは、一端がサンプリングトランジスタTr1のソース及びドライブトランジスタTr2のゲート(G)に接続し、他端がドライブトランジスタTr2のソース(S)に接続している。スイッチングトランジスタTr3は、サンプリング時オンしてドライブトランジスタTr2のソース(S)とともに保持容量Csの他端を接地電位Vssに接続する。スイッチングトランジスタTr3は、負荷素子ELに対する通電時オフして、ドライブトランジスタTr2のソース(S)とともに保持容量Csの他端を接地電位Vssから切り離し、以って負荷素子ELに対する通電に伴って上昇するドライブトランジスタTr2のソース(S)電位の変動をドライブトランジスタTr2のゲート(G)にフィードバックするブートストラップ動作を行なう。

#### 【0032】

本発明の特徴事項として、保持容量Csは、電界効果型の第1容量素子Cs1及び第2容量素子Cs2を中間ノード(X)で互いに直列接続したものである。又、この中間ノード(X)にはセッティング用のトランジスタTr4が接続されている。トランジスタTr4はサンプリング時に合わせて動作し、第1容量素子Cs1及び第2容量素子Cs2の電界効果を維持する為に必要な電位-Vxを中間ノード(X)にセットする。第1容量素子Cs1に着目すると、このセッティング電位-Vxは、映像信号Vsigの電位からCs1の閾電圧を差し引いた値よりも低く設定される。第2容量素子Cs2に着目すると、このセッティング電圧-Vxは、接地電位VssからCs2の閾電圧を差し引いた値よりも低い電圧に設定される。

#### 【0033】

図9を具体的に見ると、第1容量素子Cs1は正側電極(+)がドライブトランジスタTr2のゲート(G)に接続する一方、負側電極(-)が中間ノード(X)に接続する。第2容量素子Cs2は正側電極(+)がドライブトランジスタTr2のソース(S)に接続する一方、負側電極(-)が中間ノード(X)に接続する。セッティング用のトランジスタTr4は、第1容量素子Cs1及び第2容量素子Cs2の電界効果を維持する為に必要な所定の負電位-Vxを中間ノード(X)にセットしている。

#### 【0034】

図10は、図9に示した画素回路の動作説明に供するタイミングチャートである。理解を容易にする為、図7に示した参考例のタイミングチャートと対応する部分には対応する参照符号を付してある。図10のタイミングチャートはドライブトランジスタのゲート電位(G)及びソース電位(S)に加え、保持容量の中間電位(X)も挙げてある。まず信号書込期間に入るとパルスwsに反応してサンプリングトランジスタTr1がオンし、入力信号Vin=Vgsが保持容量Csに書き込まれる。この時同時にゲートパルスwsに

10

20

30

40

50

応答してトランジスタ $T r 4$ が導通し、保持容量 $C s$ の中間ノード( $X$ )に所定のセッティング電位 $-V_x$ が書き込まれる。その後発光期間に移るとゲートパルス $d_s$ が立ち下がり、ブートストラップ動作が行なわれる。これによりドライブトランジスタ $T r 2$ のソース電位( $S$ )及びゲート電位( $G$ )が共に $V$ だけ上昇する。この時同時に中間電位( $X$ )も $V$ だけ上昇する。この様に、ブートストラップ動作に入ってもゲート電位、ソース電位及び中間電位の相対的なレベル関係は維持される。この結果、電界効果型の容量素子 $C s 1$ 及び $C s 2$ は電氣的に全タイミング及び全動作点でキャパシタとして働く。

【0035】

図11は、図9に示した画素回路の具体的な構成を示す要部断面図である。図示する様に、ガラスなどの絶縁性基板10の上にサンプリングトランジスタ $T r 1$ 、第1容量素子 $C s 1$ 及び第2容量素子 $C s 2$ が形成されている。サンプリングトランジスタ $T r 1$ はゲート電極11とその上に形成されたゲート絶縁膜12とその上に形成された半導体膜13とその上に形成されたドレイン電極14及びソース電極15とからなる。第1容量素子 $C s 1$ は、正側電極16と負側電極17と両者の間に保持された絶縁膜12及び半導体膜13とで構成されている。正側電極16は半導体膜13及び絶縁膜12に開口したコンタクトホールを介してサンプリングトランジスタ $T r 1$ のソース電極15に接続している。第1容量素子 $C s 1$ の負側電極17は延設されており第2容量素子 $C s 2$ の同じく負側電極となっている。図示しないが、この負側電極17は中間ノード( $X$ )を介してセッティング用トランジスタ $T r 4$ に接続している。第2容量素子 $C s 2$ の負側電極17の下方には半導体薄膜13及び絶縁膜12を間にして正側電極16が形成されている。図示しないが、この正側電極16はスイッチングトランジスタ $T r 3$ のドレインに接続されている。

【0036】

図11から明らかな様に、トランジスタ $T r 1$ のゲート電極11、第1容量素子 $C s 1$ の正側電極16及び第2容量素子 $C s 2$ の正側電極16は、全て同一層の金属膜で形成されている。又サンプリングトランジスタ $T r 1$ のドレイン電極14及びソース電極15と、第1容量素子 $C s 1$ 及び第2容量素子 $C s 2$ の負側電極17は共に同一の金属層で形成されている。

【0037】

図12は、本発明に係る画素回路の他の実施形態を示す回路図である。理解を容易にする為、図9に示した先の実施形態と対応する部分には対応する参照番号を付してある。異なる点は、電界効果型の容量素子 $C s 1$ 、 $C s 2$ の結線の極性が逆転していることである。すなわち第1容量素子 $C s 1$ は負側電極(-)がドライブトランジスタ $T r 2$ のゲート( $G$ )に接続する一方正側電極(+)が中間ノード( $X$ )に接続する。第2容量素子 $C s 2$ は負側電極(-)がドライブトランジスタ $T r 2$ のソース( $S$ )に接続する一方正側電極(+)が中間ノード( $X$ )に接続する。セッティング用のトランジスタ $T r 4$ は、第1容量素子 $C s 1$ 及び第2容量素子 $C s 2$ の電界効果を維持する為に必要な所定の正電位 $+V_x$ を中間ノード( $X$ )にセットする。

【0038】

図13は、図12に示した画素回路の具体的な構成を示す要部断面図であり、サンプリングトランジスタ $T r 1$ と第1容量素子 $C s 1$ 及び第2容量素子 $C s 2$ を表わしている。理解を容易にする為、図11に示した先の実施形態と対応する部分には対応する参照番号を付してある。トランジスタ $T r 1$ のソース電極15が延設されて、第1容量素子 $C s 1$ の負側電極17を構成している。その下方には半導体膜13及び絶縁膜12を介して $C s 1$ の正側電極16が配されている。この正側電極16は延設されており、第2容量素子 $C s 2$ の正側電極16となっている。 $C s 1$ 及び $C s 2$ に共通の正側電極16は、半導体膜13及び絶縁膜12に開口したコンタクトホールを介して中間ノード( $X$ )に電気接続している。第2容量素子 $C s 2$ の正側電極16の上方には絶縁膜12及び半導体膜13を介して負側電極17が形成されている。図示しないがこの負側電極17はスイッチングトランジスタ $T r 3$ のドレインに電気接続している。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 3 9 】

【 図 1 】 アクティブマトリクス表示装置及び画素回路の一般的な構成を示すブロック図である。

【 図 2 】 画素回路の参考例を示す回路図である。

【 図 3 】 図 2 に示した画素回路の動作説明に供するタイミングチャートである。

【 図 4 】 有機 E L 素子の I - V 特性の経時変化を示すグラフである。

【 図 5 】 ドライブトランジスタと有機 E L 素子の動作点の経時変化を示すグラフである。

【 図 6 】 画素回路の他の参考例を示す回路図である。

【 図 7 】 図 6 に示した画素回路の動作説明に供するタイミングチャートである。

【 図 8 】 保持容量の構成例を示す模式的な断面図である。

【 図 9 】 本発明に係る画素回路の実施形態を示す回路図である。

【 図 1 0 】 図 9 に示した画素回路の動作説明に供するタイミングチャートである。

【 図 1 1 】 図 9 に示した画素回路の具体的な構成を示す部分断面図である。

【 図 1 2 】 本発明に係る画素回路の他の実施形態を示す回路図である。

【 図 1 3 】 図 1 2 に示した画素回路の具体的な構成を示す模式的な部分断面図である。

【 符号の説明 】

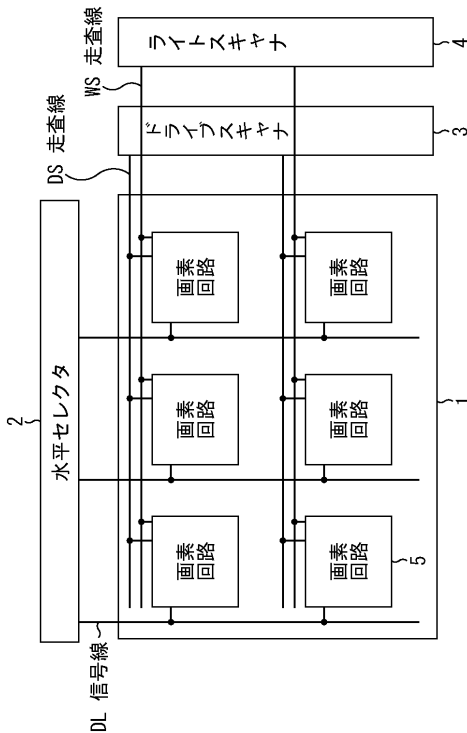
【 0 0 4 0 】

1・・・画素アレイ、 2・・・水平セレクタ、 3・・・ドライブスキャナ、 4・・・ライトスキャナ、 5・・・画素回路、 Tr 1・・・サンプリングトランジスタ、 Tr 2・・・ドライブトランジスタ、 Tr 3・・・スイッチングトランジスタ、 Tr 4・・・セッティング用トランジスタ、 Cs・・・保持容量、 Cs 1・・・第 1 容量素子、 Cs 2・・・第 2 容量素子、 E L・・・負荷素子

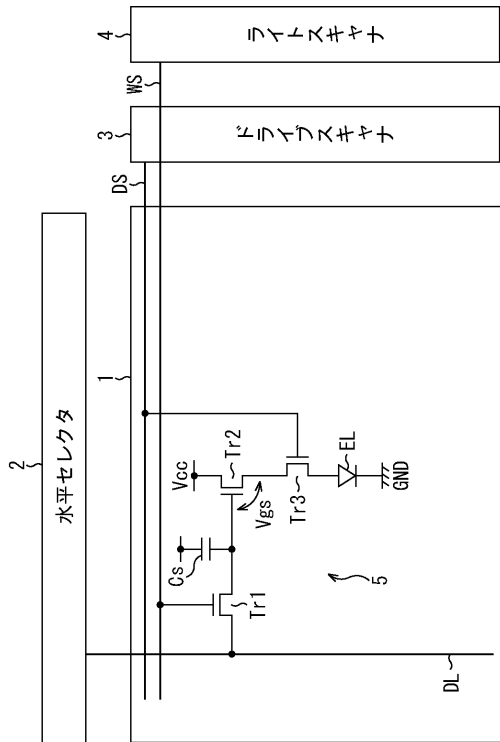
10

20

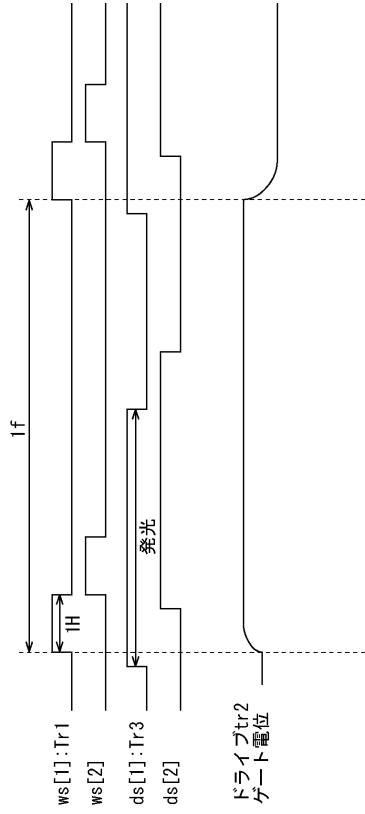
【 図 1 】



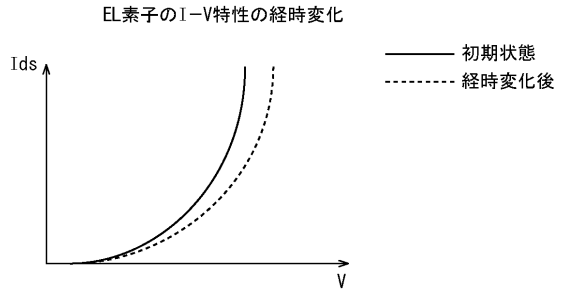
【 図 2 】



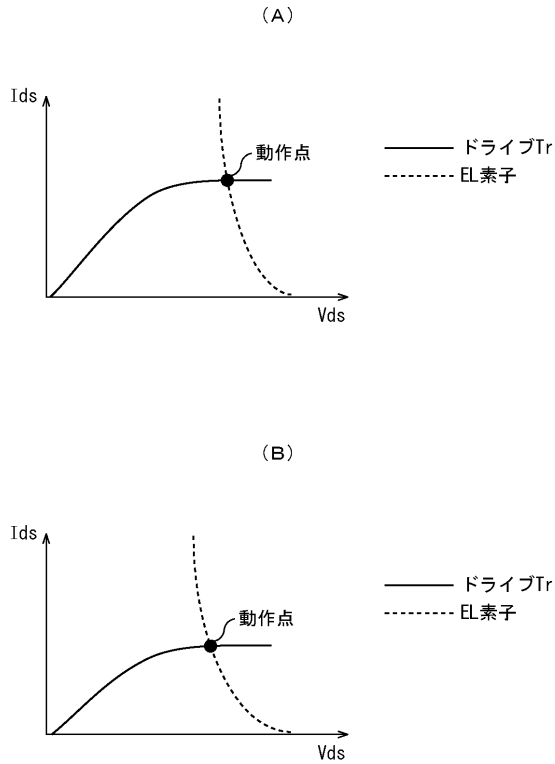
【図3】



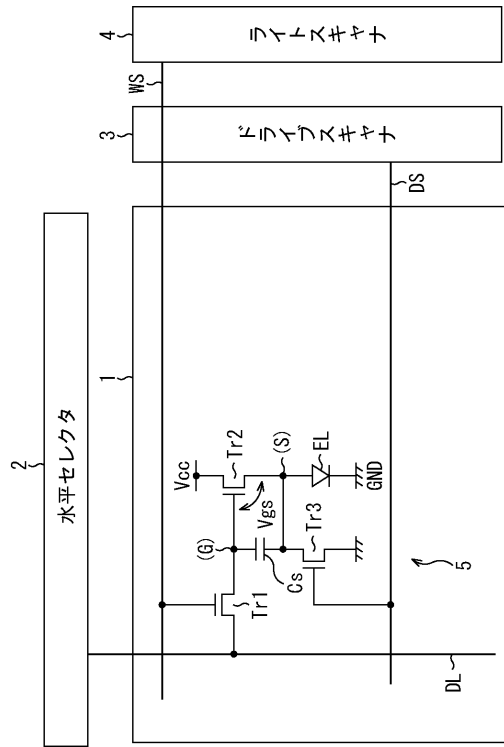
【図4】



【図5】



【図6】







---

フロントページの続き

- (56)参考文献 特表2006-525539(JP,A)  
特開2003-288049(JP,A)  
特開2003-223138(JP,A)  
特表2006-518473(JP,A)  
特表2006-516745(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G09G3/20, 3/30-3/32