(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3694904号

(P3694904)

(45)発行日　平成17年9月14日(2005.9.14)　(24)登録日　平成17年7月8日(2005.7.8)

(51)Int.Cl.[7]	F I	
H01L 21/3205	H01L	21/88　K
H01L 21/027	H01L	21/304　621B
H01L 21/304	H01L	21/304　622X
	H01L	21/30　577

請求項の数 5　(全 13 頁)

(21)出願番号　特願平6-165541
(22)出願日　平成6年7月18日(1994.7.18)
(65)公開番号　特開平8-31823
(43)公開日　平成8年2月2日(1996.2.2)
審査請求日　平成13年7月18日(2001.7.18)
審判番号　不服2003-2689(P2003-2689/J1)
審判請求日　平成15年2月20日(2003.2.20)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100087479
弁理士　北野　好人
(74)代理人　100114915
弁理士　三村　治彦
(72)発明者　岸井　貞浩
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内
(72)発明者　伊藤　昭男
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

下地基板上に、配線材料からなる配線層を堆積する配線層形成工程と、

前記配線層を堆積した前記下地基板上に、前記配線層をパターニングする際のマスクとなるレジストを塗布するレジスト塗布工程と、

前記下地基板上のチップ形成領域に、前記配線層により形成すべきデバイスパターンを露光する第１の露光工程と、

前記下地基板の全外周を含むウエーハ周辺領域の前記レジストが除去されるようにし、その際チップ形成領域周辺部においてコーナーに丸みがついて除去されるように、前記下地基板の周辺部を露光する第２の露光工程と、

前記レジストを現像して前記露光した範囲のレジストを除去し、パターニングされた前記レジストをマスクとして前記配線層をエッチングするエッチング工程と、

前記レジストを除去した後、パターニングされた前記配線層を埋める層間絶縁膜を堆積する層間絶縁膜形成工程と、

堆積された前記層間絶縁膜を化学的機械研磨により平坦化し、その後に洗浄液による洗浄を伴う平坦化工程とを有し、

前記下地基板のチップ形成領域周辺部にパターニングされた前記配線層は、外縁のコーナーが丸められている

ことを特徴とする半導体装置の製造方法。

【請求項２】

請求項１記載の半導体装置の製造方法において、
前記配線層は、電気抵抗の低い導電層と、前記導電層の上層に形成され、前記導電層及び前記層間絶縁膜との密着性に優れた密着層により形成されている
ことを特徴とする半導体装置の製造方法。
【請求項３】
請求項２記載の半導体装置の製造方法において、
前記密着層は窒化チタン膜であることを特徴とする半導体装置の製造方法。
【請求項４】
請求項１乃至３のいずれか１項に記載の半導体装置の製造方法において、
前記層間絶縁膜形成工程は、
パターニングされた前記配線層を埋める、膜厚が厚く研磨速度の速い第１の絶縁膜を形成する工程と、
前記第１の絶縁膜上に、膜厚が薄く研磨速度の遅い第２の絶縁膜を形成する工程とを有し、
前記第２の絶縁膜全面が、パターニングされた前記配線層より高い位置にある
ことを特徴とする半導体装置の製造方法。
【請求項５】
請求項４記載の半導体装置の製造方法において、
前記第１の絶縁膜はシリコン酸化膜であり、
前記第２の絶縁膜はシリコン窒化膜である
ことを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、配線層及び層間絶縁膜の形成方法に係わり、特に、研磨により層間絶縁膜を平坦化する半導体装置及びその製造方法に関する。
【０００２】
【従来の技術】
近年、ＬＳＩの微細化にともない平坦化技術を向上することがより重要になっている。特に、多層配線を有する半導体装置では、下地構造に起因する層間絶縁膜表面の段差を十分に平坦化できないと、層間絶縁膜上に形成する配線層の断線や短絡等が発生し、歩留りが低下する恐れがある。
【０００３】
層間絶縁膜の凹凸を低減する一つの方法として、化学的機械研磨（ＣＭＰ：chemical mechanical polishing）等、層間絶縁膜を堆積した後に層間絶縁膜表面を研磨により平坦化する技術が提案されており、種々の検討がなされている。
研磨により平坦化を行う従来の半導体装置の製造方法を図１１を用いて説明する。
【０００４】
まず、シリコン基板１０上に配線層１２を堆積し、パターニングする（図１１（ａ））。この際、ウェーハ周辺の配線層１２は除去されない。次いで、配線層１２上に層間絶縁膜２０を形成し（図１１（ｂ））、研磨により層間絶縁膜２０上を平坦化する（図１１（ｃ））。
このようにして半導体基板上の凹凸を平坦化していた。
【０００５】
【発明が解決しようとする課題】
しかしながら、上記従来の半導体装置の製造方法では、配線層１２をパターニングする際にウェーハ周辺の配線層１２を除去していないため、研磨工程において配線層１２のエッチングが進行し（図１１（ｄ））、層間絶縁膜２０が剥がれるといった問題があった。
【０００６】
また、剥がれた層間絶縁膜２０が研磨剤に混入し、層間絶縁膜２０表面にスクラッチを発

生するといった問題があった。
また、層間絶縁膜２０表面にスクラッチが発生すると、研磨の後に行う洗浄工程において洗浄液がスクラッチから浸入し、配線層を腐食するといった問題があった。
【０００７】
さらに、層間絶縁膜を一層で形成した場合、研磨当初は層間絶縁膜上の凸部は研磨速度が速く、凹部は遅いが、ある程度の膜厚が研磨されて平坦性が良くなってくると、凹部と凸部の研磨速度はほぼ等しくなるので、それ以上平坦性が良くなりにくいといった問題があった。
本発明の目的は、研磨工程における配線層の溶出を抑えることにより層間絶縁膜が剥離せず、面内の均一性良く半導体基板上を平坦化できる半導体装置及びその製造方法を提供することにある。
【０００８】
【課題を解決するための手段】
上記目的は、下地基板上に、配線材料からなる配線層を堆積する配線層形成工程と、前記配線層を堆積した前記下地基板上に、前記配線層をパターニングする際のマスクとなるレジストを塗布するレジスト塗布工程と、前記下地基板上のチップ形成領域に、前記配線層により形成すべきデバイスパターンを露光する第１の露光工程と、前記下地基板の全外周を含むウエーハ周辺領域の前記レジストが除去されるようにし、その際チップ形成領域周辺部においてコーナーに丸みがついて除去されるように、前記下地基板の周辺部を露光する第２の露光工程と、前記レジストを現像して前記露光した範囲のレジストを除去し、パターニングされた前記レジストをマスクとして前記配線層をエッチングするエッチング工程と、前記レジストを除去した後、パターニングされた前記配線層を埋める層間絶縁膜を堆積する層間絶縁膜形成工程と、堆積された前記層間絶縁膜を化学的機械研磨により平坦化し、その後に洗浄液による洗浄を伴う平坦化工程とを有し、前記下地基板のチップ形成領域周辺部にパターニングされた前記配線層は、外縁のコーナーが丸められていることを特徴とする半導体装置の製造方法により達成される。
【００１０】
また、上記の半導体装置の製造方法において、前記配線層は、電気抵抗の低い導電層と、前記導電層の上層に形成され、前記導電層及び前記層間絶縁膜との密着性に優れた密着層により形成されていることを特徴とする半導体装置の製造方法により達成される。
また、上記の半導体装置の製造方法において、前記密着層は窒化チタン膜であることを特徴とする半導体装置の製造方法により達成される。
【００１１】
また、上記の半導体装置の製造方法において、前記層間絶縁膜形成工程は、パターニングされた前記配線層を埋める、膜厚が厚く研磨速度の速い第１の絶縁膜を形成する工程と、前記第１の絶縁膜上に、膜厚が薄く研磨速度の遅い第２の絶縁膜を形成する工程とを有し、前記第２の絶縁膜全面が、パターニングされた前記配線層より高い位置にあることを特徴とする半導体装置の製造方法により達成される。
また、上記の半導体装置の製造方法において、前記第１の絶縁膜はシリコン酸化膜であり、前記第２の絶縁膜はシリコン窒化膜であることを特徴とする半導体装置の製造方法により達成される。
【００１３】
【作用】
本発明によれば、配線層をパターニングする際にウェーハ周辺部の配線層を除去することにより、研磨工程においてウェーハ周辺から配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
【００１４】
また、配線層をパターニングする際に、素子領域外のウェーハ周辺部では、配線層周辺部の角に丸みがつくように除去し、配線層周辺部の角における層間絶縁膜の研磨速度を抑え

ることにより、研磨工程において配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。

【００１５】

また、配線層を堆積する際にウェーハ周辺をサセプターにより覆い、配線層が堆積されるのを防ぐことにより、研磨工程においてウェーハ周辺部から配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。

また、層間絶縁膜の直下に層間絶縁膜との密着性に優れたＴｉＮ膜を堆積し、研磨中の層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。

【００１６】

また、研磨速度の速い第１の絶縁膜及び研磨速度の遅い第２の絶縁膜により層間絶縁膜を構成することにより、凹部と凸部との研磨の選択比を大きくすることができるので、研磨により平坦化した半導体基板の平坦性を改善することができる。

【００１７】

【実施例】

本発明の第１の実施例による半導体装置の製造方法を、図１及び図２を用いて説明する。図１は本実施例による半導体装置の製造方法を示す工程断面図、図２は本実施例による配線層の形成方法を説明する図である。

【００１８】

まず、６インチ径のシリコン基板１０上に配線層１２を堆積した（図１（ａ））。配線層１２には、約０．７μｍのアルミ（Ａｌ）－銅（Ｃｕ）－チタン（Ｔｉ）合金膜１２ａ上に０．１μｍのタングステン（Ｗ）膜１２ｂを堆積した２層構造を用いた。

次いで、配線層１２を堆積したシリコン基板１０上にレジスト１４を塗布し、デバイスパターンを露光した。この際、素子領域であるチップ１６にデバイスパターンを露光するほかに、ウェーハの縁から７．５ｍｍ内側までのウェーハ周辺領域１８も露光した（図２）。次いで、レジスト１４を現像し、チップ１６内にデバイスパターンに相当するレジストパターンを形成すると共に、ウェーハ周辺領域１８のレジスト１４も除去した（図１（ｂ））。

【００１９】

次いで、配線層１２を反応性イオンエッチングにて除去することにより、チップ１６にデバイスパターンを形成し、ウェーハ周辺領域１８の配線層１２を除去した（図１（ｃ））。

このようにして加工した配線層１２上に、膜厚約１．８μｍの層間絶縁膜２０を堆積した。なお層間絶縁膜２０は、ＴＥＯＳ（テトラエトキシシラン）を原材料として用いたプラズマ化学気相成長（ＣＶＤ）法により、不純物を含まないシリコン酸化膜（ＮＳＧ：non-doped silicate glass）を堆積した。

【００２０】

次いで、研磨量が層間絶縁膜２０上の凸部において約０．８μｍになるように、層間絶縁膜２０上を研磨により平坦化した（図１（ｄ））。なお、ウェーハ周辺では研磨速度が速いので、ウェーハ周辺では例えば図１（ｄ）に示したような形状となる。

研磨されたシリコン基板１０上にスクラッチが発生しているかを確認するために、シリコン基板１０をスクラバにより洗浄した後、王水ボイルを１０分間行った。研磨工程において、もしもスクラッチが発生していれば、この処理によりスクラッチから王水が浸入して配線層１２がエッチングされるので、小さなスクラッチが発生していても確認することができる。

【００２１】

このようにして、１６ｍｍ×１６ｍｍのチップ１６を４４個有するシリコン基板１０を３枚処理し、チップ１６内に一つでもスクラッチが発生していたら不良と判断して歩留りを評価した。この結果、１３２チップ中で良品は１２５チップであった。

比較として、ウェーハ周辺領域１８の配線層を除去しない従来方法により、同一構造を用いて実験したが、良品は１３２チップ中９８チップであった。

【００２２】

このように、本実施例によれば、配線層をパターニングする際にウェーハ周辺部の配線層を除去することにより、研磨工程においてウェーハ周辺から配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。

なお、本実施例では、ウェーハの周辺から約７．５ｍｍの領域の配線層を除去し、配線層の溶出を抑えたが、研磨により表面に配線層が露出しなければよいので、上記実施例に示した数値に限定されるものではない。但し、本願発明者らによれば、前述したようにウェーハ周辺においては層間絶縁膜の研磨速度が速いので、ウェーハ端から２ｍｍ程度の範囲の配線層は除去することが望ましい。また、チップ領域以外のウェーハ周辺部における配線層を全て除去してもよい。

【００２３】

次に、本発明の第２の実施例による半導体装置の製造方法を、図３及び図４を用いて説明する。

図３は本実施例による半導体装置の製造方法を示す工程断面図、図４は本実施例による配線層の形成方法を説明する図である。

本実施例による半導体装置の製造方法は、ウェーハ周辺部の配線層を除去する際に、コーナーに丸みをつけるところに特徴がある。即ち、ウェーハ周辺に角をもつように配線層を除去すると、研磨工程において研磨速度が速くなり、配線層が露出しやすくなる恐れがあるので、図４に示すようにチップ周辺に残留する配線層のコーナーに丸みをつけた。

【００２４】

本実施例による半導体装置の製造方法を説明する。

まず、６インチ径のシリコン基板１０上に配線層１２を堆積した（図３（ａ））。配線層１２には、約０．７μｍのＡｌ－Ｃｕ－Ｔｉ合金膜１２ａ上に０．１μｍのW膜１２ｂを堆積した２層構造を用いた。

次いで、配線層１２を堆積したシリコン基板上にレジスト１４を塗布し、デバイスパターンを露光した。この際、素子領域であるチップ１６にデバイスパターンを露光するほかに、チップ１６周辺部においてコーナーに丸みがつくようにウェーハ周辺領域１８も露光した。次いで、レジスト１４を現像し、チップ１６内にデバイスパターンに相当するレジストパターンを形成すると共に、ウェーハ周辺領域１８のレジスト１４も除去した（図３（ｂ））。

【００２５】

次いで、配線層１２を反応性イオンエッチングにて除去することにより、チップ１６内にデバイスパターンを形成し、図４に示すウェーハ周辺領域１８の配線層１２を除去した。このように加工した配線層１２上に、膜厚約１．８μｍの層間絶縁膜２０を形成した。なお層間絶縁膜２０は、ＴＥＯＳを原材料として用いたプラズマＣＶＤ法により、ＮＳＧ膜を堆積した（図３（ｃ））、。

【００２６】

次いで、研磨量が層間絶縁膜２０上の凸部において約０．８μｍになるように、層間絶縁膜２０上を研磨により平坦化した（図３（ｄ））。

研磨されたシリコン基板１０上にスクラッチが発生しているかを確認するために、シリコン基板１０をスクラバにより洗浄した後、王水ボイルを１０分間行った。

【００２７】

このようにして、１６ｍｍ×１６ｍｍのチップ１６を４４個有するシリコン基板１０を３枚処理し、チップ１６内に一つでもスクラッチが発生していたら不良と判断して歩留りを評価した。この結果、１３２チップ中で良品は１２７チップであった。

比較として、ウェーハ周辺領域１８の配線層を除去しない従来方法により、同一構造を用いて実験したが、良品は１３２チップ中９８チップであった。

【００２８】
このように、本実施例によれば、配線層をパターニングする際に、素子領域外のウェーハ周辺部では、配線層周辺部の角に丸みがつくように除去し、配線層周辺部の角における層間絶縁膜の研磨速度を抑えることにより、研磨工程において配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
【００２９】
次に、本発明の第３の実施例による半導体装置の製造方法を図５及び図６を用いて説明する。
図５は本実施例による半導体装置の製造方法を示す工程断面図、図６は本実施例による配線層の形成方法を説明する図である。
本実施例は、ウェーハ周辺部を露光してウェーハ周辺の配線層を除去する代わりに、配線層を堆積する際に周辺部をサセプターで覆うことにより、周辺部においては配線層を堆積しないところに特徴がある。
【００３０】
まず、６インチ径のシリコン基板１０上に配線層１２を堆積した（図５（ａ））。配線層１２には、約０．７μmのＡｌ－Ｃｕ－Ｔｉ合金膜１２ａ上に０．１μmのW膜１２ｂを堆積した２層構造を用いた。なお、配線層１２を堆積する際には、図６に示すようなサセプター２２によりシリコン基板１０を支持したので、ウェーハ周辺部から約７．５mmのウェーハ周辺領域１８には配線層１２は堆積されない。
【００３１】
次いで、配線層を堆積したシリコン基板１０上にレジスト１４を塗布し、デバイスパターンを露光した。次いで、レジスト１４を現像し、チップ１６内にデバイスパターンに相当するレジストパターンを形成した（図５（ｂ））。
次いで、配線層１２を反応性イオンエッチングにて除去することにより、デバイスパターンを形成した。
【００３２】
このように加工した配線層１２上に、膜厚約１．８μmの層間絶縁膜２０を形成した。なお層間絶縁膜２０は、ＴＥＯＳを原材料として用いたプラズマＣＶＤ法により、ＮＳＧ膜を堆積した（図５（ｃ））。
次いで、研磨量が層間絶縁膜２０上の凸部において約０．８μmになるように、層間絶縁膜２０上を研磨により平坦化した（図５（ｄ））。
【００３３】
研磨されたシリコン基板１０上にスクラッチが発生しているかを確認するために、シリコン基板１０をスクラバにより洗浄した後、王水ボイルを１０分間行った。
このようにして、１６mm×１６mmのチップ１６を４４個有するシリコン基板１０を３枚処理し、チップ１４内に一つでもスクラッチが発生していたら不良と判断して歩留りを評価した。この結果、１３２チップ中で良品は１２４チップであった。
【００３４】
比較として、ウェーハ周辺領域１８の配線層を除去しない従来方法により、同一構造を用いて実験したが、良品は１３２チップ中９８チップであった。
このように、本実施例によれば、配線層を堆積する際にウェーハ周辺をサセプターにより覆い、配線層が堆積されるのを防ぐことにより、研磨工程においてウェーハ周辺部から配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
【００３５】
なお、本実施例では、ウェーハの周辺から約７．５mmの領域をサセプターで覆って配線層を堆積せずに配線層の溶出を抑えたが、研磨により表面にメタルが露出しなければよいので、上記実施例に示した数値に限定されるものではない。
次に、本発明の第４の実施例による半導体装置の製造方法を図７を用いて説明する。

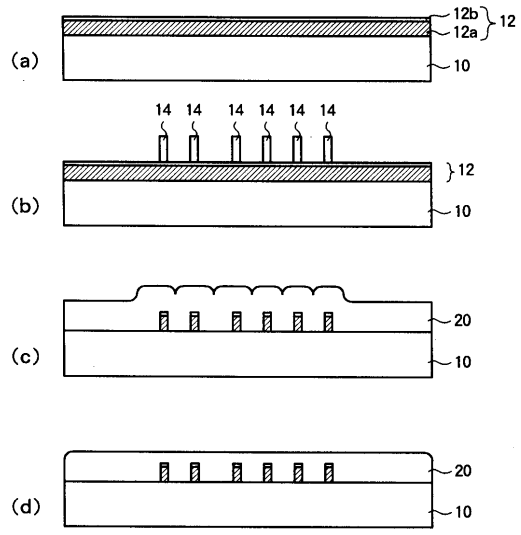
【００３６】
図７は本実施例による半導体装置の製造方法を示す工程断面図である。
まず、６インチ径のシリコン基板１０上に配線層１２を堆積した（図７（ａ））。配線層１２には、約０．７μｍのＡｌ－Ｃｕ－Ｔｉ合金膜１２ａ上に０．０５μｍの窒化チタン（ＴｉＮ）膜１２ｃを堆積した２層構造を用いた。なお、配線層１２を堆積する際には、図６に示すようなサセプター２２によりシリコン基板１０を支持したので、ウェーハ周辺部から約７．５ｍｍのウェーハ周辺領域１８には配線層１２は堆積されない。
【００３７】
次いで、配線層１２を堆積したシリコン基板１０上にレジスト１４を塗布し、デバイスパターンを露光した。この際、４４個のチップ１６にデバイスパターンを露光した。次いで、レジスト１４を現像し、チップ１４内にデバイスパターンに相当するレジストパターンを形成した（図７（ｂ））。
次いで、配線層１２を反応性イオンエッチングにて除去することにより、デバイスパターンを形成した。
【００３８】
このように加工した配線層１２上に、膜厚約１．８μｍの層間絶縁膜２０を形成した。なお層間絶縁膜２０は、ＴＥＯＳを原材料として用いたプラズマＣＶＤ法により、ＮＳＧ膜を堆積した（図７（ｃ））。
次いで、研磨量が層間絶縁膜２０上の凸部において約０．８μｍになるように、層間絶縁膜２０上を研磨により平坦化した（図７（ｄ））。
【００３９】
研磨されたシリコン基板１０上にスクラッチが発生しているかを確認するために、シリコン基板１０をスクラバにより洗浄した後、王水ボイルを１０分間行った。
このようにして、１６ｍｍ×１６ｍｍのチップ１６を４４個有するシリコン基板１０を３枚処理し、チップ１４内に一つでもスクラッチが発生していたら不良と判断して歩留りを評価した。この結果、１３２チップ中で良品は１２４チップであった。
【００４０】
比較として、ウェーハ周辺領域１８の配線層を除去しない従来方法により、同一構造を用いて実験したが、良品は１３２チップ中９８チップであった。
このように、本実施例によれば、配線層を堆積する際にウェーハ周辺をサセプターにより覆い、配線層が堆積されるのを防ぐことにより、研磨工程においてウェーハ周辺部から配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
【００４１】
また、層間絶縁膜の直下に層間絶縁膜との密着性に優れたＴｉＮ膜を堆積し、研磨中の層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
なお、本実施例では、ウェーハの周辺から約７．５ｍｍの領域をサセプターで覆ってメタル堆積せずメタルの溶出を抑えたが、研磨により表面にメタルが露出しなければよいので、上記実施例に示した数値に限定されるものではない。
【００４２】
次に、本発明の第５の実施例による半導体装置及び製造方法を図８乃至図１０を用いて説明する。
図８は本実施例による半導体装置の概略断面図、図９及び図１０は本実施例による半導体装置の製造方法を示す工程断面図である。
本実施例による半導体装置は、配線層上に形成した層間絶縁膜２０が、膜厚が厚く研磨速度の速い第１の絶縁膜２０ａと、膜厚が薄く研磨速度の遅い第２の絶縁膜２０ｂにより構成されていることに特徴がある。
【００４３】
即ち、シリコン基板１０上にパターニングされた配線層１２上に、第１の絶縁膜２０ａと

して研磨速度の速いＮＳＧ膜が１．６５μｍ、第２の絶縁膜２０ｂとして研磨速度の遅いシリコン窒化膜（ＳｉＮ）が０．１５μｍ堆積されている。
次に、本実施例による半導体装置の製造方法を説明する。
まず、６インチ径のシリコン基板１０上に配線層１２を堆積した（図９（ａ））。配線層１２には、約０．７μｍのＡｌ－Ｃｕ－Ｔｉ合金膜１２ａ上に０．１μｍのＷ膜１２ｂを堆積した２層構造を用いた。
【００４４】
次いで、配線層１２を堆積したシリコン基板１０上にレジスト１４を塗布し、デバイスパターンを露光した。この際、素子領域であるチップ１６にデバイスパターンを露光するほかに、ウェーハ周辺の配線層１２ができるだけ除去できるように露光した。次いで、レジスト１４を現像し、チップ１６内にデバイスパターンを形成すると共に、シリコン基板１０周辺のレジスト１４も除去した（図９（ｂ））。
【００４５】
次いで、配線層１２を反応性イオンエッチングにて除去することにより、デバイスパターンを形成し、ウェーハ周辺領域１８の配線層１２を除去した。
このように加工した配線層１２上に、約１．８μｍの層間絶縁膜２０を形成した。なお層間絶縁膜２０は、プラズマＣＶＤ法により、ＴＥＯＳを原材料として用いたＮＳＧ膜を約１．６５μｍ、ＳｉＮ膜を０．１５μｍ連続して堆積した（図９（ｃ））。
【００４６】
次いで、研磨量が層間絶縁膜２０上の凸部において約０．８μｍになるように、層間絶縁膜２０上を研磨により平坦化した（図９（ｄ））。
ところで、本実施例では層間絶縁膜２０を２層構造にしたが、これは研磨工程において研磨速度の面内ばらつきを低減するためである。即ち、研磨の初期には層間絶縁膜２０上における凸部の研磨速度が速いため、凸部における第１の絶縁膜２０ａは周辺部より速く研磨される（図１０（ａ）～（ｂ））。凸部の第１の絶縁膜２０ａが除去された後は、凸部には第２の絶縁膜２０ｂが現れるので凸部における研磨速度は増加する。これに対し、凹部では研磨速度の遅い第１の絶縁膜２０ａが残留しているために研磨速度は遅くなる。これにより、研磨が終了した半導体基板上は層間絶縁膜１０表面の平坦性が向上する（図１０（ｃ））。
【００４７】
本実施例では、第１の絶縁膜としてＮＳＧ膜を、第２の絶縁膜としてＳｉＮ膜を用いたが、ＳｉＮ膜の研磨速度はＮＳＧ膜の研磨速度の約１／１０程度であるので、前述した効果を十分に得ることができた。なお、ＮＳＧ膜やＳｉＮ膜は半導体プロセスに頻繁に用いられている材料であるので、膜の形成が容易で、且つプロセスとの整合性に優れている。
【００４８】
研磨されたシリコン基板１０上にスクラッチが発生しているかを確認するために、シリコン基板１０をスクラバにより洗浄した後、王水ボイルを１０分間行った。
このようにして、１６ｍｍ×１６ｍｍのチップ１６を４４個有するシリコン基板１０を３枚処理し、チップ１６内に一つでもスクラッチが発生していたら不良と判断して歩留りを評価した。この結果、１３２チップ中で良品は１２６チップあった。
【００４９】
比較として、ウェーハ周辺領域１８の配線層を除去しない従来方法により、同一構造を用いて実験したが、良品は１３２チップ中９８チップであった。
このように、本実施例によれば、配線層をパターニングする際にウェーハ周辺部の配線層を除去することにより、研磨工程においてウェーハ周辺から配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
【００５０】
また、研磨速度の速い第１の絶縁膜及び研磨速度の遅い第２の絶縁膜により層間絶縁膜を構成することにより、凹部と凸部との研磨の選択比を大きくすることができるので、研磨

により平坦化した半導体基板の平坦性を改善することができる。
また、本実施例では、層間絶縁膜をＮＳＧ膜及びＳｉＮ膜により形成したが、２層構造の絶縁膜を用いることにより研磨速度の選択比を大きくできればよいので、これらの材料に限定されるものではない。また、研磨剤等の種類により研磨速度などが変化することがあるので、構成する膜厚はその都度最適化することが望ましい。
【００５１】
【発明の効果】
以上の通り、本発明によれば、配線層をパターニングする際にウェーハ周辺部の配線層を除去することにより、研磨工程においてウェーハ周辺から配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
【００５２】
また、配線層をパターニングする際に、素子領域外のウェーハ周辺部では、配線層周辺部の角に丸みがつくように除去し、配線層周辺部の角における層間絶縁膜の研磨速度を抑えることにより、研磨工程において配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
【００５３】
また、配線層を堆積する際にウェーハ周辺をサセプターにより覆い、配線層が堆積されるのを防ぐことにより、研磨工程においてウェーハ周辺部から配線層が溶出せず、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
また、層間絶縁膜の直下に層間絶縁膜との密着性に優れたＴｉＮ膜を堆積し、層間絶縁膜の剥離を抑えることができるので、従来方法と比較してスクラッチの発生を大幅に低減することができる。
【００５４】
また、研磨速度の速い第１の絶縁膜及び研磨速度の遅い第２の絶縁膜により層間絶縁膜を構成することにより、凹部と凸部との研磨の選択比を大きくすることができるので、研磨により平坦化した半導体基板の平坦性を改善することができる。
【図面の簡単な説明】
【図１】本発明の第１の実施例による半導体装置の製造方法を示す工程断面図である。
【図２】本発明の第１の実施例による配線層の形成方法を説明する図である。
【図３】本発明の第２の実施例による半導体装置の製造方法を示す工程図である。
【図４】本発明の第２の実施例による配線層の形成方法を説明する図である。
【図５】本発明の第３の実施例による半導体装置の製造方法を示す工程断面図である。
【図６】本発明の第３の実施例によるサセプターの構造を説明する図である。
【図７】本発明の第４の実施例による半導体装置の製造方法を示す工程断面図である。
【図８】本発明の第５の実施例による半導体装置の構造を示す断面図である。
【図９】本発明の第５の実施例による半導体装置の製造方法を示す工程断面図である。
【図１０】本発明の第５の実施例による半導体装置の製造方法を示す工程断面図である。
【図１１】従来の半導体装置の製造方法を示す工程断面図である。
【符号の説明】
１０…シリコン基板
１２…配線層
１４…レジスト
１６…チップ
１８…ウェーハ周辺領域
２０…層間絶縁膜
２２…サセプター

【図１】

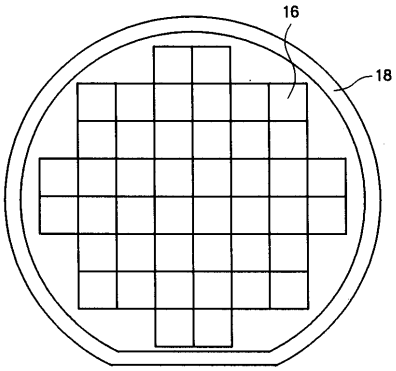
本発明の第１の実施例による
半導体装置の製造方法を示す工程断面図



10…シリコン基板
12…配線層
12a…Al－Cu－Ti 合金膜
12b…W 膜
14…レジスト
20…層間絶縁膜

【図２】

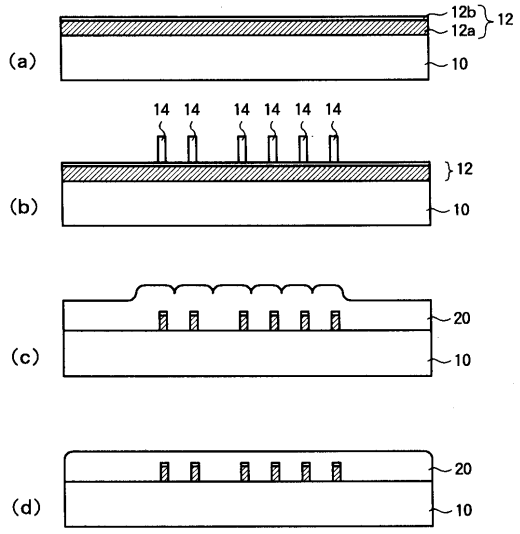
本発明の第１の実施例による配線層の
形成方法を説明する図



16…チップ
18…ウェーハ周辺領域

【図３】

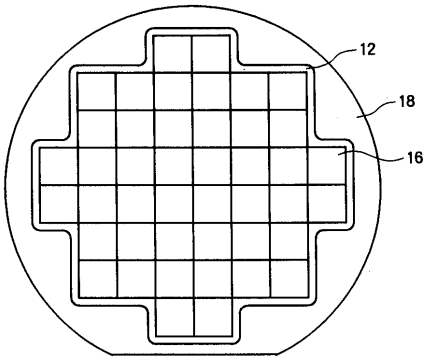
本発明の第２の実施例による
半導体装置の製造方法を示す工程断面図



10…シリコン基板
12…配線層
12a…Al－Cu－Ti 合金膜
12b…W 膜
14…レジスト
20…層間絶縁膜

【図４】

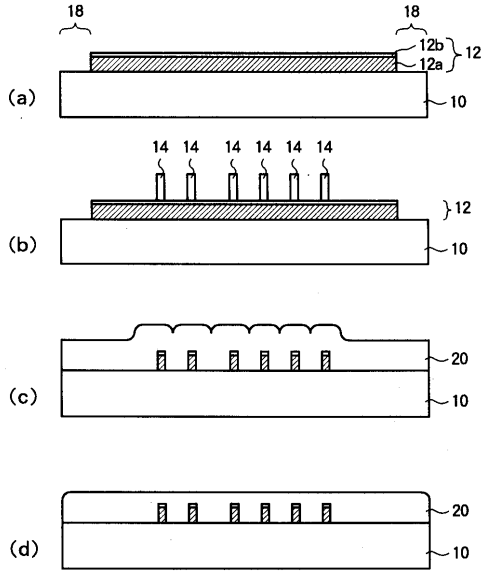
本発明の第２の実施例による配線層の
形成方法を説明する図



16…チップ
18…ウェーハ周辺領域

【図５】

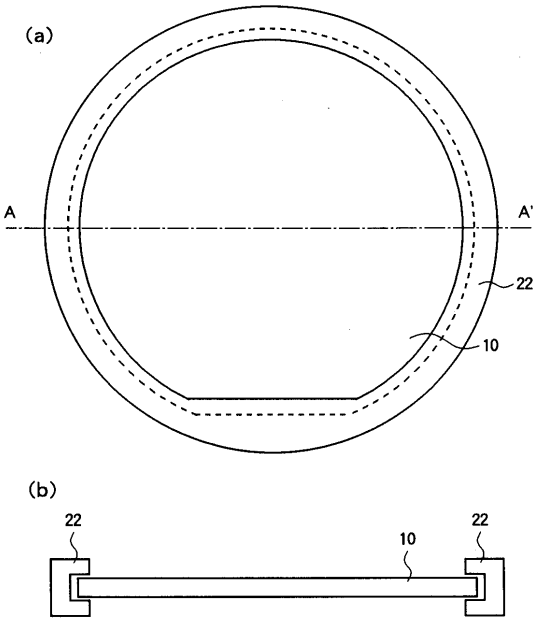
本発明の第３の実施例による
半導体装置の製造方法を示す工程断面図



10…シリコン基板
12…配線層
12a…Al－Cu－Ti 合金膜
12b…W 膜
14…レジスト
20…層間絶縁膜

【図６】

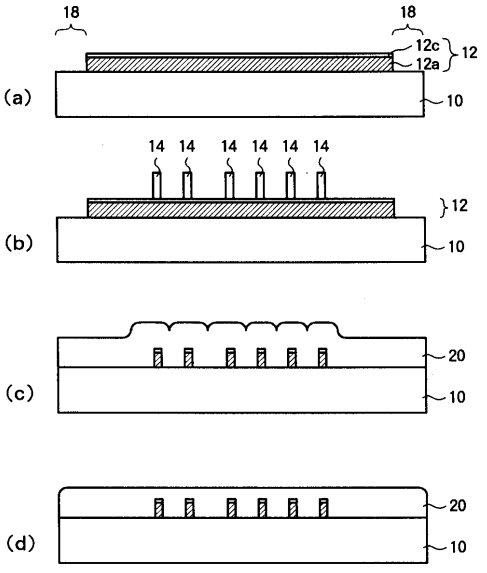
本発明の第３の実施例による
サセプターの構造を説明する図



22…サセプター

【図７】

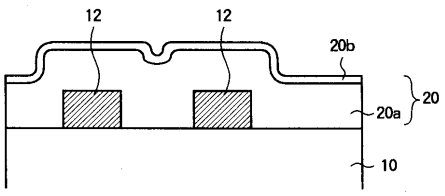
本発明の第４の実施例による
半導体装置の製造方法を示す工程断面図



10…シリコン基板
12…配線層
12a…Al－Cu－Ti 合金膜
12c…TiN 膜
14…レジスト
20…層間絶縁膜

【図８】

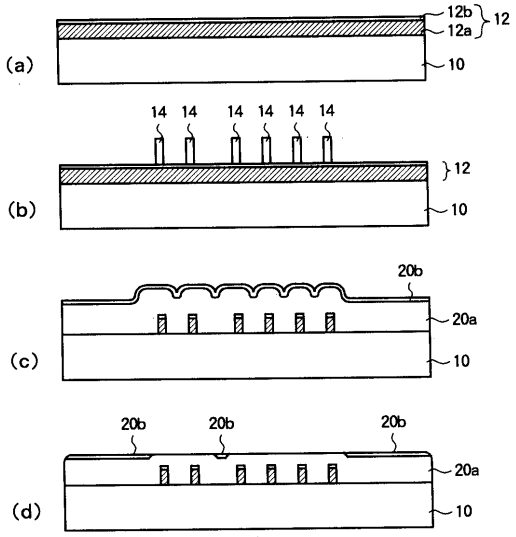
本発明の第５の実施例による
半導体装置の構造を示す断面図



10…シリコン基板
12…配線層
20a…第１の絶縁膜
20b…第２の絶縁膜
20…層間絶縁膜

【図９】

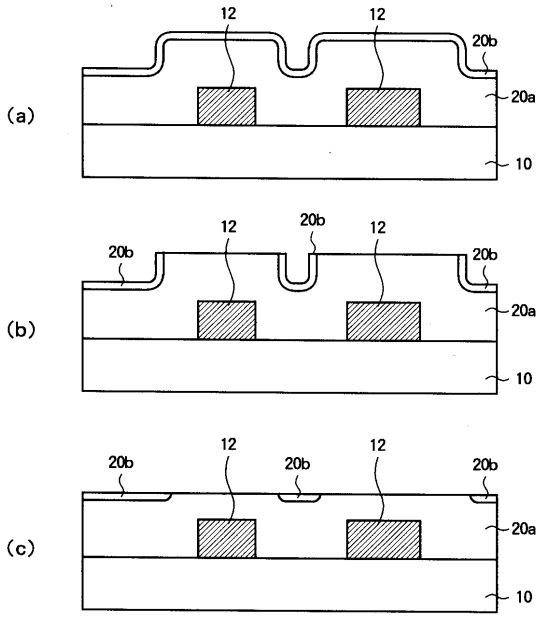
本発明の第５の実施例による
半導体装置の製造方法を示す工程断面図



10…シリコン基板
12…配線層
12a…Al－Cu－Ti 合金膜
12b…W 膜
14…レジスト
20…層間絶縁膜

【図１０】

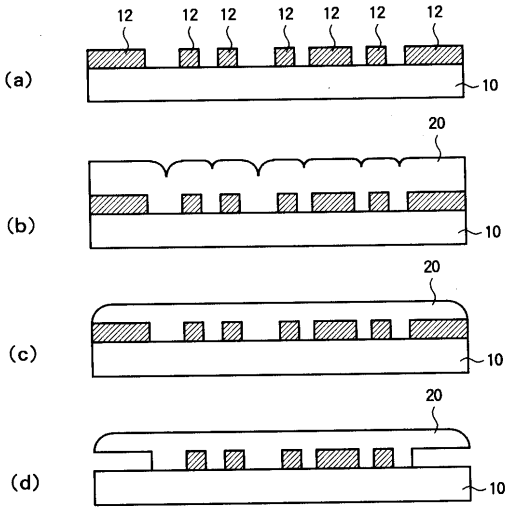
本発明の第５の実施例による
半導体装置の製造方法を示す工程断面図



10…シリコン基板
12…配線層
20a…第１の絶縁膜
20b…第２の絶縁膜
20…層間絶縁膜

【図１１】

従来の半導体装置の製造方法を示す工程断面図



10…シリコン基板
12…配線層
14…レジスト
20…層間絶縁膜

フロントページの続き

(72)発明者　堀江　博
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内
(72)発明者　今井　雅彦
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内
(72)発明者　鉾　宏真
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内
(72)発明者　大石　明良
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内
(72)発明者　原田　秀樹
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内
(72)発明者　大倉　嘉之
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内

合議体
審判長　松本　邦夫
審判官　山本　一正
審判官　河合　章

(56)参考文献　特開平０６－１８１１９２（ＪＰ，Ａ）
特開平０３－２４２９２２（ＪＰ，Ａ）
特開平０６－１９６５４７（ＪＰ，Ａ）
特開平０２－１０２５３６（ＪＰ，Ａ）
実開平０２－１１０６６６（ＪＰ，Ｕ）
特開平０５－２２６３３４（ＪＰ，Ａ）
特開平０６－１８１２０９（ＪＰ，Ａ）
実開平０４－１８６５５（ＪＰ，Ｕ）
実開平０３－５００４９（ＪＰ，Ｕ）
特開平０５－５５１４５（ＪＰ，Ａ）
特開平０３－２７１１９３（ＪＰ，Ａ）