(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3999945号
(P3999945)
(45)発行日　平成19年10月31日(2007.10.31)　(24)登録日　平成19年8月17日(2007.8.17)

(51)Int.Cl.　F I
H01L 25/065 (2006.01)　H01L 25/08 Z
H01L 25/07 (2006.01)
H01L 25/18 (2006.01)

請求項の数 10　(全 14 頁)

(21)出願番号　特願2001-149341(P2001-149341)
(22)出願日　平成13年5月18日(2001.5.18)
(65)公開番号　特開2002-343934(P2002-343934A)
(43)公開日　平成14年11月29日(2002.11.29)
審査請求日　平成17年7月6日(2005.7.6)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100070437
弁理士　河井　将次

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
第１の接続電極と、この第１の接続電極に電気的に接続された第１の配線と、第１のアライメントマークとを備えた基板に、上記第１の配線と電気的に接続した状態で半導体素子を実装する工程と、
第２の接続電極と、この第２の接続電極に電気的に接続された第２の配線とを備え両面に接着剤層が形成されたコア基板と、上記半導体素子を実装した基板とを上記第１のアライメントマークの認識により位置決めして積層する工程と、
上記接着剤が硬化せずに溶融する１２０℃以下の温度にて熱圧着を行い、接着剤のタック力にて上記半導体素子を実装した基板を上記コア基板に仮固定する工程と
を具備することを特徴とする半導体装置の製造方法。
【請求項２】
前記半導体素子を実装した基板を仮固定したコア基板を三次元的に位置決めを行いながら複数枚積層し、熱プレスにより接着する工程を更に具備することを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項３】
前記半導体素子を実装した基板を仮固定したコア基板を三次元的に位置決めを行いながら複数枚積層し、これら複数のコア基板を機械的に仮固定する工程と、前記機械的に仮固定した複数枚のコア基板を熱プレスにより接着する工程とを更に具備することを特徴とする請求項１に記載の半導体装置の製造方法。

【請求項４】
前記コア基板は、積層用の第２のアライメントマークを有し、前記第１のアライメントマークと上記第２のアライメントマークとで前記三次元的な位置決めが行われることを特徴とする請求項２または３に記載の半導体装置の製造方法。
【請求項５】
第１の接続電極と、この第１の接続電極に電気的に接続された第１の配線と、アライメントマークとを備えた基板に、上記第１の配線と電気的に接続した状態で半導体素子を実装する工程と、
第２の接続電極と、この第２の接続電極に電気的に接続された第２の配線と、積層のための位置決め用のピン孔とを備え両面に接着剤層が形成されたコア基板と、上記半導体素子を実装した基板とを上記アライメントマークの認識により位置決めして積層する工程と、
上記接着剤が硬化せずに溶融する１２０℃以下の温度にて熱圧着を行い、接着剤のタック力にて上記半導体素子を実装した基板を上記コア基板に仮固定する工程と、
上記半導体素子を実装した基板を仮固定したコア基板を、上記位置決め用のピン孔を用いて、ピンを立てた治具板に複数枚積層して組み込む工程と、
上記複数枚のコア基板を熱プレスにより接着する工程と
を具備することを特徴とする半導体装置の製造方法。
【請求項６】
前記半導体素子が実装された基板と、前記両面に接着剤層が形成されたコア基板の第２の接続電極部分は、それぞれ金属が充填されたヴィアを備えることを特徴とする請求項２乃至５いずれか１つの項に記載の半導体装置の製造方法。
【請求項７】
前記ヴィアに充填された金属は、Ｃｕ、Ｓｎ、及びＳｎ－Ａｇを含むグループの中から選択されたいずれか１つの材料であることを特徴とする請求項６に記載の半導体装置の製造方法。
【請求項８】
前記ヴィア内に形成された金属の表面に設けられ、Ｓｎ、Ｓｎ－Ａｇ、Ｓｎ－Ｐｂ、及びＡｕを含むグループの中から選択されたいずれか１つの材料からなるメッキ層を更に具備することを特徴とする請求項７に記載の半導体装置の製造方法。
【請求項９】
前記半導体素子が実装された基板及び前記コア基板の少なくとも一方における完成時に除去される領域の一部に設けられ、前記接着剤層の厚さを部分的に薄くするためのダミーパターンを更に備えることを特徴とする請求項１乃至８いずれか１つの項に記載の半導体装置の製造方法。
【請求項１０】
前記接着剤が硬化せずに溶融する１２０℃以下の温度は、６０℃から１２０℃の範囲であることを特徴とする請求項１乃至９いずれか１つの項に記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体装置の製造方法に関するもので、特に半導体素子を積層して実装する積層パッケージに関するものである。
【０００２】
【従来の技術】
近年、半導体装置は、高密度実装化を図るために、半導体素子を積層して実装することが多くなっている。従来用いられている積層パッケージについては、例えば特開平９－２１９４９０号公報、特開平１０－１３５２６７号公報、及び特開平１０－１６３４１４号公報等に記載されている。
【０００３】

これら従来の積層パッケージでは、ＴＳＯＰ（Thin Small Outline Package）、ＴＣＰ（Tape Carrier Package）、ＢＧＡ（Ball grid Arrays）等のパッケージを組立完成させた後、各パッケージに予め設けた外部端子を個別に積み重ねることにより各々を積層し、さらに電気的接続を行って完成させる。

【０００４】

すなわち、従来の積層パッケージは、各パッケージの組立工程に加え、各パッケージ毎の積層加工工程が加わる。従って、工程数が積層個数分増加するシーケンシャルな工法になり、この工法による加工コストの増加、また個別に積層するためのスペーサ等の部材を用いることによるコストの増加が大きな問題となっている。

【０００５】

【発明が解決しようとする課題】

上記のように従来の半導体装置の製造方法は、工程数が積層個数分増加するシーケンシャルな工法であり、加工コストの増加や積層するための部材を用いることによるコストの増加を招くという問題があった。

【０００６】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、工程数を削減するとともに、積層するための部材を不要にして低コスト化を図れる半導体装置の製造方法を提供することにある。

【０００７】

【課題を解決するための手段】

この発明の半導体装置の製造方法は、第１の接続電極と、この第１の接続電極に電気的に接続された第１の配線と、第１のアライメントマークとを備えた基板に、上記第１の配線と電気的に接続した状態で半導体素子を実装する工程と、第２の接続電極と、この第２の接続電極に電気的に接続された第２の配線とを備え両面に接着剤層が形成されたコア基板と、上記半導体素子を実装した基板とを上記第１のアライメントマークの認識により位置決めして積層し、上記接着剤が硬化せずに溶融する温度にて熱圧着を行い、接着剤のタック力にて上記半導体素子を実装した基板を上記コア基板に仮固定する工程とを具備することを特徴としている。

【０００８】

また、この発明の半導体装置の製造方法は、第１の接続電極と、この第１の接続電極に電気的に接続された第１の配線と、アライメントマークとを備えた基板に、上記第１の配線と電気的に接続した状態で半導体素子を実装する工程と、第２の接続電極と、この第２の接続電極に電気的に接続された第２の配線と、積層のための位置決め用のピン孔とを備え両面に接着剤層が形成されたコア基板と、上記半導体素子を実装した基板とを上記アライメントマークの認識により位置決めして積層し、上記接着剤が硬化せずに溶融する温度にて熱圧着を行い、接着剤のタック力にて上記半導体素子を実装した基板を上記コア基板に仮固定する工程と、上記半導体素子を実装した基板を仮固定したコア基板を、上記位置決め用のピン孔を用いて、ピンを立てた治具板に複数枚積層して組み込む工程と、上記複数枚のコア基板を熱プレスにより接着する工程とを具備することを特徴としている。

【０００９】

更に、この発明の半導体装置の製造方法は、第１の接続電極と、この第１の接続電極に電気的に接続された第１の配線と、位置決め用の第１のピン孔を備えた基板に、上記第１の配線と電気的に接続した状態で半導体素子を実装する工程と、第２の接続電極と、この第２の接続電極に電気的に接続された第２の配線と、積層のための位置決め用の第２のピン孔とを備え両面に接着剤層が形成されたコア基板と、上記半導体素子を実装した基板とを、上記第１及び第２の位置決め用のピン孔を用いて、ピンを立てた治具板に複数枚積層して組み込む工程と、上記半導体素子を実装した基板をコア基板に熱プレスにより接着するとともに、複数枚積層したコア基板を接着する工程とを具備することを特徴としている。

【００１０】

上記のような構成によれば、工程数を削減するとともに、積層するための部材を不要にし

て低コスト化を図れる。また、積層するための部材が不要であるので、積層パッケージの薄厚化も図れる。

【００１１】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

［第１の実施の形態］

図１は、この発明の第１の実施の形態に係る半導体装置の製造方法について説明するためのフローチャート、図２は個片化されたＰＴＰ（Paper Thin Package）基板のパターン平面図、図３は上記図２に示したＰＴＰ基板とコア基板とを積層した状態を示す断面図である。また、図４乃至図８はそれぞれ図３におけるＰＴＰ基板とコア基板における接続電極部分の構成例を示す拡大断面図であり、ヴィアに充填される金属の種々の組み合わせを示している。

【００１２】

まず、図１及び図２に示す如く、ガラスエポキシやポリイミド等からなるＰＴＰ基板１１に、半導体チップ（半導体素子）１２を実装する（ステップ１）。上記ＰＴＰ基板１１は、接続電極、この接続電極に電気的に接続されたＣｕ配線１３、及び位置決め用のアライメントマーク１４Ａ，１４Ｂを備えており、上記半導体チップ１２は、上記Ｃｕ配線１３と電気的に接続した状態で実装される。

【００１３】

次に、上記のような構成のＰＴＰ基板１１と、接続電極、及びこの接続電極に電気的に接続された配線を備え、両面に接着剤が塗布されたコア基板とを、上記アライメントマーク１４Ａ，１４Ｂの認識により位置決めして積層し、エポキシ系の接着剤が硬化しない温度である１２０℃以下（例えば６０℃～１２０℃）の熱圧着ツールにて、ＰＴＰ基板１１とコア基板の熱圧着を行い、接着剤のタック力にて仮固定する（ステップ２）。この際、上記ＰＴＰ基板を吸着してピックアップするためのコレットに加熱ツールを組み込んだものを用いれば、ＰＴＰ基板のコア基板上への移送と仮固定を連続的に行うことができる。

【００１４】

次に、図３に示すように、ＰＴＰ基板１１－１～１１－３を仮固定したコア基板１５－２～１５－４とコア基板１５－１，１５－５を積層し（ステップ３）、熱プレスにより全層を接着する（ステップ４）。

【００１５】

このような製造方法によれば、ＰＴＰ基板１１－１～１１－３をコア基板１５－２～１５－４に仮固定することにより、熱プレス時に接着剤が溶融しても個片化されたＰＴＰ基板１１－１～１１－３のズレを抑制することができる。また、製造工程数を削減するとともに、積層するための部材を不要にして低コスト化を図れる。更に、スペーサ等の積層するための部材が不要であるので、積層パッケージの薄厚化も図れる。

【００１６】

図４は、図３におけるＰＴＰ基板とコア基板の接続電極部分（破線１７で囲んだ領域）の構成例を示す拡大断面図である。図４に示す如く、コア基板１５－２にはＣｕヴィア（接続電極）２０が形成され、このＣｕヴィア２０のＰＴＰ基板１１－１との接合面側にはＳｎメッキ層２１が形成されている。また、裏面側には、Ｃｕランド２２が形成されている。上記ＰＴＰ基板１１－１のＣｕヴィア２０に対応する位置には、Ｃｕヴィア（接続電極）２３が形成され、このＣｕヴィア２３の表面にはＳｎメッキ層２４が形成され、裏面側にはＣｕランド２５が形成されている。

【００１７】

上記のようにＳｎ／Ｃｕを用いた接続電極構造によれば、パッケージのＰｂフリー化に対応できる。

【００１８】

図５は、図３におけるＰＴＰ基板とコア基板の接続電極部分（破線１７で囲んだ領域）の他の構成例を示す拡大断面図である。図５に示す如く、コア基板１５－２にはＣｕヴィア

（接続電極）２０が形成され、このＣｕヴィア２０のＰＴＰ基板１１－１との接合面側にはＳｎ－Ｐｂメッキ層２６が形成されている。また、裏面側には、Ｃｕランド２２が形成され、このＣｕランド２２の表面にはＳｎメッキ層２７が形成されている。上記ＰＴＰ基板１１－１のＣｕヴィア２０に対応する位置には、Ｓｎ－Ａｇヴィア（接続電極）２８が形成され、このＳｎ－Ａｇヴィア２８の裏面側にはＣｕランド２５が形成されている。更に、上記Ｃｕランド２５の上記Ｓｎ－Ｐｂメッキ層２６に対応する位置にはＳｎ－Ａｇメッキ層２９が形成されている。

【００１９】

上記のようにＳｎ－Ａｇ／Ｓｎ－Ｐｂを用いた接続電極構成では、Ｓｎ－Ｐｂメッキ層２６が熱プレス時に溶融し、高さのバラツキを低減できる。

【００２０】

図６は、図３におけるＰＴＰ基板とコア基板の接続電極部分（破線１７で囲んだ領域）の更に他の構成例を示す拡大断面図である。図６に示す如く、コア基板１５－２にはＣｕヴィア（接続電極）２０が形成され、このＣｕヴィア２０のＰＴＰ基板１１－１との接合面側にはＡｕメッキ層３０が形成されている。また、裏面側には、Ｃｕランド２２が形成され、このＣｕランド２２の表面にはＡｕメッキ層３１が形成されている。上記ＰＴＰ基板１１－１のＣｕヴィア２０に対応する位置には、Ｃｕヴィア（接続電極）２３が形成され、このＣｕヴィア２３の表面側にはＡｕメッキ層３２が形成され、裏面側にはＣｕランド２５が形成されている。更に、上記Ｃｕランド２５の上記Ａｕメッキ層３０に対応する位置にはＡｕメッキ層３３が形成されている。

【００２１】

上記のようにＡｕ／Ａｕを用いた接続電極構成は、ランド２２，２５の酸化防止の効果があり、Ａｕはやわらかいためプレス時につぶれ、ヴィアの高さバラツキを吸収することができる。これにより、各層の電極接続特性を向上できる。

【００２２】

図７は、図３におけるＰＴＰ基板とコア基板の接続電極部分（破線１７で囲んだ領域）の別の構成例を示す拡大断面図である。図７に示す如く、コア基板１５－２にはＣｕヴィア（接続電極）２０が形成され、このＣｕヴィア２０のＰＴＰ基板１１－１との接合面の裏面側には、Ｃｕランド２２が形成されている。上記ＰＴＰ基板１１－１のＣｕヴィア２０に対応する位置には、Ｃｕヴィア（接続電極）２３が形成され、このＣｕヴィア２３の裏面側にはＣｕランド２５が形成されている。

【００２３】

上記のようにＣｕ／Ｃｕを用いた接続電極構成は安価であり、パッケージのＰｂフリー化にも対応できる。

【００２４】

図８は、図３におけるＰＴＰ基板とコア基板の接続電極部分（破線１７で囲んだ領域）の更に別の構成例を示す拡大断面図である。図８に示す如く、コア基板１５－２にはＣｕヴィア（接続電極）２０が形成され、このＣｕヴィア２０のＰＴＰ基板１１－１との接合面側にはＳｎ－Ａｇメッキ層３４が形成されている。また、裏面側には、Ｃｕランド２２が形成され、このＣｕランド２２の表面にはＳｎメッキ層２７が形成されている。上記ＰＴＰ基板１１－１のＣｕヴィア２０に対応する位置には、Ｓｎヴィア（接続電極）３５が形成され、このＳｎヴィア３５の裏面側にはＣｕランド２５が形成されている。更に、上記Ｃｕランド２５の上記Ｓｎ－Ａｇメッキ層３４に対応する位置にはＳｎメッキ層３６が形成されている。

【００２５】

上記のようにＳｎ－Ａｇ／Ｓｎを用いた接続電極構成は、パッケージのＰｂフリー化に対応でき、ランド２５，２２の酸化による接合不良を抑制できる。

【００２６】

図９（ａ），（ｂ）はそれぞれ、上記図２に示したＰＴＰ基板１１の変形例を示している。（ａ）図に示すように、このＰＴＰ基板１１’における破線４０で示す製品となり得る

範囲外には、Ｃｕ等からなるダミーパターン４１Ａ，４１Ｂが設けられている。また、（ｂ）図に示すように、コア基板１５に塗布された接着剤層にも上記ダミーパターン４１に対応する位置にＣｕ等からなるダミーパターン４２が設けられている。

【００２７】

このようなダミーパターン４１，４２を設ければ、接着剤厚が薄くなることにより、熱プレス時に溶融する接着剤層が部分的に少なくなり、コア基板１５とＰＴＰ基板１１’のズレをより少なくできる。

【００２８】

なお、ここではＰＴＰ基板１１’とコア基板１５の両方にダミーパターン４１，４２を設ける例を説明したが、いずれか一方でも良い。

【００２９】

［第２の実施の形態］

図１０（ａ），（ｂ），（ｃ）はそれぞれ、この発明の第２の実施の形態に係る半導体装置の製造方法について説明するためのもので、（ａ）図はフローチャート、（ｂ）図及び（ｃ）図はそれぞれコア基板に設けられた積層用のアライメントマークの一例である。本実施の形態では、ＰＴＰ基板だけでなく、コア基板にも積層用のアライメントマークを設け、積層用のアライメントマークを用いてコア基板の位置決めをするようにしている。すなわち、まず、ガラスエポキシやポリイミド等からなるＰＴＰ基板１１に、半導体チップ１２を実装する（ステップ１）。上記ＰＴＰ基板１１は、図２と同様に、接続電極、この接続電極に電気的に接続されたＣｕ配線１３、及び積層する際の位置決め用のアライメントマーク１４Ａ，１４Ｂを備えており、上記半導体チップ１２は、上記Ｃｕ配線１３と電気的に接続した状態で実装される。

【００３０】

次に、上記のような構成のＰＴＰ基板と、接続電極、この接続電極に電気的に接続された配線、及びこの配線と同時にパターニング形成された（ｂ）図及び（ｃ）図に示すような積層用のアライメントマークを有し、両面に接着剤が塗布されたコア基板とを、上記ＰＴＰ基板１１のアライメントマーク１４Ａ，１４Ｂの認識により位置決めして積層し、エポキシ系の接着剤が硬化しない温度である１２０℃以下（例えば６０℃～１２０℃）の熱圧着ツールにて、積層したＰＴＰ基板とコア基板の熱圧着を行い、接着剤のタック力にて仮固定する（ステップ２）。この際、上述した第１の実施の形態と同様に、上記ＰＴＰ基板を吸着してピックアップするコレットに加熱ツールを組み込んだものを用いれば、コア基板へのＰＴＰ基板の移送と仮固定を連続的に行うことができる。

【００３１】

次に、ＰＴＰ基板を複数枚仮固定したコア基板を、上記コア基板の（ｂ）図及び（ｃ）図に示すアライメントマークにより位置決めした後（ステップ３）、コア基板を複数枚積層し（ステップ４）、熱プレスにより接着する（ステップ５）。

【００３２】

このような製造方法によれば、コア基板に設けた積層用のアライメントマークは、配線とともにパターニング形成するため、積層ズレをパターン精度まで向上できる。

【００３３】

［第３の実施の形態］

図１１は、この発明の第３の実施の形態に係る半導体装置の製造方法について説明するためのフローチャートである。まず、ガラスエポキシやポリイミド等からなるＰＴＰ基板１１に、半導体チップ１２を実装する（ステップ１）。上記ＰＴＰ基板１１は、図２と同様に、接続電極、この接続電極に電気的に接続されたＣｕ配線１３、及び積層する際の位置決め用のアライメントマーク１４Ａ，１４Ｂを備えており、上記半導体チップ１２は、上記Ｃｕ配線１３と電気的に接続した状態で実装される。

【００３４】

次に、上記のような構成のＰＴＰ基板と、接続電極、この接続電極に電気的に接続された配線、及びこの配線と同時にパターニング形成された積層用のアライメントマークを有し

、両面に接着剤が塗布されたコア基板とを、上記ＰＴＰ基板のアライメントマークの認識により位置決めして積層し、エポキシ系の接着剤が硬化しない温度である１２０℃以下（例えば６０℃～１２０℃）の熱圧着ツールにて、ＰＴＰ基板とコア基板の熱圧着を行い、接着剤のタック力にて仮固定する（ステップ２）。この際、上記ＰＴＰ基板を吸着してピックアップするコレットに加熱ツールを組み込んだものを用いれば、コア基板へのＰＴＰ基板の移送と仮固定を連続的に行うことができる。

【００３５】

次に、ＰＴＰ基板を複数枚仮固定したコア基板を、コア基板のアライメントマークにより位置決めし（ステップ３）、コア基板を複数枚積層して（ステップ４）、例えばステープラー（stapler）にて、複数枚のコア基板を機械的に仮固定する（ステップ５）。

【００３６】

その後、上記機械的に仮固定したコア基板を熱プレスにより接着する（ステップ６）。

【００３７】

このような製造方法によれば、仮固定によりＰＴＰ基板を搭載し、積層用のアライメントマークを備えたコア基板の位置決めを行い、更に機械的に複数枚のコア基板を仮固定し、その後、熱プレスにより接着するので、積層ズレをより低減して高精度に積層できる。

【００３８】

［第４の実施の形態］

図１２は、この発明の第４の実施の形態に係る半導体装置の製造方法について説明するためのフローチャートである。また、図１３は、ＰＴＰ基板を複数枚仮固定したコア基板を複数枚積層した状態を示す斜視図である。

【００３９】

まず、ガラスエポキシやポリイミド等からなるＰＴＰ基板１１に、半導体チップ１２を実装する（ステップ１）。上記ＰＴＰ基板１１は、図２と同様に、接続電極、この接続電極に電気的に接続されたＣｕ配線１３、及び積層する際の位置決め用のアライメントマーク１４Ａ，１４Ｂを備えており、上記半導体チップ１２は、上記Ｃｕ配線１３と電気的に接続した状態で実装される。

【００４０】

次に、上記のような構成のＰＴＰ基板と、接続電極、この接続電極に電気的に接続された配線、及び積層のための位置決め用のピン孔を有し、両面に接着剤が塗布されたコア基板５０－１～５０－３を、上記ＰＴＰ基板のアライメントマークの認識により位置決めして積層し、エポキシ系の接着剤が硬化しない温度である１２０℃以下（例えば６０℃～１２０℃）の熱圧着ツールにて、ＰＴＰ基板とコア基板の熱圧着を行い、接着剤のタック力にて仮固定する（ステップ２）。この際、上記ＰＴＰ基板を吸着してピックアップするコレットに加熱ツールを組み込んだものを用いれば、コア基板へのＰＴＰ基板の移送と仮固定を連続的に行うことができる。

【００４１】

その後、図１３に示すように、上記コア基板５０－１～５０－３の位置決め用のピン孔に、治具板５２のピン５１Ａ，５１Ｂ，５１Ｃ，…を貫通させて順次組み込んで複数枚積層する。

【００４２】

そして、上記ＰＴＰ基板１１－１，１１－２，１１－３，…とコア基板５０－１～５０－３を熱プレスにより接着する（ステップ４）。

【００４３】

このような製造方法であっても、上述した第１乃至第３の実施の形態に係る製造方法と同様な効果が得られる。

【００４４】

［第５の実施の形態］

図１４は、この発明の第５の実施の形態に係る半導体装置の製造方法について説明するためのフローチャートである。まず、ガラスエポキシやポリイミド等からなるＰＴＰ基板１

１に、半導体チップ１２を実装する（ステップ１）。上記ＰＴＰ基板１１は、図２と同様に、接続電極、この接続電極に電気的に接続されたＣｕ配線１３、及び積層する際の位置決め用のアライメントマーク１４Ａ，１４Ｂを備えており、上記半導体チップ１２は、上記Ｃｕ配線１３と電気的に接続した状態で実装される。

【００４５】

次に、上記のような構成の複数のＰＴＰ基板と、接続電極、この接続電極に電気的に接続された配線、及び積層時の位置合わせ用の切込みを備え、両面に接着剤が塗布されたコア基板を、上記ＰＴＰ基板のアライメントマークの認識により位置決めして積層し、エポキシ系の接着剤が硬化しない温度である１２０℃以下（例えば６０℃～１２０℃）の熱圧着ツールにて、ＰＴＰ基板とコア基板の熱圧着を行い、接着剤のタック力にて仮固定する（ステップ２）。この際、上記ＰＴＰ基板を吸着してピックアップするコレットに加熱ツールを組み込んだものを用いれば、コア基板へのＰＴＰ基板の移送と仮固定を連続的に行うことができる。

【００４６】

その後、位置合わせ用の切込みを備えたコア基板を、図１３に示した第４の実施の形態と同様に、ピンを立てた治具板に組み込んで複数枚積層する（ステップ３）。

【００４７】

そして、上記複数枚積層したＰＴＰ基板とコア基板を熱プレスにより接着する（ステップ４）。

【００４８】

このような製造方法であっても、基本的には上記第４の実施の形態に係る半導体装置の製造方法と同様な作用効果が得られる。

【００４９】

［第６の実施の形態］

図１５は、この発明の第６の実施の形態に係る半導体装置の製造方法について説明するためのフローチャートである。図１６は、本実施の形態におけるＰＴＰ基板とコア基板を複数枚積層した状態を示す斜視図である。まず、ガラスエポキシやポリイミド等からなるＰＴＰ基板１１に、半導体チップ１２を実装する（ステップ１）。上記ＰＴＰ基板１１は、接続電極、この接続電極に電気的に接続されたＣｕ配線１３、及び積層する際の位置決め用のピン孔を備えており、上記半導体チップ１２は、上記Ｃｕ配線１３と電気的に接続した状態で実装される。

【００５０】

次に、図１６に示すように、上記のような構成のＰＴＰ基板１１－１，１１－２，１１－３，…と、接続電極、この接続電極に電気的に接続された配線、及び積層用の位置決め用のピン孔を有し、両面に接着剤が塗布されたコア基板６０－１～６０－４を、それぞれの位置決めを行うピン６１Ａ，６１Ｂ，６１Ｃ，…を立てた治具板６２に順次組み込んで積層する（ステップ２）。

【００５１】

その後、上記コア基板６０－１～６０－４とＰＴＰ基板１１－１，１１－２，１１－３，…とを熱プレスにより一括して接着する（ステップ３）。

【００５２】

上記のような製造方法によれば、積層工程をより簡単化でき、工程数を削減するとともに、積層するための部材を不要にして低コスト化を図れる。

【００５３】

以上第１乃至第６の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも１つが解決でき、発明の効果の欄で述

べられている効果の少なくとも１つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【００５４】

【発明の効果】

以上説明したように、この発明によれば、工程数を削減するとともに、積層するための部材を不要にして低コスト化を図れる半導体装置の製造方法が得られる。

【図面の簡単な説明】

【図１】この発明の第１の実施の形態に係る半導体装置の製造方法について説明するためのフローチャート。

【図２】個片化されたＰＴＰ基板のパターン平面図。

【図３】図２に示したＰＴＰ基板とコア基板とを積層した状態を示す断面図。

【図４】図３におけるＰＴＰ基板とコア基板の接続電極部分の構成例を示す拡大断面図。

【図５】図３におけるＰＴＰ基板とコア基板の接続電極部分の他の構成例を示す拡大断面図。

【図６】図３におけるＰＴＰ基板とコア基板の接続電極部分の更に他の構成例を示す拡大断面図。

【図７】図３におけるＰＴＰ基板とコア基板の接続電極部分の別の構成例を示す拡大断面図。

【図８】図３におけるＰＴＰ基板とコア基板の接続電極部分の更に別の構成例を示す拡大断面図。

【図９】図２に示したＰＴＰ基板の変形例について説明するためのもので、（ａ）図はＰＴＰ基板の平面図、（ｂ）図はＰＴＰ基板とコア基板とを積層した状態を示す部分断面図。

【図１０】この発明の第２の実施の形態に係る半導体装置の製造方法について説明するためのもので、（ａ）図はフローチャート、（ｂ）図及び（ｃ）図はそれぞれコア基板に設けられた積層用のアライメントマークの一例を示す図。

【図１１】この発明の第３の実施の形態に係る半導体装置の製造方法について説明するためのフローチャート。

【図１２】この発明の第４の実施の形態に係る半導体装置の製造方法について説明するためのフローチャート。

【図１３】この発明の第４の実施の形態に係る半導体装置の製造方法について説明するためのもので、ＰＴＰ基板を複数枚仮固定したコア基板を複数枚積層した状態を示す斜視図。

【図１４】この発明の第５の実施の形態に係る半導体装置の製造方法について説明するためのフローチャート。

【図１５】この発明の第６の実施の形態に係る半導体装置の製造方法について説明するためのフローチャート。

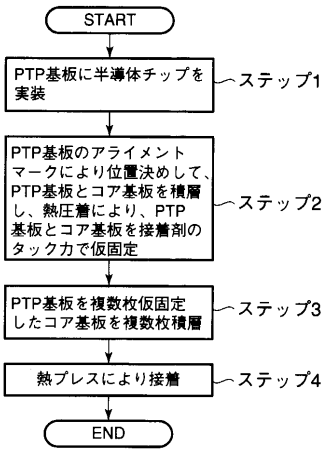
【図１６】この発明の第６の実施の形態に係る半導体装置の製造方法について説明するためのもので、ＰＴＰ基板とコア基板を複数枚積層した状態を示す斜視図。

【符号の説明】

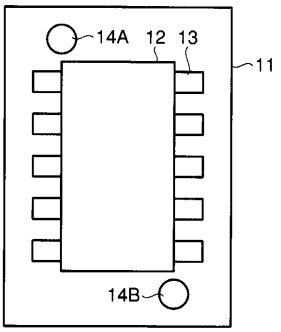
１１，１１－１～１１－３…ＰＴＰ基板、
１２…半導体チップ（半導体素子）、
１３…Ｃｕ配線、
１４Ａ，１４Ｂ…アライメントマーク、
１５，１５－１～１５－５，５０－１～５０－３，６０－１～６０－４…コア基板、
２０…Ｃｕヴィア（接続電極）、
２１，２４，２７…Ｓｎメッキ層、
２２…Ｃｕランド、
２３…Ｃｕヴィア（接続電極）、
２５…Ｃｕランド、

２６…Ｓｎ－Ｐｂメッキ層、
２８…Ｓｎ－Ａｇヴィア（接続電極）、
２９…Ｓｎ－Ａｇメッキ層、
３０，３１，３２，３３…Ａｕメッキ層、
４１，４１Ａ，４１Ｂ，４２…ダミーパターン、
５１Ａ，５１Ｂ，５１Ｃ，６１Ａ，６１Ｂ，６１Ｃ…ピン、
５２，６２…治具板。

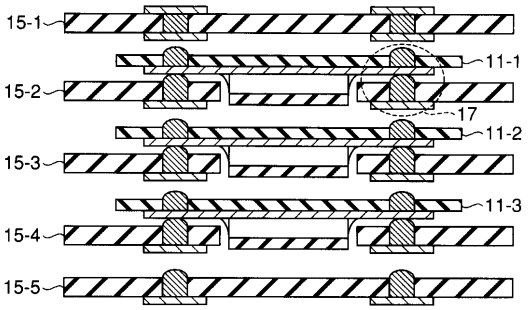
【図１】



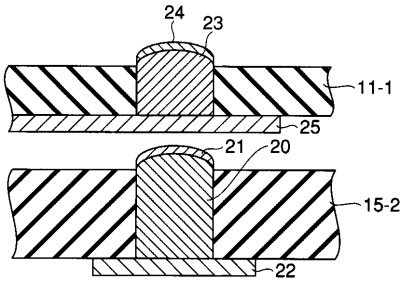
【図２】



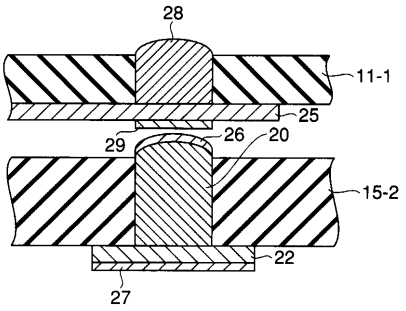
【図３】



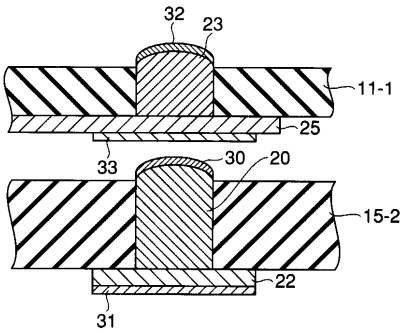
【図４】



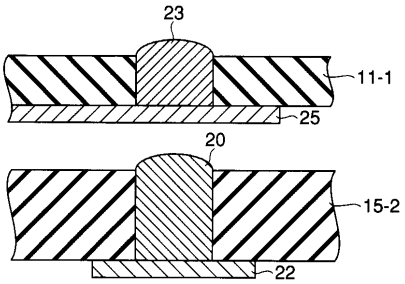
【図５】



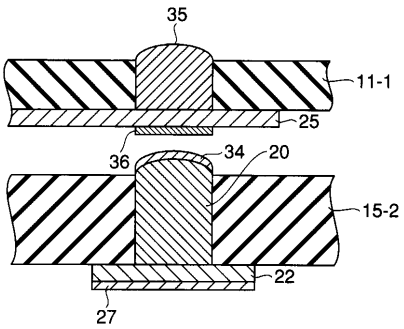
【図６】



【図７】

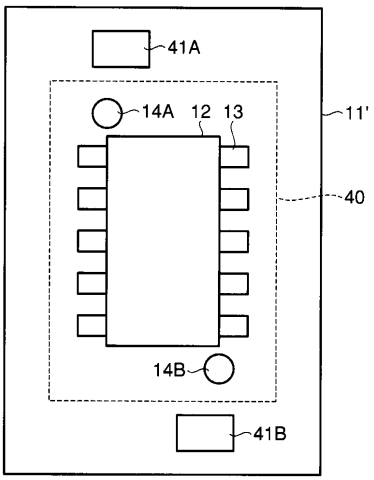


【図８】

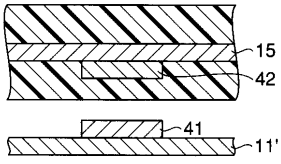


【図９】

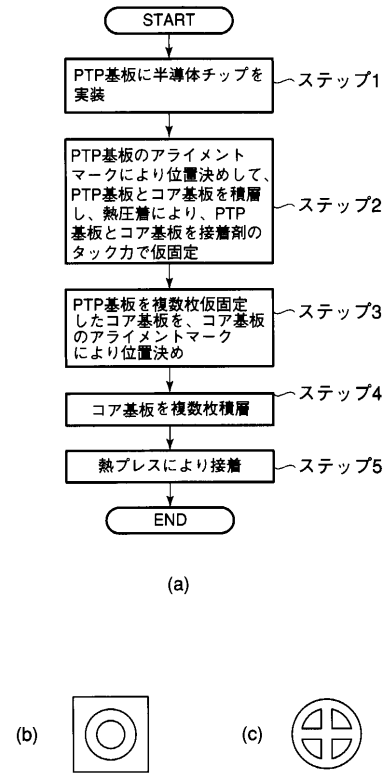
(a)



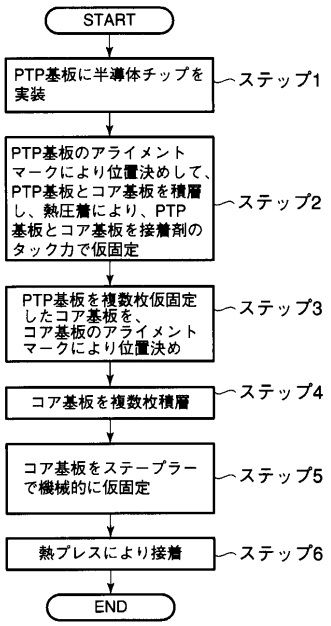
(b)



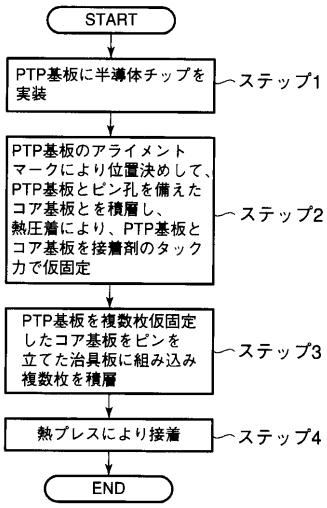
【図１０】



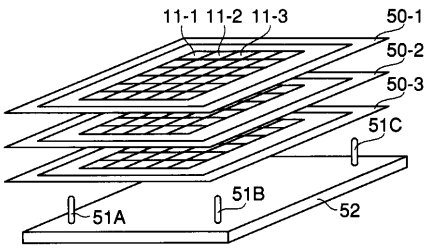
【図１１】



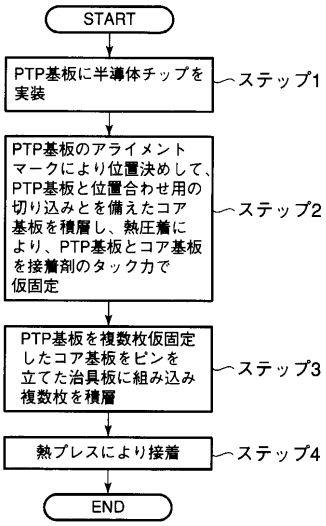
【図１２】



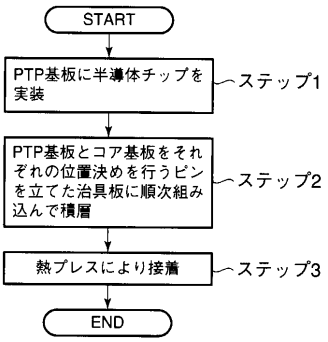
【図１３】



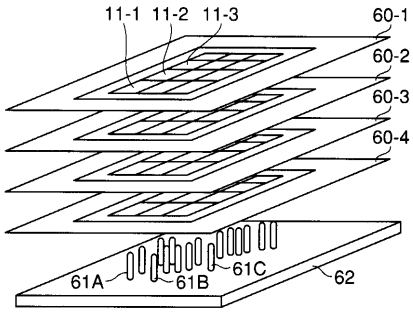
【図１４】


START
PTP基板に半導体チップを実装
ステップ1
PTP基板のアライメントマークにより位置決めして、PTP基板と位置合わせ用の切り込みとを備えたコア基板を積層し、熱圧着により、PTP基板とコア基板を接着剤のタック力で仮固定
ステップ2
PTP基板を複数枚仮固定したコア基板をピンを立てた治具板に組み込み複数枚を積層
ステップ3
熱プレスにより接着
ステップ4
END

【図１５】


START
PTP基板に半導体チップを実装
ステップ1
PTP基板とコア基板をそれぞれの位置決めを行うピンを立てた治具板に順次組み込んで積層
ステップ2
熱プレスにより接着
ステップ3
END

【図１６】


11-1
11-2
11-3
60-1
60-2
60-3
60-4
61A
61B
61C
62

フロントページの続き

(72)発明者　大溝　尚子
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者　芳村　淳
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者　松井　幹雄
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者　佐藤　隆夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内

審査官　酒井　英夫

(56)参考文献　特開平０４－１９２５５４（ＪＰ，Ａ）
特開平０５－０７５０１４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 25/00-25/18