



(12) 发明专利申请

(10) 申请公布号 CN 118591851 A

(43) 申请公布日 2024. 09. 03

(21) 申请号 202280089958.5

(22) 申请日 2022.12.26

(30) 优先权数据

2022-012344 2022.01.28 JP

(85) PCT国际申请进入国家阶段日

2024.07.24

(86) PCT国际申请的申请数据

PCT/JP2022/047990 2022.12.26

(87) PCT国际申请的公布数据

W02023/145365 JA 2023.08.03

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 青木瑠也

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

专利代理师 龙淳 王昊

(51) Int.Cl.

H01F 27/29 (2006.01)

H01F 17/00 (2006.01)

H01F 27/00 (2006.01)

H01F 27/30 (2006.01)

H01G 4/40 (2006.01)

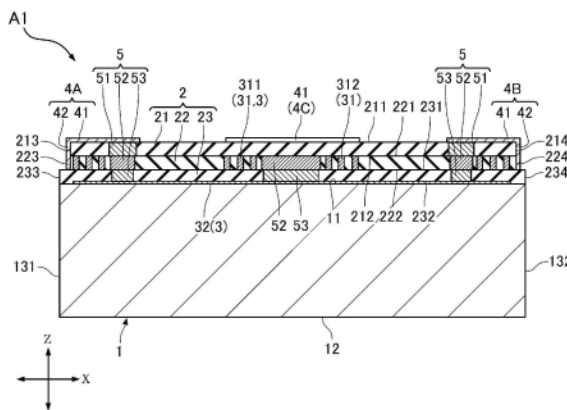
权利要求书2页 说明书12页 附图25页

(54) 发明名称

电子部件和电子部件的制造方法

(57) 摘要

一种电子部件,包括功能部、第1绝缘层、外部电极和配线部。所述第1绝缘层具有朝向厚度方向的一方的第1主面和朝向与所述厚度方向交叉的第1方向的一方的第1侧面。所述外部电极与所述功能部导通。所述配线部将所述功能部与所述外部电极电连接。所述外部电极包括覆盖所述第1主面的主面覆盖部和覆盖所述第1侧面的侧面覆盖部。所述功能部例如包括电感部或电容部。



1. 一种电子部件,其特征在于,包括:
功能部;
具有朝向厚度方向的一方的第1主面和朝向与所述厚度方向交叉的第1方向的一方的第1侧面的第1绝缘层;
与所述功能部导通的外部电极;和
将所述功能部与所述外部电极电连接的配线部,
所述外部电极包括覆盖所述第1主面的主面覆盖部和覆盖所述第1侧面的侧面覆盖部。
2. 如权利要求1所述的电子部件,其特征在于:
所述功能部包括电感部。
3. 如权利要求2所述的电子部件,其特征在于,还包括:
具有朝向所述厚度方向的一方的第2主面和朝向所述第1方向的一方的第2侧面的第2绝缘层;和
具有朝向所述厚度方向的一方的第3主面的第3绝缘层,
所述第1绝缘层层叠在所述第2主面上,
所述第2绝缘层层叠在所述第3主面上。
4. 如权利要求3所述的电子部件,其特征在于:
所述电感部形成于所述第2绝缘层。
5. 如权利要求3或4所述的电子部件,其特征在于:
所述侧面覆盖部从所述第1侧面延伸至所述第2侧面。
6. 如权利要求3至5中的任一项所述的电子部件,其特征在于:
从所述厚度方向观察,所述第1侧面位于比所述第2侧面靠内侧的位置。
7. 如权利要求3至6中的任一项所述的电子部件,其特征在于:
所述功能部包括电容部。
8. 如权利要求7所述的电子部件,其特征在于:
还包括绝缘基片,
所述绝缘基片具有朝向所述厚度方向的一方的基片主面,
所述第3绝缘层配置在所述基片主面上。
9. 如权利要求8所述的电子部件,其特征在于:
所述电容部在所述厚度方向上被所述绝缘基片与所述第3绝缘层夹着。
10. 一种电子部件的制造方法,其特征在于,包括:
形成功能部的功能部形成工序;
形成第1绝缘层的第1绝缘层形成工序,所述第1绝缘层具有朝向厚度方向的一侧的第1主面和朝向与所述厚度方向交叉的第1方向的一侧的第1侧面;
形成配线部的配线部形成工序;和
形成外部电极的外部电极形成工序,所述外部电极包括覆盖所述第1主面的主面覆盖部和覆盖所述第1侧面的侧面覆盖部,
所述配线部包含形成于所述第1绝缘层的第1配线部,
所述侧面覆盖部和所述第1配线部的每一者与所述主面覆盖部相连,
在所述配线部形成工序和所述外部电极形成工序中,一并形成所述主面覆盖部、所述

侧面覆盖部和所述第1配线部。

11. 如权利要求10所述的电子部件的制造方法,其特征在于:

还具有基片准备工序,准备具有朝向所述厚度方向的一方的基片主面的绝缘基片,所述功能部、所述第1绝缘层和所述配线部配置在所述基片主面上。

12. 如权利要求10或11所述的电子部件的制造方法,其特征在于,还包括:

形成具有朝向所述厚度方向的一方的第2主面的第2绝缘层的第2绝缘层形成工序;和形成具有朝向所述厚度方向的一方的第3主面的第3绝缘层的第3绝缘层形成工序,在所述第2绝缘层形成工序中,将所述第2绝缘层层叠在所述第3主面上,在所述第1绝缘层形成工序中,将所述第1绝缘层层叠在所述第2主面上。

13. 如权利要求12所述的电子部件的制造方法,其特征在于:

所述配线部形成工序包括形成所述第1配线部的第1配线部形成工序,所述第1配线部在所述厚度方向上贯通所述第1绝缘层。

14. 如权利要求13所述的电子部件的制造方法,其特征在于:

所述配线部形成工序包括形成在所述厚度方向上贯通所述第2绝缘层的第2配线部的第2配线部形成工序,

所述第1配线部与所述第2配线部相互导通。

15. 如权利要求14所述的电子部件的制造方法,其特征在于:

所述功能部包括电感部,

所述功能部形成工序包括在所述第2绝缘层形成所述电感部的电感部形成工序。

16. 如权利要求14或15所述的电子部件的制造方法,其特征在于:

所述配线部形成工序包括形成在所述厚度方向上贯通所述第3绝缘层的第3配线部的第3配线部形成工序,

所述第2配线部与所述第3配线部相互导通。

17. 如权利要求12至16中的任一项所述的电子部件的制造方法,其特征在于:

所述第1绝缘层、所述第2绝缘层和所述第3绝缘层由干膜抗蚀剂形成。

电子部件和电子部件的制造方法

技术领域

[0001] 本发明涉及电子部件和电子部件的制造方法。

背景技术

[0002] 现有技术中,已知有包括电感器、电容器和晶体管等功能部的电子部件。例如,在专利文献1中,作为功能部,公开了包括电感器和电容器的LC复合设备。专利文献1所记载的LC复合器件包括半导体基片、再配线层和多个端子。再配线层形成在半导体基片上。在再配线层中形成电感器和电容器。多个端子配置于再配线层的上表面(与半导体基片相反的一侧的面)。多个端子分别通过形成于再配线层的层间连接导体与电感器或电容器导通。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2017-92292号公报

发明内容

[0006] 发明要解决的课题

[0007] 在将电子部件接合于安装对象(例如电子设备的电路基片)时,要求其接合状态良好。假设在该接合状态不良好的情况下,有可能对安装对象与电子部件的相互导通造成障碍。

[0008] 本发明的一个课题在于提供与现有技术相比实施了改良的电子部件。特别是,鉴于上述情况,本发明的一个课题在于提供一种能够使相对于安装对象的接合状态良好的电子部件。另外,本发明的另一课题在于提供一种对安装对象的接合状态良好的电子部件的制造方法。

[0009] 用于解决课题的方法

[0010] 由本发明的第1方面提供的电子部件包括:功能部;第1绝缘层,其具有朝向厚度方向的一方的第1主面和朝向与所述厚度方向交叉的第1方向的一方的第1侧面;外部电极,其与所述功能部导通;和配线部,其将所述功能部与所述外部电极电连接。所述外部电极包括覆盖所述第1主面的主面覆盖部和覆盖所述第1侧面的侧面覆盖部。

[0011] 由本发明的第2方面提供的电子部件的制造方法包括:功能部形成工序,形成功能部;第1绝缘层形成工序,形成具有朝向厚度方向的一方的第1主面和朝向与所述厚度方向交叉的第1方向的一方的第1侧面的第1绝缘层;配线部形成工序,形成配线部;和外部电极形成工序,形成包含覆盖所述第1主面的主面覆盖部和覆盖所述第1侧面的侧面覆盖部的外部电极。所述配线部包括形成于所述第1绝缘层的第1配线部。所述侧面覆盖部和所述第1配线部分别与所述主面覆盖部相连。在所述配线部形成工序和所述外部电极形成工序中,一并形成所述主面覆盖部、所述侧面覆盖部和所述第1配线部。

[0012] 发明效果

[0013] 根据上述结构,例如能够提供相对于安装对象的接合状态良好的电子部件。

附图说明

- [0014] 图1是表示第1实施方式的电子部件的立体图。
- [0015] 图2是在图1的立体图中透过了密封部件的图。
- [0016] 图3是表示第1实施方式的电子部件的俯视图。
- [0017] 图4是在图3的俯视图中透过了密封部件的图。
- [0018] 图5是在图4的俯视图中省略了密封部件和各外部电极的图。
- [0019] 图6是在图5的俯视图中省略了配线部的一部分(第1配线部)的图。
- [0020] 图7是在图6的俯视图中透过了功能部的一部分(电感部)和配线部的一部分(第2配线部)的图。
- [0021] 图8是表示第1实施方式的电子部件的主视图。
- [0022] 图9是表示第1实施方式的电子部件的后视图。
- [0023] 图10是表示第1实施方式的电子部件的左侧视图。
- [0024] 图11是表示第1实施方式的电子部件的右侧视图。
- [0025] 图12是沿着图4的XII-XII线的截面图。
- [0026] 图13是沿着图4的XIII-XIII线的截面图。
- [0027] 图14是沿着图4的XIV-XIV线的截面图。
- [0028] 图15是表示第1实施方式的电子部件的制造方法的一个工序的截面图。
- [0029] 图16是表示第1实施方式的电子部件的制造方法的一个工序的截面图。
- [0030] 图17是表示第1实施方式的电子部件的制造方法的一个工序的截面图。
- [0031] 图18是表示第1实施方式的电子部件的制造方法的一个工序的截面图。
- [0032] 图19是表示第1实施方式的电子部件的制造方法的一个工序的截面图。
- [0033] 图20是表示第1实施方式的电子部件的制造方法的一个工序的截面图。
- [0034] 图21是表示第1实施方式的电子部件的制造方法的一个工序的截面图。
- [0035] 图22是表示第1实施方式的电子部件的制造方法的一个工序的截面图。
- [0036] 图23是表示第1实施方式的电子部件的制造方法的一个工序的截面图。
- [0037] 图24是表示第1实施方式的电子部件的安装结构的截面图。
- [0038] 图25是表示第2实施方式的电子部件的截面图,与图12的截面对应。
- [0039] 图26是表示第2实施方式的电子部件的制造方法的一个工序的截面图。
- [0040] 图27是表示第2实施方式的电子部件的制造方法的一个工序的截面图。
- [0041] 图28是表示第3实施方式的电子部件的立体图。
- [0042] 图29是表示第4实施方式的电子部件的截面图,与图12的截面对应。
- [0043] 图30是表示第5实施方式的电子部件的截面图,与图12的截面对应。

具体实施方式

[0044] 以下,参照附图对本发明的电子部件的优选实施方式进行说明。以下,对相同或类似的构成要素标注相同的附图标记,并省略重复的说明。本发明中的“第1”、“第2”、“第3”等用语仅用作标签,不一定意图对这些对象物附加排列。

[0045] 在本发明中,“某物A形成于某物B”和“某物A形成于某物B(的)上”只要没有特别说明,则包括“某物A直接形成于某物B”和“某物A与某物B之间夹着其他物并且某物A形成于某

物B”。同样地，“某物A配置于某物B”和“某物A配置于某物B(的)上”只要没有特别说明,则包括“某物A直接配置于某物B”和“在某物A与某物B之间夹着其他物,并且某物A配置于某物B”。同样地,“某物A位于某物B(的)上”只要没有特别说明,则包括“某物A与某物B接触,某物A位于某物B(的)上”、和“某物A与某物B之间存在其他物,并且某物A位于某物B(的)上”。另外,“在某个方向上观察的物体A与某个物体B重叠”只要没有特别说明,则包括“某个物体A与某个物体B的全部重叠”、和“某个物体A与某个物体B的一部分重叠”。另外,“包含某物体A(的构成材料)所具有的材料C”包括“某物体A(的构成材料)由某材料C构成的情况”、和“某物体A(的构成材料)的主成分为某材料C的情况”。

[0046] 第1实施方式:

[0047] 图1~图14表示第1实施方式的电子部件A1。电子部件A1包括绝缘基片1、密封部件2、功能部3、多个外部电极4A~4D和配线部5。

[0048] 为了便于说明,将电子部件A1的厚度方向称为“厚度方向z”。在以下的说明中,有时将厚度方向z的一方称为上方,将另一方称为下方。另外,“上”、“下”、“上方”、“下方”、“上表面”和“下表面”等的记载表示厚度方向z上的各部件等的相对位置关系,并不一定是规定与重力方向的关系的用语。另外,“俯视”是指在厚度方向z上观察时。将与厚度方向z交叉的方向称为“第1方向x”。在本发明中,第1方向x与厚度方向z正交。第1方向x是电子部件A1的俯视图(参照图2~图7)中的左右方向。将与厚度方向z和第1方向x交叉的方向称为“第2方向y”。在本发明中,第2方向y与厚度方向z和第1方向x正交。第2方向y是电子部件A1的俯视图(参照图2~图7)中的上下方向。

[0049] 绝缘基片1支承密封部件2和功能部3。绝缘基片1例如是半导体基片。该半导体基片的构成材料例如包含Si(硅)。绝缘基片1可以不是半导体基片,而是玻璃基片,也可以是陶瓷基片。

[0050] 绝缘基片1具有基片主面11、基片背面12和多个基片侧面131~134。如图8~图14所示,基片主面11和基片背面12在厚度方向z上相互分离。基片主面11朝向厚度方向z上方,基片背面12朝向厚度方向z下方。多个基片侧面131~基片侧面134分别在厚度方向z上被基片主面11和基片背面12夹着。如图3~图9和图12所示,一对基片侧面131、132在第1方向x上相互分离,且在第1方向x上相互朝向相反侧。如图3~图7、图10、图11、图13和图14所示,一对基片侧面133、134在第2方向y上相互分离,且在第2方向y上相互朝向相反侧。

[0051] 密封部件2配置在绝缘基片1的基片主面11上。密封部件2覆盖功能部3。如图1、图2和图8~图14所示,密封部件2包括第1绝缘层21、第2绝缘层22和第3绝缘层23。

[0052] 第1绝缘层21、第2绝缘层22和第3绝缘层23在厚度方向z上层叠。第1绝缘层21、第2绝缘层22和第3绝缘层23的各构成材料例如包含感光性树脂。第1绝缘层21、第2绝缘层22和第3绝缘层23例如由干膜抗蚀剂形成。

[0053] 第1绝缘层21层叠于第2绝缘层22的厚度方向z上方。如图8~图14所示,第1绝缘层21具有第1主面211、第1背面212和多个第1侧面213~216。第1主面211和第1背面212在厚度方向z上相互分离。第1主面211朝向厚度方向z上方,第1背面212朝向厚度方向z下方。多个第1侧面213~216分别在厚度方向z上被第1主面211和第1背面212夹着。一对第1侧面213、214在第1方向x上相互分离,且在第1方向x上相互朝向相反侧。一对第1侧面215、216在第2方向y上相互分离,且在第2方向y上相互朝向相反侧。

[0054] 第2绝缘层22层叠于第3绝缘层23的厚度方向z上方。如图8~图14所示,第2绝缘层22具有第2主面221、第2背面222和多个第2侧面223~226。第2主面221和第2背面222在厚度方向z上相互分离。第2主面221朝向厚度方向z上方,第2背面222朝向厚度方向z下方。第2主面221与第1背面212接触。第1绝缘层21层叠在第2主面221上。多个第2侧面223~226分别在厚度方向z上被第2主面221和第2背面222夹着。一对第2侧面223、224在第1方向x上相互分离,且在第1方向x上相互朝向相反侧。一对第2侧面225、226在第2方向y上相互分离,且在第2方向y上相互朝向相反侧。多个第2侧面223~226分别与多个第1侧面213~216齐平。

[0055] 第3绝缘层23层叠于基片主面11。如图8~图14所示,第3绝缘层23具有第3主面231、第3背面232和多个第3侧面234~236。第3主面231和第3背面232在厚度方向z上相互分离。第3主面231朝向厚度方向z上方,第3背面232朝向厚度方向z下方。第3主面231与第2背面222接触。第2绝缘层22层叠在第3主面231上。多个第3侧面233~236分别在厚度方向z上被第3主面231和第3背面232夹着。一对第3侧面233、234在第1方向x上相互分离,且在第1方向x上相互朝向相反侧。一对第3侧面235、236在第2方向y上相互分离,且在第2方向y上相互朝向相反侧。如图8~图14所示,多个第3侧面233~236分别与多个基片侧面131~134齐平。在俯视时,多个第3侧面233~236分别位于比多个第2侧面223~226靠外方的位置。因此,在俯视时,第3绝缘层23分别相对于第1绝缘层21和第2绝缘层22向第1方向x的两侧和第2方向y的两侧突出。与该结构不同,多个第3侧面233~236也可以分别与多个第2侧面223~226齐平。

[0056] 功能部3是电子部件A1中的电气功能中枢。功能部3包括电感部31和电容部32。电感部31和电容部32例如以构成LC滤波器的方式电连接。LC滤波器可以是低通滤波器、高通滤波器或带通滤波器(带阻滤波器)。功能部3不限于由电感部31和电容部32构成LC滤波器。例如也可以由电感部31和电容部32构成被称为平衡转换器(平衡-不平衡变换器/バラン/balun)的平衡-不平衡转换电路。另外,电感部31和电容部32也可以在电子部件A1的内部不相互电连接。

[0057] 电感部31形成于第2绝缘层22。电感部31包括2个卷绕部311、312。此外,电感部31不限于包括2个卷绕部311、312的例子,也可以包括一个卷绕部,还可以包括三个以上的卷绕部。多个卷绕部311、312的各构成材料包含导电性材料。该导电性材料没有任何限定,例如为铜或铜合金。通过在各卷绕部311、312中流动的电流而得到电感。2个卷绕部311、312分别第2绝缘层22中被平面卷绕。2个卷绕部311、312的各卷绕次数不限于图示的例子。2个卷绕部311、312在第1方向x上排列,经由配线部5相互导通。电感部31不限于形成于第2绝缘层22,也可以跨在第1绝缘层21、第2绝缘层22和第3绝缘层23的厚度方向z上相邻的2个而形成。

[0058] 电容部32形成在绝缘基片1与第3绝缘层23之间,在厚度方向z上被它们夹着。电容部32例如是MIM(Metal-Insulator-Metal)结构。在本实施方式中,电容部32在厚度方向z上按金属层-绝缘体-金属层的顺序层叠,通过2个金属层的形状(配置图案)形成1个以上的电容器。由此,得到电容。在图7所示的例子中,电容部32在俯视时呈矩形状表示,但也可以分割成多个区域。电容部32的结构根据所要求的滤波器的种类而适当变更。

[0059] 多个外部电极4A~4D分别与功能部3(电感部31和电容部32的两者或者任一者)导通。外部电极4A与电感部31中的2个卷绕部311的一者导通。外部电极4B与电感部31中的2个

卷绕部311的另一者导通。另外,外部电极4A和外部电极4B分别与电容部32导通。2个外部电极4C、4D分别与电容部32导通。多个外部电极4A~4D的各构成材料包含导电性材料。该导电性材料没有任何限定,例如为铜或铜合金。

[0060] 如图3和图12~图14所示,多个外部电极4A~4D分别包括主面覆盖部41和侧面覆盖部42。只要没有特别说明,以下说明的主面覆盖部41和侧面覆盖部42在各外部电极4A~4D中共用。

[0061] 主面覆盖部41形成于第1主面211,覆盖第1主面211的一部分。侧面覆盖部42从主面覆盖部41向厚度方向z下方延伸。外部电极4A的侧面覆盖部42从第1侧面213延伸至第2侧面223,覆盖第1侧面213的一部分和第2侧面223的一部分。外部电极4B的侧面覆盖部42从第1侧面214延伸至第2侧面224,覆盖第1侧面214的一部分和第2侧面224的一部分。外部电极4C的侧面覆盖部42从第1侧面215延伸至第2侧面225,覆盖第1侧面215的一部分和第2侧面225的一部分。外部电极4D的侧面覆盖部42从第1侧面216延伸至第2侧面226,覆盖第1侧面216的一部分和第2侧面226的一部分。

[0062] 在各外部电极4A~4D中,在主面覆盖部41的表面(露出的表面)和侧面覆盖部42的表面(露出的表面)的两者或一者实施了镀敷。该镀敷例如可以是(从主面覆盖部41和侧面覆盖部42的表面)依次层叠有镍层、钯层和金层、或者镍层和金层的多层结构,也可以是镍层或金层等单层结构。另外,也可以不实施该镀敷。

[0063] 配线部5将功能部3与多个外部电极4A~4D电连接。配线部5的构成材料包含导电性材料。该导电性材料没有任何限定,例如为铜或铜合金。配线部5包括第1配线部51、第2配线部52和第3配线部53。

[0064] 第1配线部51在厚度方向z上贯通第1绝缘层21,并被第1绝缘层21覆盖。第2配线部52在厚度方向z上贯通第2绝缘层22,并被第2绝缘层22覆盖。第3配线部53在厚度方向z上贯通第3绝缘层23,并被第3绝缘层23覆盖。此外,在图12所示的例子中,第1配线部51、第2配线部52和第3配线部53在俯视时相互重叠的部位成为按照第1配线部51、第2配线部52、第3配线部53的顺序逐渐变细的结构。由此,在制造第1配线部51、第2配线部52和第3配线部53时,即使产生它们的配置误差,也能够更可靠地进行第1配线部51与第2配线部52的接触和第2配线部52与第3配线部53的接触。与该例子不同,第1配线部51、第2配线部52和第3配线部53在俯视时相互重叠的部位可以是相同的大小,相反地,成为按照第3配线部53、第2配线部52、第1配线部51的顺序逐渐变细的结构。

[0065] 在图示的例子中,各外部电极4A~4D如以下那样与功能部3(电感部31和电容部32两者或一者)导通。如图4~图7和图12所示,外部电极4A经由第1配线部51和第2配线部52与卷绕部311(电感部31)导通,并且经由第1配线部51、第2配线部52和第3配线部53与电容部32导通。如图4~图7和图12所示,外部电极4B经由第1配线部51和第2配线部52与卷绕部312(电感部31)导通,并且经由第1配线部51、第2配线部52和第3配线部53与电容部32导通。如图6所示,2个卷绕部311、312经由第2配线部52相互导通。如图13所示,外部电极4C经由第1配线部51、第2配线部52和第3配线部53与电容部32导通。如图14所示,外部电极4D经由第1配线部51、第2配线部52和第3配线部53与电容部32导通。

[0066] 接着,参照图15~图23对电子部件A1的制造方法进行说明。图15~图23是表示电子部件A1的制造方法的一个工序的截面图,与图12所示的电子部件A1的截面对应。电子部

件A1的制造方法例如具有基片准备工序、电容部形成工序、一次绝缘层形成工序、一次配线部形成工序、二次绝缘层形成工序、二次配线部形成工序、三次绝缘层形成工序、抗蚀剂形成工序、三次配线部形成工序、外部电极形成工序和单片化工序。

[0067] 基片准备工序和电容部形成工序：

[0068] 首先，如图15所示，准备绝缘基片1，在所准备的绝缘基片1形成功能部3的电容部32。准备的绝缘基片1例如是半导体基片。在本实施方式中，使用Si晶片作为半导体基片。另外，准备的绝缘基片1可以不是半导体基片而是玻璃基片，也可以是陶瓷基片。另外，形成的电容部32例如是MIM结构。

[0069] 一次绝缘层形成工序：

[0070] 接着，如图16所示，形成第3绝缘层23。一次绝缘层形成工序是形成第3绝缘层23的第3绝缘层形成工序。在该工序中，首先，在绝缘基片1的形成有电容部32的面（基片主面11）粘贴干膜抗蚀剂。该干膜抗蚀剂包含作为感光性树脂的环氧树脂。然后，通过对粘贴的干膜抗蚀剂进行曝光和显影，将该干膜抗蚀剂图案化。由此，如图16所示，形成具有图案83的第3绝缘层23。所形成的图案83在厚度方向z上贯通第3绝缘层23。图案83对应于配置有第3配线部53的区域。

[0071] 一次配线部形成工序：

[0072] 接着，如图17所示，形成第3配线部53。一次配线部形成工序是形成第3配线部53的第3配线部形成工序。在该工序中，使通过一次绝缘层形成工序形成的图案83填充镀铜。在镀铜的填充中，在形成有图案83的第3绝缘层23的上表面，例如通过溅射法和/或蒸镀法形成晶种层后，形成具有规定图案的掩模。然后，通过使用了晶种层的电解镀敷形成镀铜。种子层例如形成钛层和铜层的层叠结构。电解镀后，去除不需要的掩模和不需要的晶种层。另外，镀铜的填充方法并不限于于此。由此，形成第3配线部53。

[0073] 二次绝缘层形成工序：

[0074] 接着，如图18所示，形成第2绝缘层22。二次绝缘层形成工序是形成第2绝缘层22的第2绝缘层形成工序。在该工序中，首先，在第3绝缘层23上粘贴干膜抗蚀剂。该干膜抗蚀剂与一次绝缘层形成工序同样地包含作为感光性树脂的环氧树脂。然后，通过对粘贴的干膜抗蚀剂进行曝光和显影，将该干膜抗蚀剂图案化。由此，如图18所示，形成具有图案821、图案822的第2绝缘层22。所形成的图案821、822在厚度方向z上贯通第2绝缘层22。图案821与配置电感部31（2个卷绕部311、312）的区域对应，图案822与配置第2配线部52的区域对应。

[0075] 二次配线部形成工序和电感部形成工序：

[0076] 接着，如图19所示，形成电感部31和第2配线部52。二次配线部形成工序是形成第2配线部52的第2配线部形成工序。在该工序中，使通过二次绝缘层形成工序形成的图案821、822填充镀铜。通过填充于图案821的镀铜，形成电感部31（2个卷绕部311、312），通过形成于图案822的镀铜，形成第2配线部52。镀铜的填充例如与一次配线部形成工序同样地进行，通过晶种层的形成和电解镀敷进行。此外，二次配线部形成工序和电感部形成工序中的镀铜的填充方法并不限于于此。这样，在本实施方式中，一并形成第2配线部52和电感部31（2个卷绕部311、312）。此外，一次配线部形成工序、二次配线部形成工序和电感部形成工序也可以一并进行。

[0077] 三次绝缘层形成工序：

[0078] 接着,如图20所示,形成第1绝缘层21。三次绝缘层形成工序是形成第1绝缘层21的第1绝缘层形成工序。在该工序中,首先,在第2绝缘层22上粘贴干膜抗蚀剂。该干膜抗蚀剂与一次绝缘层形成工序和二次绝缘层形成工序同样地包含作为感光性树脂的环氧树脂。然后,通过对粘贴的干膜抗蚀剂进行曝光和显影,将该干膜抗蚀剂图案化。由此,如图20所示,形成具有图案81的第1绝缘层21。所形成的图案81在厚度方向z上贯通第1绝缘层21。图案81与配置有第1配线部51的区域对应。

[0079] 抗蚀剂形成工序:

[0080] 接着,如图21所示,形成抗蚀剂89。抗蚀剂89例如通过光刻形成。第1绝缘层21和第2绝缘层22的各端面(与厚度方向z平行的各面)的一部分和第1绝缘层21的上表面(朝向厚度方向z上方的面)的一部分分别从所形成的抗蚀剂89露出。

[0081] 三次配线部形成工序和外部电极形成工序:

[0082] 接着,如图22和图23所示,形成第1配线部51和多个外部电极4A~4D。三次配线部形成工序是形成第1配线部51的第1配线部形成工序。在该工序中,如图22所示,在通过三次绝缘层形成工序形成的图案81和从抗蚀剂89露出的部分分别填充镀铜。通过由图案81形成的镀铜,形成第1配线部51,在从抗蚀剂89露出的部分形成多个外部电极4A~4D。镀铜的填充例如与一次配线部形成工序同样地进行,通过晶种层的形成和电解镀敷进行。此外,三次配线部形成工序和外部电极形成工序中的镀铜的填充方法并不限于此。这样,在本实施方式中,一并形成第1配线部51和多个外部电极4A~4D。之后,如图23所示,去除抗蚀剂89。在去除抗蚀剂89之后,例如也可以通过无电解镀,对各外部电极4A~4D的露出表面实施电镀。

[0083] 单片化工序:

[0084] 接着,如图23所示,沿着切断线CL切断绝缘基片1等。切断方法没有任何限定,例如使用刀片切割或激光切割等。由此,绝缘基片1被分割。经过以上的工序,制造图1~图14所示的电子部件A1。

[0085] 接着,参照图24对电子部件A1的安装结构进行说明。图24表示将电子部件A1安装于作为安装对象的电路基片90的状态。如图24所示,电子部件A1在厚度方向z上以与图1~图14所示的姿势相反的朝向与电路基片90接合。因此,各外部电极4A~4D的主面覆盖部41与电路基片90相对。各外部电极4A~4D经由导电性接合材料91与电路基片90接合。导电性接合材料91例如是焊料。如图24所示,导电性接合材料91不仅附着于外部电极4A,还附着于主面覆盖部41,还附着于侧面覆盖部42。这样导电性接合材料91也附着于侧面覆盖部42的情况在其他外部电极4B~4D中也同样。

[0086] 电子部件A1和电子部件A1的制造方法的作用效果如下。

[0087] 电子部件A1包括与功能部3导通的外部电极4A(4B~4D)。外部电极4A(4B~4D)包括覆盖第1主面211的主面覆盖部41和覆盖第1侧面213(214~216)的侧面覆盖部42。这样,在外部电极4A(4B~4D)包含侧面覆盖部42的结构中,如图24所示,导电性接合材料91也附着于侧面覆盖部42,所以与外部电极4A(4B~4D)不包含侧面覆盖部42的结构相比,导电性接合材料91相对于外部电极4A(4B~4D)的接合面积进一步扩大。因此,电子部件A1能够提高相对于安装对象的接合强度。而且,如根据图24所理解的那样,导电性接合材料91的一部分在俯视时形成于比电子部件A1靠外方的位置。由此,能够容易地对导电性接合材料91相

对于外部电极4A(4B~4D)的附着状态进行外观目视。通过这样的外观目视,能够确认导电性接合材料91是否适当地形成,所以能够判断接合状态是否不良。进而,本申请发明人在外部电极4A(4B~4D)不包含侧面覆盖部42的结构和不包含侧面覆盖部42的结构中,对从电子部件的侧方施加载荷时的米塞斯应力进行了模拟。该模拟的结果是,在外部电极4A(4B~4D)包含侧面覆盖部42的结构中,与不包含的结构相比,米塞斯应力得到缓和。即,电子部件A1通过在外部电极4A(4B~4D)设置侧面覆盖部42,能够缓和施加于电子部件的应力,提高接合状态的稳定性。根据以上内容,电子部件A1通过在外部电极4A(4B~4D)设置侧面覆盖部42,与不设置侧面覆盖部42的情况相比,能够使相对于安装对象的接合状态良好。另外,根据本发明的制造方法,能够制造能够使相对于安装对象的接合状态良好的电子部件A1。

[0088] 在电子部件A1中,密封部件2包括第1绝缘层21、第2绝缘层22和第3绝缘层23,电感部31形成于第2绝缘层22。根据该结构,即使电感部31在厚度方向z上贯通第2绝缘层22,也能够抑制与其他部位意外导通。因此,根据电子部件A1,能够增大电感部31的厚度方向z的尺寸而提高Q值,并且抑制电感部31的意外的导通。

[0089] 以下,对本发明的电子部件的其他实施方式和变形例进行说明。此外,各实施方式和各变形例中的各部的结构能够在不产生技术矛盾的范围内相互组合。

[0090] 图25表示第2实施方式的电子部件A2。电子部件A2与电子部件A1相比,在以下方面不同。即,从图25可以理解,在俯视时,第1绝缘层21的多个第1侧面213~216分别位于比第2绝缘层22的多个第2侧面223~226靠内侧的位置。

[0091] 电子部件A2的密封部件2通过上述的结构,在第1绝缘层21的多个第1侧面213~216和第2绝缘层22的多个第2侧面223~226分别产生台阶。因此,在多个外部电极4A~4D的侧面覆盖部42也产生台阶。

[0092] 电子部件A2的制造方法与电子部件A1的制造方法相比,在以下方面不同。即,二次配线部形成工序和电感部形成工序与抗蚀剂形成工序不同。图26和图27表示电子部件A2的制造方法的一个工序。图26是表示电子部件A2的制造方法中的二次配线部形成工序和电感部形成工序的截面图。图27是表示电子部件A2的制造方法中的抗蚀剂形成工序、三次配线部形成工序和外部电极形成工序的截面图。

[0093] 如图26所示,在电子部件A2的制造方法中的二次配线部形成工序和电感部形成工序中,在使通过二次绝缘层形成工序形成的图案821、822填充镀铜之前,形成抗蚀剂891。并且,在填充镀铜时,形成各外部电极4A~4D的侧面覆盖部42的一部分(覆盖第2绝缘层22的各第2侧面223~226的一部分的局部覆盖部421)。

[0094] 如图27所示,在电子部件A2的制造方法中的抗蚀剂形成工序中,以使上述局部覆盖部421的至少一部分露出的方式形成抗蚀剂89。而且,通过进行与上述电子部件A1的制造方法中的三次配线部形成工序和外部电极形成工序同样的处理,能够在侧面覆盖部42形成阶梯差。

[0095] 在电子部件A2中,也与电子部件A1同样地,外部电极4A(4B~4D)包含侧面覆盖部42,所以与不包含侧面覆盖部42的情况相比,能够使相对于安装对象的接合状态良好。并且,在电子部件A2中,各外部电极4A~4D的侧面覆盖部42具有台阶,所以在向电路基片90安装时,容易在导电性接合材料91形成钎角。因此,根据电子部件A2,外观目视变得更加容易。

[0096] 图28表示第3实施方式的电子部件A3。电子部件A3与电子部件A1相比,在各外部电

极4A~4D形成有微坑43这一点上不同。

[0097] 如从图28所理解的那样,微坑43在俯视时为半圆状的凹陷。电子部件A3通过适当变更和追加配置一次或三次绝缘层形成工序中的感光性树脂(干膜抗蚀剂)的形状、和一次或三次配线部形成工序和抗蚀剂形成工序中的各抗蚀剂(例如抗蚀剂89、891)的形状而形成。

[0098] 在电子部件A3中,也与电子部件A1同样地,外部电极4A(4B~4D)包含侧面覆盖部42,所以与不包含侧面覆盖部42的情况相比,能够使相对于安装对象的接合状态良好。另外,电子部件A3与电子部件A2同样地通过微坑43,在向电路基片90安装时,容易在导电性接合材料91形成钎角。因此,根据电子部件A3,与电子部件A2同样地,外观目视变得更容易。

[0099] 图29表示第4实施方式的电子部件A4。电子部件A4与电子部件A1相比,在密封部件2由第1绝缘层21的单层构成这一点上不同。

[0100] 电子部件A4的密封部件2由第1绝缘层21的单层构成,所以如图29所示,电感部31形成于第1绝缘层21。此外,在图示的例子中,电感部31不在厚度方向z上贯通第1绝缘层21。由此,能够抑制电感部31与电容部32的意外的导通。但是,在电感部31不在厚度方向z上贯通第1绝缘层21的结构中,电感部31的厚度方向z的尺寸变小,电感部31的Q值有可能变低。因此,在抑制电感部31的Q值的降低的同时抑制电感部31与电容部32的意外的导通方面,优选密封部件2包含多个绝缘层,并且电感部31贯通形成有该电感部31的绝缘层。另外,与图示的例子不同,电感部31也可以在厚度方向z上贯通第1绝缘层21。

[0101] 在电子部件A4中,也与电子部件A1同样地,外部电极4A(4B~4D)包含侧面覆盖部42,所以与不包含侧面覆盖部42的情况相比,能够使相对于安装对象的接合状态良好。另外,如从本实施方式理解的那样,在本发明的电子部件中,密封部件2的绝缘层的数量没有任何限定。其中,如果绝缘层的数量多,则本发明的电子部件的厚度(厚度方向z的尺寸)变大,电子部件的厚度可能增加。因此,在抑制电子部件的大型化方面,密封部件2的绝缘层的数量优选为3层~7层左右。

[0102] 图30表示第5实施方式的电子部件A5。电子部件A5与电子部件A1相比,在不包括绝缘基片1这一点上不同。

[0103] 电子部件A5例如通过在其制造工序中对绝缘基片1进行磨削来去除绝缘基片1。另外,也可以不通过该绝缘基片1的磨削去除绝缘基片1,而减小绝缘基片1的厚度(厚度方向z的尺寸)。

[0104] 在电子部件A5中,也与电子部件A1同样地,外部电极4A(4B~4D)包含侧面覆盖部42,所以与不包含侧面覆盖部42的情况相比,能够使相对于安装对象的接合状态良好。进而,由于电子部件A5不包括绝缘基片1,所以在实现薄型化方面是优选的。

[0105] 在上述第1至第5实施方式中,表示了各电子部件A1~A5的功能部3包括电感部31和电容部32这两者的例子,但也可以是仅包含电感部31和电容部32中的一者的结构。另外,各电子部件A1~A5的功能部3也可以单体或复合地包含电感器、电容器、晶体管、电阻或二极管等。

[0106] 本发明的电子部件及其制造方法并不限定于上述的实施方式。本发明的电子部件的各部分的具体结构和本发明的电子部件的制造方法的各工序的具体处理能够自由进行各种设计变更。本发明包括以下的附记所记载的实施方式。

- [0107] 附记1.
- [0108] 一种电子部件,其包括:功能部;
- [0109] 具有朝向厚度方向的一方的第1主面和朝向与上述厚度方向交叉的第1方向的一方的第1侧面的第1绝缘层;和
- [0110] 与所述功能部导通的外部电极;和
- [0111] 将所述功能部与所述外部电极电连接的配线部,
- [0112] 所述外部电极包括覆盖所述第1主面的主面覆盖部和覆盖所述第1侧面的侧面覆盖部。
- [0113] 附记2.
- [0114] 根据附记1所述的电子部件,其中,所述功能部包括电感部。
- [0115] 附记3.
- [0116] 根据附记2所述的电子部件,其中,具有朝向所述厚度方向的一方的第2主面和朝向所述第1方向的一方的第2侧面的第2绝缘层;和
- [0117] 具有朝向所述厚度方向的一方的第3主面的第3绝缘层,
- [0118] 所述第1绝缘层层叠在所述第2主面上,
- [0119] 所述第2绝缘层层叠在所述第3主面上。
- [0120] 附记4.
- [0121] 根据附记3所述的电子部件,其中,所述电感部形成于所述第2绝缘层。
- [0122] 附记5.
- [0123] 根据附记3或附记4所述的电子部件,其中,所述侧面覆盖部从所述第1侧面延伸至所述第2侧面。
- [0124] 附记6.
- [0125] 根据附记3至附记5中任一项所述的电子部件,其中,从所述厚度方向观察,所述第1侧面位于比所述第2侧面靠内侧的位置。
- [0126] 附记7.
- [0127] 根据附记3至附记6中任一项所述的电子部件,其中,所述功能部包括电容部。
- [0128] 附记8.
- [0129] 根据附记7所述的电子部件,其中,还包括绝缘基片;
- [0130] 所述绝缘基片具有朝向所述厚度方向的一方的基片主面,
- [0131] 所述第3绝缘层配置在所述基片主面上。
- [0132] 附记9.
- [0133] 根据附记8所述的电子部件,其中,所述电容部在所述厚度方向上被所述绝缘基片与所述第3绝缘层夹着。
- [0134] 附记10.
- [0135] 一种电子部件的制造方法,其包括:形成功能部的功能部形成工序;
- [0136] 形成第1绝缘层的第1绝缘层形成工序,所述第1绝缘层具有朝向厚度方向的一侧的第1主面和朝向与上述厚度方向交叉的第1方向的一侧的第1侧面;
- [0137] 形成配线部的配线部形成工序;和
- [0138] 形成外部电极的外部电极形成工序,所述外部电极包括覆盖所述第1主面的主面

覆盖部和覆盖所述第1侧面的侧面覆盖部,

[0139] 所述配线部包含形成于所述第1绝缘层的第1配线部,

[0140] 所述侧面覆盖部和所述第1配线部的每一者与所述主面覆盖部相连,

[0141] 在所述配线部形成工序和所述外部电极形成工序中,一并形成所述主面覆盖部、所述侧面覆盖部和所述第1配线部。

[0142] 附记11.

[0143] 根据附记10所述的电子部件的制造方法,其中,还具有基片准备工序,准备具有朝向上述厚度方向的一方的基片主面的绝缘基片,

[0144] 所述功能部、所述第1绝缘层和所述配线部配置在所述基片主面上。

[0145] 附记12.

[0146] 根据附记10或11所述的电子部件的制造方法,其还包括:形成具有朝向所述厚度方向的一方的第2主面的第2绝缘层的第2绝缘层形成工序;和

[0147] 形成具有朝向所述厚度方向的一方的第3主面的第3绝缘层的第3绝缘层形成工序,

[0148] 在所述第2绝缘层形成工序中,将所述第2绝缘层层叠在所述第3主面上,

[0149] 在所述第1绝缘层形成工序中,将所述第1绝缘层层叠在所述第2主面上。

[0150] 附记13.

[0151] 根据附记12所述的电子部件的制造方法,其中,所述配线部形成工序包括形成所述第1配线部的第1配线部形成工序,

[0152] 所述第1配线部在所述厚度方向上贯通所述第1绝缘层。

[0153] 附记14.

[0154] 根据附记13所述的电子部件的制造方法,其中,所述配线部形成工序包括形成在所述厚度方向上贯通所述第2绝缘层的第2配线部的第2配线部形成工序,

[0155] 所述第1配线部与所述第2配线部相互导通。

[0156] 附记15.

[0157] 根据附记14所述的电子部件的制造方法,其中,所述功能部包括电感部,

[0158] 所述功能部形成工序包括在所述第2绝缘层形成所述电感部的电感部形成工序。

[0159] 附记16.

[0160] 根据附记14或15所述的电子部件的制造方法,其中,所述配线部形成工序包括形成在所述厚度方向上贯通所述第3绝缘层的第3配线部的第3配线部形成工序,

[0161] 所述第2配线部与所述第3配线部相互导通。

[0162] 附记17.

[0163] 根据附记12至附记16中任一项所述的电子部件的制造方法,其中,所述第1绝缘层、所述第2绝缘层和所述第3绝缘层由干膜抗蚀剂形成。

[0164] 附图标记说明

[0165] A1 ~ A5:电子部件

[0166] 1:绝缘基片

[0167] 11:基片主面

[0168] 12:基片背面

- [0169] 131 ~ 134:基片侧面
- [0170] 2:密封部件
- [0171] 21:第1绝缘层
- [0172] 211:第1主面
- [0173] 212:第1背面
- [0174] 213 ~ 216:第1侧面
- [0175] 22:第2绝缘层
- [0176] 221:第2主面
- [0177] 222:第2背面
- [0178] 223 ~ 226:第2侧面
- [0179] 23:第3绝缘层
- [0180] 231:第3主面
- [0181] 232:第3背面
- [0182] 233 ~ 236:第3侧面
- [0183] 3:功能部
- [0184] 31:电感部
- [0185] 311、312:卷绕部
- [0186] 32:电容部
- [0187] 4A ~ 4D:外部电极
- [0188] 41:主面覆盖部
- [0189] 42:侧面覆盖部
- [0190] 421:局部覆盖部
- [0191] 43:微坑
- [0192] 5:配线部
- [0193] 51:第1配线部
- [0194] 52:第2配线部
- [0195] 53:第3配线部
- [0196] 81、821、822、83:图案
- [0197] 89、891:抗蚀剂
- [0198] 90:电路基片
- [0199] 91:导电性接合材料。

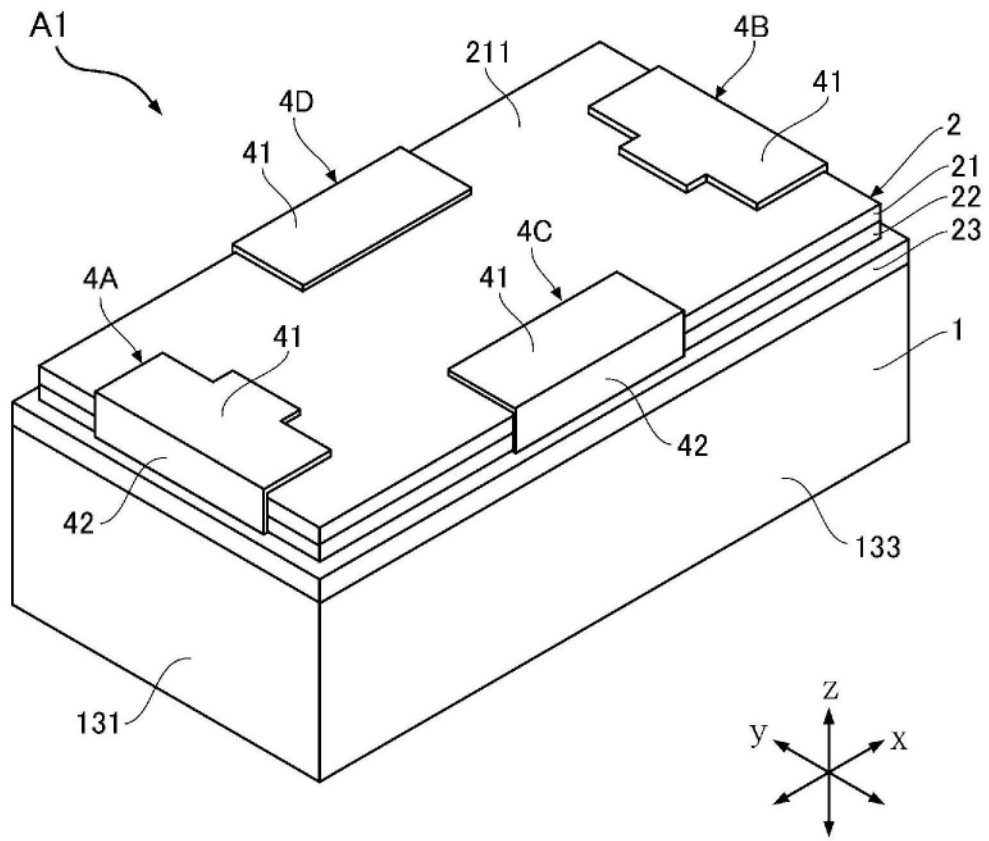


图1

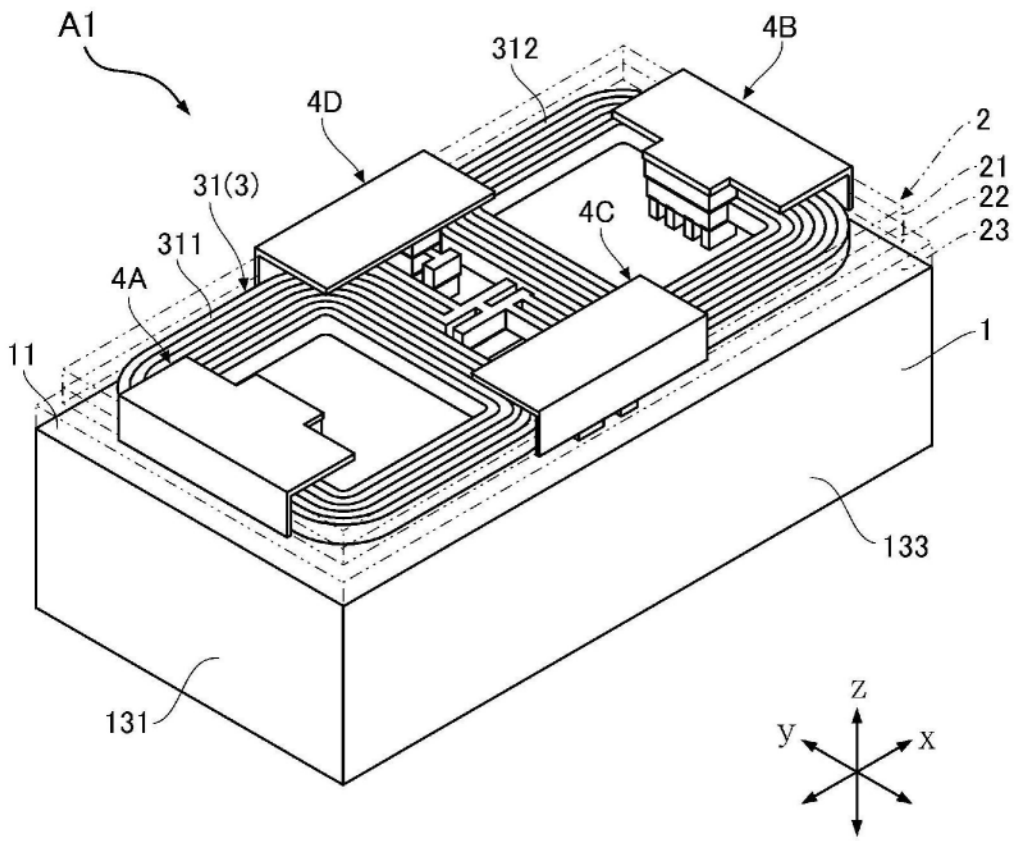


图2

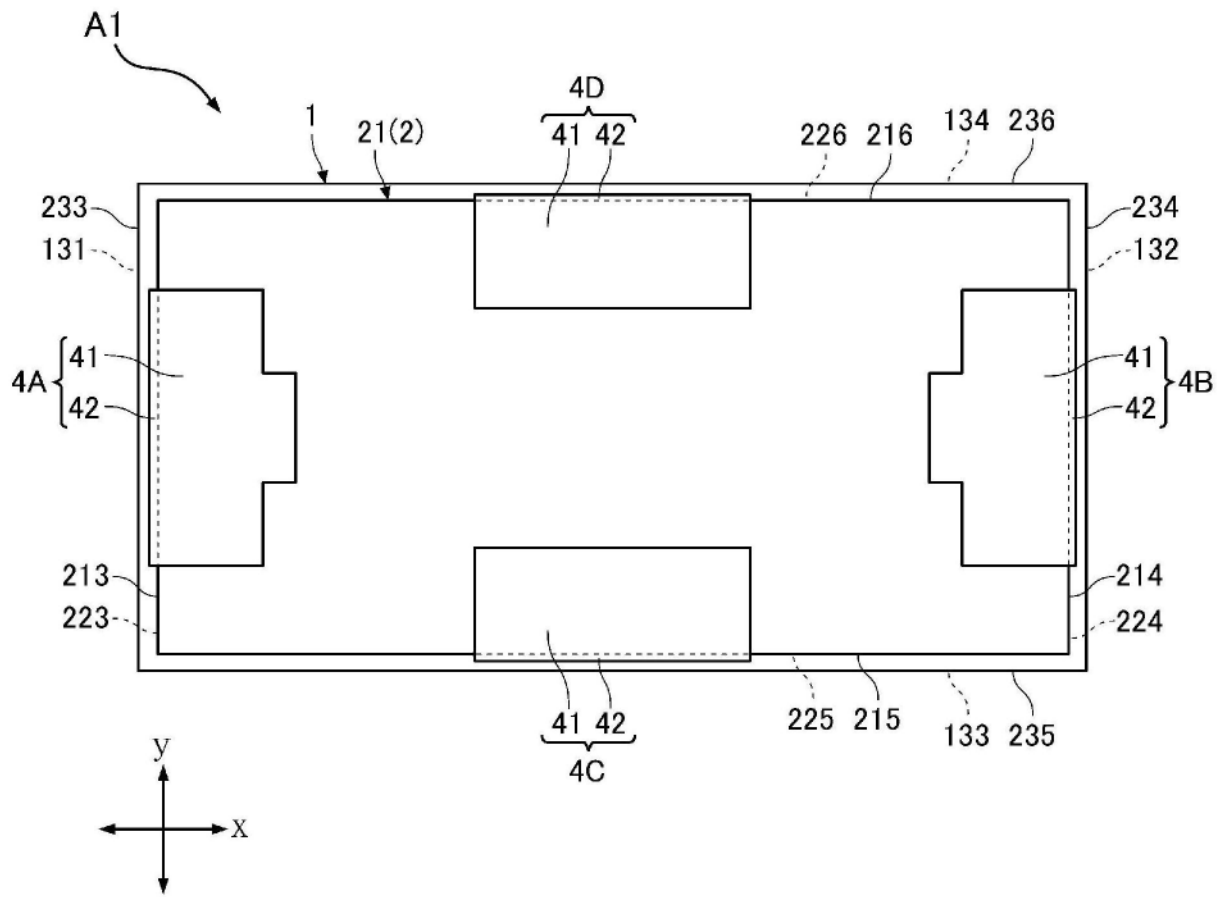


图3

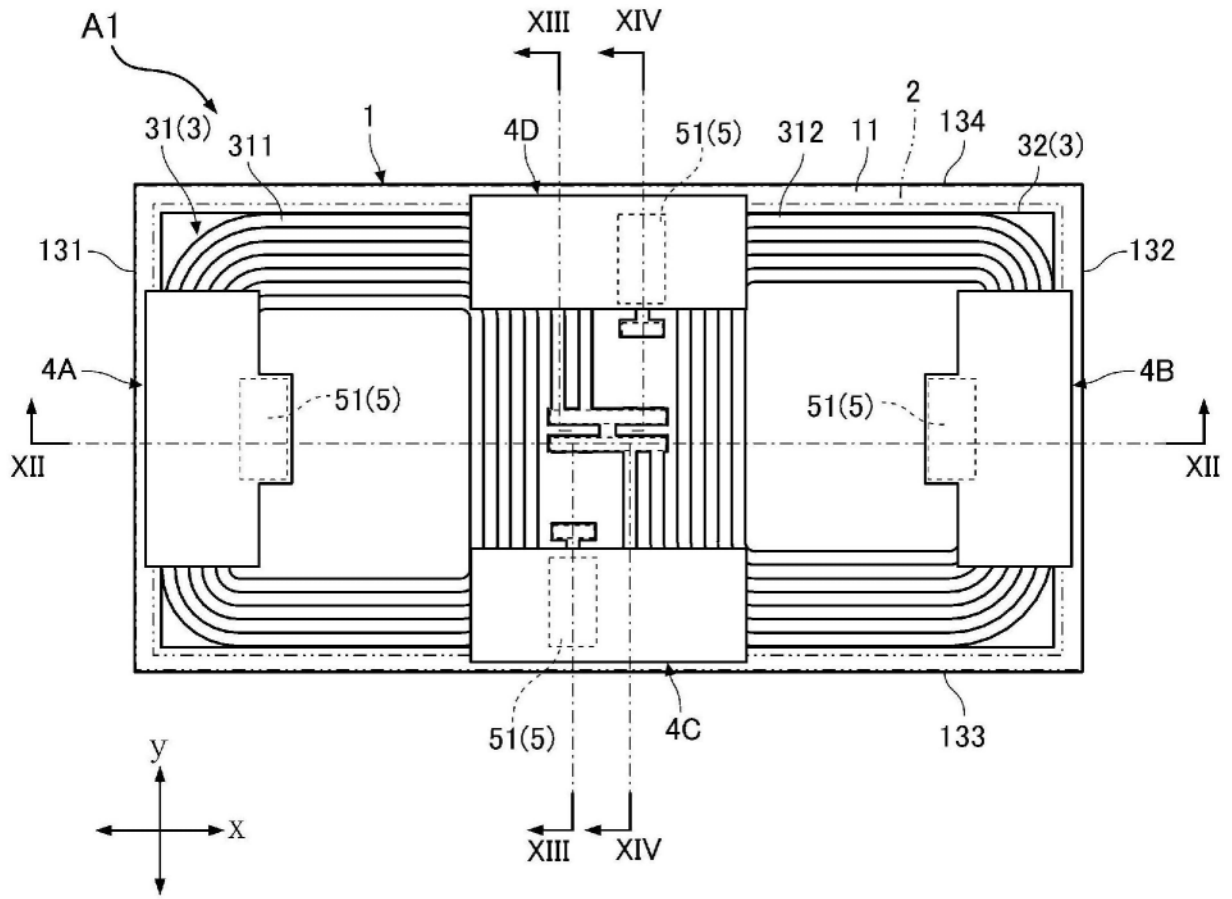


图4

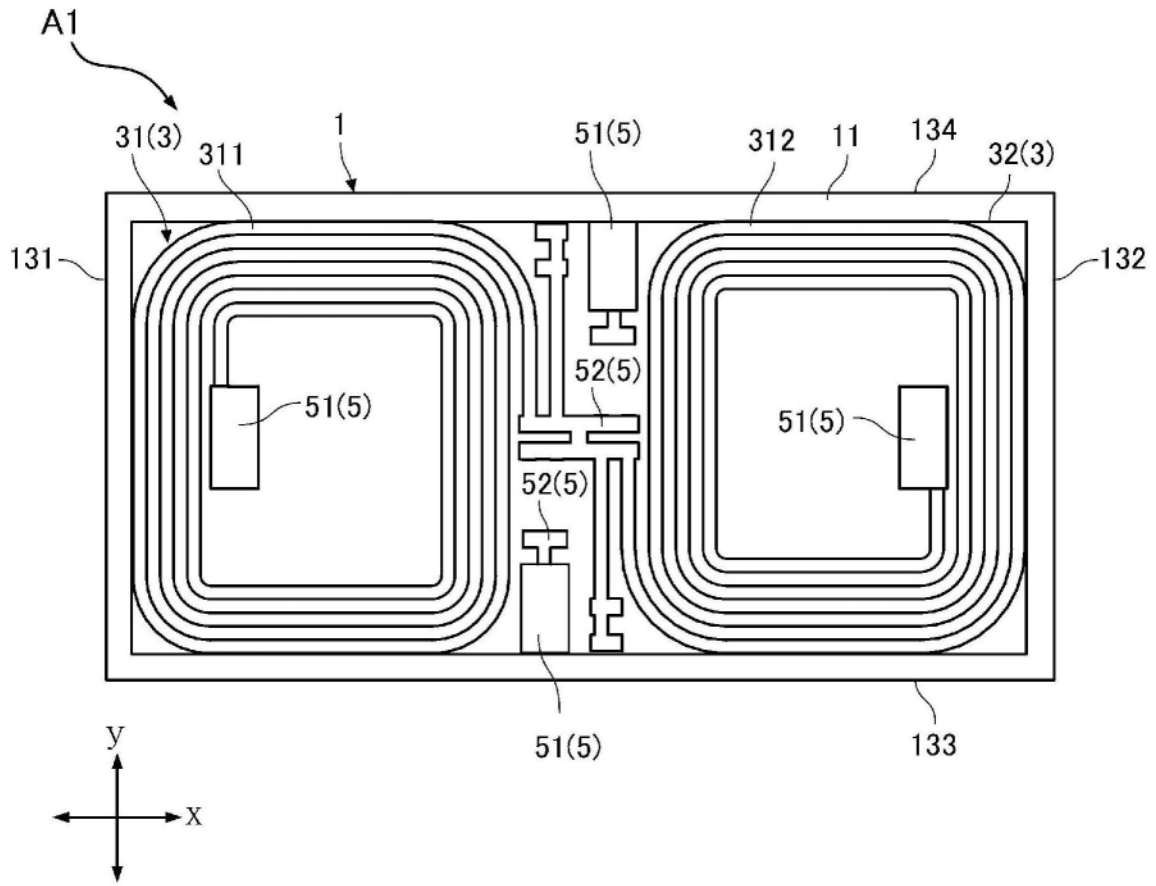


图5

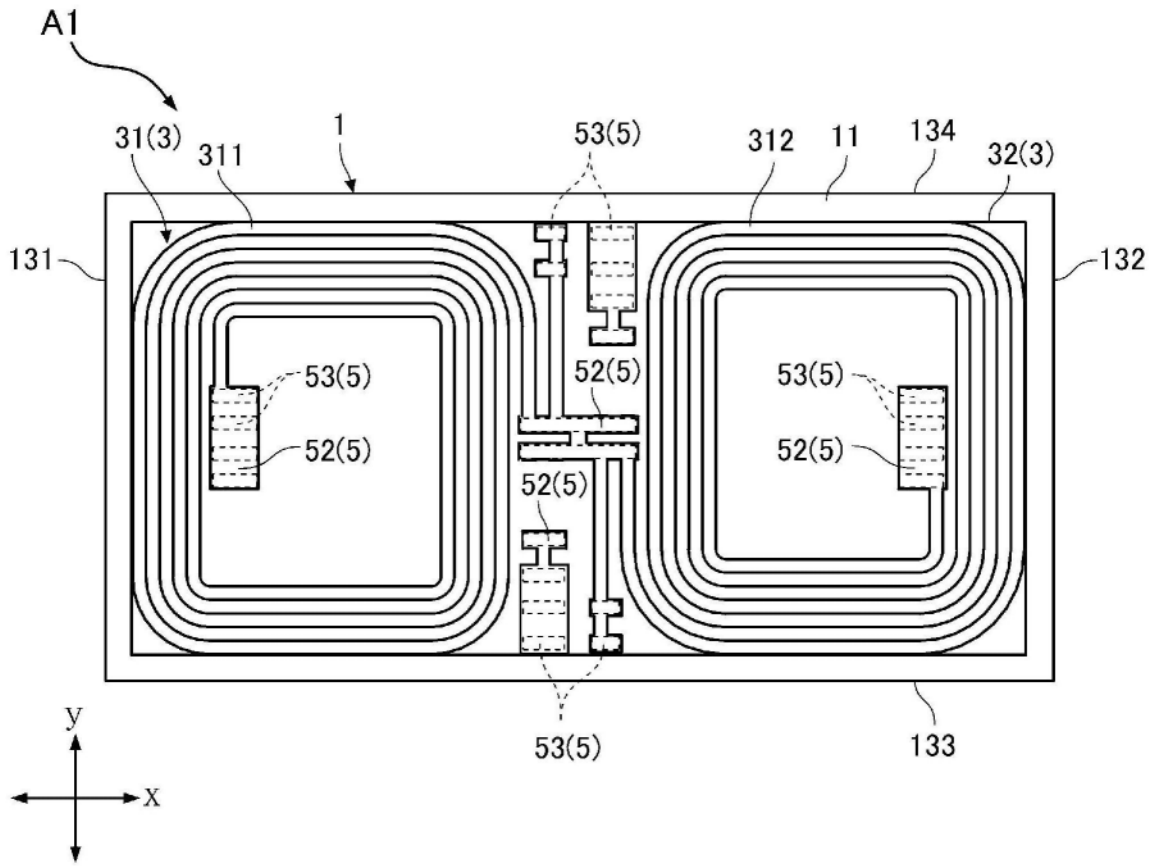


图6

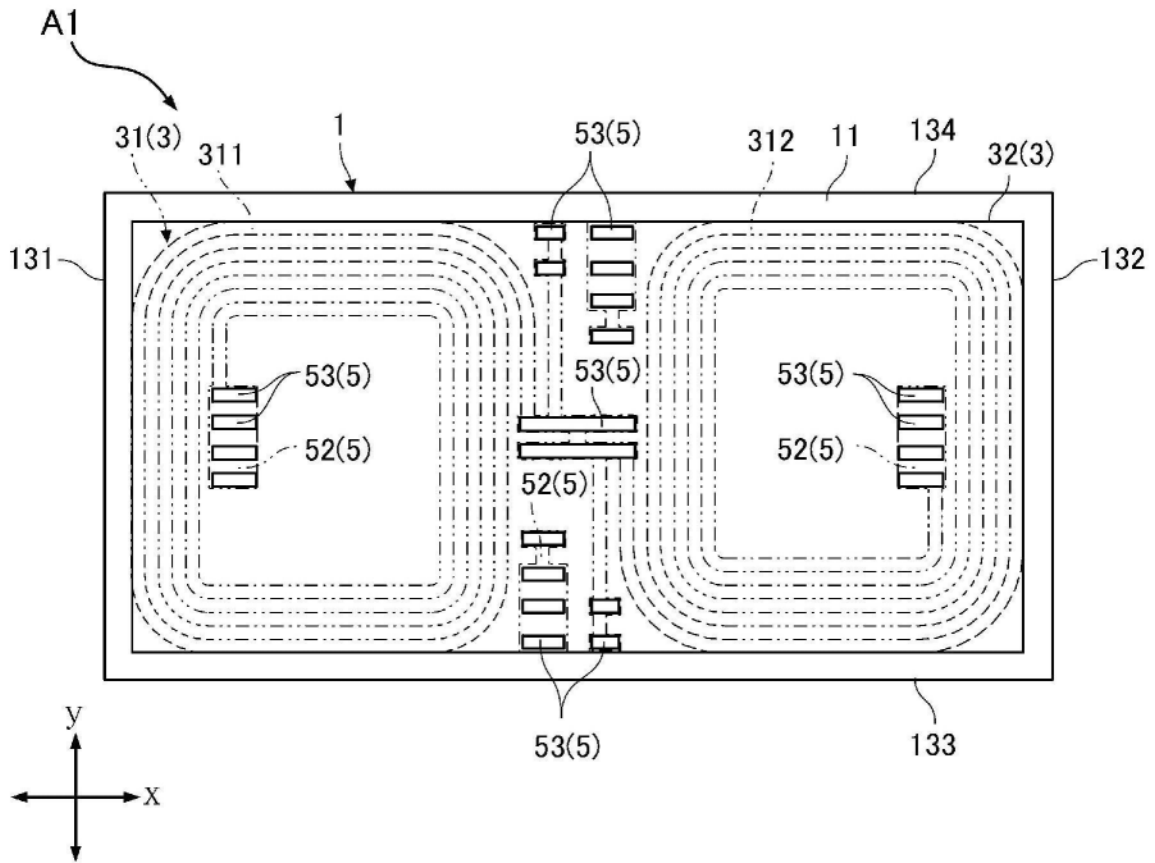


图7

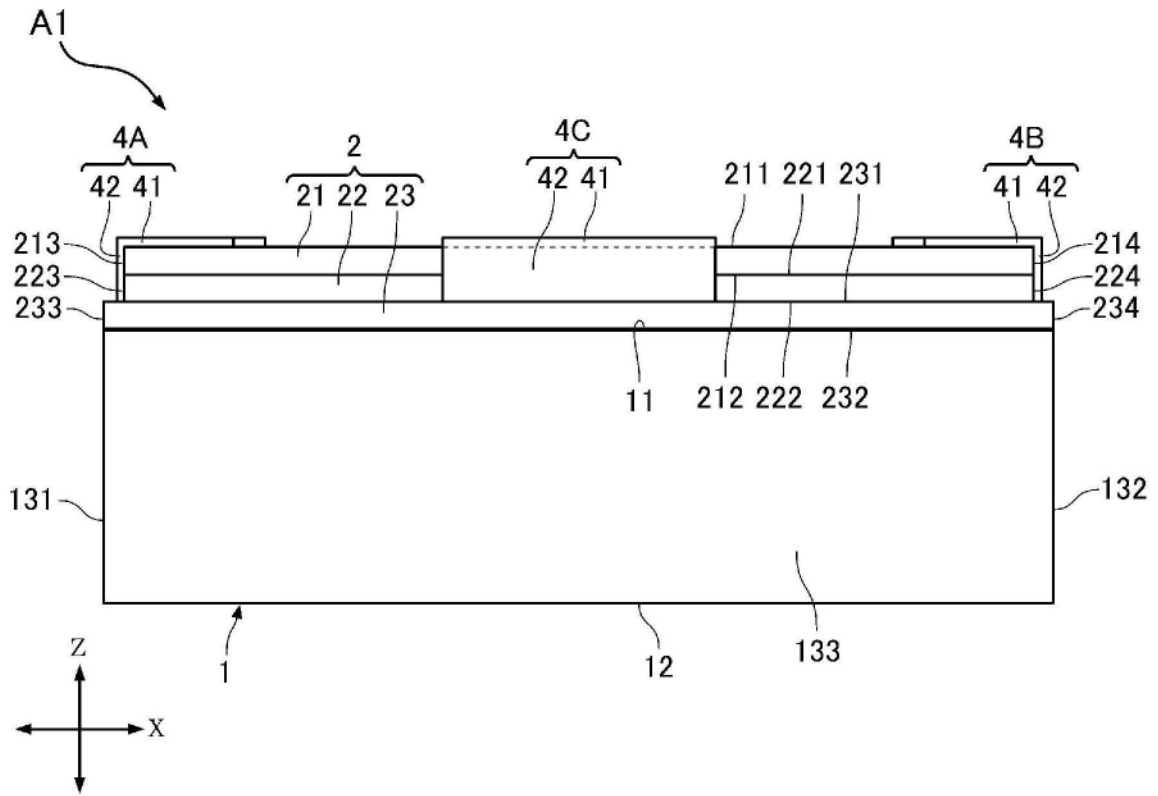


图8

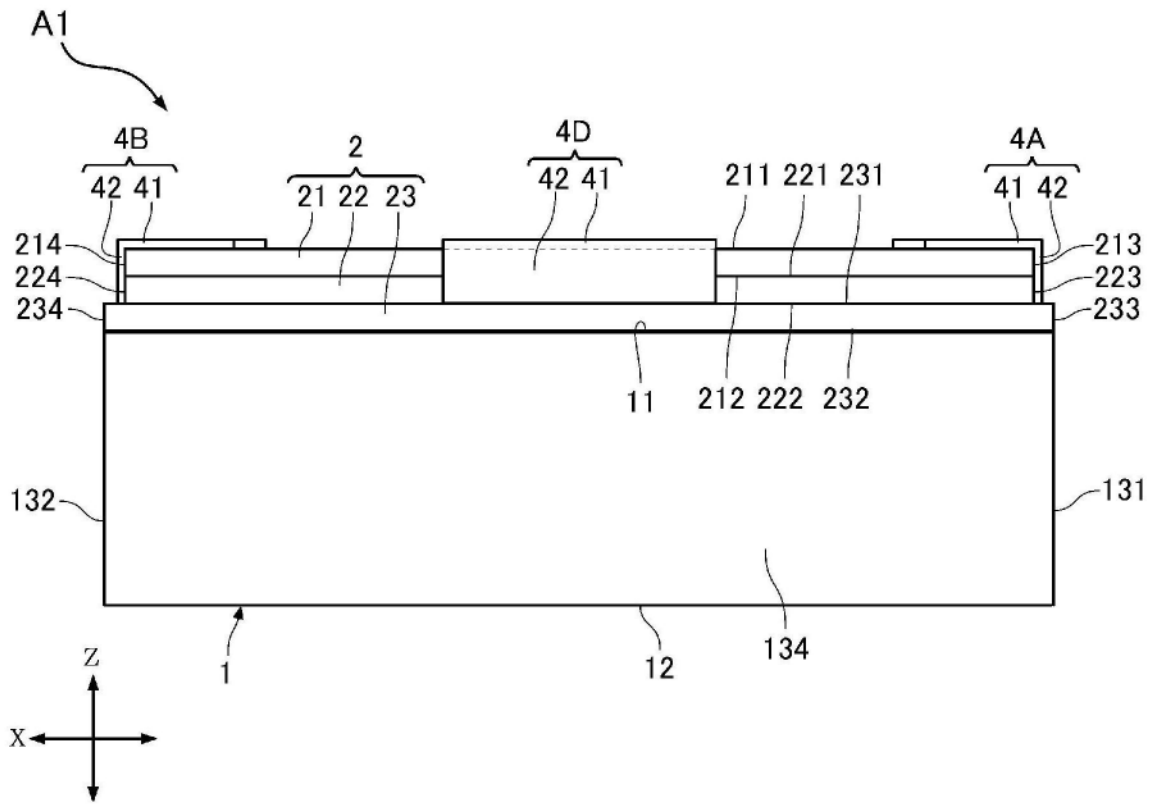


图9

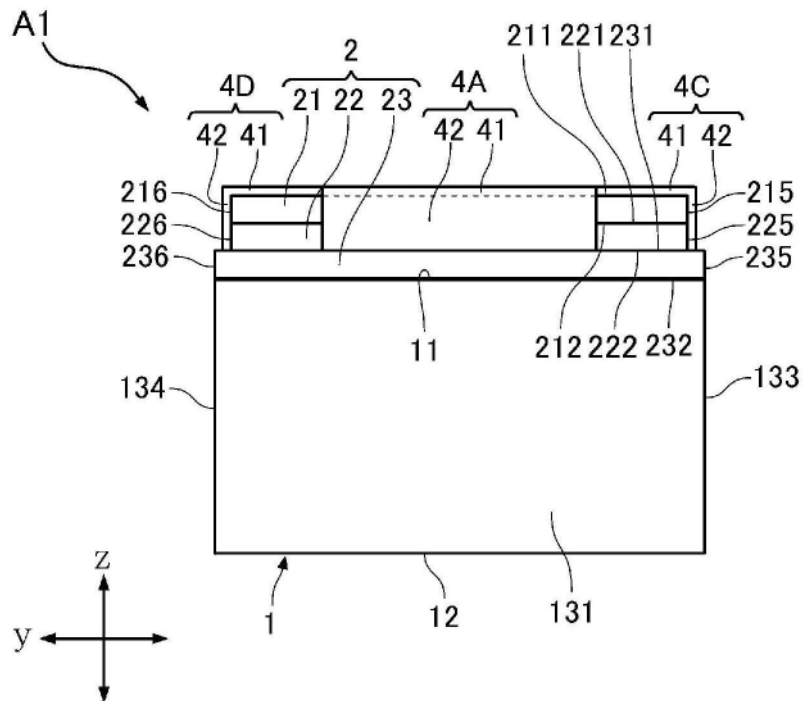


图10

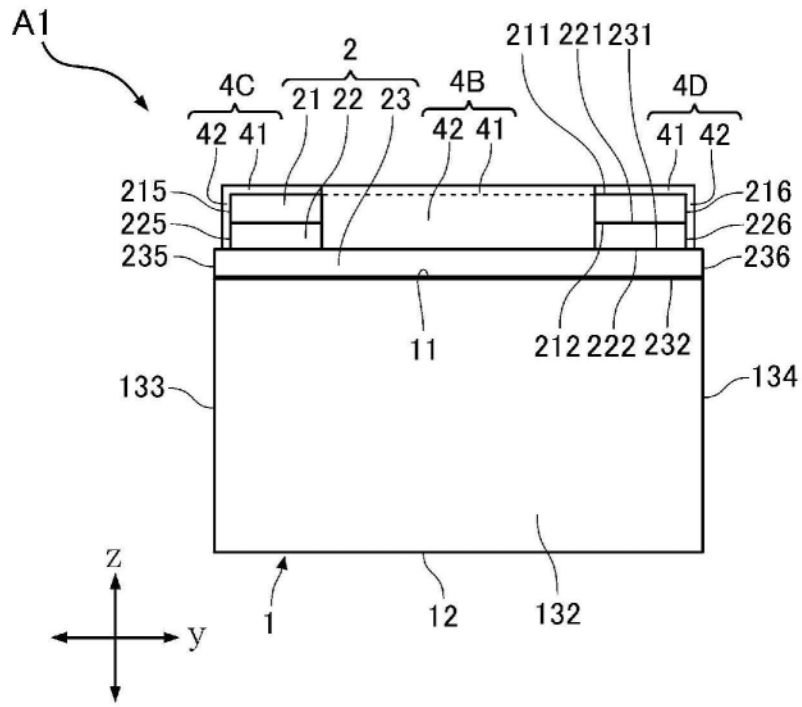


图11

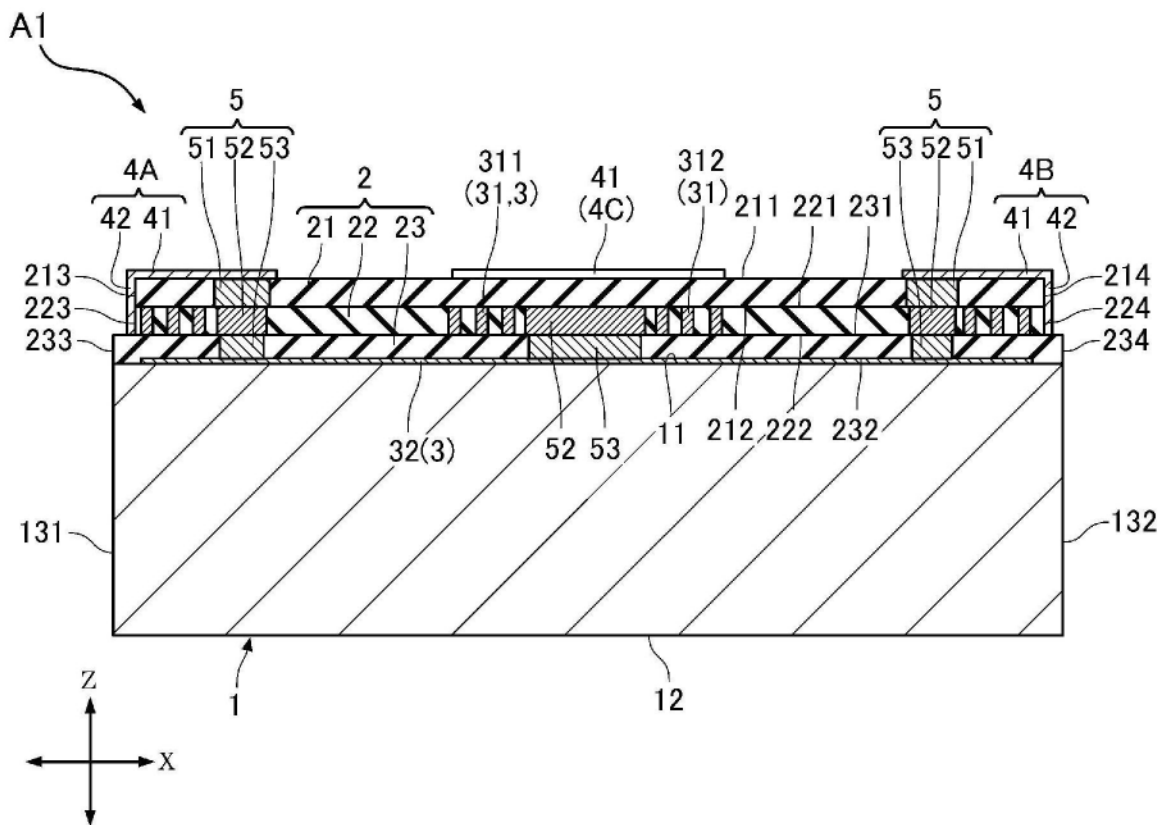


图12

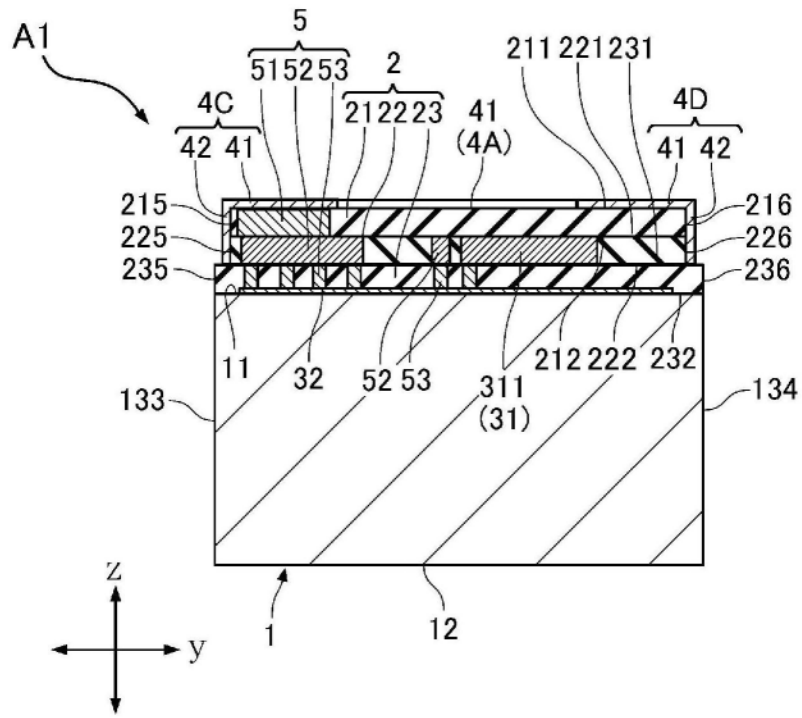


图13

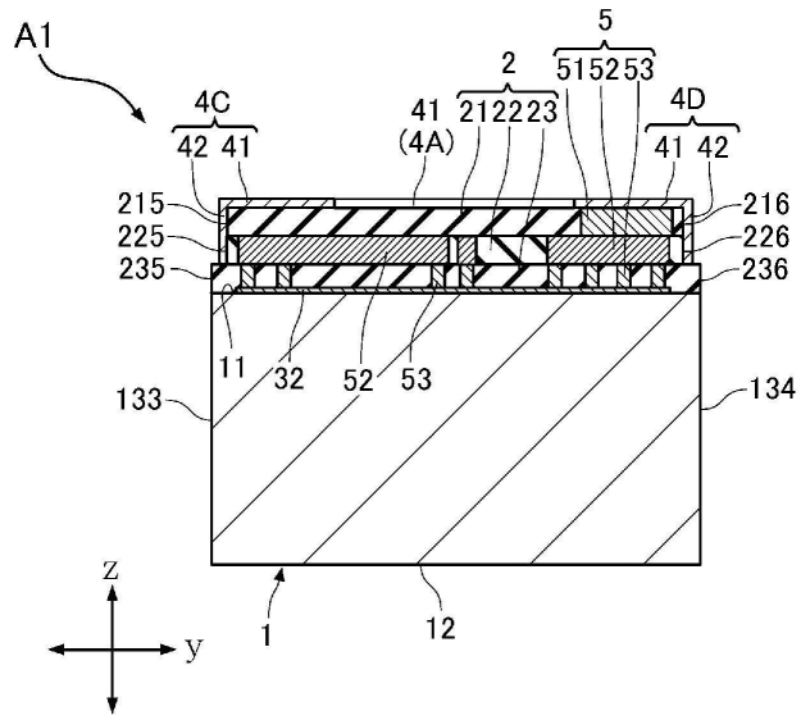


图14

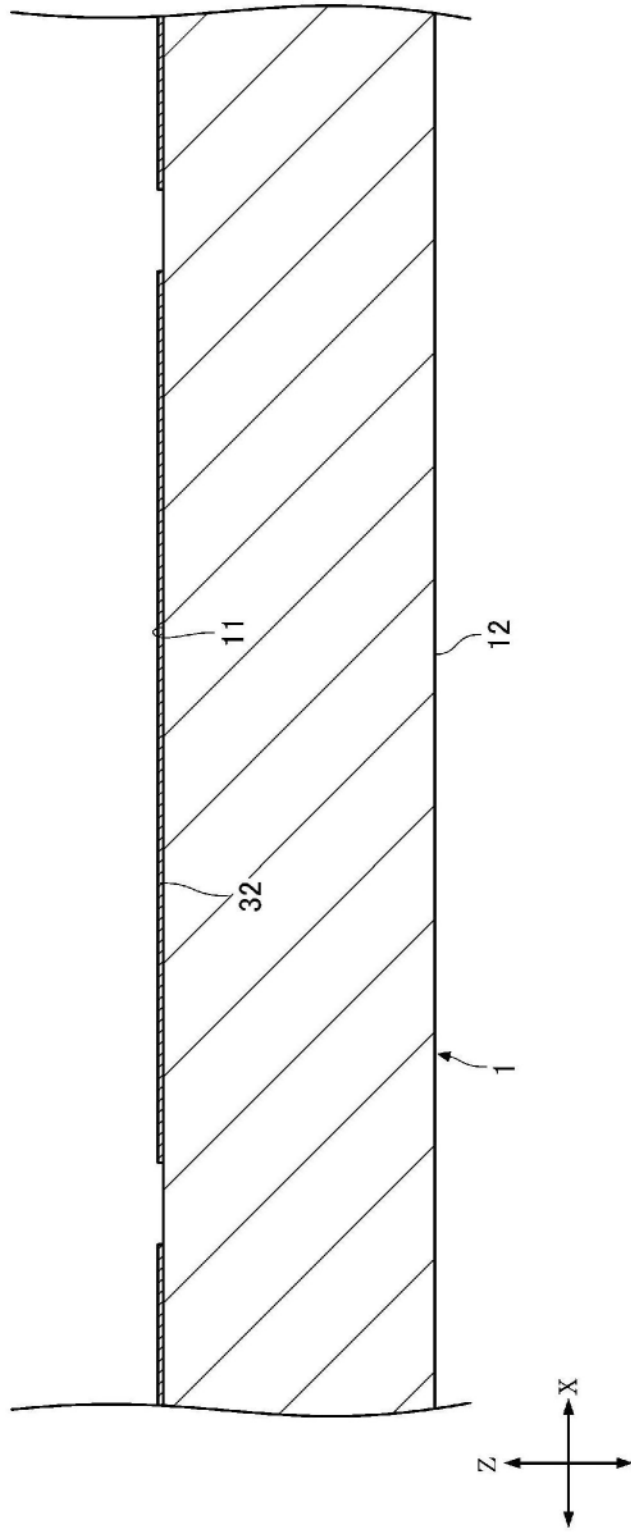


图15

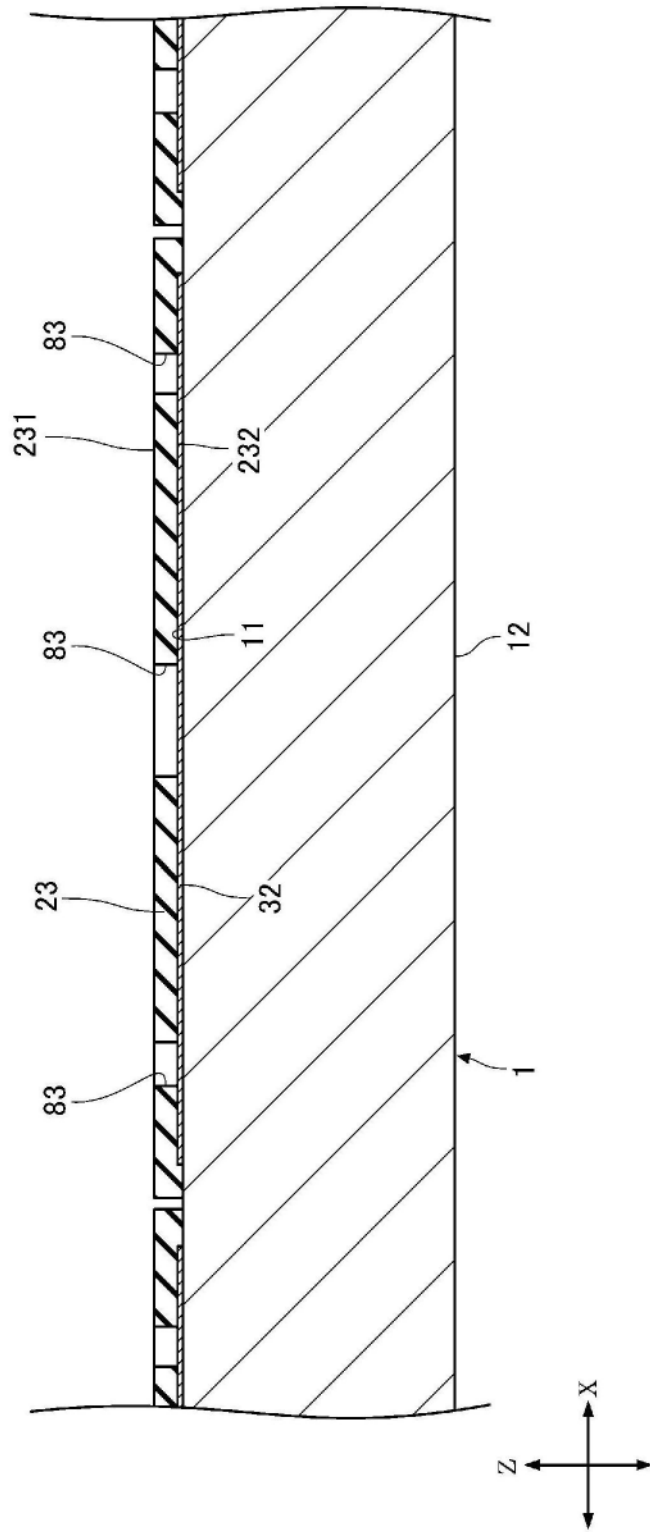


图16

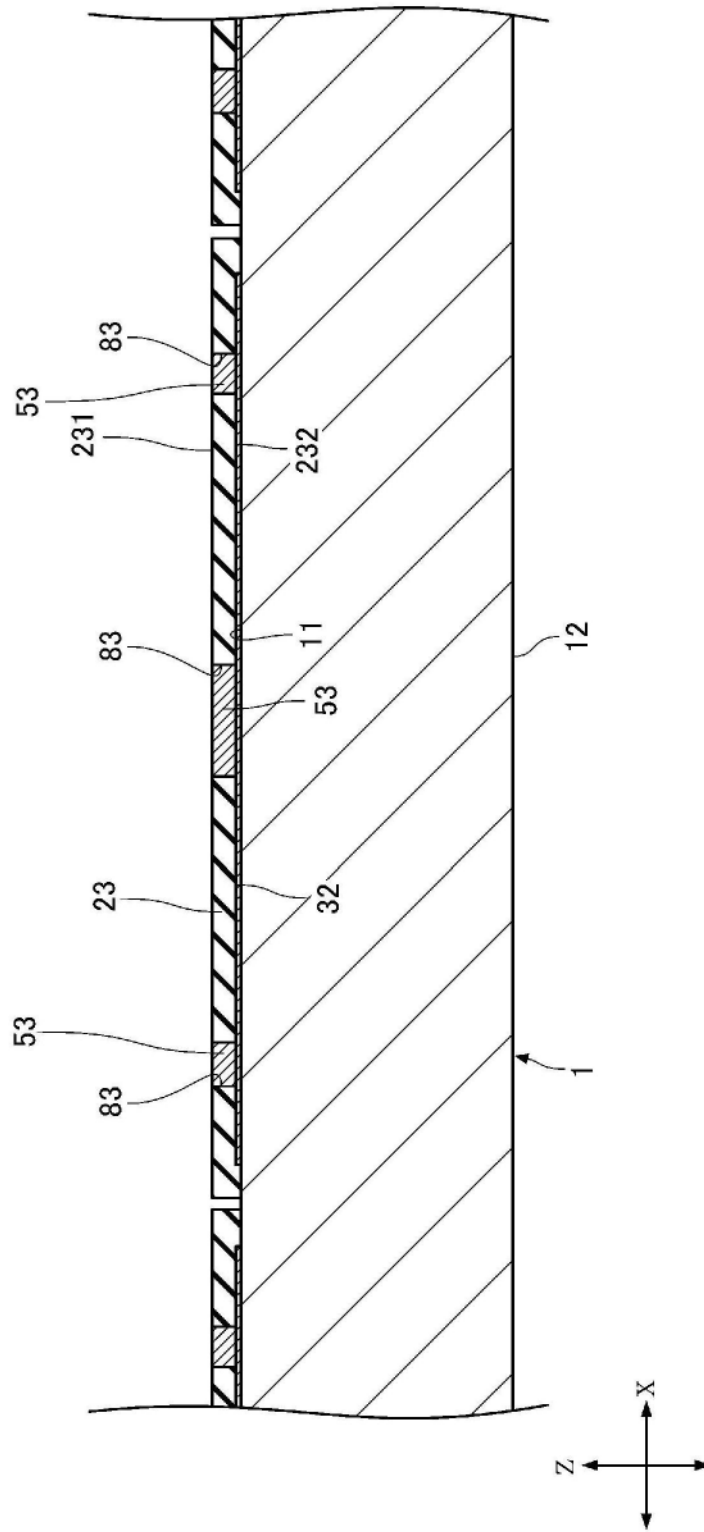


图17

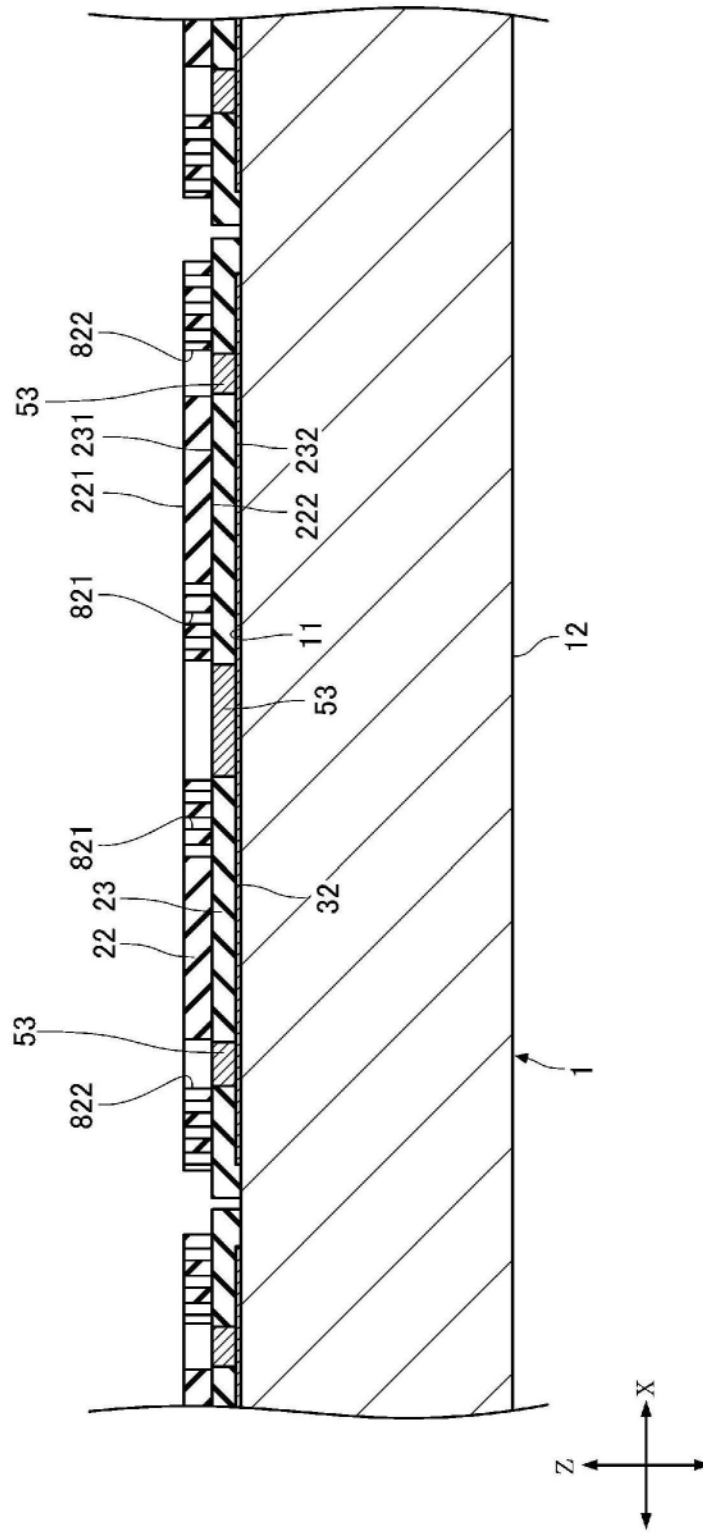


图18

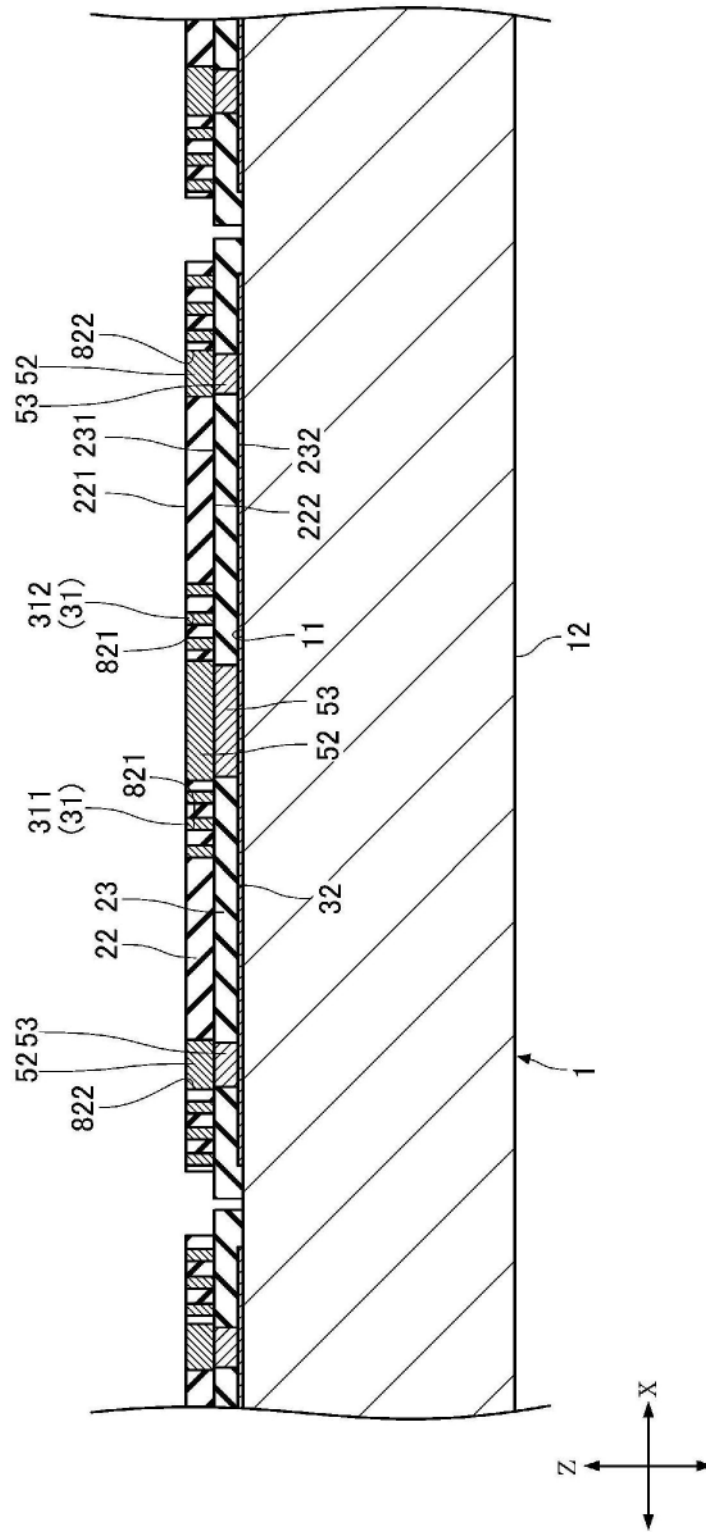


图19

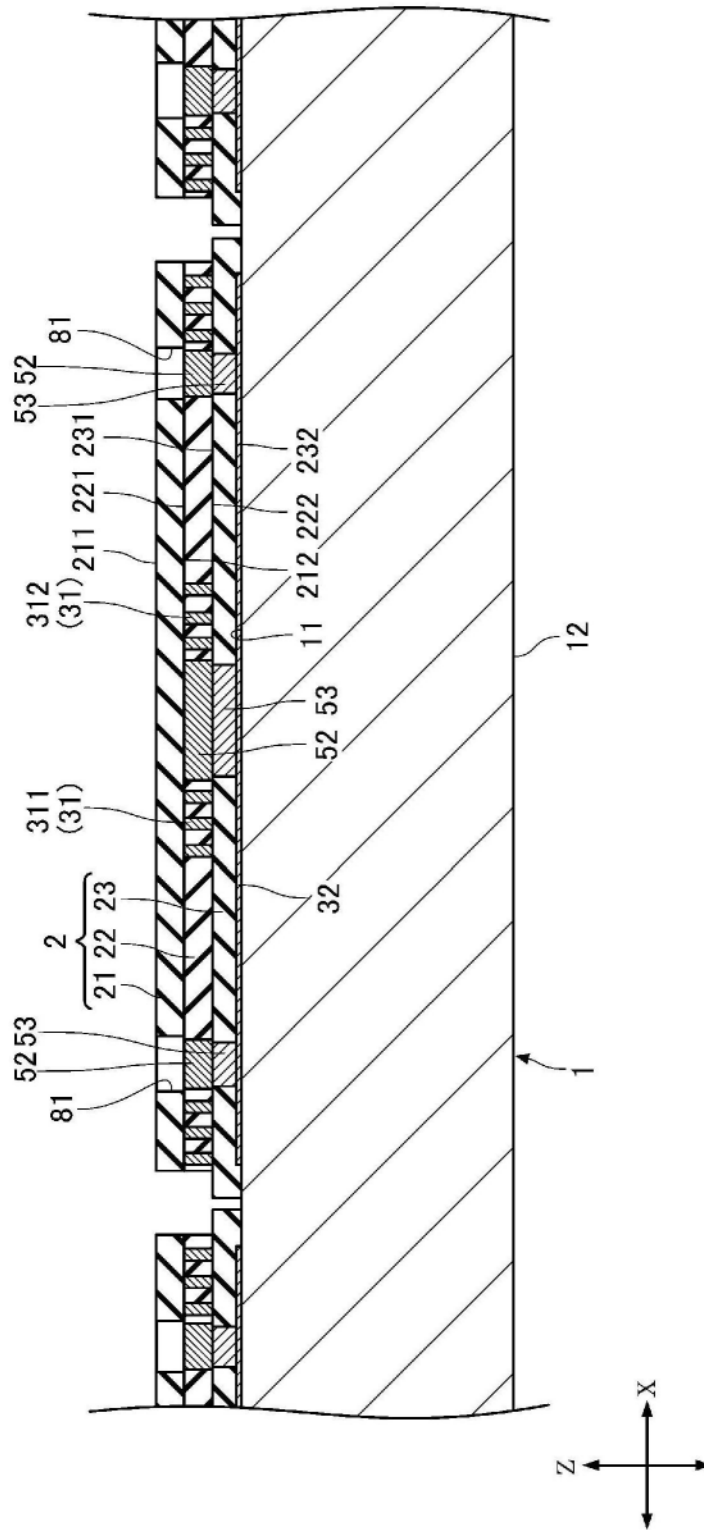


图20

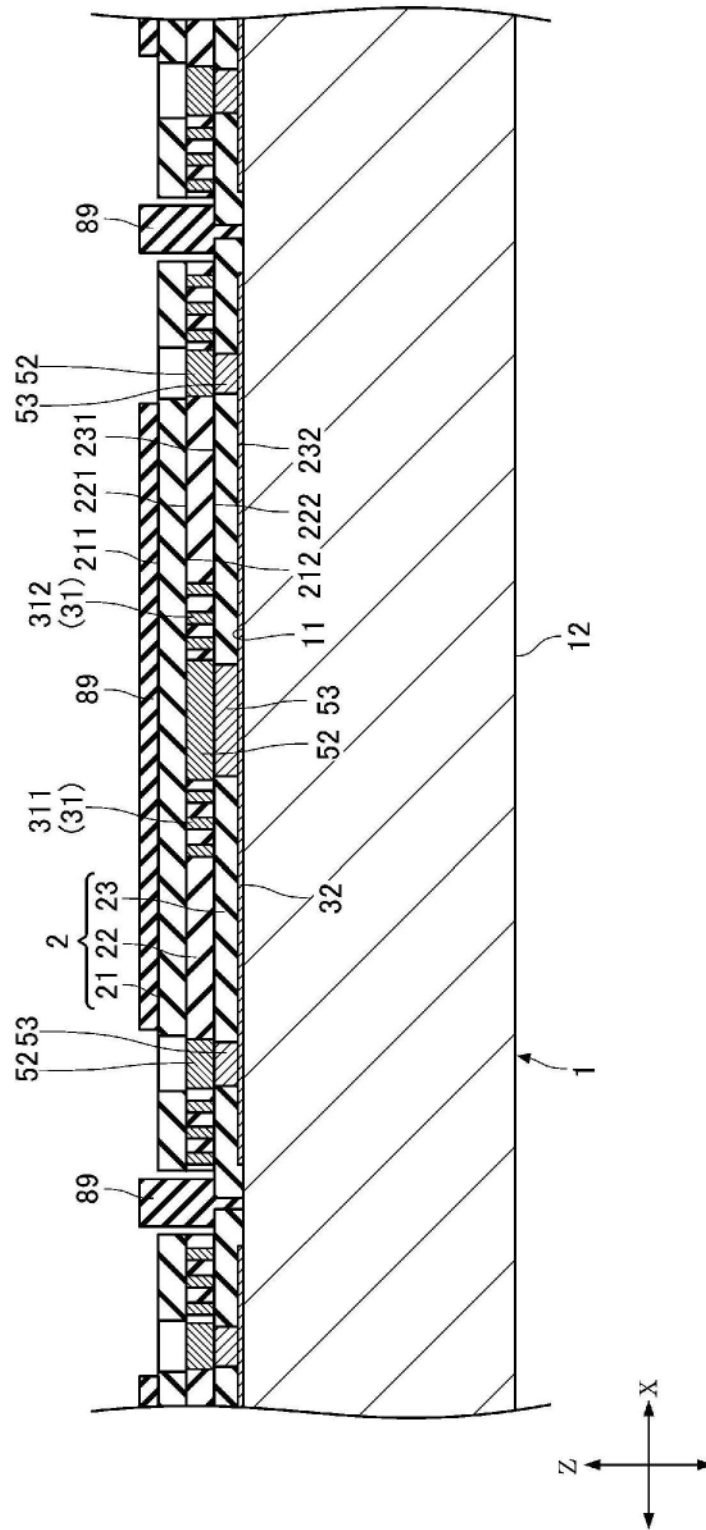


图21

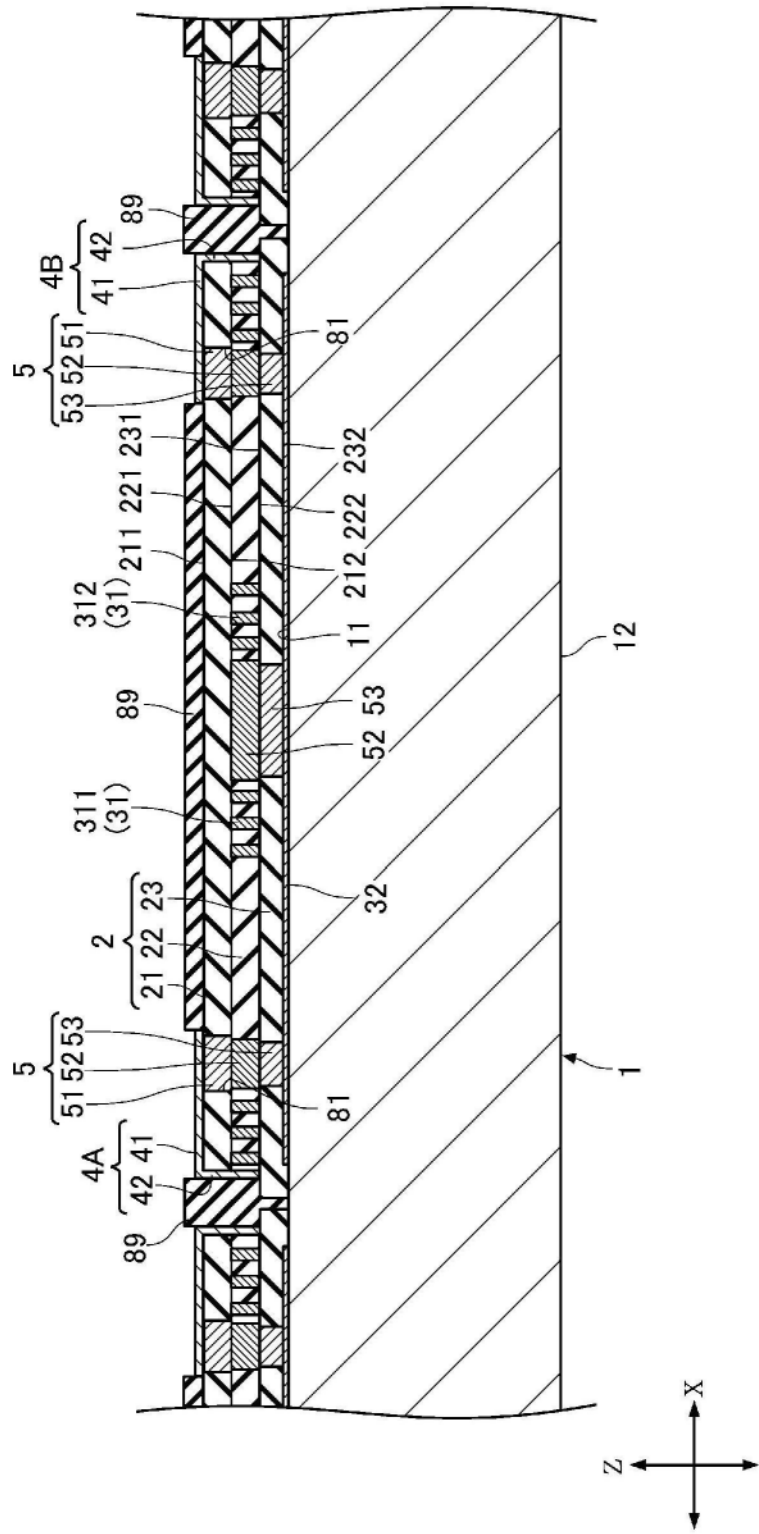


图22

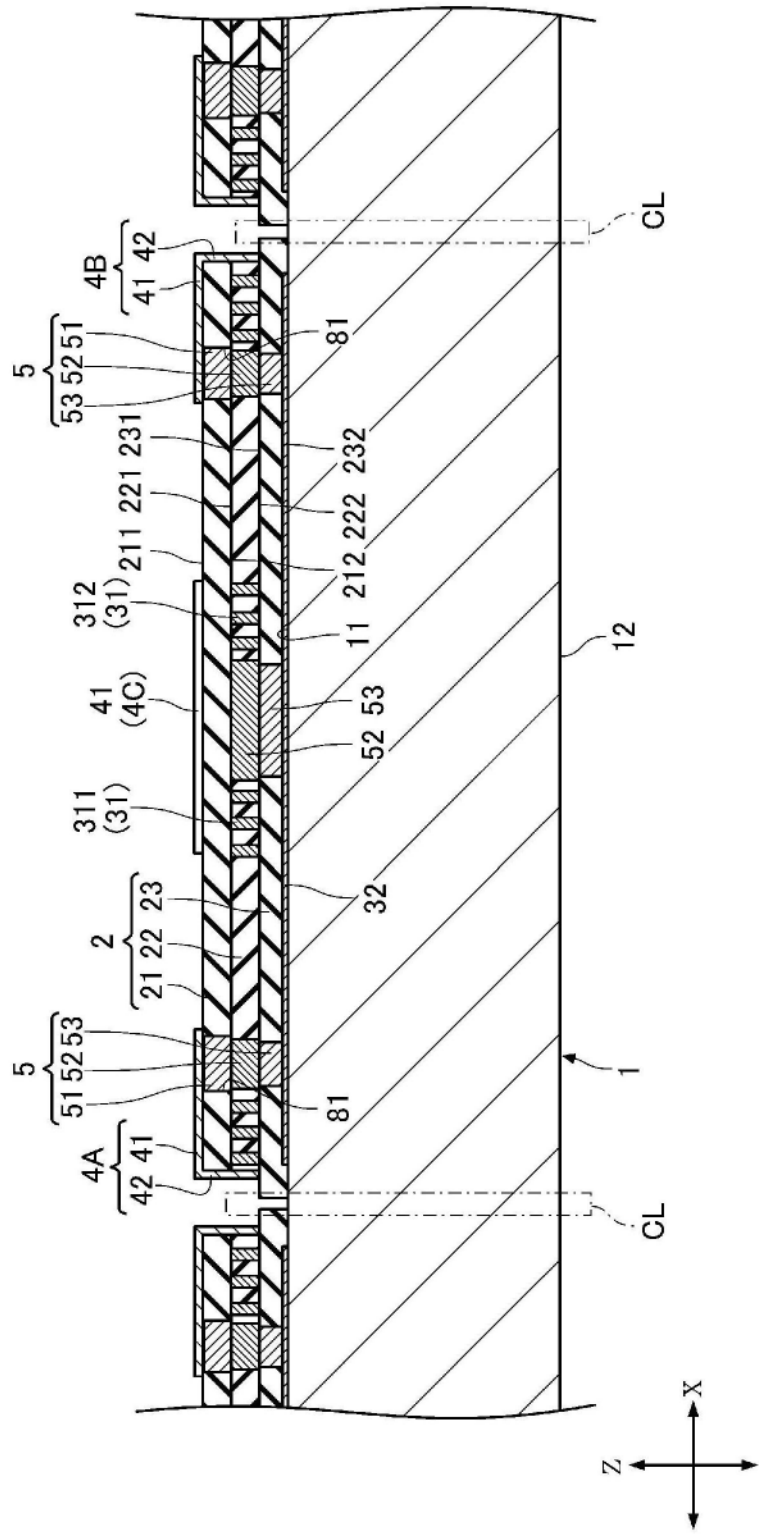


图23

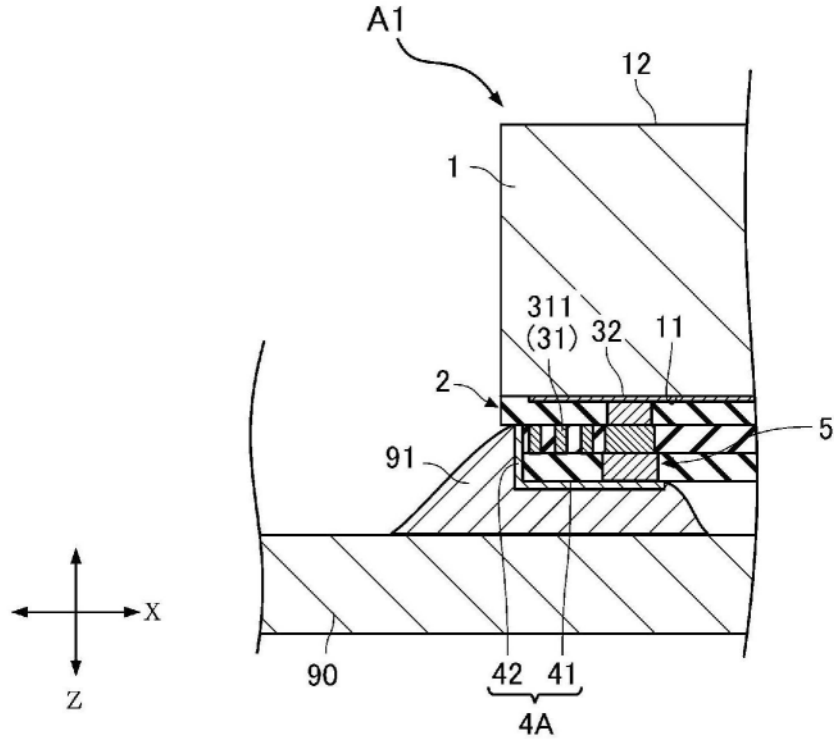


图24

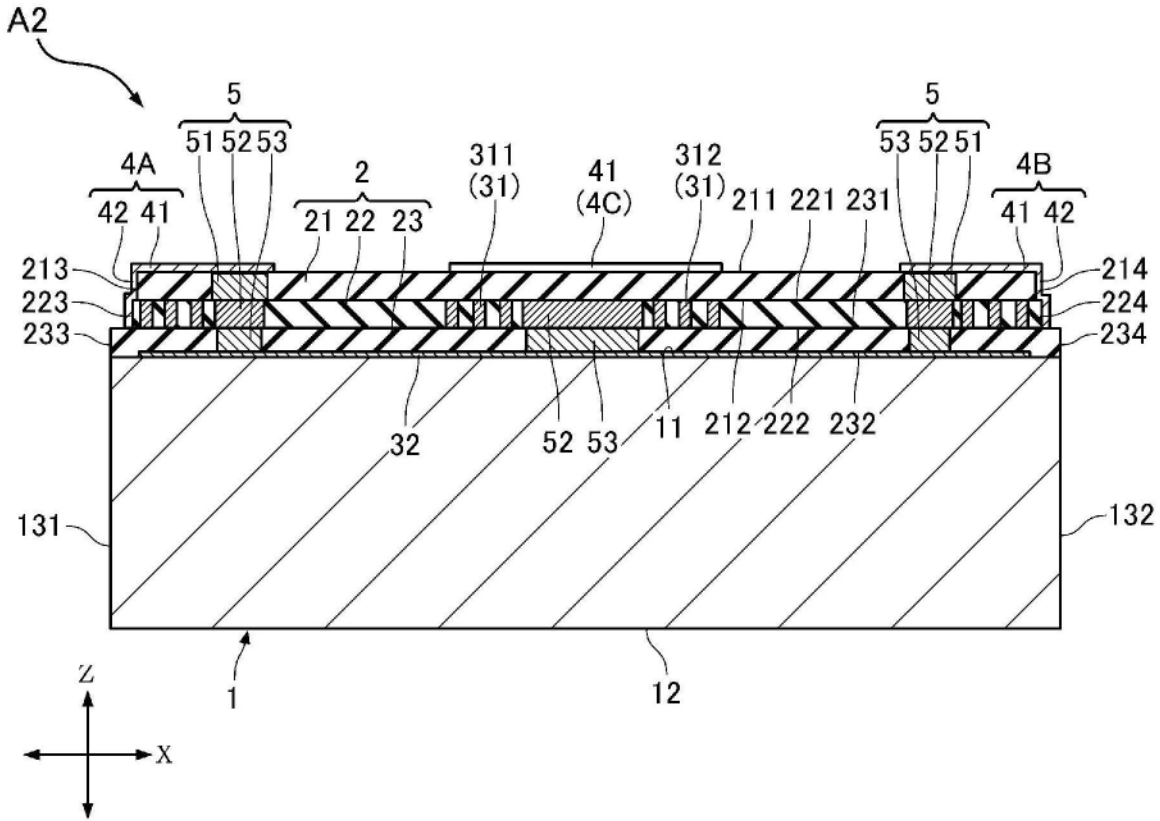


图25

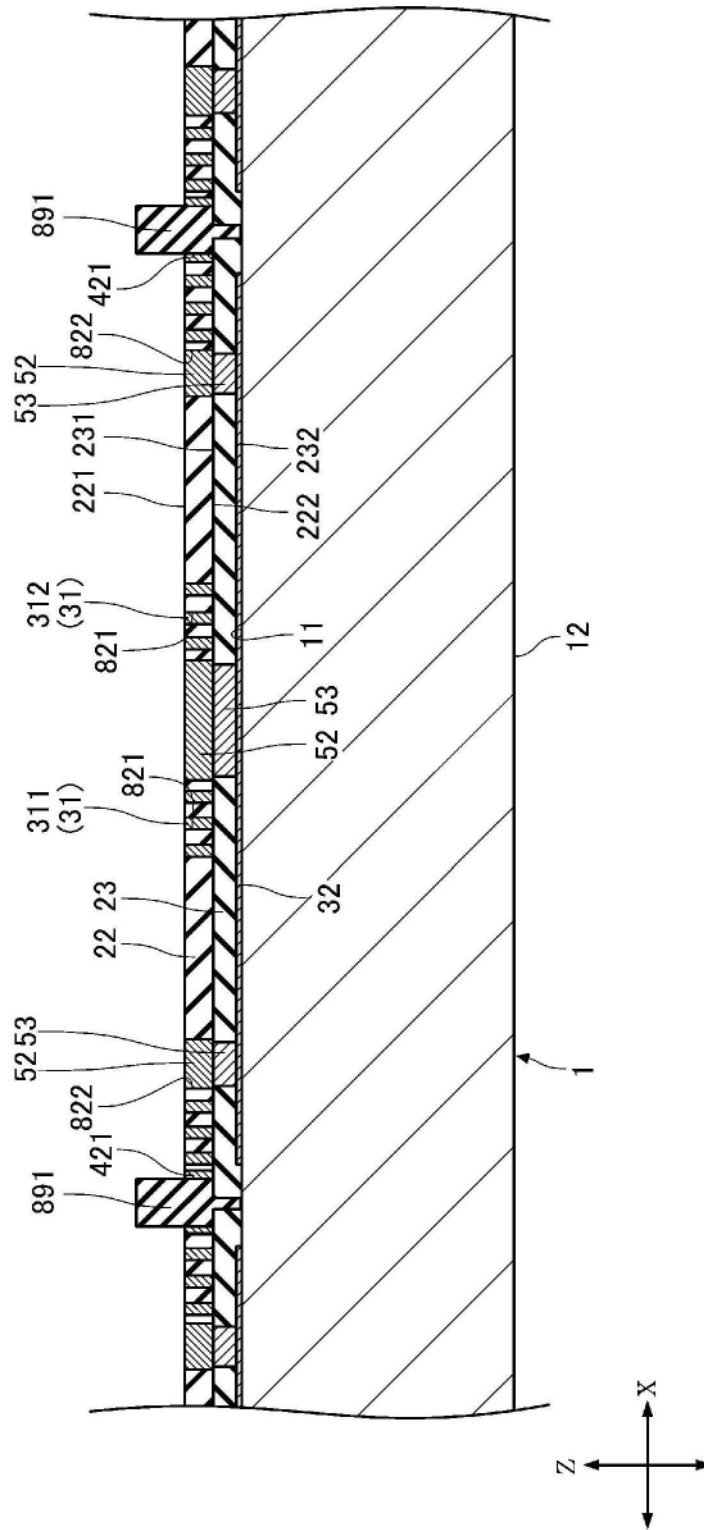


图26

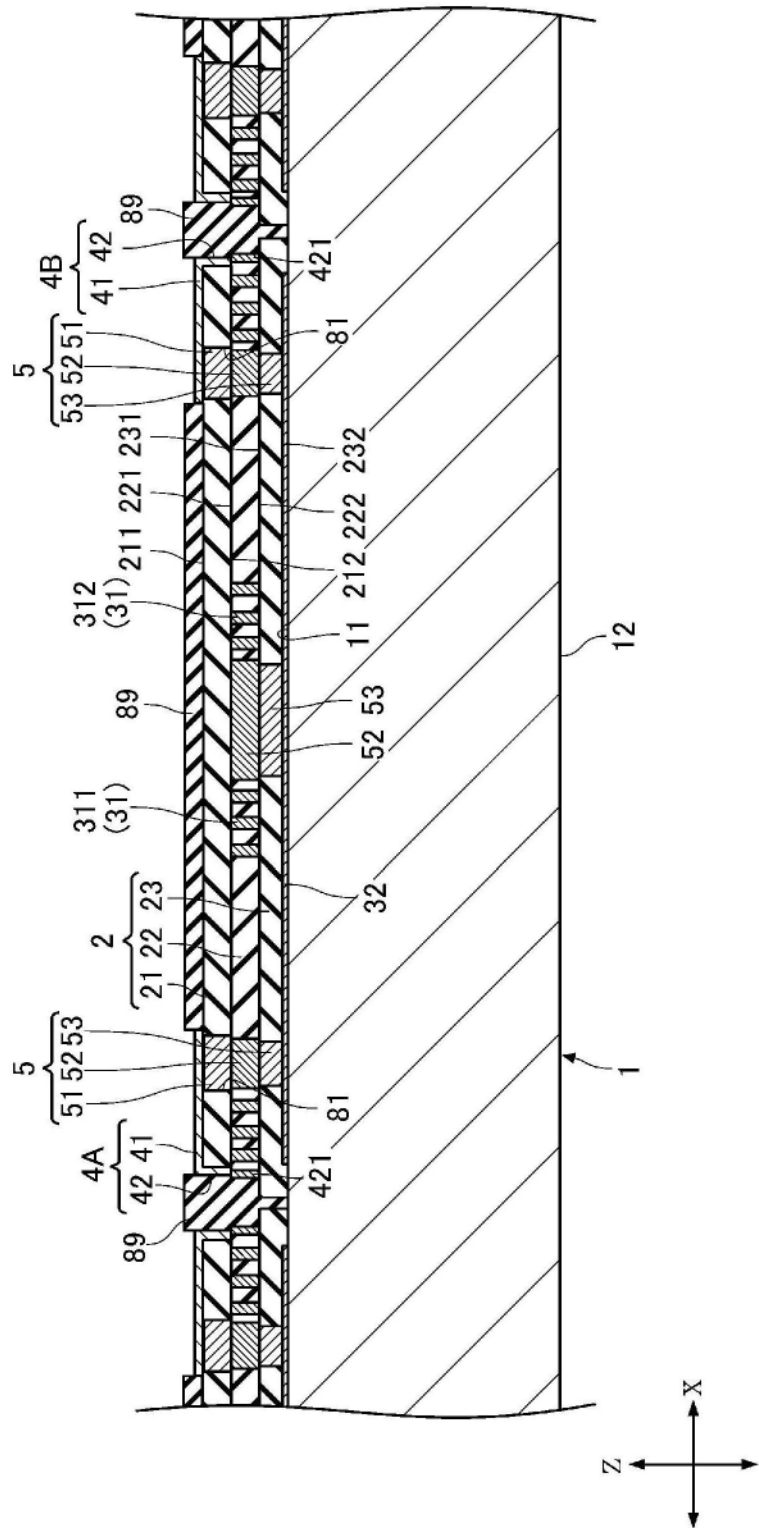


图27

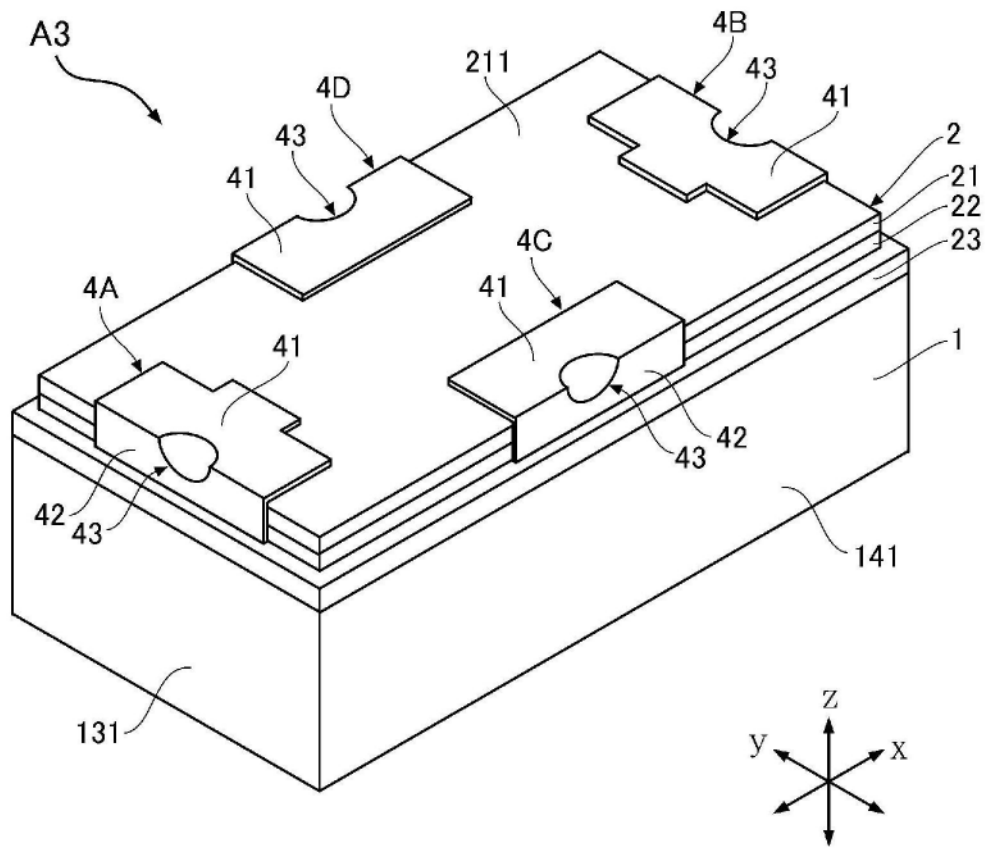


图28

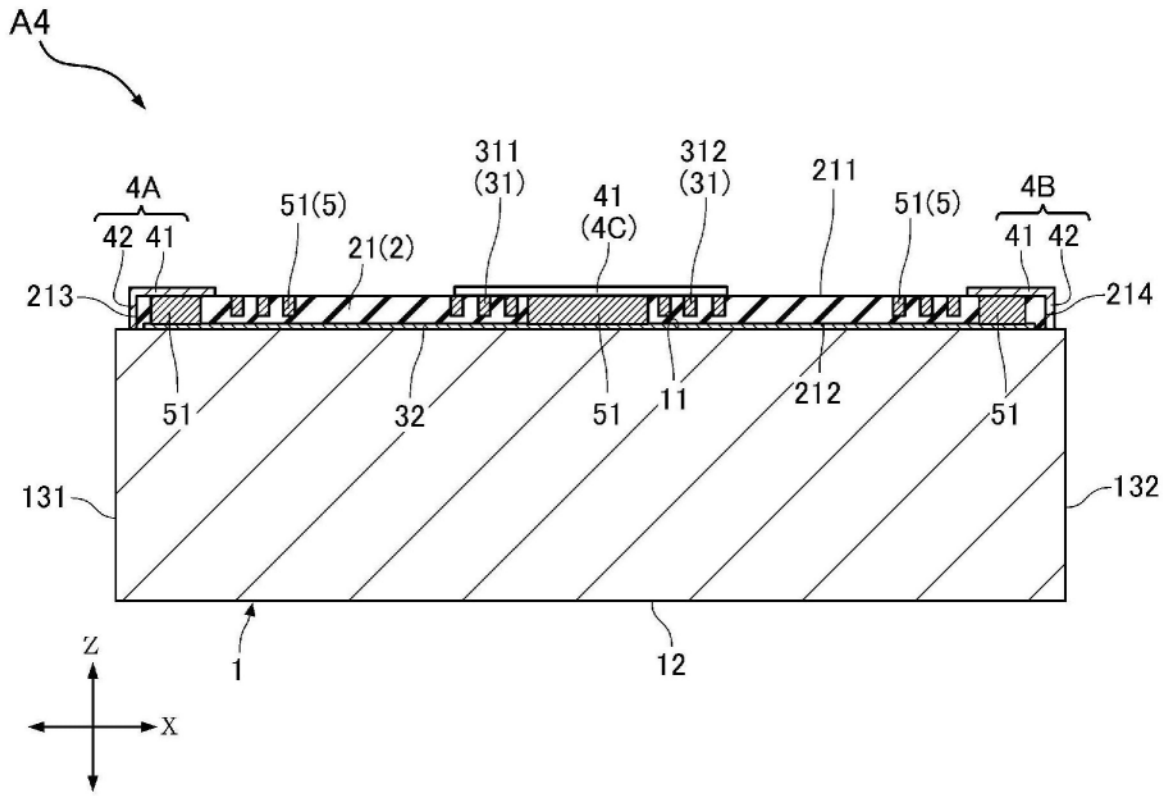


图29

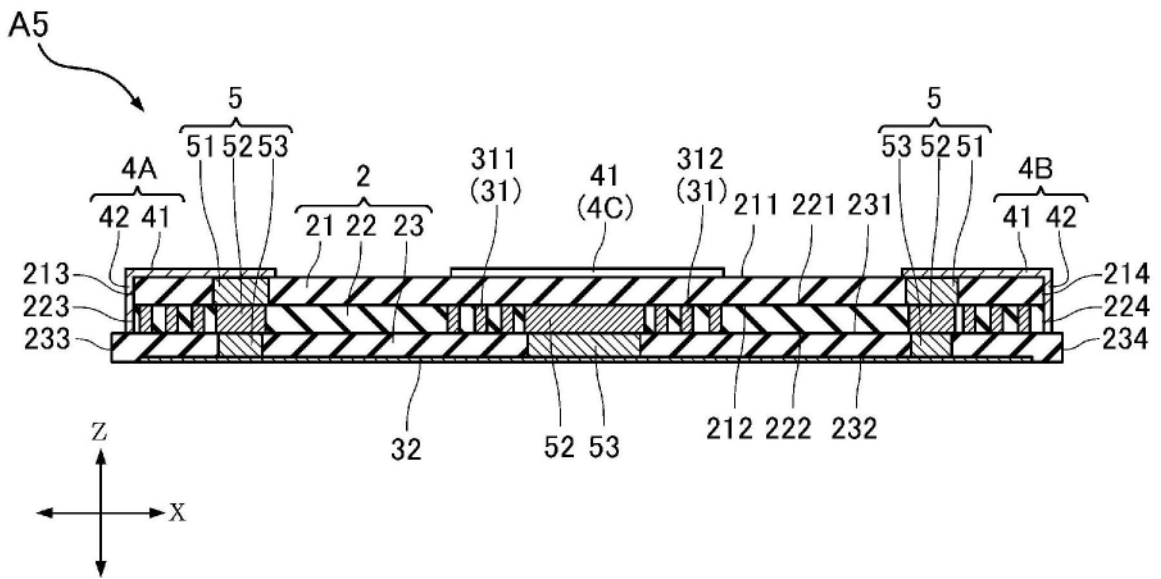


图30