



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0090262
(43) 공개일자 2017년08월07일

(51) 국제특허분류(Int. Cl.)
G11C 16/26 (2006.01) *G06F 13/16* (2006.01)
G11C 16/10 (2006.01) *G11C 16/24* (2006.01)
 (52) CPC특허분류
G11C 16/26 (2013.01)
G06F 13/1668 (2013.01)
 (21) 출원번호 10-2016-0010894
 (22) 출원일자 2016년01월28일
 심사청구일자 없음

(71) 출원인
 에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091
 (72) 발명자
 박원선
 서울특별시 강동구 양재대로 1706, 8동 1604호 (고덕동, 아남아파트)
 (74) 대리인
 강신섭, 문용호, 이용우

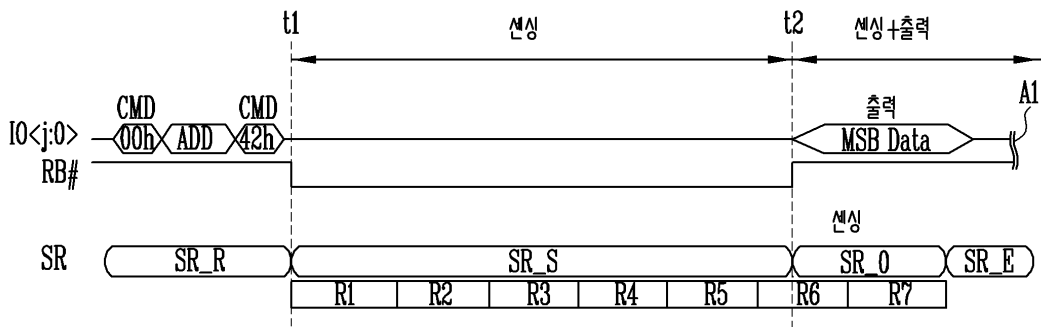
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 시스템 및 이의 동작 방법

(57) 요약

본 기술은 커맨드들에 응답하여 선택된 페이지의 센싱 동작을 수행하여 다수의 논리 페이지들의 데이터를 각각 저장하고, 상기 데이터의 출력 동작을 수행하도록 구성된 메모리 칩; 및 상기 센싱 동작의 일부와 상기 출력 동작이 동시에 수행되도록 상기 메모리 칩에 상기 커맨드들을 전송하는 컨트롤러를 포함하는 메모리 시스템 및 이의 동작 방법을 포함한다.

대표도 - 도9



(52) CPC특허분류

G11C 16/10 (2013.01)

G11C 16/24 (2013.01)

명세서

청구범위

청구항 1

제1 커맨드에 응답하여 선택된 페이지에 포함된 논리 페이지들을 센싱하고, 제2 커맨드에 응답하여 상기 논리 페이지들 중 센싱 동작이 완료된 논리 페이지의 데이터를 출력하면서 나머지 논리 페이지들의 센싱 동작을 동시에 수행하고, 각 동작에 따라 상태 정보를 업데이트하도록 구성된 메모리 칩; 및

상기 제1 커맨드 및 상기 제2 커맨드를 저장하고, 상기 상태 정보에 따라 상기 제1 커맨드 또는 상기 제2 커맨드를 출력하도록 구성된 컨트롤러를 포함하는 메모리 시스템.

청구항 2

제1항에 있어서, 상기 메모리 칩은,

상기 선택된 페이지를 포함한 다수의 페이지들이 포함된 메모리 셀 어레이;

제어 신호들에 응답하여 상기 선택된 페이지의 상기 센싱 동작을 수행하여 상기 데이터를 저장하거나, 상기 데이터를 출력하면서 상기 선택된 페이지의 상기 나머지 논리 페이지들의 센싱 동작을 동시에 수행하도록 구성된 주변회로; 및

상기 제1 또는 제2 커맨드에 응답하여 상기 주변회로를 제어하기 위한 상기 제어 신호들을 출력하도록 구성된 제어로직을 포함하는 메모리 시스템.

청구항 3

제2항에 있어서, 상기 주변회로는,

상기 논리 페이지들로부터 센싱된 상기 데이터를 각각 저장하기 위한 다수의 래치들이 포함된 페이지 버퍼들을 포함하는 메모리 시스템.

청구항 4

제3항에 있어서,

상기 논리 페이지들은 하위비트(LSB), 중앙비트(CSB) 및 상위비트(MSB) 페이지들을 포함하는 메모리 시스템.

청구항 5

제4항에 있어서, 상기 래치들은,

상기 하위비트(LSB) 페이지의 데이터가 저장되는 제1 래치들;

상기 중앙비트(CSB) 페이지의 데이터가 저장되는 제2 래치들; 및

상기 상위비트(MSB) 페이지의 데이터가 저장되는 제3 래치들을 포함하는 메모리 시스템.

청구항 6

제2항에 있어서, 상기 제어로직은,

상기 상태 정보를 저장하는 SR 정보 메모리;

리드 동작에 필요한 상기 제어 신호들을 출력하는 제어 신호 출력부; 및

상기 제1 또는 제2 커맨드를 수신하여, 상기 제1 커맨드를 상기 SR 정보 메모리에 전달하거나, 상기 제2 커맨드를 상기 제어 신호 출력부에 전달하는 커맨드 전송부를 포함하는 메모리 시스템.

청구항 7

제1항에 있어서, 상기 컨트롤러는

상기 상태 정보에 따라, 상기 메모리 칩의 상태를 판단하여 커맨드 선택 신호를 출력하는 SR 정보 판단부;

상기 제1 및 제2 커맨드들을 저장하고, 상기 커맨드 선택 신호에 응답하여 상기 제1 또는 제2 커맨드를 선택하는 커맨드 저장부; 및

상기 제1 및 제2 커맨드들 중 선택된 커맨드를 상기 메모리 칩으로 출력하는 커맨드 출력부를 포함하는 메모리 시스템.

청구항 8

제7항에 있어서,

상기 커맨드 출력부는 상기 제1 및 제2 커맨드들 외에 다양한 동작에 대응되는 다양한 커맨드들을 더 포함하는 메모리 시스템.

청구항 9

제1항에 있어서,

상기 컨트롤러는 상기 논리 페이지들 중 센싱 동작이 완료된 논리 페이지의 데이터가 모두 출력되면, 상기 나머지 논리 페이지들의 데이터가 출력되도록 상기 메모리 칩을 제어하는 메모리 시스템.

청구항 10

다양한 레벨의 리드 전압들을 사용하여 선택된 페이지의 센싱 동작을 수행하는 단계; 및

상기 센싱 동작 중 센싱이 완료된 논리 페이지가 발생하면, 나머지 논리 페이지들의 센싱 동작과 상기 센싱이 완료된 논리 페이지의 데이터의 출력 동작을 동시에 수행하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 11

제10항에 있어서,

상기 선택된 페이지의 센싱 동작을 수행하는 단계는,

설정된 순서에 따라 상기 리드 전압들을 상기 선택된 페이지에 연결된 워드라인에 각각 인가하고, 센싱된 데이터를 각각 저장하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 12

제11항에 있어서,

상기 센싱된 데이터는 상기 논리 페이지 단위로 구분되어 저장되는 다수의 래치들에 각각 저장되는 메모리 시스템.

템의 동작 방법.

청구항 13

제10항에 있어서,

상기 논리 페이지들은 하위비트 페이지, 중앙비트 페이지 및 상위비트 페이지를 포함하는 메모리 시스템의 동작 방법.

청구항 14

제10항에 있어서,

상기 센싱 동작과 상기 출력 동작이 동시에 수행된 후,

상기 센싱 동작이 완료된 나머지 논리 페이지들의 데이터의 출력 동작을 수행하는 단계를 더 포함하는 메모리 시스템의 동작 방법.

청구항 15

리드 커맨드에 응답하여 다수의 논리 페이지들의 센싱 동작을 수행하는 단계;

상기 논리 페이지들 중 상기 센싱 동작이 완료된 페이지의 데이터를 출력하면서, 나머지 논리 페이지들의 센싱 동작을 수행하는 단계; 및

셋업 커맨드 및 출력 커맨드에 응답하여, 상기 나머지 논리 페이지들의 데이터를 순차적으로 출력하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 16

제15항에 있어서,

상기 다수의 논리 페이지들의 센싱 동작을 수행하는 단계는,

상기 논리 페이지들에 대응되는 다양한 레벨을 갖는 리드 전압들을 사용하여 수행되는 메모리 시스템의 동작 방법.

청구항 17

제16항에 있어서,

상기 리드 전압들은 설정된 순서에 따라 상기 센싱 동작시 사용되는 메모리 시스템의 동작 방법.

청구항 18

제15항에 있어서,

상기 센싱 동작이 완료된 페이지의 데이터가 출력되는 동안, 상기 나머지 논리 페이지들의 센싱 동작이 모두 완료되는 메모리 시스템의 동작 방법.

청구항 19

제18항에 있어서,

상기 나머지 논리 페이지들의 센싱 동작이 모두 완료된 이후에, 상기 나머지 논리 페이지들의 데이터를 순차적으로 출력하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 20

제19항에 있어서,

상기 나머지 논리 페이지들의 데이터를 순차적으로 출력하는 단계는,

제1 셋업 커맨드에 응답하여 상기 나머지 논리 페이지들 중 하나의 논리 페이지를 선택하는 단계;

상기 출력 커맨드에 응답하여, 상기 제1 셋업 커맨드에 따라 선택된 상기 논리 페이지의 제1 데이터를 출력 래치들로 전송하는 단계;

상기 출력 래치들에 전송된 상기 제1 데이터를 출력하는 단계;

제2 셋업 커맨드에 응답하여 상기 나머지 논리 페이지들 중 다른 하나의 논리 페이지를 선택하는 단계;

상기 출력 커맨드에 응답하여, 상기 제2 셋업 커맨드에 따라 선택된 상기 논리 페이지의 제2 데이터를 상기 출력 래치들로 전송하는 단계; 및

상기 출력 래치들에 전송된 상기 제2 데이터를 출력하는 단계를 포함하는 메모리 시스템의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 시스템 및 이의 동작 방법에 관한 것으로, 보다 구체적으로는 메모리 시스템의 리드 동작에 관한 것이다.

배경 기술

[0003] 메모리 시스템(memory system)은 컴퓨터, 디지털 카메라, MP3 플레이어, 스마트폰과 같은 디지털 기기들의 데이터 저장 장치로 널리 사용되고 있다. 이러한 메모리 시스템은 데이터가 저장되는 메모리 장치와 메모리 장치를 제어하는 컨트롤러를 포함할 수 있다. 디지털 기기들을 호스트(host)라 하면, 컨트롤러는 호스트와 메모리 장치 사이에서 커맨드, 어드레스 및 데이터를 전송한다.

[0004] 최근에는 디지털 기기들의 휴대성이 개선되면서 데이터의 사용량도 점차 증가하고 있다. 데이터 증가로 인해, 메모리 장치에는 다수의 메모리 칩들이 포함된다. 다수의 메모리 칩들은 채널(channel)을 통해 컨트롤러와 통신한다. 예를 들면, 하나의 채널에 다수의 메모리 칩들이 연결될 수 있다.

[0005] 메모리 칩들은 데이터가 저장되는 다수의 메모리 셀들이 포함된 메모리 셀 어레이를 포함한다. 메모리 셀들은 1 비트의 데이터가 저장될 수 있는 싱글 레벨 셀들(single level cells; SLC)로 이루어지거나, 2 비트 이상의 데이터가 저장될 수 있는 멀티 레벨 셀들(multi level cells; MLC), 트리플 레벨 셀들(triple level cell; TLC) 또는 쿼드러플 레벨 셀들(quadruple level cell; QLC)로 이루어질 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예는 메모리 시스템의 리드 동작 시간을 단축할 수 있는 메모리 시스템 및 이의 동작 방법을 제공한다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 메모리 시스템은, 제1 커맨드에 응답하여 선택된 페이지에 포함된 논리 페이지들을 센싱하고, 제2 커맨드에 응답하여 상기 논리 페이지들 중 센싱 동작이 완료된 논리 페이지의 데이터를 출력하면서 나머지 논리 페이지들의 센싱 동작을 동시에 수행하고, 각 동작에 따라 상태 정보를 업데이트하도록 구성된 메모리 칩; 및 상기 제1 커맨드 및 상기 제2 커맨드를 저장하고, 상기 상태 정보에 따라 상기 제1 커맨드 또는 상기 제2 커맨드를 출력하도록 구성된 컨트롤러를 포함한다.

[0009] 본 발명의 실시예에 따른 메모리 시스템의 동작 방법은, 다양한 레벨의 리드 전압들을 사용하여 선택된 페이지의 센싱 동작을 수행하는 단계; 및 상기 센싱 동작 중 센싱이 완료된 논리 페이지가 발생하면, 나머지 논리 페이지들의 센싱 동작과 상기 센싱이 완료된 논리 페이지의 데이터의 출력 동작을 동시에 수행하는 단계를 포함한다.

[0010] 본 발명의 실시예에 따른 메모리 시스템의 동작 방법은, 리드 커맨드에 응답하여 다수의 논리 페이지들의 센싱 동작을 수행하는 단계; 상기 논리 페이지들 중 상기 센싱 동작이 완료된 페이지의 데이터를 출력하면서, 나머지 논리 페이지들의 센싱 동작을 수행하는 단계; 및 셋업 커맨드 및 출력 커맨드에 응답하여, 상기 나머지 논리 페이지들의 데이터를 순차적으로 출력하는 단계를 포함한다.

발명의 효과

[0012] 본 기술은 리드 동작시 센싱 동작과 출력 동작을 동시에 수행함으로써 리드 동작 시간을 단축할 수 있다. 이로 인해, 메모리 시스템의 동작 시간을 단축할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시예에 따른 메모리 시스템을 설명하기 위한 도면이다.
- 도 2는 도 1의 컨트롤러를 구체적으로 설명하기 위한 도면이다.
- 도 3은 도 1의 메모리 그룹을 설명하기 위한 도면이다.
- 도 4는 도 3의 메모리 칩을 설명하기 위한 도면이다.
- 도 5는 도 4의 메모리 칩을 구체적으로 설명하기 위한 도면이다.
- 도 6은 도 5의 메모리 블록을 구체적으로 설명하기 위한 도면이다.
- 도 7은 도 5의 페이지 버퍼부를 설명하기 위한 도면이다.
- 도 8은 트리플 레벨 셀들의 논리 페이지들을 설명하기 위한 도면이다.
- 도 9 및 도 10은 본 발명의 일 실시예에 따른 리드 동작을 설명하기 위한 도면이다.
- 도 11 및 도 12는 본 발명의 다른 실시예에 따른 리드 동작을 설명하기 위한 도면이다.
- 도 13은 본 발명의 실시예에 따른 메모리 시스템을 포함하는 컴퓨팅 시스템의 개략적인 구성을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

[0017] 도 1은 본 발명의 실시예에 따른 메모리 시스템을 설명하기 위한 도면이다.

[0018] 도 1을 참조하면, 메모리 시스템(1000)은 데이터가 저장되는 메모리 장치(1100)와 메모리 장치(1100)를 제어하는 컨트롤러(1200)를 포함할 수 있다.

- [0019] 메모리 장치(1100)는 다수의 메모리 그룹들(1110, 1120 및 11k0)을 포함할 수 있다. 메모리 그룹들(1110, 1120 및 11k0) 각각은 다수의 메모리 칩들을 포함할 수 있으며, 메모리 그룹들(1110, 1120 및 11k0) 각각은 채널들(CH1, CH2, ..., CHk; k는 양의 정수)을 통해 컨트롤러(1200)와 통신할 수 있다.
- [0020] 컨트롤러(1200)는 호스트(2000)로부터 커맨드(CMD)가 수신되면, 수신된 커맨드(CMD)에 따라 채널들(CH1, CH2, ..., CHk)을 통해 메모리 그룹들(1110, 1120 및 11k0)을 제어한다. 특히, 컨트롤러(1200)는 선택된 메모리 칩의 리드 동작시, 논리 페이지들이 모두 센싱되지 않더라도, 센싱이 완료된 논리 페이지가 발생하면 센싱이 완료된 논리 페이지의 데이터를 출력하는 동작과 나머지 논리 페이지들의 센싱 동작이 동시에 수행되도록 다양한 커맨드들을 출력할 수 있다.
- [0021] 도 2는 도 1의 컨트롤러를 구체적으로 설명하기 위한 도면이다.
- [0022] 도 2를 참조하면, 메모리 시스템은 데이터가 저장되는 메모리 장치(1100)와 메모리 장치(1100)를 제어하는 컨트롤러(1200)를 포함할 수 있다. 컨트롤러(1200)는 SR 정보 판단부(201), 커맨드 저장부(201) 및 커맨드 출력부(202)를 포함할 수 있다.
- [0023] SR 정보 판단부(201)는 선택된 메모리 칩으로부터 수신된 상태 정보에 따라, 선택된 메모리 칩의 상태를 판단하여 커맨드 선택신호를 출력할 수 있다. 상태 정보는 선택된 메모리 칩의 리드 동작 상태에 대한 정보를 포함할 수 있다. 커맨드 저장부(202)는 다양한 동작들에 대한 커맨드들을 저장하고, 커맨드 선택신호에 따라 커맨드들을 선택할 수 있다. 예를 들면, 커맨드들은 노말 리드 커맨드(normal read command), 리드 준비 커맨드(read ready command), 어드밴스드 원샷 리드 커맨드(advanced one-shot read command), 셋업 커맨드들(setup commands) 및 데이터 출력 커맨드(data output command)를 포함할 수 있다. 커맨드 출력부(203)는 선택된 메모리 칩이 선택된 동작을 수행할 수 있도록, 선택된 메모리 칩으로 선택된 커맨드를 송신할 수 있다.
- [0025] 도 3은 도 1의 메모리 그룹을 설명하기 위한 도면이다.
- [0026] 도 3을 참조하면, 도 1에 도시된 메모리 그룹들(1110, 1120 및 11k0) 중 제1 메모리 그룹(1110)과 컨트롤러(1200) 간의 연결 관계가 도시되어 있다. 나머지 메모리 그룹들(도 1의 1120~11k0)도 도 3에 도시된 제1 메모리 그룹(1110)과 같이 컨트롤러(1200)에 연결될 수 있다.
- [0027] 제1 메모리 그룹(1110)은 제1 채널(CH1)에 공통으로 연결된 다수의 메모리 칩들(NV11~NV18)을 포함할 수 있다. 도 3에는 설명의 편의를 위하여 8개의 메모리 칩들(NV11~NV18)이 도시되어 있으나, 메모리 시스템에 따라 더 많은 수의 메모리 칩들이 포함될 수 있다. 제1 채널(CH)은 컨트롤러(1200)와 다수의 메모리 칩들(NV11~NV18) 사이에 연결된 다수의 라인들을 포함한다. 예를 들면, 제1 채널(CH)은 칩 인에이블 신호, 커맨드 래치 인에이블 신호, 어드레스 래치 인에이블 신호, 라이트 인에이블 신호, 레디 비지 신호, 커맨드, 어드레스 및 데이터가 전송되는 다수의 라인들을 포함할 수 있다.
- [0029] 도 4는 도 3의 메모리 칩을 설명하기 위한 도면으로써, 도 3에 도시된 메모리 칩들(NV11~NV18) 중 제1 메모리 칩(NV11)이 도시되어 있으며, 나머지 제2 내지 제8 메모리 칩들(도 3의 NV12~NV18)도 제1 메모리 칩(NV11)과 동일하게 구성될 수 있다.
- [0030] 도 4를 참조하면, 제1 메모리 칩(NV11)은 제1 채널(도 3의 CH1)에 포함된 다수의 라인들을 통해 칩 인에이블 신호(CE#), 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE) 및 라이트 인에이블 신호(WE#)를 수신하고, 레디 비지 신호(RB#)를 출력할 수 있다. 칩 인에이블 신호(CE#)는 제1 채널(CH1)에 연결된 메모리 칩들(NV11~NV18)들 각각에 연결된 라인들을 통하여 메모리 칩들(NV11~NV18)에 선택적으로 인가될 수 있다. 나머지 신호들(CLE, ALE, WE#, RB#)은 메모리 칩들(NV11~NV18)에 공통으로 연결된 라인들에 인가된다. 각 신호들을 구체적으로 설명하면 다음과 같다.
- [0031] 칩 인에이블 신호(CE#)는 제1 채널(CH1)에 연결된 다수의 저장 장치들에 선택적으로 입력되는 신호로써, 커맨드, 어드레스 또는 데이터를 선택된 메모리 칩(NV11)에 입력할 때 사용된다. 예를 들면, 칩 인에이블 신호(CE#)는 선택된 메모리 칩(NV11)에는 로우(low)로 인가될 수 있고, 나머지 비선택된 메모리 칩들(NV12~NV18)에는 하이(high)로 인가될 수 있다. 커맨드 래치 인에이블 신호(CLE)는 커맨드가 메모리 칩(NV11)에 입력되는 동안 하이(high)가 된다. 어드레스 래치 인에이블 신호(ALE)는 어드레스(ADD)가 메모리 칩(NV11)에 입력되는 동안 하이(high)가 된다. 레디 비지 신호(RB#)는 선택된 메모리 칩(NV11)이 동작을 수행하는 동안 로우(low)가 된

다. 라이트 인에이블 신호(WE#)는 입출력 라인들(I0<1:0>)에 로드(load)된 커맨드, 어드레스 또는 데이터를 선택된 메모리 칩(NV11)에 입력할 때 하이(high)에서 로우(low)로 천이된다.

- [0032] 제1 채널(CH1)에 포함된 입출력 라인들(I0<j:0>)은 컨트롤러(1200)와 메모리 칩(NV11) 사이에서 커맨드, 어드레스 및 데이터를 송수신하는데 사용된다.
- [0034] 도 5는 도 4의 메모리 칩을 구체적으로 설명하기 위한 도면으로써, 메모리 칩들은 휘발성 메모리 칩 또는 비휘발성 메모리 칩으로 구현될 수 있다. 최근에 휴대용 전자기기들의 사용량이 증가하고 있는데, 휴대용 전자기기들에는 전원 공급이 차단되어도 데이터가 유지될 수 있는 비휘발성 메모리 칩이 주로 사용된다. 이에 따라, 도 5에서는 비휘발성 메모리 칩 중에서도 낸드 플래시 메모리 칩(NAND flash memory chip)을 예를 들어 설명하도록 한다.
- [0035] 도 5를 참조하면, 제1 메모리 칩(NV11)은 데이터가 저장되는 메모리 셀 어레이(110)와, 메모리 셀 어레이의 프로그램(program), 리드(read) 및 소거(erase) 동작을 수행하는 주변회로(120)와, 주변회로(120)를 제어하는 제어로직(130)을 포함할 수 있다.
- [0036] 메모리 셀 어레이(110)는 데이터가 저장되는 다수의 메모리 블록들을 포함할 수 있으며, 메모리 블록들 각각은 메모리 셀들이 포함된 다수의 셀 스트링들(미도시)을 포함할 수 있다.
- [0037] 주변회로(120)는 전압 생성 회로(121), 로우 디코더(122), 페이지 버퍼부(123), 컬럼 디코더(124) 및 입출력 회로(125)를 포함할 수 있다.
- [0038] 전압 생성 회로(121)는 동작 신호(OPSIG)에 응답하여 다양한 레벨의 동작 전압들을 생성하여 글로벌 라인들(GL)로 전송할 수 있다.
- [0039] 로우 디코더(122)는 로우 어드레스(RADD)에 응답하여, 선택된 메모리 블록에 연결된 로컬 라인들(LL)에 동작 전압들을 전송할 수 있다.
- [0040] 페이지 버퍼부(123)는 페이지 버퍼 제어 신호(PBSIG)에 응답하여 컬럼 디코더(124)로부터 전송된 데이터(DATA)를 임시로 저장하거나 비트라인들(BL)을 통해 전송된 데이터(DATA)를 임시로 저장할 수 있다. 또한, 리드 동작시, 페이지 버퍼부(123)는 페이지 버퍼 제어 신호(PBSIG)에 응답하여, 선택된 페이지의 데이터를 센싱하고, 센싱된 데이터를 임시로 저장할 수 있으며, 컬럼 디코더(124)로 출력할 수 있다. 하나의 메모리 셀에 3 비트의 데이터가 저장되는 트리플 레벨 셀들(triple level cell; TLC)의 리드 동작의 경우, 페이지 버퍼부(123)는 페이지 단위로 센싱된 데이터를 임시로 저장할 수 있다. 트리플 레벨 셀들(TLC)은 하위비트(least significant bit; 이하, LSB) 페이지, 중앙비트(center significant bit; 이하, CSB) 페이지 및 상위비트(most significant bit; 이하, MSB) 페이지를 포함하는 논리 페이지들을 포함할 수 있다. 따라서, 리드 동작시, 페이지 버퍼부(123)에는 LSB 페이지, CSB 페이지 및 MSB 페이지에 해당하는 데이터가 각각 저장될 수 있다. 상술한 페이지 버퍼부(123)의 동작은 트리플 레벨 셀들(TLC) 외에도 멀티 레벨 셀들(multi level cells; MLC) 또는 쿼드러플 레벨 셀들(quadruple level cell; QLC)에도 적용될 수 있다. 여기서, 멀티 레벨 셀들(MLC)은 하나의 메모리 셀에 2 비트의 데이터가 저장되는 셀들이고, 쿼드러플 레벨 셀들(QLC)은 하나의 메모리 셀에 4 비트의 데이터가 저장되는 셀들이다.
- [0041] 컬럼 디코더(124)는 컬럼 어드레스(CADD)에 응답하여 페이지 버퍼부(123) 또는 입출력 회로(125)와 데이터(DATA)를 주고받을 수 있다. 예를 들면, 컬럼 디코더(124)는 리드 동작시, 페이지 버퍼부(123)로부터 출력된 데이터(DATA)를 입출력 회로(125)에 전달할 수 있다.
- [0042] 입출력 회로(125)는 입출력 라인들(I0<j:0>)을 통해 컨트롤러(도 1의 1200)에 연결된다. 입출력 회로(125)는 컨트롤러(1200)로부터 수신된 커맨드(CMD) 및 어드레스(ADD)를 제어로직(130)에 전달하거나, 컨트롤러(1200)로부터 수신된 데이터(DATA)를 컬럼 디코더(124)로 전달하거나, 컬럼 디코더(124)로부터 수신된 데이터(DATA)를 입출력 라인들(I0<j:0>)을 통해 컨트롤러(1200)로 출력할 수 있다. 또한, 입출력 회로(125)는 제어로직(130)으로부터 출력된 상태 정보(SR)를 수신받고, 입출력 라인들(I0<j:0>)을 통해 컨트롤러(1200)로 출력할 수 있다.
- [0043] 패스/페일 판단부(126)는 리드 동작시 페이지 버퍼부(123)로부터 센싱 전압(Vsen)을 수신하고, 수신된 센싱 전압(Vsen)에 따라 리드 동작이 패스(pass)인지 또는 페일(fail)인지를 판단할 수 있다. 패스/페일 판단부(126)는 리드 동작이 패스이면 패스 신호(PASS)를 출력하고, 페일이면 페일(FAIL) 신호를 출력할 수 있다.

- [0044] 제어로직(130)은 커맨드(CMD) 및 어드레스(ADD)에 응답하여 동작 신호(OPSIG), 로우 어드레스(RADD), 페이지 버퍼 제어 신호(PBSIG) 및 컬럼 어드레스(CADD)를 출력할 수 있다. 리드 동작시, 제어로직(130)은 커맨드(CMD) 및 어드레스(ADD)에 응답하여, 선택된 페이지의 센싱 동작을 수행하고, 센싱된 데이터의 출력 동작을 수행하거나, 센싱 동작과 출력 동작이 동시에 수행되도록 주변회로(120)를 제어할 수 있다. 이를 위해, 제어로직(130)은 SR 정보 메모리(131), 커맨드 전송부(132) 및 제어 신호 출력부(133)를 포함할 수 있다. SR 정보 메모리(131)는 메모리 칩(NV11)의 현재 상태를 나타내는 상태 정보(status/read information; SR)를 저장할 수 있고, 메모리 칩(NV11)의 상태에 따라 상태 정보(SR)를 업데이트할 수 있다. 또한, SR 정보 메모리(131)는 상태 정보를 요청하는 커맨드(CMD)에 응답하여 상태 정보(SR)를 출력할 수 있다. 커맨드 전송부(132)는 수신된 커맨드(CMD)에 응답하여, SR 정보 메모리(131) 또는 제어 신호 출력부(133)에 동작 판단 신호를 출력할 수 있다. 예를 들면, 커맨드 전송부(132)는 상태 정보를 요청하는 커맨드(CMD)가 수신되면, 수신된 커맨드를 SR 정보 메모리(131)에 전달할 수 있다. 상태 정보를 요청하는 커맨드(CMD)가 SR 정보 메모리(131)에 전달되면, SR 정보 메모리(131)는 상태 정보(SR)를 출력할 수 있다. 또한, 커맨드 전송부(132)는 리드 동작에 대한 커맨드(CMD)가 수신되면, 수신된 커맨드를 제어 신호 출력부(133)에 전달할 수 있다. 제어 신호 출력부(133)는 커맨드 전송부(132)로부터 수신된 커맨드(CMD)에 응답하여, 각 동작의 제어를 위한 제어 신호들(OPSIG 및 PBSIG) 및 어드레스(RADD 및 CADD)를 출력할 수 있다.
- [0046] 도 6은 도 5의 메모리 블록을 구체적으로 설명하기 위한 도면이다.
- [0047] 도 6을 참조하면, 메모리 블록은 제1 내지 제i 비트라인들(BL1~BLi; i는 양의 정수)과 소오스 라인(SL) 사이에 연결된 다수의 스트링들(ST)을 포함한다. 이 중 제1 비트라인(BL1)에 연결된 스트링(ST)을 예를 들어 설명하면 다음과 같다.
- [0048] 스트링(ST)은 소오스 라인(SL)과 제1 비트라인(BL1) 사이에서 직렬로 연결된 소오스 셀렉트 트랜지스터(SST), 제1 내지 제n 메모리 셀들(F1~Fn; n은 양의 정수) 및 드레인 셀렉트 트랜지스터(DST)를 포함할 수 있다. 소오스 셀렉트 트랜지스터(SST)의 게이트들은 소오스 셀렉트 라인(SSL)에 연결되고, 제1 내지 제n 메모리 셀들(F1~Fn)의 게이트들은 제1 내지 제n 워드라인들(WL1~WLn)에 연결되며, 드레인 셀렉트 트랜지스터(DST)의 게이트는 드레인 셀렉트 라인(DSL)에 연결된다. 서로 다른 스트링(ST)에 연결된 메모리 셀들의 그룹을 페이지(page; PG)라 하며, 각각의 페이지(PG)는 제1 내지 제n 메모리 셀들(F1~Fn)의 프로그램 방법에 따라 다수의 논리 페이지들을 포함할 수 있다. 예를 들면, 멀티 레벨 셀들(MLC)은 2개의 논리 페이지들을 포함할 수 있고, 트리플 레벨 셀들(TLC)은 3개의 논리 페이지들을 포함할 수 있으며, 쿼드러플 레벨 셀들(QLC)은 4개의 논리 페이지들을 포함할 수 있다.
- [0050] 도 7은 도 5의 페이지 버퍼부를 설명하기 위한 도면이다.
- [0051] 도 7을 참조하면, 페이지 버퍼부(123)는 제1 내지 제i 페이지 버퍼들(PB1~PBi)을 포함할 수 있다. 제1 내지 제i 페이지 버퍼들(PB1~PBi)은 제1 내지 제i 비트라인들(BL1~BLi)에 연결된다. 제1 내지 제i 페이지 버퍼들(PB1~PBi) 각각은 데이터를 센싱하고 저장하기 위한 제1 내지 제m 래치들(LAT1~LATm; m은 양의 정수)을 포함할 수 있다. 예를 들면, 멀티 레벨 셀(MLC) 방식이 적용된 메모리 칩에서는 2개 이상의 래치들이 필요하고, 트리플 레벨 셀(TLC) 방식이 적용된 메모리 칩에서는 3개 이상의 래치들이 필요하며, 쿼드러플 레벨 셀(QLC) 방식이 적용된 메모리 칩에서는 4개 이상의 래치들이 필요하다.
- [0052] 트리플 레벨 셀(TLC) 방식이 적용된 메모리 칩의 리드 동작을 예를 들어 설명하면 다음과 같다.
- [0054] 도 8은 트리플 레벨 셀들의 리드 동작을 설명하기 위한 도면이다.
- [0055] 도 8을 참조하면, 트리플 레벨 셀들(TLC)은 하위비트(LSB) 페이지, 중앙비트(CSB) 및 상위비트(MSB) 페이지를 포함하는 3개의 논리 페이지들을 포함할 수 있다. 트리플 레벨 셀들(TLC)은 3개의 논리 페이지들에 따라 8개의 문턱전압 분포들을 가질 수 있다. 예를 들면, 트리플 레벨 셀들(TLC)은 소거상태(ER) 또는 7개의 프로그램 상태들(PV1~PV7)로 프로그램될 수 있다. 이처럼, 3개의 논리 페이지들(LSB, CSB 및 MSB)을 포함하는 트리플 레벨 셀들(TLC)을 리드하기 위해서, 각각의 논리 페이지들에 대한 리드 동작들이 수행된다. 즉, 하위비트(LSB) 리드 동작에 의해 하위비트(LSB) 데이터를 얻고, 중앙비트(CSB) 리드 동작에 의해 중앙비트(CSB) 데이터를 얻고, 상위

비트(MSB) 리드 동작에 의해 상위비트(MSB) 데이터를 얻을 수 있다. 하위비트(LSB) 리드 동작은 제3 및 제7 리드 전압들(R3 및 R7)을 사용하여 수행될 수 있고, 중앙비트(CSB) 리드 동작은 제1, 제4 및 제6 리드 전압들(R1, R4 및 R6)을 사용하여 수행될 수 있고, 상위비트(MSB) 리드 동작은 제2 및 제5 리드 전압들(R2 및 R5)을 사용하여 수행될 수 있다. 하위비트(LSB), 중앙비트(CSB) 및 상위비트(MSB) 리드 동작들에 사용되는 리드 전압들은 메모리 칩에 따라 바뀔 수도 있다.

[0056] 하위비트(LSB) 리드 동작에 의해 리드된 하위비트(LSB) 데이터는 페이지 버퍼의 제1 래치(도 7의 LAT1)에 저장될 수 있고, 중앙비트(CSB) 리드 동작에 의해 리드된 중앙비트(CSB) 데이터는 페이지 버퍼의 제2 래치(도 7의 LAT2)에 저장될 수 있고, 상위비트(MSB) 리드 동작에 의해 리드된 상위비트(MSB) 데이터는 페이지 버퍼의 제3 래치(LAT3)에 각각 저장될 수 있다.

[0057] 각 래치들(LAT1~LAT3)에 하위비트(LSB) 데이터, 중앙비트(CSB) 데이터 또는 상위비트(MSB) 데이터를 저장하기 위해서, 선택된 메모리 셀들의 센싱 동작이 선행된다. 즉, 선택된 메모리 셀들의 문턱전압에 따른 비트라인들의 전압 또는 전류 변화를 센싱하여, 각각의 논리 페이지들에 대응하는 래치들에 데이터가 저장된다.

[0058] 본 실시예에서는, 하위비트(LSB) 페이지, 중앙비트(CSB) 페이지 및 상위비트(MSB) 페이지의 센싱 동작이 모두 완료되기 이전에, 센싱이 완료된 논리 페이지들의 출력 동작이 수행된다. 즉, 센싱 동작의 일부 구간에서 센싱 동작과 출력 동작이 동시에 수행될 수 있다.

[0060] 도 9 및 도 10은 본 발명의 일 실시예에 따른 리드 동작을 설명하기 위한 도면이다.

[0061] 도 9를 참조하면, 리드 동작이 시작되면, 메모리 칩의 상태 정보(SR)는 커맨드(CMD), 어드레스(ADD) 또는 데이터(DATA)를 수신할 수 있는 상태를 나타내는 제1 상태 정보(SR_R)로 업데이트된다. 메모리 칩에 제1 상태 정보(SR_R)가 저장되면, 메모리 칩은 하이(high)의 레디 비지 신호(RB#)를 출력하여 메모리 칩이 커맨드(CMD) 또는 어드레스(ADD)를 수신할 수 있는 상태임을 컨트롤러에 알린다. 컨트롤러는 입출력 라인들(IO<j:0>)을 통해 선택된 메모리 칩에 리드 준비 커맨드(00h), 어드레스(ADD) 및 어드밴스드 원샷(advanced one-shot) 리드 커맨드(42h)를 순차적으로 송신한다. 메모리 칩은 리드 준비 커맨드(00h)에 응답하여 리드 동작을 수행할 준비를 하고, 어드레스(ADD)에 응답하여 리드 동작이 수행될 메모리 블록과 로우(row) 어드레스 및 컬럼(column) 어드레스를 설정한다.

[0062] 메모리 칩은 어드밴스드 원샷 리드 커맨드(42h)에 응답하여 t1 시점부터 어드밴스드 원샷 리드 동작을 수행한다. 어드밴스드 원샷 리드 동작에서는 논리 페이지들의 센싱 동작이 모두 완료되기 이전에, 일부 센싱 동작과 출력 동작이 동시에 수행될 수 있다.

[0063] 센싱 동작이 수행되는 동안(t1~t2), 메모리 칩의 상태 정보(SR)는 커맨드(CMD), 어드레스(ADD) 또는 데이터(DATA)를 수신할 수 없는 상태를 나타내는 제2 상태 정보(SR_S)로 업데이트된다. 예를 들면, 센싱 동작이 시작되는 t1 시점에 상태 정보(SR)가 업데이트될 수 있다. 메모리 칩에 제2 상태 정보(SR_S)가 저장되면, 메모리 칩은 로우(low)의 레디 비지 신호(RB#)를 출력하여 메모리 칩이 커맨드(CMD), 어드레스(ADD) 또는 데이터(DATA) 전송을 할 수 없는 상태임을 컨트롤러에 알린다.

[0064] 센싱 동작은 제1 내지 제7 리드 전압들(R1~R7)을 순차적으로 사용하여 수행될 수 있다. 제1 내지 제7 리드 전압들(R1~R7)은 전압 레벨이 낮은 순서로 설정될 수 있다. 예를 들면, 제1 리드 전압(R1)이 가장 낮고, 제7 리드 전압(R7)이 가장 높게 설정될 수 있다. 센싱 동작은 선택된 워드라인에 리드 전압을 인가하는 단계와, 비트라인들의 전압 또는 전류에 따라 메모리 셀들의 논리 페이지에 대한 데이터를 저장하는 단계를 포함할 수 있다. 예를 들면, 제1 리드 전압(R1)이 선택된 워드라인에 인가되면 선택된 페이지에 포함된 메모리 셀들의 문턱전압에 따라 비트라인들의 전압 또는 전류가 이전 상태로 유지되거나 낮아질 수 있다. 이러한 비트라인들의 전압 또는 전류 차이에 따라 페이지 버퍼들에는 선택된 페이지로부터 리드된 논리 페이지들의 데이터가 저장된다. 이러한 방식으로 제1 내지 제5 리드 전압들(R1~R5)을 사용한 센싱 동작이 수행된다.

[0065] 제1 내지 제5 리드 전압들(R1~R5)을 사용한 센싱 동작이 완료되면, 선택된 페이지의 상위비트(MSB) 페이지의 센싱 동작은 모두 완료된 상태가 되므로, 페이지 버퍼들의 제3 래치들에 상위비트(MSB) 페이지의 데이터가 저장된다. 즉, 도 8에서 상술한 바와 같이, 상위비트(MSB) 페이지의 리드 전압들이 제2 및 제5 리드 전압들(R2 및 R5)로 설정되어 있는 경우, 제1 내지 제5 리드 전압들(R1~R5)을 사용한 센싱 동작이 완료되면, 제2 및 제5 리드 전압들(R2 및 R5)을 사용하는 상위비트(MSB) 페이지의 센싱 동작은 모두 완료된 상태가 된다. 이때, 제3 리드 전압(R3)을 사용한 센싱 동작은 완료되었으나 제7 리드 전압(R7)을 사용한 센싱 동작이 아직 진행되지 않았으며

로, 하위비트(LSB) 페이지의 센싱 동작은 완료되지 않은 상태가 된다. 또한, 제1 및 제4 리드 전압들(R1 및 R4)을 사용한 센싱 동작은 완료되었으나 제6 리드 전압(R6)을 사용한 센싱 동작이 아직 진행되지 않았으므로, 중앙비트(CSB) 페이지의 센싱 동작도 완료되지 않은 상태가 된다.

- [0066] 상위비트(MSB) 페이지의 데이터가 페이지 버퍼들의 제3 래치들에 모두 저장되면 상위비트(MSB) 페이지의 센싱 동작이 더이상 수행되지 않으므로, 나머지 하위비트(LSB) 페이지 및 중앙비트(CSB) 페이지 센싱 동작이 수행되는 동안 상위비트 데이터(MSB Data)가 입출력 라인들(IO<j:0>)을 통해 출력된다.
- [0067] 상위비트 데이터(MSB Data)가 출력되는 시점(t2)은 메모리 칩에 미리 설정된 시간 정보에 따라 결정될 수 있는데, 이러한 시간 정보는 어드밴스드 원샷 리드 커맨드(42h)에 의해 센싱 동작에 사용될 수 있다. 즉, 어드밴스드 원샷 리드 커맨드(42h)가 아닌 노말 리드 커맨드(normal read command)가 메모리 칩에 수신되면, 메모리 칩은 노말 리드 동작(normal read operation)을 수행할 수 있다.
- [0068] 상위비트 데이터(MSB Data)가 출력되는 시점(t2)이 되면, 메모리 칩의 상태 정보(SR)는 센싱 동작과 출력 동작이 동시에 진행되는 상태를 나타내는 제3 상태 정보(SR_0)로 업데이트된다. t2 시점부터 상위비트 데이터(MSB Data)가 출력될 수 있으므로, 메모리 칩은 하이(high)의 래디 비지 신호(RB#)를 출력한다.
- [0069] t2 시점은 제5 리드 전압(R5)을 사용한 센싱 동작이 완료된 이후이므로, 제6 리드 전압(R6)을 사용한 센싱 동작이 진행되는 시간 내에서 설정될 수 있다.
- [0070] 제6 리드 전압(R6)을 사용한 센싱 동작이 수행되는 동안, 메모리 칩은 페이지 버퍼들의 제3 래치들에 저장된 상위비트 데이터(MSB Data)를 입출력 라인들(IO<j:0>)을 통해 출력한다. 예를 들면, 제3 래치들이 컬럼 디코더(도 5의 124)에 연결된 출력 래치들인 경우, 제3 래치들에 저장된 상위비트 데이터(MSB Data)는 컬럼 디코더(도 5의 124)를 통해 입출력 회로(도 5의 125)에 전달된다. 입출력 회로(125)는 전달받은 상위비트 데이터(MSB Data)를 입출력 라인들(IO<j:0>)을 통해 출력할 수 있다.
- [0071] 상위비트 데이터(MSB Data)의 출력 동작이 진행되는 동안, 제6 리드 전압(R6)을 사용한 센싱 동작이 수행되고, 제6 리드 전압(R6)을 사용한 센싱 동작이 완료되면, 제7 리드 전압(R7)을 사용한 센싱 동작이 수행된다.
- [0072] 제7 리드 전압(R7)을 사용한 센싱 동작이 완료되면, 하위비트(LSB), 중앙비트(CSB) 및 상위비트(MSB) 페이지들의 센싱 동작이 모두 완료되므로, 메모리 칩의 상태 정보(SR)는 센싱 동작이 완료된 상태를 나타내는 제4 상태 정보(SR_E)로 업데이트된다. 이때, 래디 비지 신호(RB#)는 하이(high)로 계속 유지된다.
- [0073] 상술한 바와 같이, 센싱 동작의 일부와 출력 동작이 동시에 수행되므로, 선택된 페이지의 리드 동작 시간을 단축할 수 있다.
- [0074] 상위비트 데이터(MSB Data)가 출력된 이후(A1)의 동작은 도 10을 참조하여 설명하도록 한다.
- [0075] 도 10을 참조하면, 상위비트 데이터(MSB Data)가 모두 출력되면(A1), 페이지 버퍼의 래치들에 저장된 나머지 하위비트 데이터(LSB Data) 및 중앙비트 데이터(CSB Data)가 순차적으로 출력된다.
- [0076] 구체적으로 설명하면, 컨트롤러는 입출력 라인들(IO<j:0>)을 통해 하위비트(LSB) 셋업 커맨드(01h) 및 데이터 출력 커맨드(3Ah)를 메모리 칩에 순차적으로 전송한다. 메모리 칩은 하위비트(LSB) 셋업 커맨드(01h)에 응답하여 페이지 버퍼들의 제1 래치들에 저장된 하위비트 데이터(LSB Data)가 출력될 수 있도록 셋업된다. 메모리 칩은 데이터 출력 커맨드(3Ah)에 응답하여 제1 래치들에 저장된 하위비트 데이터(LSB Data)를 페이지 버퍼들에 포함된 출력 래치들로 전송한다. 여기서, 출력 래치들은 리드 동작시 가장 먼저 출력되는 논리 페이지들의 데이터가 저장되는 래치들일 수 있다. 예를 들면, 출력 래치들은 제3 래치들일 수 있다. 하위비트 데이터(LSB Data)가 제1 래치들로부터 출력 래치들로 전송되는 동안(t3-t4), 메모리 칩은 로우(low)의 래디 비지 신호(RB#)를 출력한다.
- [0077] 하위비트 데이터(LSB Data)가 출력 래치들에 모두 전송되면(t4), 메모리 칩은 래디 비지 신호(RB#)를 하이(high)로 천이시키고, 페이지 버퍼들의 출력 래치들에 저장된 하위비트 데이터(LSB Data)를 입출력 라인들(IO<j:0>)을 통해 출력한다. 예를 들면, 출력 래치들에 저장된 하위비트 데이터(LSB Data)는 컬럼 디코더(도 5의 124)를 통해 입출력 회로(도 5의 125)에 전달된다. 입출력 회로(125)는 전달받은 하위비트 데이터(LSB Data)를 입출력 라인들(IO<j:0>)을 통해 출력할 수 있다.
- [0078] 하위비트 데이터(LSB Data)가 컨트롤러에 모두 전송되면, 컨트롤러는 입출력 라인들(IO<j:0>)을 통해 중앙비트(CSB) 셋업 커맨드(02h) 및 데이터 출력 커맨드(3Ah)를 메모리 칩에 순차적으로 전송한다. 메모리 칩은 중앙비

트(CSB) 셋업 커맨드(02h)에 응답하여 페이지 버퍼들의 제2 래치들에 저장된 중앙비트 데이터(CSB Data)가 출력될 수 있도록 셋업된다. 메모리 칩은 데이터 출력 커맨드(3Ah)에 응답하여 제2 래치들에 저장된 중앙비트 데이터(CSB Data)를 페이지 버퍼들에 포함된 출력 래치들로 전송한다. 여기서, 출력 래치들은 리드 동작시 가장 먼저 출력되는 논리 페이지들의 데이터가 저장되는 래치들일 수 있다. 예를 들면, 출력 래치들은 제3 래치들일 수 있다. 중앙비트 데이터(CSB Data)가 제2 래치들로부터 출력 래치들로 전송되는 동안(t5~t6), 메모리 칩은 로우(low)의 레디 비지 신호(RB#)를 출력한다.

[0079] 중앙비트 데이터(CSB Data)가 출력 래치들에 모두 전송되면(t6), 메모리 칩은 레디 비지 신호(RB#)를 하이(high)로 천이시키고, 페이지 버퍼들의 출력 래치들에 저장된 중앙비트 데이터(CSB Data)를 입출력 라인들(I0<j:0>)을 통해 출력한다. 예를 들면, 출력 래치들에 저장된 중앙비트 데이터(CSB Data)는 컬럼 디코더(도 5의 124)를 통해 입출력 회로(도 5의 125)에 전달된다. 입출력 회로(125)는 전달받은 중앙비트 데이터(CSB Data)를 입출력 라인들(I0<j:0>)을 통해 출력할 수 있다.

[0080] 중앙비트 데이터(CSB Data)가 컨트롤러에 모두 전송되면, 선택된 페이지의 리드 동작이 완료된다.

[0081] 상술한 실시예에서는, 상위비트 데이터(MSB)가 출력된 이후에 하위비트 데이터(LSB Data)와 중앙비트 데이터(CSB Data)가 순차적으로 출력되었으나, 하위비트 데이터(LSB Data)와 중앙비트 데이터(CSB Data)의 출력 순서는 메모리 칩에 따라 다르게 설정될 수 있다.

[0082] 또한, 상술한 실시예에서는 센싱 동작시 제1 내지 제7 리드 전압들(R1-R7)이 순차적으로 사용되었으나, 리드 전압들의 순서는 메모리 칩에 따라 다르게 설정될 수 있다. 이와 관련하여 본 발명의 다른 실시예에 따른 리드 동작을 설명하면 다음과 같다.

[0084] 도 11 및 도 12는 본 발명의 다른 실시예에 따른 리드 동작을 설명하기 위한 도면이다.

[0085] 도 11을 참조하면, 리드 동작이 시작되면, 메모리 칩의 상태 정보(SR)는 커맨드(CMD), 어드레스(ADD) 또는 데이터(DATA)를 수신할 수 있는 상태를 나타내는 제1 상태 정보(SR_R)로 업데이트된다. 메모리 칩에 제1 상태 정보(SR_R)가 저장되면, 메모리 칩은 하이(high)의 레디 비지 신호(RB#)를 출력하여 메모리 칩이 커맨드(CMD) 또는 어드레스(ADD)를 수신할 수 있는 상태임을 컨트롤러에 알린다. 컨트롤러는 입출력 라인들(I0<j:0>)을 통해 선택된 메모리 칩에 리드 준비 커맨드(00h), 어드레스(ADD) 및 어드밴스드 원샷(advanced one-shot) 리드 커맨드(42h)를 순차적으로 송신한다. 메모리 칩은 리드 준비 커맨드(00h)에 응답하여 리드 동작을 수행할 준비를 하고, 어드레스(ADD)에 응답하여 리드 동작이 수행될 메모리 블록과 로우(row) 어드레스 및 컬럼(column) 어드레스를 설정한다.

[0086] 메모리 칩은 어드밴스드 원샷 리드 커맨드(42h)에 응답하여 t1 시점부터 어드밴스드 원샷 리드 동작을 수행한다. 어드밴스드 원샷 리드 동작에서는 논리 페이지들의 센싱 동작이 모두 완료되기 이전에, 일부 센싱 동작과 출력 동작이 동시에 수행될 수 있다.

[0087] 센싱 동작이 수행되는 동안(t1~t2), 메모리 칩의 상태 정보(SR)는 커맨드(CMD), 어드레스(ADD) 또는 데이터(DATA)를 수신할 수 없는 상태를 나타내는 제2 상태 정보(SR_S)로 업데이트된다. 예를 들면, 센싱 동작이 시작되는 t1 시점에 상태 정보(SR)가 업데이트될 수 있다. 메모리 칩에 제2 상태 정보(SR_S)가 저장되면, 메모리 칩은 로우(low)의 레디 비지 신호(RB#)를 출력하여 메모리 칩이 커맨드(CMD), 어드레스(ADD) 또는 데이터(DATA) 전송을 할 수 없는 상태임을 컨트롤러에 알린다.

[0088] 센싱 동작은 논리 페이지들에 따라 순서가 설정된 제1 내지 제7 리드 전압들(R1~R7)을 사용하여 수행될 수 있다. 예를 들면, 하위비트(LSB) 센싱 동작은 제3 및 제7 리드 전압들(R3 및 R7)을 사용하여 수행될 수 있고, 중앙비트(CSB) 센싱 동작은 제1, 제4 및 제6 리드 전압들(R1, R4 및 R6)을 사용하여 수행될 수 있고, 상위비트(MSB) 센싱 동작은 제2 및 제5 리드 전압들(R2 및 R5)을 사용하여 수행될 수 있다. 이와 같이, 각각의 논리 페이지들의 센싱 동작에 사용되는 리드 전압들이 설정된 경우, 센싱 동작은 논리 페이지 단위로 구분되는 리드 전압들을 사용하여 수행될 수 있다. 예를 들면, 센싱 동작은 하위비트(LSB), 중앙비트(CSB) 및 상위비트(MSB) 센싱 동작들의 순서로 수행될 수 있다. 이를 위해, 리드 전압들도 하위비트(LSB), 중앙비트(CSB) 및 상위비트(MSB)의 순서대로 사용될 수 있다. 예를 들면, 리드 전압들은 하위비트(LSB) 센싱 동작을 위한 제3 및 제7 리드 전압들(R3 및 R7)과, 중앙비트(CSB) 센싱 동작을 위한 제1, 제4 및 제6 리드 전압들(R1, R4 및 R6)과, 상위비트(MSB) 센싱 동작을 위한 제2 및 제5 리드 전압들(R2 및 R5)이 순차적으로 사용되도록 설정될 수 있다.

- [0089] 센싱 동작은 선택된 워드라인에 리드 전압을 인가하는 단계와, 비트라인들의 전압 또는 전류에 따라 메모리 셀들의 논리 페이지에 대한 데이터를 저장하는 단계를 포함할 수 있다. 예를 들면, 제3 리드 전압(R3)이 선택된 워드라인에 인가되면 선택된 페이지에 포함된 메모리 셀들의 문턱전압에 따라 비트라인들의 전압 또는 전류가 이전 상태로 유지되거나 낮아질 수 있다. 이러한 비트라인들의 전압 또는 전류 변화에 따라 페이지 버퍼들에는 선택된 페이지로부터 리드된 논리 페이지들의 데이터가 저장된다. 이러한 방식으로 제3, 제7, 제1, 제4 및 제6 리드 전압들(R3, R7, R1, R4 및 R6)이 순차적으로 사용되는 센싱 동작들이 수행된다.
- [0090] 제3, 제7, 제1, 제4 및 제6 리드 전압들(R3, R7, R1, R4 및 R6)을 사용한 센싱 동작들이 완료되면, 선택된 페이지의 하위비트(LSB) 및 중앙비트(CSB) 페이지들의 센싱 동작들이 모두 완료된 상태가 되므로, 페이지 버퍼들의 제1 래치들과 제2 래치들에는 하위비트 데이터(LSB Data)와 중앙비트 데이터(CSB Data)가 각각 저장될 수 있다.
- [0091] 하위비트(LSB) 및 중앙비트(CSB) 페이지들의 데이터가 페이지 버퍼들의 제1 및 제2 래치들에 각각 저장되면 하위비트(LSB) 및 중앙비트(CSB) 페이지들의 센싱 동작이 더이상 수행되지 않으므로, 나머지 상위비트(MSB) 페이지의 센싱 동작이 수행되는 동안 하위비트 데이터(LSB Data) 또는 중앙비트 데이터(CSB Data)가 입출력 라인들(I/O<j:0>)을 통해 출력될 수 있다. 센싱 동작이 완료된 논리 페이지의 데이터를 출력하는 순서는 메모리 칩에 따라 가변될 수 있다. 본 실시예에서는 중앙비트 데이터(CSB Data)보다 하위비트 데이터(LSB Data)가 먼저 출력되는 경우를 예를 들어 설명하도록 한다.
- [0092] 하위비트 데이터(LSB Data)가 출력되는 시점(t2)은 메모리 칩에 미리 설정된 시간 정보에 따라 결정될 수 있는데, 이러한 시간 정보는 어드밴스드 원샷 리드 커맨드(42h)에 의해 사용 여부가 결정될 수 있다. 즉, 어드밴스드 원샷 리드 커맨드(42h)가 아닌 노말 리드 커맨드(normal read command)가 메모리 칩에 수신되면, 메모리 칩은 노말 리드 동작(normal read operation)을 수행할 수 있다.
- [0093] 하위비트 데이터(LSB Data)가 출력되는 시점(t2)이 되면, 메모리 칩의 상태 정보(SR)는 센싱 동작과 출력 동작이 동시에 진행되는 상태를 나타내는 제3 상태 정보(SR_0)로 업데이트된다. t2 시점부터 하위비트 데이터(LSB Data)가 출력될 수 있으므로, 메모리 칩은 하이(high)의 레디 비지 신호(RB#)를 출력한다.
- [0094] t2 시점은 제6 리드 전압(R6)을 사용한 센싱 동작이 완료된 이후이므로, 제2 리드 전압(R2)을 사용한 센싱 동작이 진행되는 시간 내에서 설정될 수 있다.
- [0095] 제2 리드 전압(R2)을 사용한 센싱 동작이 수행되는 동안, 메모리 칩은 페이지 버퍼들의 제1 래치들에 저장된 하위비트 데이터(LSB Data)를 입출력 라인들(I/O<j:0>)을 통해 출력한다. 예를 들면, 제1 래치들이 컬럼 디코더(도 5의 124)에 연결된 출력 래치들인 경우, 제1 래치들에 저장된 하위비트 데이터(LSB Data)는 컬럼 디코더(도 5의 124)를 통해 입출력 회로(도 5의 125)에 전달된다. 입출력 회로(125)는 전달받은 상위비트 데이터(MSB Data)를 입출력 라인들(I/O<j:0>)을 통해 출력할 수 있다.
- [0096] 하위비트 데이터(LSB Data)의 출력 동작이 진행되는 동안, 제2 리드 전압(R2)을 사용한 센싱 동작이 수행되고, 제2 리드 전압(R2)을 사용한 센싱 동작이 완료되면, 제5 리드 전압(R5)을 사용한 센싱 동작이 수행된다.
- [0097] 제5 리드 전압(R5)을 사용한 센싱 동작이 완료되면, 하위비트(LSB), 중앙비트(CSB) 및 상위비트(MSB) 페이지들의 센싱 동작이 모두 완료되므로, 메모리 칩의 상태 정보(SR)는 센싱 동작이 완료된 상태를 나타내는 제4 상태 정보(SR_E)로 업데이트된다. 이때, 레디 비지 신호(RB#)는 하이(high)로 계속 유지된다.
- [0098] 상술한 바와 같이, 센싱 동작의 일부와 출력 동작이 동시에 수행되므로, 선택된 페이지의 리드 동작 시간을 단축할 수 있다.
- [0099] 하위비트 데이터(LSB Data)가 출력된 이후(A1)의 동작은 도 12를 참조하여 설명하도록 한다.
- [0100] 도 12를 참조하면, 하위비트 데이터(LSB Data)가 모두 출력되면(A1), 페이지 버퍼의 래치들에 저장된 나머지 중앙비트 데이터(CSB Data) 및 상위비트 데이터(MSB Data)가 순차적으로 출력된다.
- [0101] 구체적으로 설명하면, 컨트롤러는 입출력 라인들(I/O<j:0>)을 통해 중앙비트(CSB) 셋업 커맨드(01h) 및 데이터 출력 커맨드(3Ah)를 메모리 칩에 순차적으로 전송한다. 메모리 칩은 중앙비트(CSB) 셋업 커맨드(01h)에 응답하여 페이지 버퍼들의 제2 래치들에 저장된 중앙비트 데이터(CSB Data)가 출력될 수 있도록 셋업된다. 메모리 칩은 데이터 출력 커맨드(3Ah)에 응답하여 제2 래치들에 저장된 중앙비트 데이터(CSB Data)를 페이지 버퍼들에 포함된 출력 래치들로 전송한다. 여기서, 출력 래치들은 리드 동작시 가장 먼저 출력되는 논리 페이지들의 데이터가 저장되는 래치들일 수 있다. 예를 들면, 출력 래치들은 제1 래치들일 수 있다. 중앙비트 데이터(CSB Data)가 제2 래치들로부터 출력 래치들로 전송되는 동안(t3~t4), 메모리 칩은 로우(low)의 레디 비지 신호(RB#)를 출력

한다.

- [0102] 중앙비트 데이터(CSB Data)가 출력 래치들에 모두 전송되면(t4), 메모리 칩은 래디 비지 신호(RB#)를 하이(high)로 천이시키고, 페이지 버퍼들의 출력 래치들에 저장된 중앙비트 데이터(CSB Data)를 입출력 라인들(IO<j:0>)을 통해 출력한다. 예를 들면, 출력 래치들에 저장된 중앙비트 데이터(CSB Data)는 컬럼 디코더(도 5의 124)를 통해 입출력 회로(도 5의 125)에 전달된다. 입출력 회로(125)는 전달받은 중앙비트 데이터(CSB Data)를 입출력 라인들(IO<j:0>)을 통해 출력할 수 있다.
- [0103] 중앙비트 데이터(CSB Data)가 컨트롤러에 모두 전송되면, 컨트롤러는 입출력 라인들(IO<j:0>)을 통해 상위비트(MSB) 셋업 커맨드(02h) 및 데이터 출력 커맨드(3Ah)를 메모리 칩에 순차적으로 전송한다. 메모리 칩은 상위비트(MSB) 셋업 커맨드(02h)에 응답하여 페이지 버퍼들의 제3 래치들에 저장된 상위비트 데이터(MSB Data)가 출력될 수 있도록 셋업된다. 메모리 칩은 데이터 출력 커맨드(3Ah)에 응답하여 제3 래치들에 저장된 상위비트 데이터(MSB Data)를 페이지 버퍼들에 포함된 출력 래치들로 전송한다. 여기서, 출력 래치들은 리드 동작시 가장 먼저 출력되는 논리 페이지들의 데이터가 저장되는 래치들일 수 있다. 예를 들면, 출력 래치들은 제1 래치들일 수 있다. 상위비트 데이터(MSB Data)가 제3 래치들로부터 출력 래치들로 전송되는 동안(t5~t6), 메모리 칩은 로우(low)의 래디 비지 신호(RB#)를 출력한다.
- [0104] 상위비트 데이터(MSB Data)가 출력 래치들에 모두 전송되면(t6), 메모리 칩은 래디 비지 신호(RB#)를 하이(high)로 천이시키고, 페이지 버퍼들의 출력 래치들에 저장된 상위비트 데이터(MSB Data)를 입출력 라인들(IO<j:0>)을 통해 출력한다. 예를 들면, 출력 래치들에 저장된 상위비트 데이터(MSB Data)는 컬럼 디코더(도 5의 124)를 통해 입출력 회로(도 5의 125)에 전달된다. 입출력 회로(125)는 전달받은 상위비트 데이터(MSB Data)를 입출력 라인들(IO<j:0>)을 통해 출력할 수 있다.
- [0105] 상위비트 데이터(MSB Data)가 컨트롤러에 모두 전송되면, 선택된 페이지의 리드 동작이 완료된다.
- [0106] 상술한 도 9 내지 도 12의 00h, 42h, 01h, 02h 및 3Ah는 본 실시예의 이해를 돕기 위한 커맨드들의 도면 부호이므로, 본 실시예에 도시된 도면 부호로 한정되지 않는다. 또한, 상술한 리드 동작은 2 비트 이상의 논리 페이지들을 포함하는 메모리 시스템에 적용할 수 있다.
- [0108] 도 13은 본 발명의 실시예에 따른 메모리 시스템을 포함하는 컴퓨팅 시스템의 개략적인 구성을 설명하기 위한 도면이다.
- [0109] 도 13을 참조하면, 본 발명에 따른 메모리 시스템(4000)은 버스에 전기적으로 연결된 메모리 장치(1110), 컨트롤러(1200), 마이크로프로세서(4100), 사용자 인터페이스(4200) 및 모뎀(4400)을 포함할 수 있다. 또한, 본 발명에 따른 메모리 시스템(4000)이 모바일 장치인 경우, 메모리 시스템(4000)의 동작 전압을 공급하기 위한 배터리(4300)가 추가로 포함될 수 있다. 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(4000)에는 응용 칩셋(application chip set), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램 등이 더 포함될 수 있다. 컨트롤러(1200)와 메모리 장치(1110)는 SSD(Solid State Drive/Disk)를 구성할 수 있다.
- [0110] 본 발명에 따른 메모리 시스템(4000)은 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 메모리 시스템(4000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP) 및 Wafer-Level Processed Stack Package(WSP) 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0112] 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시 예에서 구체적으로 기술되었으나, 상기한 실시 예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

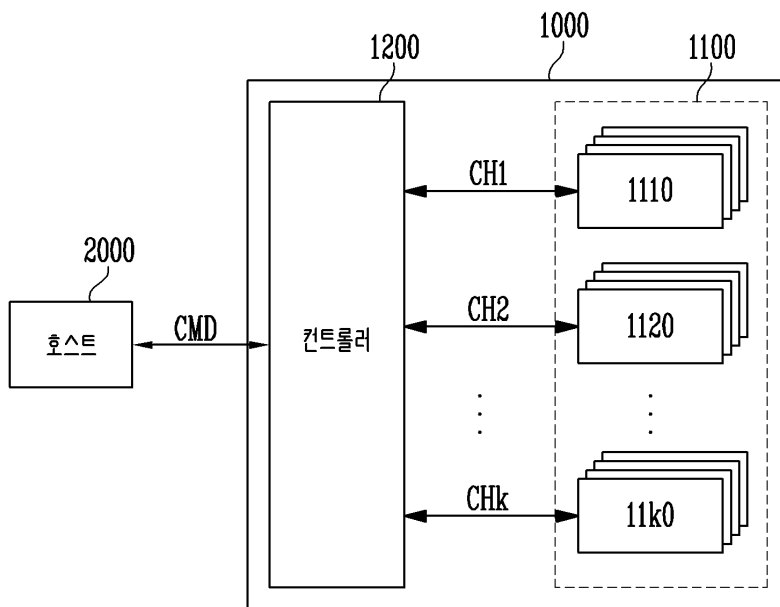
부호의 설명

[0114]

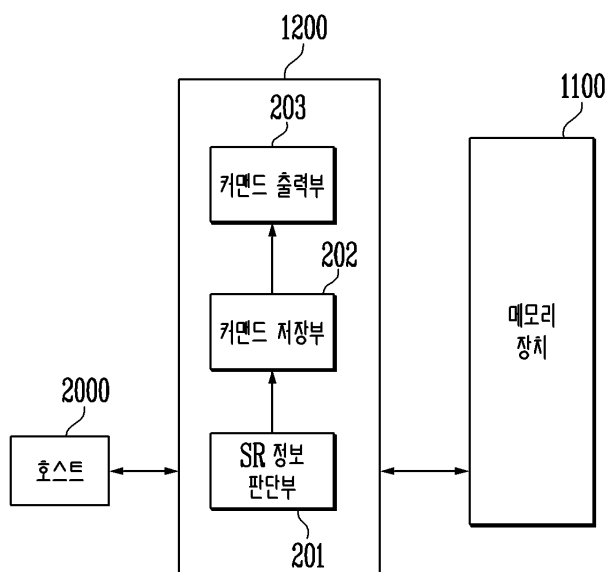
1000: 메모리 시스템 1100: 메모리 장치
 1110: 메모리 그룹 1200: 컨트롤러
 NV11: 제1 메모리 칩 CH1: 제1 채널
 IO<j:0>: 입출력 라인들 110: 메모리 셀 어레이
 120: 주변회로 130: 제어로직
 123: 페이지 버퍼부 131: SR 정보 메모리
 LAT: 래치

도면

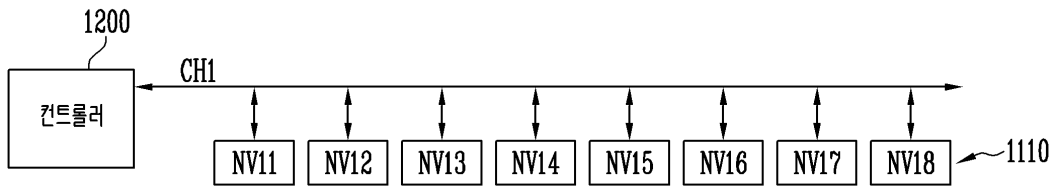
도면1



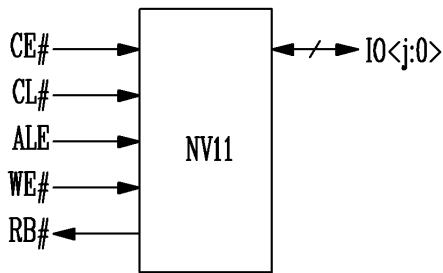
도면2



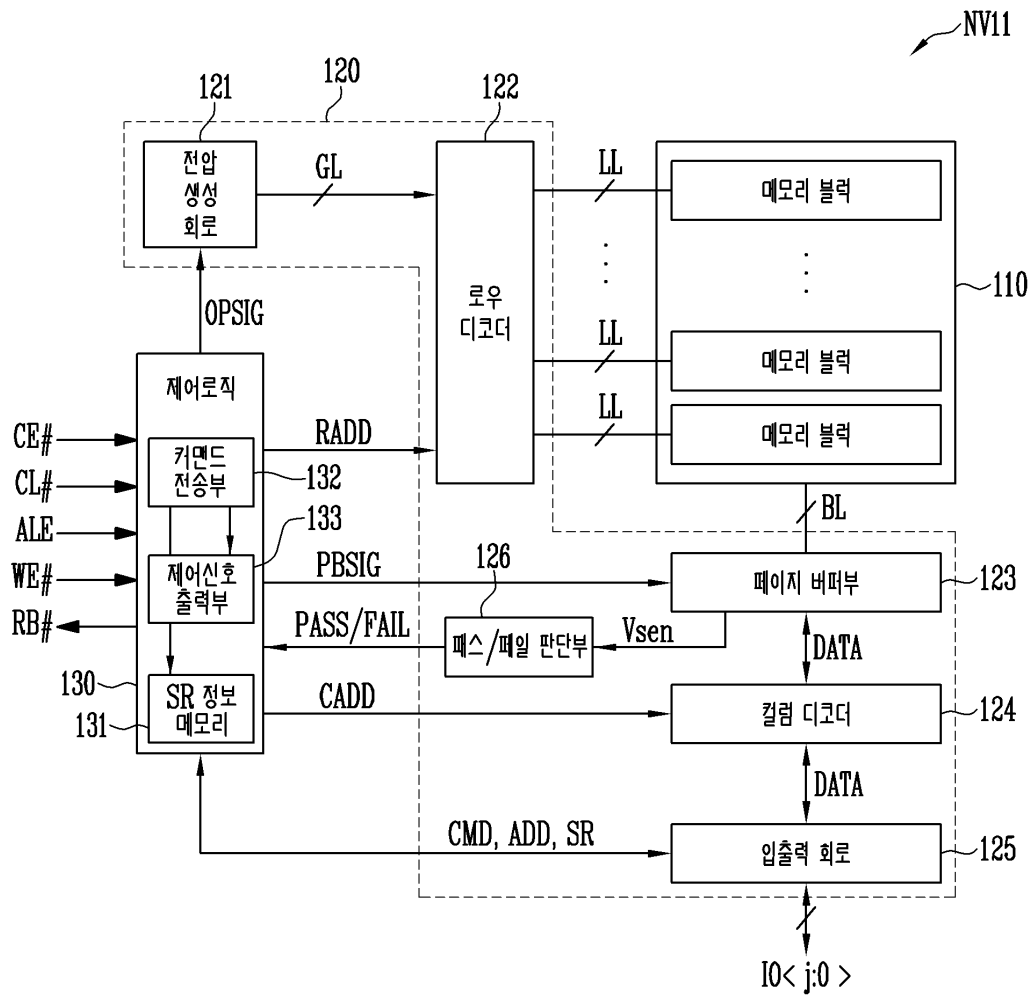
도면3



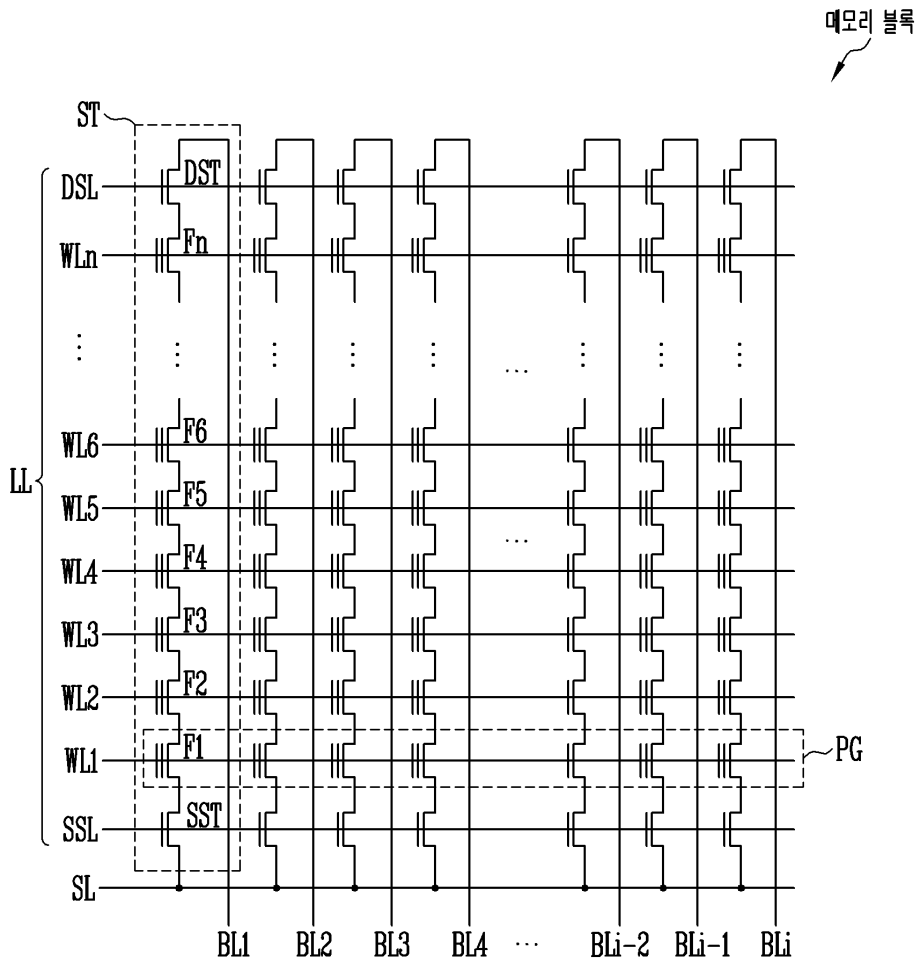
도면4



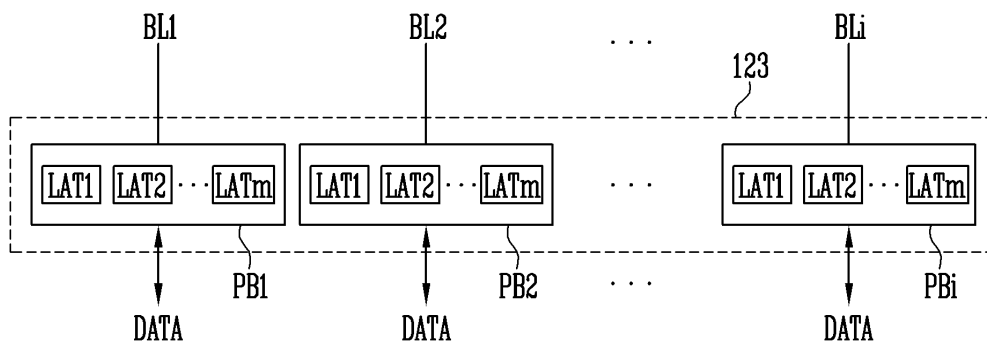
도면5



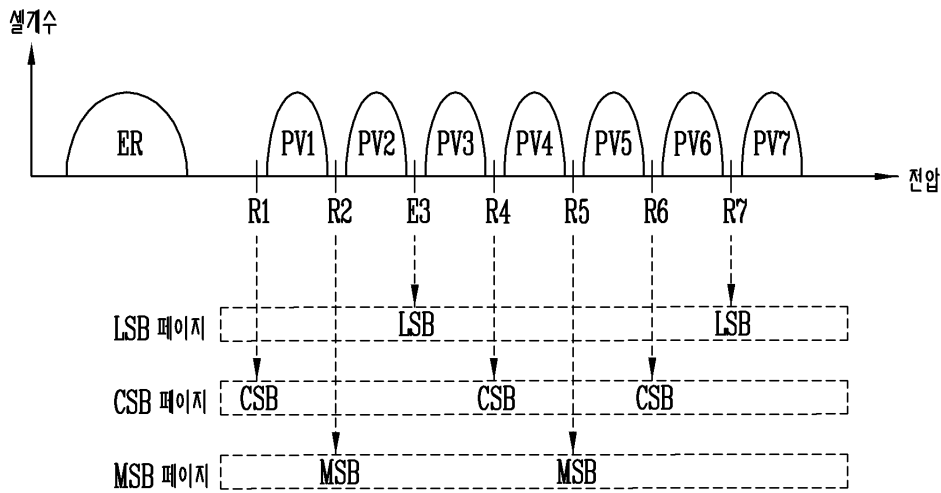
도면6



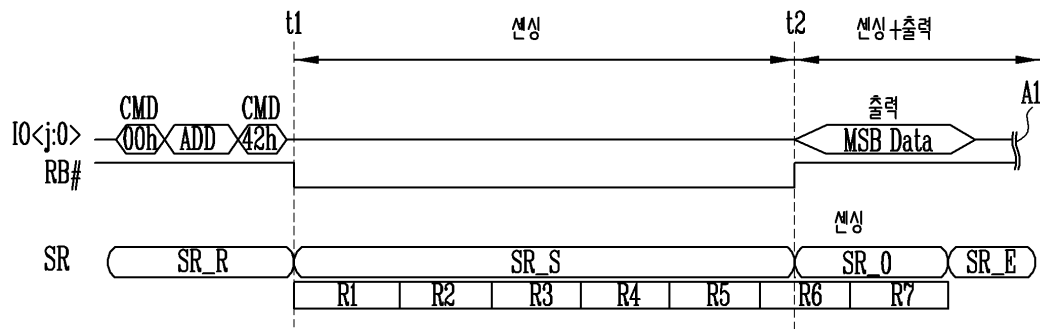
도면7



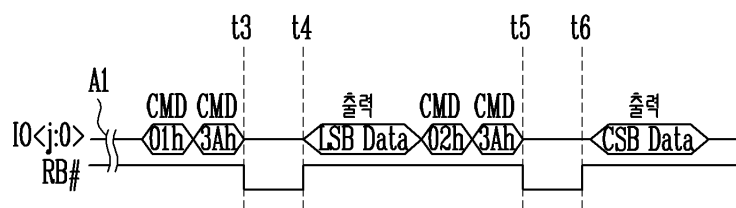
도면8



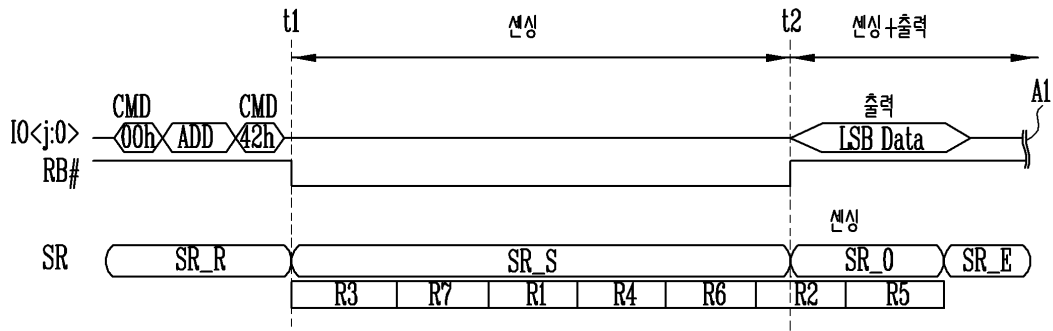
도면9



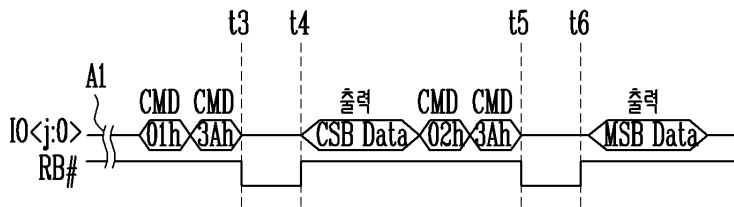
도면10



도면11



도면12



도면13

