



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 696 34 783 T2** 2006.02.02

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 0 871 931 B1**

(21) Deutsches Aktenzeichen: **696 34 783.0**

(86) PCT-Aktenzeichen: **PCT/US96/19446**

(96) Europäisches Aktenzeichen: **96 942 916.6**

(87) PCT-Veröffentlichungs-Nr.: **WO 97/025664**

(86) PCT-Anmeldetag: **05.12.1996**

(87) Veröffentlichungstag
der PCT-Anmeldung: **17.07.1997**

(97) Erstveröffentlichung durch das EPA: **21.10.1998**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **25.05.2005**

(47) Veröffentlichungstag im Patentblatt: **02.02.2006**

(51) Int Cl.⁸: **G06F 1/12** (2006.01)
G06F 1/10 (2006.01)

(30) Unionspriorität:

582448 **03.01.1996** **US**

(73) Patentinhaber:

Credence Systems Corp., Fremont, Calif., US

(74) Vertreter:

**Patentanwälte Magenbauer & Kollegen, 73730
Esslingen**

(84) Benannte Vertragsstaaten:

DE, FR, GB, NL

(72) Erfinder:

MILLER, A., Charles, Fremont, US

(54) Bezeichnung: **SYSTEM ZUR PHASENANPASSUNG FÜR EINE SYNCHROME LOGISCHE SCHALTUNG**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Hintergrund der Erfindung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich auf ein System zum Aufheben eines Zeitversatzes (Laufzeitunterschied) und/oder zur Zeitkompensation von Signalen, die zwischen einer Signalquelle und entfernten Betriebsmodulen eines digitalen Systems übermittelt werden.

Beschreibung des Stands der Technik

[0002] In einer synchronen digitalen Logikschaltung, die aus einer Gruppe zusammengeschalteter Betriebsmodule gebildet ist, ist eines der an jedes Modul verteilten Signale ein Taktsignal zum Steuern der Zeitabstimmung von Operationen zwischen den Modulen. So kann z.B. ein Rechner mehrere Leiterplatten enthalten, die in einem Gestell montiert sind und durch Rückwandverdrahtung mit einer Hauptplatine, die einen zentralen Prozessor und eine Taktsignalquelle enthält, zusammengeschaltet sind. Üblicherweise befördert einer der Leiter in der Rückwand ein Taktsignal an jede Leiterplatte. Bei einigen synchronen Systemen ist es wünschenswert, das Referenzsignal in relativer Zeit derart zu synchronisieren, dass die Referenzsignal-Wegverzögerungen keine Zeitabstimmungs-Latenzen (Signal-Zeitversätze) in das System einleiten.

[0003] Signal-Zeitversätze können auch ein Problem bei elektronischen Geräten mit verteilten Komponenten sein, die in synchroner Weise miteinander zusammenarbeiten müssen. So kann z.B. eine Prüfvorrichtung für integrierte Schaltungen (IC-Tester) eine Haupteinheit und mehrere mit der Haupteinheit verbundene Betriebsmodule enthalten. Jedes Betriebsmodul kann eine Schnittstelle an einem gesonderten Kontaktstift einer zu prüfenden integrierten Schaltung bereitstellen. Zu verschiedenen Zeiten kann ein Betriebsmodul ein Prüfsignal an einen IC-Kontaktstift übermitteln oder kann Ausgangsdaten erfassen, die durch die integrierte Schaltung an dem Kontaktstift erzeugt werden. Eine der Funktionen der Haupteinheit besteht darin, die Aktionen der Betriebsmodule zu koordinieren. Um die Ankunftszeit der Signale an der zu prüfenden Vorrichtung (Device under Test, DUT) zu synchronisieren, muss ein Signal-Zeitversatz zwischen den Modulen beseitigt werden. Um z.B. den Beginn einer Prüfung zu signalisieren, kann die Haupteinheit ein "Start"-Signal an jedes Betriebsmodul übermitteln. Die Haupteinheit kann auch ein Taktsignal an jedes Betriebsmodul übermitteln, um die Aktionen der Betriebsmodule während der Prüfung zu synchronisieren und um die Kommunikationen zwischen der Haupteinheit und den Modulen während der Prüfung zu synchronisieren. Wenn

das Taktsignal und andere Steuerungssignale unterschiedliche Entfernungen zurücklegen, um die Betriebsmodule zu erreichen, kommen sie an den verschiedenen Modulen zu unterschiedlichen Zeitpunkten an. Ein derartiger veränderlicher Zeitversatz des Steuerungs- und Taktsignals kann, wenn er bezüglich der Betriebsfrequenz der Prüfvorrichtung ausreichend groß ist, zu einer Zeitabstimmungs-Fehlpassung zwischen dem Modulbetrieb führen und kann die synchrone Ankunft von Signalen von den Modulen zu der DUT beeinträchtigen.

[0004] Das US-Patent 5,369,640, das am 29. November 1994 an Watson et al. erteilt wurde, beschreibt ein System zum Verringern des Zeitversatzes in einem Signal, das an entfernte Betriebsmodule gesendet wird, indem eine gesonderte Übertragungsleitung von der Quelle zu jedem Betriebsmodul bereitgestellt wird und durch Einstellen der Übertragungsleitungen derart, dass sie alle dieselbe Länge haben. Diese "Sternbus"-Lösung des Problems des Signal-Zeitversatzes kann in Systemen mit einer großen Anzahl von Betriebsmodulen etwas unhandlich werden, da sie derart viele Übertragungsleitungen benötigt, die mit der Signalquelle verbunden werden müssen.

[0005] Ein weiteres Verfahren zum Eliminieren des Signal-Zeitversatzes ist in dem US-Patent Nr. 4,447,870 beschrieben, das am 8. Mai 1984 an Tague et al. erteilt wurde. Es wird hier eine einstellbare Verzögerungsschaltung an jedem Betriebsmodul bereitgestellt, um das Taktsignal weiter zu verzögern, nachdem es an dem Betriebsmodul ankommt. Die Verzögerungsschaltung in jedem Betriebsmodul wird so eingestellt, dass die Summe der Verzögerungen, die durch die Taktsignal-Übertragungsleitung und die einstellbare Verzögerungsschaltung erzeugt werden, gleich groß wie eine Standardverzögerung ist. Dieses Verfahren ermöglicht es, das Taktsignal den Betriebsmodulen durch eine einzige Übertragungsleitung zuzuführen, die mit allen Betriebsmodulen wie in einer Rückwand verbunden ist. Es erfordert jedoch einen zeitaufwändigen und schwierigen Vorgang zum manuellen Kalibrieren der Verzögerungsschaltung in jedem Betriebsmodul. Auch muss, wenn ein Betriebsmodul an einen neuen Ort entlang der Übertragungsleitung bewegt wird, seine Takt-Verzögerungsschaltung neu eingestellt werden.

[0006] Das US-Patent 5,361,277, das am 1. November 1994 an Grover erteilt wurde, beschreibt ein Verfahren und eine Vorrichtung zur Phasensynchronisation einer Vielzahl räumlich verteilter Anwendungsmodule mit synchronisierenden Takten, die eine Synchronisation benötigen, wobei jedes Anwendungsmodul an einen dem Modul nächstgelegenen vorbestimmten Ort mit einem herausgehenden Weg und an einem dem Modul nächstgelegenen entsprechenden Ort mit einem Rückkehrweg eines Im-

puls-Referenzweges verbunden ist. Das Verfahren weist die folgenden Schritte auf: Injizieren von Referenz-Impulsen mit einer vorbestimmten Frequenz in einen Injektionsort des Referenzweges derart, dass die Impulse sich entlang des herausgehenden Weges zu einem entfernten Ort bewegen und entlang des Rückkehrweges zu dem Injektionsort zurückkehren; für jedes Anwendungsmodul Bestimmen des Zeitintervalls, bei dem sich jeder Impuls von dem vorbestimmten Ort zu dem entsprechenden Ort bewegt, der dem Anwendungsmodul zugeordnet ist; für jedes Anwendungsmodul Überwachen des Intervalls der vergangenen Zeit, die jeder Impuls benötigt, um sich zwischen dem vorbestimmten Ort und dem entsprechenden Ort zu bewegen, der dem Anwendungsmodul zugeordnet ist; für jedes Anwendungsmodul Erzeugen eines lokalen Phasen-Referenzsignals, wenn das Intervall der vergangenen Zeit die Hälfte eines zuletzt bestimmten Intervalls der Zeitintervalle ist; und Synchronisieren des Taktes jedes Anwendungsmoduls mit dem lokalen Phasen-Referenzsignal. Der Artikel "Verfahren für die zeitversatzfreie Verteilung digitaler Signale unter Verwendung angepasster Leitungen mit veränderlicher Verzögerung" (A Method of Skew-Free Distribution of Digital Signals Using Matched Variable Delays Lines) von Knight et al, der im Mai 1993 veröffentlicht wurde [XP470863], beschreibt ein ähnliches Taktsignal-Verteilungssystem.

Zusammenfassung der Erfindung

[0007] Gemäß einem Ausführungsbeispiel der Erfindung wird ein Verfahren gemäß Anspruch 1 bereitgestellt. Ein weiteres Ausführungsbeispiel der Erfindung stellt eine Vorrichtung gemäß Anspruch 6 bereit.

[0008] Ein Zeitversatz-Aufhebungssystem gemäß der Erfindung stellt ein lokales Taktsignal bei jedem verteilten Modul eines digitalen Systems als Reaktion auf ein globales Referenzsignal bereit, das durch eine einzige Signalquelle erzeugt wird. Das globale Signal wird über zwei gesonderte Übertragungsleitungen gleicher Länge aber ungleicher Geschwindigkeiten der Signalausbreitung von seiner Quelle jedem Modul zugeführt. Eine Phasendifferenz zwischen den beiden globalen Signalen, die bei jedem Modul über die zwei Übertragungsleitungen ankommen, ist proportional zur Länge der Übertragungsleitungen und ist deshalb proportional zu der inhärenten Taktsignal-Verzögerung in jeder der beiden Übertragungsleitungen. Eine Zeitversatz-Aufhebungsschaltung bei jedem Modul führt eine weitere Verzögerung des globalen Taktsignals durch, nachdem es auf einer ersten der beiden Übertragungsleitungen an dem Modul ankommt, um ein lokales Taktsignal an dem Modul zu erzeugen. Die Zeitversatz-Aufhebungsschaltung erfasst die Phasendifferenz zwischen entsprechenden globalen Referenzsignalen, die an dem Modul auf den beiden Übertragungsleitungen an-

kommen, um die inhärente Verzögerung der ersten Übertragungsleitung zu bestimmen. Die Zeitversatz-Aufhebungsschaltung stellt dann die lokale Taktverzögerung so ein, dass die Summe inhärenten Übertragungsleitungs-Verzögerung und der Verzögerung des lokalen Taktes einer Standardverzögerung gleichen. Da die Standardverzögerung für alle Module dieselbe ist, sind die bei allen Modulen erzeugten lokalen Taktsignale miteinander in Phase.

[0009] Es ist somit eine Aufgabe der vorliegenden Erfindung, ein System bereitzustellen, um Operationen gesonderter Module eines synchronen Logik-Schaltungssystems genau zu synchronisieren.

[0010] Gemäß einem Ausführungsbeispiel der Erfindung ist ein Verfahren gemäß Anspruch 1 vorgesehen. Ein weiteres Ausführungsbeispiel der Erfindung sieht eine Vorrichtung wie in Anspruch 6 beansprucht vor.

[0011] Der abschließende Teil dieser Beschreibung stellt den Gegenstand der vorliegenden Erfindung besonders heraus und beansprucht ihn gesondert. Dem Fachmann erschließt sich jedoch sowohl die Anordnung als auch das Verfahren zum Durchführen der Erfindung zusammen mit weiteren Vorteilen und Aufgaben am besten, indem er die verbleibenden Teile der Beschreibung anhand der begleitenden Zeichnung liest, wobei gleiche Bezugszeichen sich auf die gleichen Elemente beziehen.

Kurzbeschreibung der Zeichnung

[0012] [Fig. 1](#) zeigt in Form eines Blockdiagramms eine modulare synchrone Logikschaltung, die ein System zum Aufheben eines Signal-Zeitversatzes gemäß der vorliegenden Erfindung verwendet;

[0013] [Fig. 2](#) zeigt eine Zeitversatz-Aufhebungsschaltung von [Fig. 1](#) in Form eines ausführlicheren Blockdiagramms;

[0014] [Fig. 3](#) zeigt die Verzögerungs-Steuerungsschaltung von [Fig. 2](#) in Form eines ausführlicheren Blockdiagramms;

[0015] [Fig. 4](#) zeigt in Form eines Blockdiagramms eine Schaltung des Stands der Technik, die zur Verwendung der Phasen-Detektorschaltung von [Fig. 2](#) geeignet ist;

[0016] [Fig. 5](#) zeigt in Form eines Blockdiagramms eine Verzögerungsschaltung des Stands der Technik;

[0017] [Fig. 6](#) zeigt in Form eines Blockdiagramms ein alternatives Ausführungsbeispiel der Verzögerungs-Steuerungsschaltung von [Fig. 2](#);

[0018] [Fig. 7](#) zeigt in Form eines Blockdiagramms

eine Verzögerungsschaltung des Stands der Technik;

[0019] **Fig. 8** zeigt in Form eines Blockdiagramms ein alternatives Ausführungsbeispiel der Zeitversatz-Aufhebungsschaltung von **Fig. 1**;

[0020] **Fig. 9** ist ein Blockdiagramm, das Taktsignal-Verzögerungen in dem Zeitversatz-Aufhebungssystem von **Fig. 7** zeigt; und

[0021] **Fig. 10** ist eine Querschnitt-Darstellung einer Leiterplatte, die Übertragungsleitungen unterschiedlicher Geschwindigkeiten der Signalausbreitung erzeugt.

Beschreibung der bevorzugten Ausführungsbeispiele

[0022] Wie man in **Fig. 1** sieht, bezieht sich die vorliegende Erfindung auf ein System zur Zeitversatz-Aufhebung von Signalen, die zwischen einer Haupt-Logikschaltung **10** innerhalb einer Haupteinheit **12** und einer verteilten Gruppe aus N lokalen Logikschaltungen **14(1)–14(N)** innerhalb von Betriebsmodulen **16(1)–16(N)** eines synchronen Logiksystems übertragen werden. Die Betriebsmodule **16** befinden sich in unterschiedlichen Entfernungen von der Hauptlogikschaltung **10**. Die Hauptlogikschaltung **10** und die lokalen Logikschaltungen **14** sind anwendungsabhängig. So kann z.B. das Logiksystem ein Rechner sein, bei dem die Hauptlogikschaltung **10** ein herkömmlicher Mikroprozessor ist und die lokalen Logikschaltungen **14** Speicher, periphere Eingabe/Ausgabe-Steuerungsvorrichtungen oder andere Vorrichtungen sind, die mit dem Rechner-Prozessor auf synchrone Weise kommunizieren. Das System **10** könnte z.B. auch eine Prüfvorrichtung für integrierte Schaltungen mit verteilter Architektur sein, bei der jede lokale Logikschaltung **14** eine Schnittstelle an einem gesonderten Kontaktstift einer zu prüfenden integrierten Schaltungsvorrichtung bereitstellt. Zu verschiedenen Zeitpunkten während einer Prüfung kann ein Betriebsmodul Prüfsignale an Anschlüsse der zu prüfenden Vorrichtung **25(1)–50(N)** übertragen oder kann durch die integrierte Schaltung an dem Kontaktstift erzeugte Ausgangsdaten aufnehmen. Die Haupteinheit erzeugt Steuerungssignale und Anweisungen für die Betriebsmodule.

[0023] Bei typischen synchronen Logiksystemen wird ein globales Taktsignal gleichzeitig an jede lokale Logikschaltung ausgesendet, um deren Operationen zu synchronisieren. Da die lokalen Logikschaltungen räumlich verteilt sind, kann es vorkommen, dass Impulse eines Taktsignals, die von einer gemeinsamen Taktsignalquelle stammen, an den lokalen Logikschaltungen nicht zur selben Zeit ankommen. Dieses ist besonders dann der Fall, wenn die lokalen Logikschaltungen das globale Taktsignal aufnehmen bzw. erfassen, indem sie eine gemeinsame Übertragungsleitung an unterschiedlichen Orten an-

zapfen. Eine Verzögerungsdifferenz ("Zeitversatz") zwischen dem Zeitpunkt, bei dem ein Taktsignal-Impuls die Takte verlässt, und dem Zeitpunkt, bei dem dieser Impuls an den verschiedenen lokalen Logikschaltungen ankommt, beeinträchtigt deren Fähigkeit, synchron miteinander zu funktionieren. Die vorliegende Erfindung kompensiert den Taktsignal-Zeitversatz, um lokale Taktsignale an jeder lokalen Logikschaltung **14** zu erzeugen, die miteinander in Phase sind. Das Signal-Verteilungssystem kompensiert auch den aufgrund von Differenzen der Signalweglänge auftretenden Zeitversatz in Steuerungs- und Kommunikationssignalen, die zwischen der Hauptlogikschaltung **10** und den lokalen Logikschaltungen **14** übertragen werden.

[0024] Somit enthält das Zeitversatz-Aufhebungssystem (Lautzeitunterschied-Aufhebungssystem/Entzerrungssystem) der vorliegenden Erfindung eine Gruppe aus N Entzerrungsschaltungen **18(1)–18(N)**, die jeweils innerhalb eines entsprechenden Betriebsmoduls der Betriebsmodule **16(1)–16(N)** montiert sind. Das Entzerrungssystem erhält auch einen Steuerungssignal-Bus **20** zum Übermitteln von Kommunikations- und/oder Steuerungssignalen zwischen der Haupt-Logikeinheit **10** und jeder Entzerrungsschaltung **18**. Der Bus **20** verwendet einen Übertragungsweg, der dieselbe Ausbreitungsgeschwindigkeit wie der CLKA-Übertragungsweg **[28(A)]** hat. Die I-te Entzerrungsschaltung **18(I)** bildet eine Schnittstelle zwischen der entsprechenden I-ten lokalen Logikschaltung **14(I)** und den Bus **20**, wobei "I" eine beliebige Zahl von 1 bis N ist. Die durch die Hauptlogikschaltung **10** erzeugten Ausgangssignale gelangen über den Bus **20** zu jeder Entzerrungsschaltung **18(I)**, die sie durch eine einstellbare Verzögerung DELAY(I) der entsprechenden lokalen Logikschaltung **14(I)** als Eingangssignale **22** zuführt.

[0025] Das Signalverteilungssystem der vorliegenden Erfindung erhält auch eine Taktquelle **26** und zwei Übertragungsleitungen **28A** und **28B**, die bei der Taktquelle **26** miteinander verbunden sind und jeweils die Taktquelle **26** mit den Entzerrungsschaltungen **18** verbinden. Die Taktquelle **26** legt zeitgleich ein periodisches globales Taktsignal CLKG an jede Übertragungsleitung **28A** und **28B** an. Die Leitungen **28A** und **28B** führen das globale Taktsignal als gesonderte Taktsignale CLKA bzw. CLKB den Entzerrungsschaltungen **18** zu. Jede Entzerrungsschaltung **18** zapft die Übertragungsleitungen **28A** und **28B** bei gleichen Entfernungen entlang der Leitungen **28A** und **28B** an. Die Signale CLKA und CLKB treffen bei einer gegebenen (I-ten) Entzerrungsschaltung **18(I)** ein, bevor sie bei einer Entzerrungsschaltung **18(I+1)** ankommen. Bei seiner Fortbewegung zwischen der Taktquelle **26** und der I-ten Entzerrungsschaltung **18(I)** legt das Signal CLKA im wesentlichen dieselbe Entfernung entlang der Leitung **28A** zurück wie das

Signal CLKB, das sich entlang der Leitung **28B** fortbewegt.

[0026] Gemäß der Erfindung haben die Übertragungsleitungen **28A** und **28B** unterschiedliche Geschwindigkeiten der Signalausbreitung. Insbesondere ist die Ausbreitungsgeschwindigkeit des CLKA-Signals auf der Leitung **28A** um das N-fache schneller als die Ausbreitungsgeschwindigkeit des CLKB-Signals auf der Leitung **28B**, wobei N eine Zahl größer als 1 ist. Obwohl sie dieselbe Entfernung zurücklegen, kommt daher ein Impuls des Signals CLKA an der I-ten Entzerrungsschaltung **18(I)** vor einem entsprechenden Impuls des Signals CLKB an. Die Zeitverzögerung zwischen den Ankünften entsprechender Impulse des Signals CLKA und des Signals CLKB an der Entzerrungsschaltung **18(I)** ist proportional zur Länge der Übertragungsleitungen **28A** und **28B** zwischen der Taktquelle **20** und der Entzerrungsschaltung **18(I)**. Somit ist die Phasendifferenz zwischen CLKA und CLKB ein Maß für die Länge der Übertragungsleitung von der Quelle **26** zu den Punkten entlang der Leitungen **28A** und **28B**, bei denen die Entzerrungsschaltung **18(I)** die Signale CLKA und CLKB erfasst.

[0027] Der Bus **20** enthält eine oder mehrere Übertragungsleitungen, die gleiche Ausbreitungsgeschwindigkeiten wie die der Übertragungsleitung **28A** haben. Die Entfernung entlang des Busses **20** zwischen der Hauptlogikschaltung **10** und einer beliebigen Entzerrungsschaltung **18(I)** ist im Wesentlichen dieselbe Entfernung wie die Entfernung entlang der Übertragungsleitung **28A** zwischen der Taktquelle **26** und der Entzerrungsschaltung **18(I)**. Wenn Signalimpulse gleichzeitig von der Logikschaltung **18** auf dem Bus **20** und von der Taktquelle **26** auf der Leitung **28** abgehen, kommen sie bei der Entzerrungsschaltung **18(I)** zur selben Zeit an, die dieselbe Entfernung zurücklegen und dieselbe Ausbreitungsgeschwindigkeit haben.

[0028] Jede Entzerrungsschaltung **18(I)** leitet ein lokales Taktsignal CLK(I) von den Signalen CLKA und CLKB ab und führt das lokale Taktsignal CLK(I) als Eingabe ihrer entsprechenden lokalen Logikschaltung **14(I)** zu. Die Entzerrungsschaltungen **18** gewährleisten, dass die lokalen Taktsignale CLK(1)–CLK(N) alle im Wesentlichen zueinander in Phase sind. Die lokalen Logikschaltungen **14(1)–14(N)** verwenden sie als Zeitabstimmungssignale zum Synchronisieren ihrer Operationen einschließlich des Empfangs der lokalen Eingangssignale **24(1)–24(N)**.

[0029] Jede Entzerrungsschaltung **18(I)** erzeugt ihr lokales Taktsignal CLK(I) durch Verzögern ihres Eingangssignals CLKA durch eine einstellbare Verzögerungszeit DELAY(I). Je näher die Entzerrungsschaltung **18(I)** bei der Taktquelle **26** ist, umso länger ver-

zögert die Entzerrungsschaltung **18(I)** das Signal CLKA, um ihre lokale Taktsignal-Ausgabe CLK(I) zu erzeugen. Insbesondere verzögert jede Entzerrungsschaltung **18(I)** das Signal CLKA um einen Zeitbetrag, der ausreicht, um alle lokalen Taktsignale CLKL(1)–CLKL(N) miteinander in Phase zu bringen.

[0030] Jede Entzerrungsschaltung **18(I)** bestimmt den Zeitbetrag zum Verzögern des Signals CLKA, indem zunächst die Periode zwischen den Ankünften entsprechender Impulse der Signale CLKA und CLKB gemessen wird. Diese gemessene Periode ist proportional zur Länge der Übertragungsleitung **28A** (oder **28B**) von der Taktquelle **26** zu der Entzerrungsschaltung **18(I)** und ist daher auch proportional zu der Zeit D(I), die benötigt wird, wenn das Signal CLKA sich von der Taktquelle zu der Entzerrungsschaltung **18(I)** fortbewegt. DELAY(I) wird dann so eingestellt, dass die Summe D(I) und DELAY(I) einer konstanten Gesamtlänge TD gleicht:

$$\begin{aligned} \text{SKEW(I)} &= \text{TD} \\ &= \text{D(I)} + \text{DELAY(I)} \\ &= \text{CONSTANT} \end{aligned}$$

[0031] SKEW(I) ist die Verzerrung (Zeitversatz/Laufzeitunterschied) des lokalen Taktsignals CLK(I) bezüglich des lokalen Taktsignals bei der Quelle **26**.

[0032] Jede Entzerrungsschaltung **18(I)** gibt auch lokale Eingangssignale **22(I)** von den Leitungen des Busses **20** durch dieselbe Verzögerung DELAY(I) an die lokale Logikschaltung **14(I)** ab. Somit kommt ein von der Hauptlogikschaltung **10** stammendes Signal als lokales Eingangssignal **22(I)** bei allen lokalen Logikschaltungen **14(I)** zur selben Zeit an.

[0033] Wie man in [Fig. 2](#) sieht, enthält gemäß einem bevorzugten Ausführungsbeispiel der Erfindung die Entzerrungsschaltung **18(I)** von [Fig. 1](#) eine Verzögerungsschaltung **32** zum einstellbaren Verzögern des CLKA-Signals um die Verzögerung DELAY(I), um das lokale Taktsignal CLK(I) zu erzeugen. Eine Verzögerungs-Steuerungsvorrichtung **34** misst diese Phasendifferenz und erzeugt ein Ausgangssignal CS, welches die Verzögerung DELAY(I) der Verzögerungsschaltung **32** passend einstellt. Das CS-Signal wird auch als Verzögerungs-Steuerungseingabe den Verzögerungsschaltungen **36** zugeführt, deren Aufbau der Verzögerungsschaltung **32** gleicht und welche die gleichen Verzögerungen DELAY(I) als Reaktion auf das CS-Signal erzeugen. Die Verzögerungsschaltung **36** verzögert ein Signal, das auf einer Leitung des Busses **20** ankommt, um ein lokales Eingangssignal **22(I)** der lokalen Logikschaltung **14(I)** von [Fig. 1](#) zuzuführen. Der Einfachheit halber ist nur eine Verzögerungsschaltung **36** in [Fig. 2](#) gezeigt. Die gleichen Verzögerungsschaltungen, die durch das CS-Signal gesteuert werden, können bei Bedarf vor-

gesehen werden, um jede Leitung des Busses **20** mit einem Eingang und/oder einem Ausgang der lokalen Logikschaltung **20** zu verbinden.

[0034] [Fig. 3](#) zeigt ein Ausführungsbeispiel der Verzögerungs-Steuerungsvorrichtung **34**. Die Verzögerungs-Steuerungsvorrichtung **34** enthält einen Phasendetektor **40**, der die Signale CLKA und CLKB empfängt und daraus ein Ausgangssignal VBH erzeugt, dessen Spannung proportional zur Phasendifferenz zwischen CLKA und CLKB ist. Ein Analog/Digital-Wandler **42** wandelt das Signal VPH in einen digitalen Wert ADDR um. ADDR adressiert einen adressierbaren Speicher **44** und speichert Steuerungsdaten (DATA) bei jeder Adresse und führt seine aktuell adressierten Daten DATA einem Digital/Analog-Wandler **46** zu. Der Digital/Analog-Wandler **46** (DAC) erzeugt das CS-Signal mit einem Betrag, der zu dem Betrag von DATA proportional ist. Die bei jeder Adresse in dem Speicher **44** gespeicherten Daten werden so eingestellt, dass für jede beliebige gegebene Phasendifferenz zwischen CLKA und CLKB das Signal CS einen Betrag hat, der die richtige Verzögerung in der Verzögerungsschaltung **32** erzeugt. Derartige gespeicherte Werte DATA können bestimmt werden, indem man ein Oszilloskop oder ein anderes Phasen-Erfassungsgerät verwendet, um die Phasenbeziehung zwischen dem globalen Taktsignal CLKG und dem lokalen Taktsignal CLK(I) zu überwachen, und indem man die Werte DATA iterativ einstellt, bis CLK(I) und CLKG eine gewisse Phasenbeziehung für jeden Wert von ADDR haben.

[0035] [Fig. 4](#) zeigt eine bekannte Phasendetektor-Schaltung des Stands der Technik, die sich zur Verwendung als Phasendetektor **40** von [Fig. 2](#) eignet. Ein D-Flipflop **50** steuert sein Ausgangssignal **52** hoch, wenn CLKA gegenüber CLKB vorausgeht, und steuert es tief, wenn CLKA gegenüber CLKB nachgeht. Ein Tiefpassfilter **54** filtert das Signal **52**, um einem Verstärker **58** eine Eingabe zuzuführen. Der Verstärker **58** erzeugt die Signalausgabe VPH als Reaktion auf sein Eingabesignal **56**. Der Betrag VPH ist proportional zur Phasendifferenz zwischen CLKA und CLKB.

[0036] [Fig. 5](#) zeigt eine bekannte Verzögerungsschaltung, die sich zur Verwendung als Verzögerungsschaltung **39** von [Fig. 1](#) eignet. Die Verzögerungsschaltung **32** hat eine Gruppe aus Invertern **60**, die in Serie geschaltet sind, wobei das Signal CLKA dem Eingang des ersten Inverters der Serie zugeführt wird, und das lokale Taktsignal CLK(I) am Ausgang des letzten Inverters der Serie erzeugt wird. Das Signal CS führt den Invertern Energie zu. Wenn der Betrag des Signals CS zunimmt, nimmt auch die Signalausbreitungs-Geschwindigkeit jedes Inverters **60** zu, wodurch die Verzögerung der Verzögerungsschaltung **32** verringert wird.

[0037] [Fig. 6](#) und [Fig. 7](#) zeigen alternative Ausführungsbeispiele der Verzögerungs-Steuerungsvorrichtung **34** und der Verzögerungsschaltung **32**. Wie man in [Fig. 5](#) sieht, umfasst die Verzögerungs-Steuerungsvorrichtung **34** einen Phasendetektor **62**, einen A/D-Wandler **64** und einen Speicher **66**, welche dem Phasendetektor **40**, dem A/D-Wandler **42** und dem Speicher **44** von [Fig. 2](#) gleichen. Allerdings ist in diesem Ausführungsbeispiel das der Verzögerungsschaltung **32** zugeführte Signal CS ein digitales Datensignal, das durch den Speicher **64** auf dieselbe Weise erzeugt wird, wie der Speicher **44** in [Fig. 2](#) sein Ausgangssignal DATA erzeugt. Wie man in [Fig. 7](#) sieht, umfasst die alternative Verzögerungsschaltung **32** eine Gruppe aus Invertern **68**, die in Serie geschaltet sind, wobei das Signal CLKA dem ersten Inverter der Serie als Eingabe zugeführt wird. Ein Multiplexer **68**, der durch die digitale Ausgabe CS des Speichers **66** von [Fig. 6](#) gesteuert wird, wählt die Ausgabe eines der Inverter **66** als lokales Ausgangs-Taktsignal CLK(I) aus. Die in dem Speicher **64** gespeicherten Werte für Umwandlungsdaten können auf die weiter oben beschriebene Art und Weise experimentell bestimmt werden, um Werte der im Speicher **44** von [Fig. 2](#) zu speichernden Umwandlungsdaten zu ermitteln. Das Ausführungsbeispiel der in [Fig. 7](#) gezeigten Verzögerungsschaltung **32** ist dem Fachmann bekannt.

[0038] [Fig. 8](#) zeigt ein alternatives Ausführungsbeispiel **70** der Entzerrungsschaltung **30(I)** von [Fig. 1](#). Die Entzerrungsschaltung **70** enthält zwei Verzögerungsschaltungen **72A** und **72B**. Die Verzögerungsschaltung **72A** verzögert CLKA, um einen ersten lokalen Wert LA zu erzeugen. (Der Takt LA wird als lokales Ausgabe-Taktsignal CLK(I) verwendet.) Die Verzögerungsschaltung **72B** verzögert CLKB, um ein zweites lokales Taktsignal LB zu erzeugen. Die Signale LA und LB werden einem Phasendetektor **76** (ähnlich dem Phasendetektor **40** von [Fig. 4](#)) zugeführt, der ein Ausgangssignal VPH erzeugt, dessen Spannung proportional zur Phasendifferenz LA und LB ist. Ein Differenzverstärker **78** vergleicht das Signal von VPH mit einem Festspannungs-Referenzsignal VREF und erzeugt ein Ausgangssignal VPLL, dessen Betrag proportional zu einer Differenz zwischen VPH und VREF ist. Das Signal VPLL wird dem Steuerungseingang beider Verzögerungsschaltungen **72A** und **72B** gemeinsam zugeführt.

[0039] Die Verzögerungsschaltungen **72A** und **72B** verändern sich gleichartig. Wenn VPLL zunimmt, nimmt die Verzögerung durch die beiden Verzögerungsschaltungen **72A** und **72B** ab. Allerdings wird für jeden gegebenen Betrag von VPLL die durch die Verzögerungsschaltung **72B** erzeugte Verzögerung um das M-fache länger als die durch die Verzögerungsschaltung **72A** erzeugte Verzögerung. Wie weiter oben erwähnt, ist die Geschwindigkeit der Signalausbreitung der Übertragungsleitung **28A** von

Fig. 1 um das M-fache größer als diejenige der Übertragungsleitung **28B**. Somit ist die Signalverzögerung, die durch die Übertragungsleitung **28B** zwischen der Taktquelle und einer beliebigen Entzerrungsschaltung erzeugt wird, um das M-fache länger als die Verzögerung der Übertragungsleitung **28A**. Wenn die Verzögerungsschaltungen **72A** und **72B** in der Schaltung **32** von **Fig. 5** ähnlich sind, kann das Verhältnis M der Verzögerung zwischen den beiden Verzögerungsschaltungen z.B. erstellt werden, indem man eine unterschiedliche Anzahl von Inverterstufen in den beiden Verzögerungsschaltungen verwendet. Auch wenn die Inverterstufen z.B. durch CMOS-Transistoren implementiert werden, kann das Verzögerungsverhältnis M feineingestellt werden, wenn man die Kanalbreiten der die Inverter **56** bildenden CMOS-Transistoren in einer dem Fachmann bekannten Weise verändert.

[0040] **Fig. 9** zeigt die Signalverzögerungen in der Schaltung von **Fig. 8**. Ein lokales Modul zapft die Leitungen **28A** und **28B** bei einer veränderlichen Entfernung L von der Taktquelle **26** an, um die Signale CLK_A und CLK_B zu erhalten. Die inhärente Signalverzögerung D(L) in der Übertragungsleitung **26A** zwischen der Anzapfstelle und der Taktquelle **26** ist linear proportional zu L. Da die Geschwindigkeit der Signalausbreitung für die Übertragungsleitung **28A** um das M-fache größer als diejenige der Übertragungsleitung **28B** ist, ist die inhärente Signalverzögerung M*D(L) in der Leitung **28B** um das M-fache länger als die inhärente Signalverzögerung D(L) in der Leitung **28A**. (Das Symbol "*" bedeutet hier Multiplikation.) Die durch die Verzögerungsschaltung **72A** erzeugte Verzögerung ist auch eine Funktion von L und ist in **Fig. 9** als D'(L) dargestellt. Da für einen gegebenen Betrag von VPLL die durch die Verzögerungsschaltung **72B** von **Fig. 7** erzeugte Verzögerung um das M-fache größer als die durch die Verzögerungsschaltung **72A** erzeugte Verzögerung ist, hat die Verzögerung der Schaltung **72B** den Wert M*D'(L).

[0041] Wie man der **Fig. 9** entnehmen kann, wird der lokale Takt LA von dem globalen Takt CLK_G am Ausgang der Taktquelle **20** um die Summe der Verzögerungen D(L) und D'(L) der Übertragungsleitung **28A** und der Verzögerungsschaltung **72A** verzögert. Die Phase des lokalen Taktes LA bezüglich CLK_G beträgt daher:

$$\text{PHASE(LA)} = [D(L)] + [D'(L)] \quad (1)$$

[0042] Ähnlich beträgt die Phase des lokalen Taktes LB bezüglich des globalen Taktes CLK_G:

$$\text{PHASE(LB)} = [M*D(L) + M*D'(L)] \quad (2)$$

[0043] Die Phasendifferenz zwischen LA und LB, die durch den Phasendetektor **76** von **Fig. 7** erfasst

wird, beträgt daher:

$$\begin{aligned} \text{PHASE(B:A)} &= \text{PHASE(LB)} - \text{PHASE(LA)} \\ \text{PHASE(B:A)} &= [M*D(L) + M*D'(L)] - [D(L) + D'(L)] \\ \text{PHASE(B:A)} &= (M-1) * [D(L) + D'(L)] \end{aligned} \quad (3)$$

[0044] Aus den Gleichungen (1) und (3) ergibt sich:

$$\text{PHASE(LA)} = D(L) + D'(L) = \text{PHASE(B:A)} / (M-1) \quad (4)$$

[0045] Die Rückkopplungssteuerung (Regelung) VPLL, die durch den Phasendetektor **76** und den Differenzverstärker **78** erzeugt wird, hält die Phasendifferenz PHASE(B:A) zwischen den lokalen Takten LB und LA auf einem konstanten Wert, der durch die dem Verstärker **78** zugeführte Spannung des Differenzsignals VREF bestimmt wird. Die Rückkopplungsschleife erfordert, dass VPH gleich groß VREF ist. Da VPH proportional zu PHASE(B:A) ist, wird PHASE(B:A) an jedem beliebigen Wert festgemacht, der benötigt wird, um VPH gleich groß wie VREF zu machen.

[0046] Da PHASE(B:A) und M Konstanten sind, die von L unabhängig sind, sehen wir aus Gleichung (4), dass PHASE(LA), das heißt die Phase des globalen Taktes LA bezüglich des globalen Taktsignals CLK_G am Ausgang der Taktquelle **26** ebenfalls von L unabhängig ist. Dies bedeutet, dass, wenn ein Signal VREF gleichen Betrags dem Differenzverstärker **78** innerhalb aller Entzerrungsschaltungen zugeführt wird, das in allen Entzerrungsschaltungen des Systems erzeugte lokale Taktsignal LA dieselbe Phase bezüglich des globalen Taktsignals CLK_G am Ausgang der Taktquelle **26** hat. Da das Signal LA als das lokale Taktsignal CLK(I) verwendet wird, das an die lokale Logikschaltung ausgegeben wird, sind alle Signale CLK(1)–CLK(N) von **Fig. 1** miteinander in Phase, und die Operationen der lokalen Logikschaltungen **14(1)–14(N)** werden stark synchronisiert.

[0047] Der Betrag von VREF in **Fig. 8** sollte so gewählt werden, dass die konstante Phasendifferenz PHASE(B:A) zwischen den lokalen Taktsignalen LA und LB gleich groß ist wie (M-1)*D(LMAX). LMAX ist eine Entfernung entlang der Übertragungsleitungen **28A** und **28B** zu einem Punkt, der von der Taktquelle **20** weiter entfernt ist als die entferntesten Übertragungsleitungs-Anzapfstellen der lokalen Module. D(LMAX) ist daher die gesamte inhärente Signalverzögerung der Übertragungsleitung **28A** zwischen der Taktquelle **20** und diesem entfernten Punkt. Der Wert von VREF sollte gewählt werden, um zu gewährleisten, dass die sich ergebenden Verzögerungen DELAY(1)–DELAY(N) positiv sind und innerhalb des Sicherheitsbereichs der internen Verzögerungsschaltungen innerhalb der Entzerrungsschaltungen **18(1)–18(N)** liegen.

[0048] Man kann an der Gleichung (4) auch entneh-

men, dass der Wert von M , das heißt das Verhältnis der Ausbreitungsgeschwindigkeiten der beiden Übertragungsleitungen, größer als 1 sein sollte. Eine Art und Weise dies zu tun, wenn die Übertragungsleitungen auf einer Rückwand-Leiterplatte implementiert sind, besteht in der Verwendung eines Mikrostreifen-Leiters für die eine Übertragungsleitung und eines Streifenleitungs-Leiters für die andere Übertragungsleitung. Ein Mikrostreifen-Leiter ist auf der Unterseite der Leiterplatte gebildet, während ein Streifenleitungs-Leiter zwischen den Schichten der Leiterplatte eingebettet ist. So ist z.B. in G-10 Glasfaserplatten mit einer relativen Dielektrizitätskonstante von 5,0 die Ausbreitungsgeschwindigkeit für einen Mikrostreifen-Leiter 1.853,7 pS/m (565 ps pro Fuß), während die Ausbreitungsgeschwindigkeit für einen Streifenleitungs-Leiter 1.450,1 pS/m (442 ps pro Fuß) beträgt. Somit hat das Geschwindigkeitsverhältnis M den Wert 1,28. Die Differenz der Signalverzögerung zwischen den beiden Leitern beträgt 26 pS/cm (65 ps pro Zoll) der Übertragungsleitungs-Länge.

[0049] Wir können M erhöhen, um die Entzerrungs-Auflösung zu verbessern, indem Leiterplatten-Schichten verwendet werden, die unterschiedliche Dielektrizitätskonstanten haben. [Fig. 10](#) ist eine Querschnittsansicht einer mehrschichtigen Leiterplatte **89**, bei der Mikrostreifen-Leiter **90** und **91**, die eine Übertragungsleitung **28A** bilden, und eine Busleitung **20** auf einer oberen dielektrischen FR4-Schicht **92** (relative Dielektrizitätskonstante = 4,8) oberhalb eines Bodenebene-Leiters bzw. Erdungsleiters **94** gebildet sind. Ein Streifenleitungs-Leiter **95**, der eine Übertragungsleitung **28B** bildet, ist zwischen zwei dielektrischen Duroid-Schichten **96** und **97** (relative Dielektrizitätskonstante = 10) eingebettet mit einer zweiten Bodenebene bzw. Erdungsebene **98** am Boden der Leiterplatte. Diese Anordnung ergibt ein Ausbreitungsgeschwindigkeits-Verhältnis M von 1,82. Die Differenz der Signalverzögerung zwischen den beiden Leitern beträgt 4.724,4 ps/m (120 ps pro Zoll) der Übertragungsleitungs-Länge.

[0050] Es wurde somit ein Signal-Entzerrungssystem für eine verteilte synchrone Logikschaltung beschrieben. Obwohl die obige Beschreibung ein bevorzugtes Ausführungsbeispiel der vorliegenden Erfindung beschreibt, kann der Fachmann an dem bevorzugten Ausführungsbeispiel zahlreiche Abwandlungen durchführen, ohne dass er die Erfindung in deren größeren Rahmen verlässt. Die beigefügten Ansprüche sollen daher alle derartigen Abwandlungen abdecken, die innerhalb des wahren Schutzbereichs der Erfindung liegen.

Patentansprüche

1. Verfahren zur Erzeugung eines separaten lo-

kalen Zeitsignals (CLK(1)–CLK(N)) bei jedem einer Vielzahl von Modulen (**16(1)–16(n)**) eines verteilten synchronen Logik-Systems als Antwort auf ein durch eine Zeitsignalquelle (**26**) erzeugtes globales Zeitsignal (CLKG), wobei die lokalen Zeitsignale im Wesentlichen in Phase miteinander sind, wobei das Verfahren die Schritte:

Übermitteln des globalen Zeitsignals von der Zeitsignalquelle zu jedem Modul über eine erste und eine zweite Übertragungsleitung (**28a**, **28b**), wobei die erste und die zweite Übertragungsleitung im Wesentlichen eine gleiche Länge zwischen der Zeitsignalquelle und jedem Modul, aber im Wesentlichen unterschiedliche Signalübertragungsgeschwindigkeiten haben;

Erfassen der Länge der ersten und zweiten Übertragungsleitung zwischen der Zeitsignalquelle und jedem Modul; und

Verzögern des globalen Zeitsignals, sobald es an jedem Modul über eine der beiden ersten und zweiten Übertragungsleitungen ankommt, um eine Verzögerungszeit (DELAY (I)), die eine Funktion der erfassten Übertragungsweglänge zwischen dem Modul und der Zeitsignalquelle ist, um dadurch ein separates lokales Zeitsignal bei jedem Modul zu produzieren, so dass eine Summe der Verzögerungszeit (DELAY (I)) für jedes Modul und eine Zeit (D(I)), die das globale Zeitsignal braucht, um von der Zeitsignalquelle über die erste Übertragungsleitung zu dem Modul zu wandern, einer Konstante für alle Module gleicht, enthält.

2. Das Verfahren gemäß Anspruch 1, wobei die Verzögerungszeit umgekehrt auf die erfasste Übertragungsweglänge bezogen ist.

3. Das Verfahren gemäß Anspruch 1, wobei der Schritt des Erfassens der Länge der ersten und zweiten Übertragungsleitungen zwischen der Zeitsignalquelle und jedem Modul den Schritt des Vergleichens einer Phase des ersten globalen Zeitsignals, wenn es bei jedem Modul über die erste Übertragungsleitung ankommt, mit einer Phase des globalen Zeitsignals umfasst, wenn es bei jedem Modul über die zweite Übertragungsleitung ankommt.

4. Das Verfahren gemäß Anspruch 1, wobei die Schritte des Erfassens der Länge der ersten und zweiten Übertragungsleitung und des Verzögerns des globalen Zeitsignals die Unterschritte:

Vergleichen einer Phase des globalen Zeitsignals, wenn es bei jedem Modul über die erste Übertragungsleitung ankommt, mit einer Phase des globalen Zeitsignals, wenn es bei dem Modul über die zweite Übertragungsleitung ankommt, um ein erstes Signal (VPH) einer Größe zu produzieren, die die Länge repräsentiert;

Erzeugen eines zweiten Signals (CS) als Antwort auf das erste Signal, wobei die Größe des zweiten Signals eine vorbestimmte Funktion der Größe des ers-

ten Signals ist;

und Leiten des globalen Zeitsignals durch einen Verzögerungsschaltkreis (**32**), um das lokale Zeitsignal zu produzieren, nachdem das globale Signal bei dem Modul über eine der beiden ersten und zweiten Übertragungsleitungen ankommt, wobei der Verzögerungsschaltkreis das globale Zeitsignal um die Verzögerungszeit verzögert, wobei die Verzögerungszeit in Übereinstimmung mit der Größe des zweiten Signals gesteuert wird, die als ein Steuereingang dem Verzögerungsschaltkreis zur Verfügung gestellt wird, enthält.

5. Das Verfahren gemäß Anspruch 4, wobei der Schritt des Erzeugens des zweiten Signals die Unter-schritte von:

Speichern von Datenwerten an separaten Adressen eines adressierbaren Speichers (**66**);

Adressieren des adressierbaren Speichers in Übereinstimmung mit der Größe des ersten Signals, so dass der adressierbare Speicher einen der gespeicherten Datenwerte ausliest;

und

Erzeugen der zweiten Signalgröße in Übereinstimmung mit dem ausgelesenen Datenwert.

6. Vorrichtung zur Erzeugung separater Zeitsignale (CLK(1)-CLK(N)) für eine Vielzahl von Modulen ((**16(1)**-**16(N)**) eines synchronen Logik-Systems als Antwort auf ein durch eine Zeitsignalquelle (**26**) generiertes globales Zeitsignal, wobei die lokalen Zeitsignale im Wesentlichen miteinander in Phase sind, wobei die Vorrichtung enthält:

eine erste Übertragungsleitung (**28A**) zur Übermittlung des globalen Zeitsignals von der Zeitsignalquelle zu jedem Modul;

eine zweite Übertragungsleitung (**28B**) zur Übermittlung des globalen Zeitsignals von der Zeitsignalquelle zu jedem Modul, wobei die erste und die zweite Übertragungsleitung im Wesentlichen die gleiche Länge zwischen der Zeitsignalquelle und jedem Modul, aber im Wesentlichen unterschiedliche globale Zeitsignal-Übertragungsgeschwindigkeiten haben; und

ein Entzerrungsmittel (**18(1)**-**18(N)**), das jedem Modul zum Ermitteln der Länge der ersten und zweiten Übertragungsleitung zwischen der Zeitsignalquelle und seinem zugeordneten Modul und zum Verzögern des globalen Zeitsignals, wenn es bei seinem zugeordneten Modul über eine der ersten und zweiten Übertragungsleitungen ankommt, um eine Verzögerungszeit zugeordnet ist, die eine Funktion der erfassten Übertragungsleitungslänge ist, so dass eine Summe der Verzögerungszeit für jedes Modul und eine Zeit, die für das globale Zeitsignal benötigt wird, um von der Zeitsignalquelle über die erste Übertragungsleitung zu dem Modul zu wandern, einer Konstante für alle Module gleicht.

7. Die Vorrichtung gemäß Anspruch 6, wobei die

Verzögerungszeit umgekehrt in Bezug auf die Übertragungsweglänge ist.

8. Die Vorrichtung gemäß Anspruch 6, wobei das Entzerrungsmittel ein Mittel (**40**) zum Vergleichen der Phase des globalen Zeitsignals, wenn es bei dem zugeordneten Modul über die erste Übertragungsleitung ankommt, mit einer Phase des globalen Zeitsignals enthält, wenn es bei dem zugeordneten Modul über die zweite Übertragungsleitung ankommt.

9. Die Vorrichtung gemäß Anspruch 6, wobei das Entzerrungsmittel enthält:

ein Mittel (**40**) zum Vergleichen einer Phase des globalen Zeitsignals, wenn es bei dem zugeordneten Modul über die erste Übertragungsleitung ankommt, mit einer Phase des globalen Zeitsignals, wenn es an dem zugeordneten Modul über die zweite Übertragungsleitung ankommt, um ein erstes Signal (VPH) einer Größe zu erzeugen, die die Länge repräsentiert;

Mittel (**42**, **44**, **46**) zum Erzeugen eines zweiten Signals (CS) als Antwort auf das erste Signal, wobei die Größe des zweiten Signals eine vorbestimmte Funktion der Größe des ersten Signals ist; und

ein Verzögerungsmittel (**32**) zum Verzögern des globalen Zeitsignals um die Verzögerungszeit, nachdem das globale Zeitsignal bei dem Modul über eine der beiden ersten und zweiten Übertragungsleitungen ankommt, um ein lokales Zeitsignal zu erzeugen, wobei die Verzögerungszeit in Übereinstimmung mit der Größe des zweiten Signals gesteuert wird, das als eine Vorgabe für das Verzögerungsmittel bereitgestellt wird.

10. Die Vorrichtung gemäß Anspruch 9, wobei das Mittel zur Erzeugung des zweiten Signals enthält: einen adressierbaren Speicher (**44**) zum Speichern von Datenwerten an separaten Adressen; ein Mittel (**42**) zum Adressieren des adressierbaren Speichers in Übereinstimmung mit der Größe des ersten Signals, so dass der adressierbare Speicher einen der gespeicherten Werte ausliest; und ein Mittel (**46**) zur Erzeugung der zweiten Signalgröße in Übereinstimmung mit dem ausgelesenen Datenwert.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

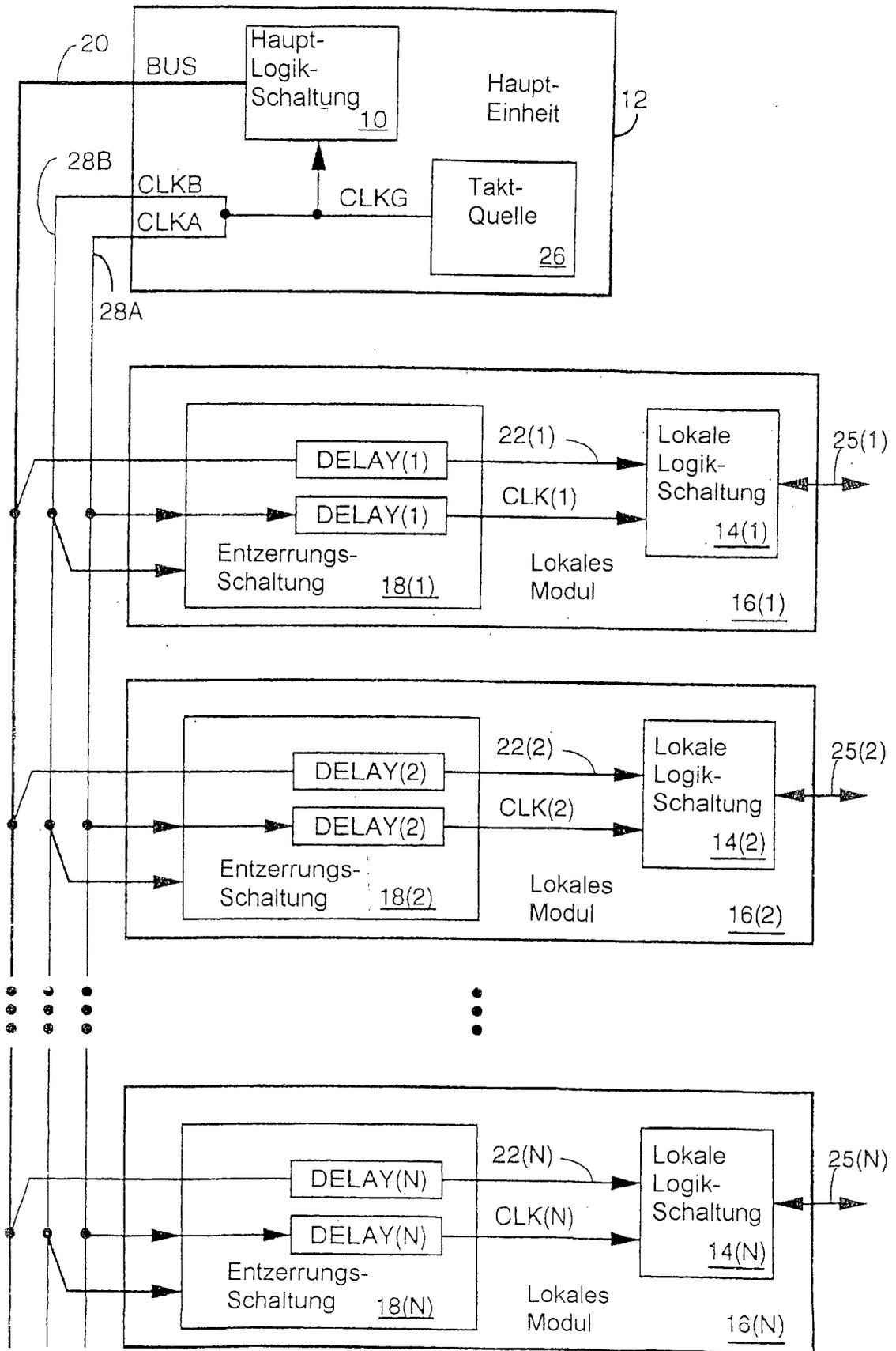


FIG. 1

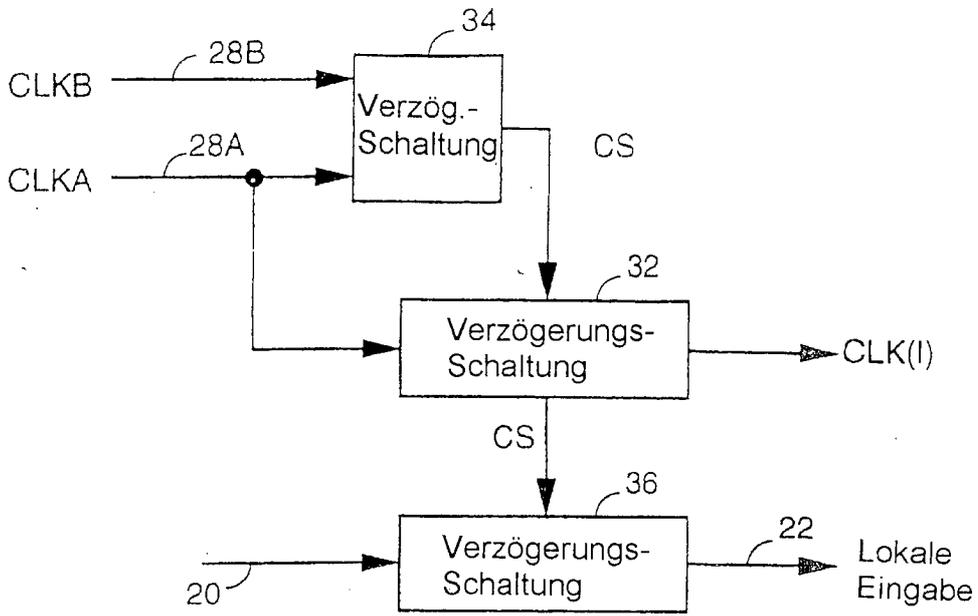
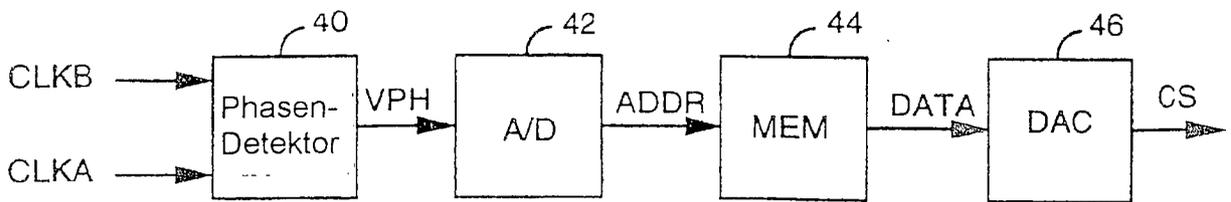
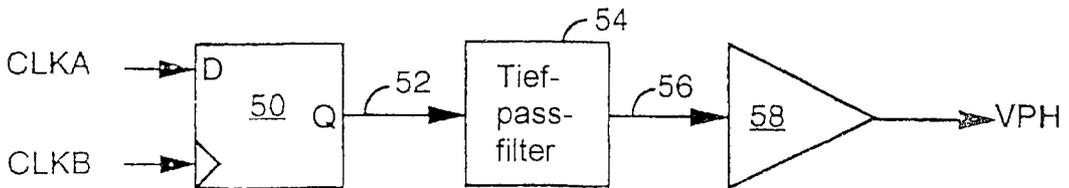


FIG. 2



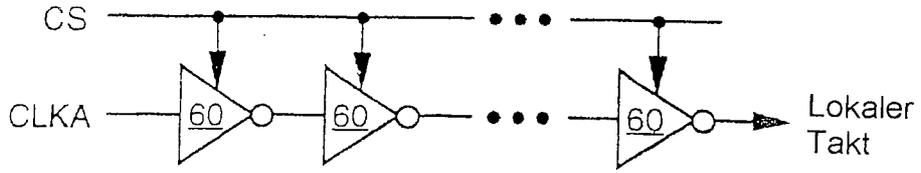
34 ↗

FIG. 3



40 ↗

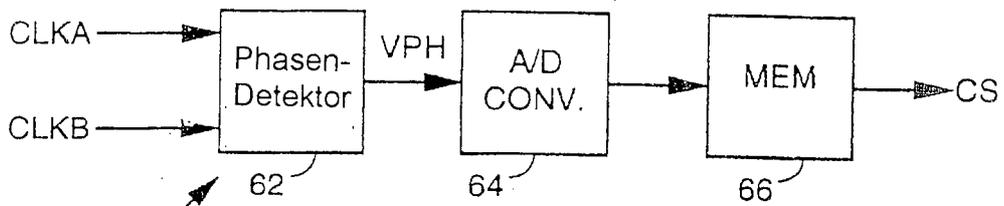
FIG. 4



32

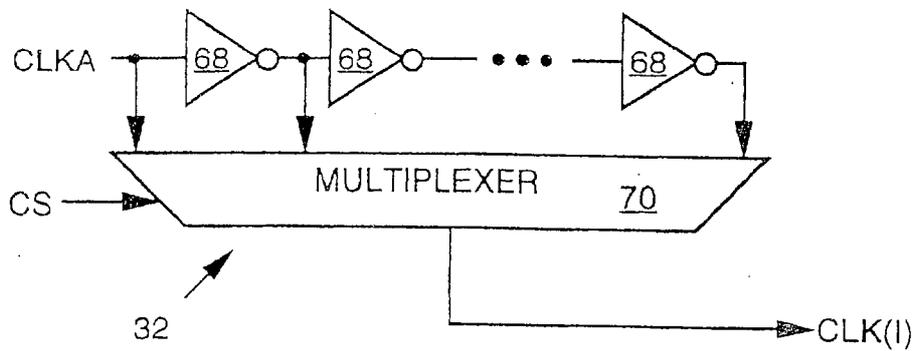
FIG. 5

Stand der Technik



34

FIG. 6



32

FIG. 7

Stand der Technik

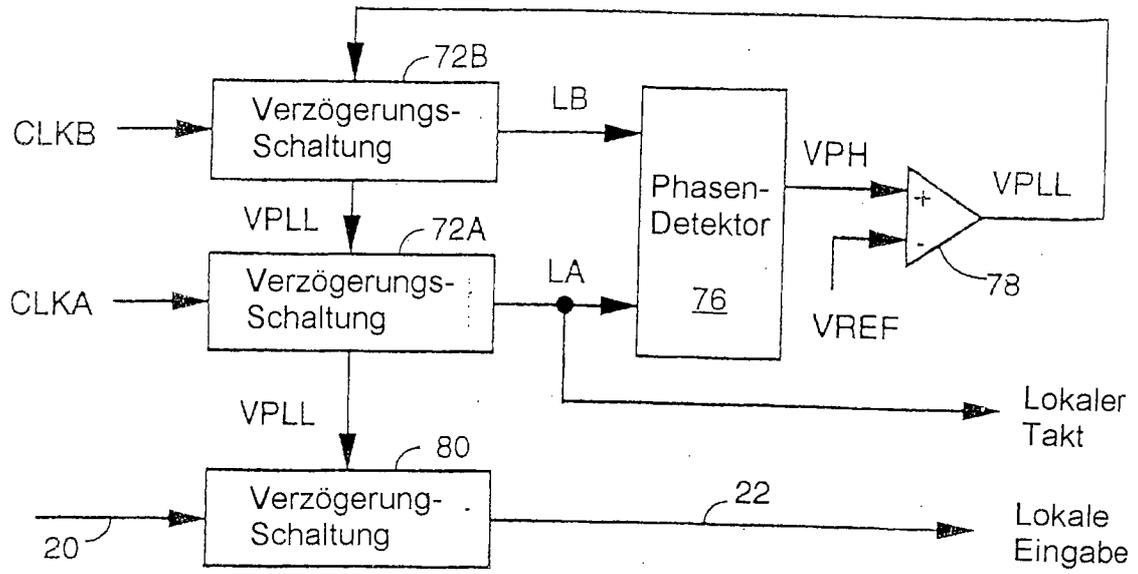


FIG. 8

70 ↗

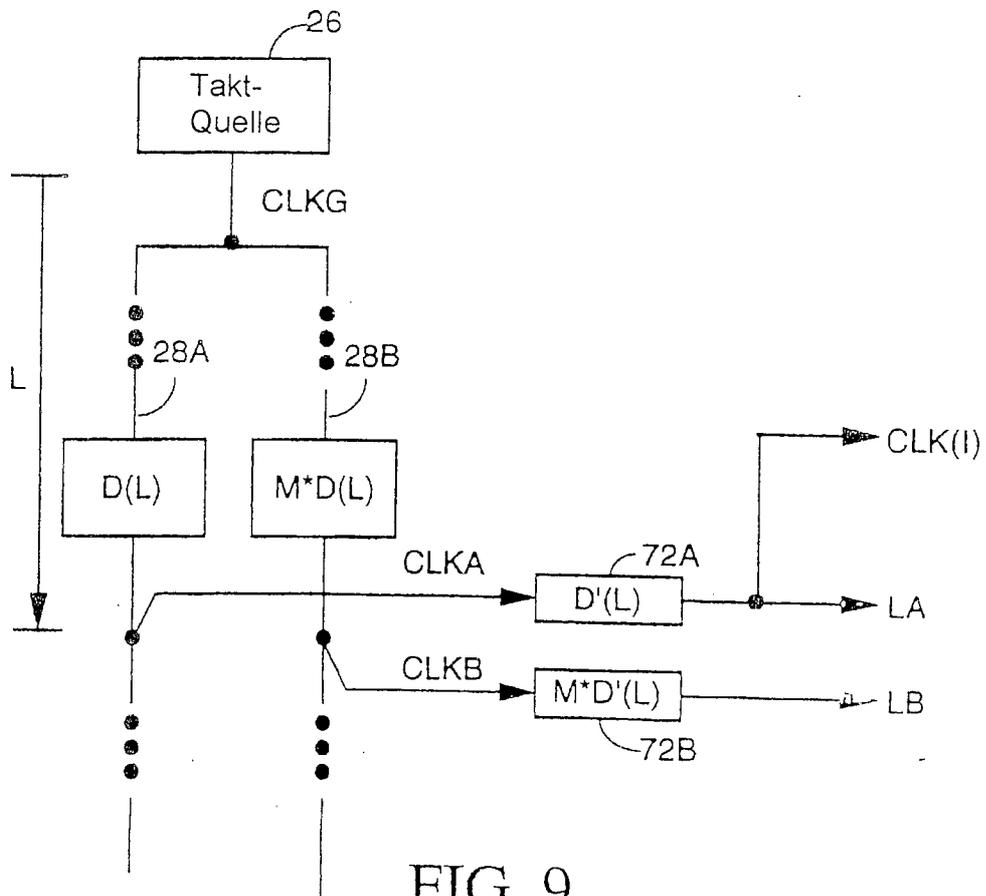


FIG. 9

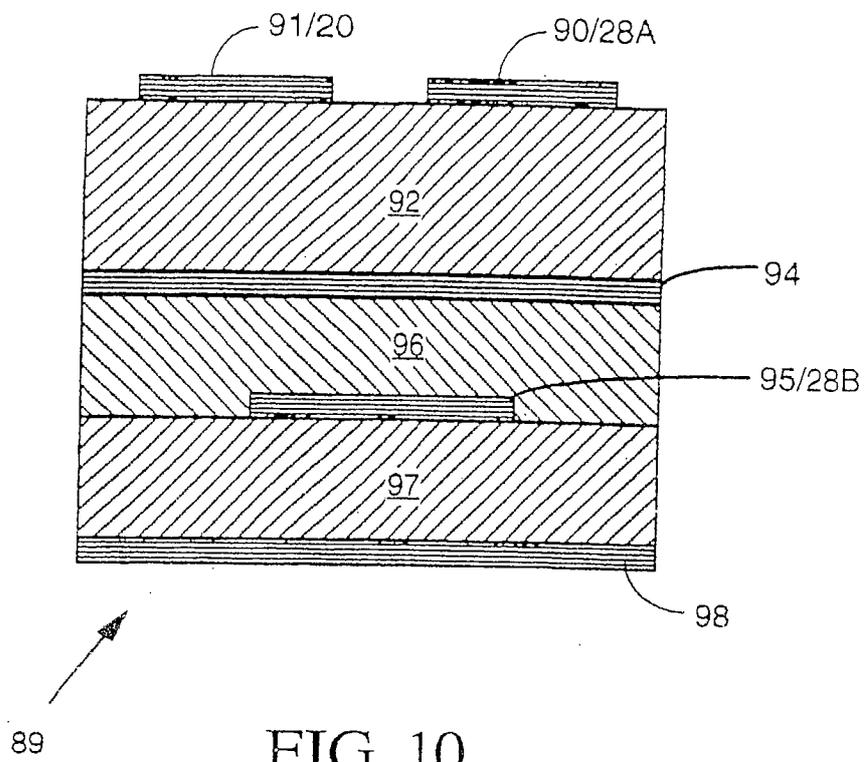


FIG. 10