

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
G11C 11/40

(45) 공고일자 2000년 10월 16일  
(11) 등록번호 10-0268882  
(24) 등록일자 2000년 07월 18일

(21) 출원번호	10-1998-0011668	(65) 공개번호	특 1999-0079188
(22) 출원일자	1998년 04월 02일	(43) 공개일자	1999년 11월 05일

(73) 특허권자 현대반도체주식회사 김영환  
충청북도 청주시 흥덕구 향정동 1번지  
(72) 발명자 오형석  
충청북도 청원군 강내면 월곡리 298-20 두진아파트 102-204  
(74) 대리인 김용인, 강용복

심사관 : 이승환

(54) 반도체 메모리 장치의 보안 회로

요약

본 발명은 내부 메모리의 데이터를 적은 수의 패드(Pad)로도 탁월한 보안성과 안정성을 갖도록한 반도체 메모리 장치의 보안 회로에 관한 것으로, 본 발명의 반도체 메모리 장치의 보안 회로는 메모리 IC의 단자와 연결되어 기록 인에이블 단자로 이용되는 패드와, 상기 패드와 내부 메모리 IC 사이에 연결되어 데이터 기록 후 상기 패드와 내부 메모리 IC 사이를 절단하기 위한 퓨즈와, 상기 패드단의 저전압을 검출하여 출력하는 저전압 검출부와, 상기 저전압 검출부의 출력을 유지 또는 반전시켜 출력하는 래치부와, 상기 래치부의 출력신호에 따라 상기 퓨즈를 절단하기 위한 전원을 공급하는 스위칭부와, 상기 퓨즈가 절단되었을 경우 내부 메모리 IC에 일정 전압을 풀업시켜주는 풀업부와, 상기 래치부를 초기화 시키기 위한 파워 온 리세트부를 포함하여 구성된 것이다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 반도체 메모리 장치의 보안 회로 구성도  
도 2는 본 발명의 반도체 메모리 장치의 보안 회로 구성도  
도면의 주요 부분에 대한 부호의 설명  
3 : 퓨즈 4, 8, 9, 10 : 인버터  
11 : 파워 온 리세트부 12 : 메모리 IC  
13 : 저전압 감지부 14 : 래치부  
15 : 스위칭부 16 : 풀업부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 내부 메모리의 데이터를 안전하게 보호하기 위한 반도체 메모리 장치에 관한 것으로, 특히 적은 수의 패드(Pad)로도 탁월한 보안성과 안정성을 갖도록한 반도체 메모리 장치의 보안 회로에 관한 것이다.

일반적으로(background art) 반도체 메모리 장치에 있어서는 다수개의 패드를 입출력 단자로 사용한다. 즉, 임의의 패드를 메모리 기록 인에이블 핀(Memory write enable pin)으로 사용하고, 메모리에 저장된 데이터를 보호하기 위하여 상기 패드 사이에 퓨즈(fuse)를 설치하여 메모리에 데이터를 기록한 후에는 상기 퓨즈를 절단시켜 그 패드로는 메모리에 데이터를 기록할 수 없도록하였다.

이와 같은 종래의 반도체 메모리 장치의 보안 회로를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 1은 종래의 반도체 메모리 장치의 보안 회로 구성도이다.

종래의 반도체 메모리 장치의 보안 회로는 메모리 IC의 단자와 연결되어 기록 인에이블 단자로 이용되는 제 1 패드(PAD1)와, 상기 제 1 패드(PAD1)와 내부 메모리 IC 사이에 연결되어 데이터 기록 후 상기 제 1 패드(PAD1)와 내부 메모리 IC 사이를 절단하기 위한 퓨즈(3)와, 상기 제 1 패드(PAD1) 및 내부 메모리에 연결되어 상기 퓨즈(3) 절단시 전원을 인가하기 위한 제 2 패드(PAD2)와, 복수개의 트랜지스터(Q1-Q3)로 이루어져 상기 제 2 패드(PAD2)를 통해 IC 내부에 정전기가 입력됨을 방지하기 위한 정전기 보호부(1)와, 상기 퓨즈(3) 절단시 절단된 부분이 플로우팅(floating)되는 것을 방지하기 위한 저항(4)으로 구성된다. 여기서, 미 설명 부호는 제 2 패드에 인가되는 전압을 통과하거나 차단하는 스위칭 트랜지스터(Q4)이다.

이와 같은 종래의 반도체 메모리 장치의 보안 회로의 동작은 다음과 같다.

제 1 패드(PAD1)는 기록 인에이블 단자로서, 데이터를 메모리에 기록하기 위해서는 상기 제 1 패드(PAD1)에 "하이"신호를 인가하여 메모리에 데이터가 기록되도록 한다.

메모리에 데이터를 기록한 후, 계속해서 제 1 패드(PAD1)에 인에이블 신호를 주게되면 고의적이든 비정상적인 상태에서 메모리에 저장된 데이터가 지워지든지 아니면 다른 데이터가 기록되게 된다(over-write). 따라서 이와 같은 동작을 방지하기 위하여 데이터를 기록하고 기록된 데이터를 영구히 보존하기 위해서 퓨즈(3)를 절단한다. 상기 퓨즈(3)를 절단하는 방법은 제 1 패드(PAD1)에 고전압을 인가하고 제 2 패드(PAD2)를 접지하면 흐르는 전류에 의해서 퓨즈(3)가 절단된다.

이와 같이 퓨즈(3)가 절단되면 제 1 패드(PAD1)에 "하이"신호를 인가하여도 메모리 기록 모드가 인에이블 되지 않는다. 물론 제 2 패드(PAD2)에 "하이"신호를 인가하여도 정전기 보호부(1)의 트랜지스터(Q1)의 게이트와 드레인이 접지되어 있으므로 인에이블 신호가 인가되지 않는다.

따라서 내부 메모리에 저장되어 있는 데이터를 안전하게 보호할 수 있다.

### **발명이 이루고자 하는 기술적 과제**

상기에서 설명한 바와 같은 종래의 반도체 메모리 장치의 보안 회로에 있어서는 다음과 같은 문제점이 있었다.

첫째, 퓨즈를 절단하기 위해서 제 1 패드에 고전압을 인가하여야 하므로 제 1 패드에는 외부 정전기 방지용 회로를 설치하지 못했기 때문에 외부 정전기에 취약하다.

둘째, 퓨즈를 절단하기 위해서 제 1 패드 외에 제 2 패드가 필요하게되므로 핀 수가 적은 스마트 카드(Smart Card) 등에서는 응용하기 곤란하다.

셋째, 제 1 패드에 "하이" 신호를 인가하면 제 2 패드에도 "하이"신호가 인가되므로 제 1, 제 2 패드에 다른 값의 입력을 인가하거나 다른 값을 출력할 수 없기 때문에 패드의 기능에 제약이 따른다.

본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로, 적은 수의 핀으로도 탁월한 보안성과 안정성을 얻을 수 있는 반도체 메모리 장치의 보안 회로를 제공하는데 그 목적이 있다.

### **발명의 구성 및 작용**

상기와 같은 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 보안 회로는 메모리 IC의 단자와 연결되어 기록 인에이블 단자로 이용되는 패드와, 상기 패드와 내부 메모리 IC 사이에 연결되어 데이터 기록 후 상기 패드와 내부 메모리 IC 사이를 절단하기 위한 퓨즈와, 상기 패드단의 저전압을 검출하여 출력하는 저전압 검출부와, 상기 저전압 검출부의 출력을 유지 또는 반전시켜 출력하는 래치부와, 상기 래치부의 출력신호에 따라 상기 퓨즈를 절단하기 위한 전원을 공급하는 스위칭부와, 상기 퓨즈가 절단되었을 경우 내부 메모리 IC에 일정 전압을 풀업시켜주는 풀업부와, 상기 래치부를 초기화 시키기 위한 파워 온 리세트부를 포함하여 구성됨에 그 특징이 있다.

이와 같은 본 발명의 반도체 메모리 장치의 보안 회로를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

도 2는 본 발명의 반도체 메모리 장치의 보안 회로 구성도이다.

본 발명의 반도체 메모리 장치의 보안 회로는 메모리 IC의 단자와 연결되어 기록 인에이블 단자로 이용되는 패드(PAD)와, 상기 패드(PAD)와 내부 메모리 IC 사이에 연결되어 데이터 기록 후 상기 패드(PAD)와 내부 메모리 IC 사이를 절단하기 위한 퓨즈(3)와, 복수개의 트랜지스터(Q11, Q12) 및 인버터(4)로 이루어져 상기 패드단의 저전압을 검출하여 출력하는 저전압 검출부(13)와, 복수개의 NAND 게이트(5,6,7) 및 복수개의 인버터(8,9,10) 등으로 이루어져 상기 저전압 검출부의 출력을 유지 또는 반전시켜 출력하는 래치부(14)와, PMOS 트랜지스터(Q13)로 이루어져 상기 래치부(14)의 출력신호에 따라 상기 퓨즈(3)를 절단하기 위한 전원을 공급하는 스위칭부(15)와, PMOS 트랜지스터(Q14)로 이루어져 상기 퓨즈(3)가 절단되었을 경우 메모리(12)에 일정 전압을 풀업(Pull-up)시켜주는 풀업부(16)와, 상기 래치부(14)를 초기화 시키기 위한 파워 온 리세트부(11)로 구성된다.

여기서, 상기 저전압 감지부(13)는 전원단(Vdd)과 상기 패드(PAD) 라인 사이에 직렬 연결되고 각 게이트가 공통으로 접지되는 제 1, 제 2 트랜지스터(Q11, Q12)와, 상기 제 1, 제 2 트랜지스터(Q11, Q12)의 접점 전압을 반전시키는 제 1 인버터(4)로 구성되고, 상기 제 2 트랜지스터(Q12)의 기판과 상기 패드(PAD) 라인이 연결되어 있으며, 제 1 트랜지스터(Q11) 사이즈는 상기 제 2 트랜지스터(Q12) 사이즈의 1/3에 해당하도록 구성된다.

상기 래치부(14)는 상기 저전압 감지부(13)의 출력과 파워 온 리세트부(11)의 출력을 논리 곱하고 반전하는 제 1 NAND 게이트(5)와, 상기 제 1 NAND 게이트(5)의 출력과 상기 파워 온 리세트부(11)의 출력을 각각 입력하여 상대방의 출력을 논리 곱 반전하는 제 2, 제 3 NAND 게이트(6, 7)와, 상기 제 2 NAND 게이트(6)의 출력을 연속하여 반전하는 제 2, 제 3, 제 4 인버터(8, 9, 10)를 구비하여 구성된다.

상기 스위칭부(15)는 상기 래치부(14)의 출력에 의해 정전압의 전압을 상기 패드(PAD) 라인에 인가하는 PMOS 트랜지스터(Q13)로 구성된다.

상기 풀업부(16)는 게이트가 접지되어 정전압(Vdd)을 상기 패드(PAD) 라인에 인가하는 PMOS 트랜지스터(Q14)로 구성되고, 상기 풀업부(16) 트랜지스터(Q14)는 사이즈가 매우 작아서 미세한 전류를 흐르도록 한다.

이와 같이 구성되는 본 발명의 반도체 메모리 장치의 보안 회로의 동작은 다음과 같다.

본 발명의 반도체 메모리 장치의 보안 회로는 하나의 패드를 이용한 것으로, 메모리에 데이터를 기록할 시는 0V의 전압을 이용하고, 퓨즈 절단시는 음의 전압(negative voltage)을 패드에 인가하는 방법이다.

즉, 파워 온 리세트부(11)에서 "로우"신호가 출력되고 패드(PAD)에 0V의 전압이 인가되면, 저전압 감지부(13)는 문턱전압을 낮게 하였으나 각 트랜지스터(Q11, Q12)의 각 게이트에 접지 전압이 걸리므로 트랜지스터(Q11)는 "온"되고 트랜지스터(Q12)는 "오프"되므로 접점(A)은 "하이"신호를 출력하고 인버터(4)는 "로우"신호를 출력한다. 결국 저전압 감지부(13)는 패드(PAD)에 0V의 전압이 인가될 때 "로우"신호를 출력한다.

상기 래치부(14)의 NAND 게이트(5)는 인버터(4)의 출력이 "로우"이므로 "하이"신호를 출력하고, 파워 온 리세트부(11)에서 "로우"신호를 출력하고 있으므로 NAND 게이트(7)도 "하이"신호를 출력한다. 따라서 NAND 게이트(6)는 "로우"신호를 출력하고, NAND 게이트(6)의 출력은 3개의 인버터(8, 9, 10)를 거쳐 출력되므로 래치부(14)의 출력은 "하이"이다.

스위칭부(15)는 래치부(14)에서 "하이"신호를 출력하고 있으므로 차단되어 있기 때문에 퓨즈(3)는 절단되지 않는다.

결국, 패드(PAD)에 0V의 전압을 인가하게 되면 메모리는 기록 모드로 인에이블되어 데이터를 기록할 수 있다.

상술한 바와 같이 패드(PAD)에 0V의 전압을 인가하여 메모리에 데이터를 저장한 후, 저장된 데이터를 보호하기 위해서 파워 온 리세트부(11)에서 "하이"신호를 출력하도록 하고 패드(PAD)에 음의 전압을 인가하면 퓨즈(3)가 절단된다.

즉, 파워 온 리세트부(11)에서 "하이"신호를 출력하고 패드(PAD)에 음의 전압(-2V 이상)이 인가되면, 저전압 감지부(13)의 트랜지스터(Q12)의 기판(substrate)이 패드(PAD)와 연결되어 있으므로 트랜지스터(Q12)의 게이트에 접지전압이 인가되어 있을지라도 게이트와 소오스 간의 전위 차가 0.7V 이상이 되어 트랜지스터(Q12)는 "턴온"되고 트랜지스터(Q11)도 턴온된다. 그러나, 트랜지스터(Q11)의 사이즈가 트랜지스터(Q12)의 1/3 정도 밖에 되지 않으므로(즉, Vdd에서 트랜지스터(Q11)를 통해 흐르는 전류보다 트랜지스터(Q12)를 통해 패드(PAD)로 빠지는 전류가 크기 때문에) 접점(A)의 출력은 "로우"가 되고 인버터(4)의 출력은 "하이"가 된다.

래치부(14)는 파워 온 리세트부(11)의 출력이 "하이"이므로 NAND 게이트(5)는 "로우"신호를 출력하고 NAND 게이트(6)는 NAND 게이트(7)의 출력이 관계없이 "하이"를 출력한다. 물론 NAND 게이트(7)는 "로우"를 출력한다. 그리고 3개의 인버터(8,9,10)를 통해 스위칭부(15)에는 "로우"신호가 출력된다.

이와 같이 스위칭부(15)에 "로우"신호가 입력되면, 스위칭부(15)는 "턴온"되어 다량의 전류가 퓨즈(3)를 통해서 패드(PAD)쪽으로 흐르게 되어 퓨즈(3)는 절단되게 된다.

상기에서 퓨즈(3)가 절단되면, 패드(PAD)쪽에서 메모리 기록 인에이블신호가 메모리에 입력되지 않고, 이 때 풀업부(16)에 의해 접점(B)이 "하이"로 유지되므로 메모리는 인에이블되지 않는다.

### **발명의 효과**

이상에서 설명한 바와 같은 본 발명의 반도체 메모리 장치의 보안 회로에 있어서는 다음과 같은 효과가 있다.

첫째, 필요에 의해 메모리에 저장된 데이터를 완벽하게 보호할 수 있으면서 하나의 패드를 이용하여 퓨즈를 절단할 수 있으므로 스마트 카드와 같은 높은 보안성과 적은 수의 핀을 원하는 장치에 효과적으로 대응할 수 있다.

둘째, 반도체 제조 회사 등에서 테스트 모드와 같은 용도로 사용하여 테스트한 후, 보안을 위해 해당 핀을 끊어야 되는 경우에 적용할 수 있으므로 경제적이다.

### **(57) 청구의 범위**

#### **청구항 1**

메모리 IC의 단자와 연결되어 기록 인에이블 단자로 이용되는 패드와,

상기 패드와 내부 메모리 IC 사이에 연결되어 데이터 기록 후 상기 패드와 내부 메모리 IC 사이를 절단하기 위한 퓨즈와,

상기 패드단의 저전압을 검출하여 출력하는 저전압 검출부와,

상기 저전압 검출부의 출력을 유지 또는 반전시켜 출력하는 래치부와,

상기 래치부의 출력신호에 따라 상기 퓨즈를 절단하기 위한 전원을 공급하는 스위칭부와,

상기 퓨즈가 절단되었을 경우 내부 메모리 IC에 일정 전압을 풀업시켜주는 풀업부와,

상기 래치부를 초기화 시키기 위한 파워 온 리세트부를 포함하여 구성됨을 특징으로 하는 반도체 메모리 장치의 보안 회로.

#### 청구항 2

제 1 항에 있어서,

상기 저전압 감지부는 전원단과 상기 패드 라인 사이에 직렬 연결되고 각 게이트가 공통으로 접지되는 제 1, 제 2 트랜지스터와,

상기 제 1, 제 2 트랜지스터의 접점 전압을 반전시키는 제 1 인버터로 구성됨을 특징으로 하는 반도체 메모리 장치의 보안 회로.

#### 청구항 3

제 1 항에 있어서,

상기 래치부는 상기 저전압 감지부의 출력과 파워 온 리세트부의 출력을 논리 곱하고 반전하는 제 1 NAND 게이트와,

상기 제 1 NAND 게이트의 출력과 상기 파워 온 리세트부의 출력을 각각 입력하여 상대방의 출력을 논리 곱 반전하는 제 2, 제 3 NAND 게이트와,

상기 제 2 NAND 게이트의 출력을 연속하여 반전하는 제 2, 제 3, 제 4 인버터를 구비하여 구성됨을 특징으로 하는 반도체 메모리 장치의 보안 회로.

#### 청구항 4

제 1 항에 있어서,

상기 스위칭부는 상기 래치부의 출력에 의해 정전압의 전압을 상기 패드 라인에 인가하는 PMOS로 구성됨을 특징으로 하는 반도체 메모리 장치의 보안 회로.

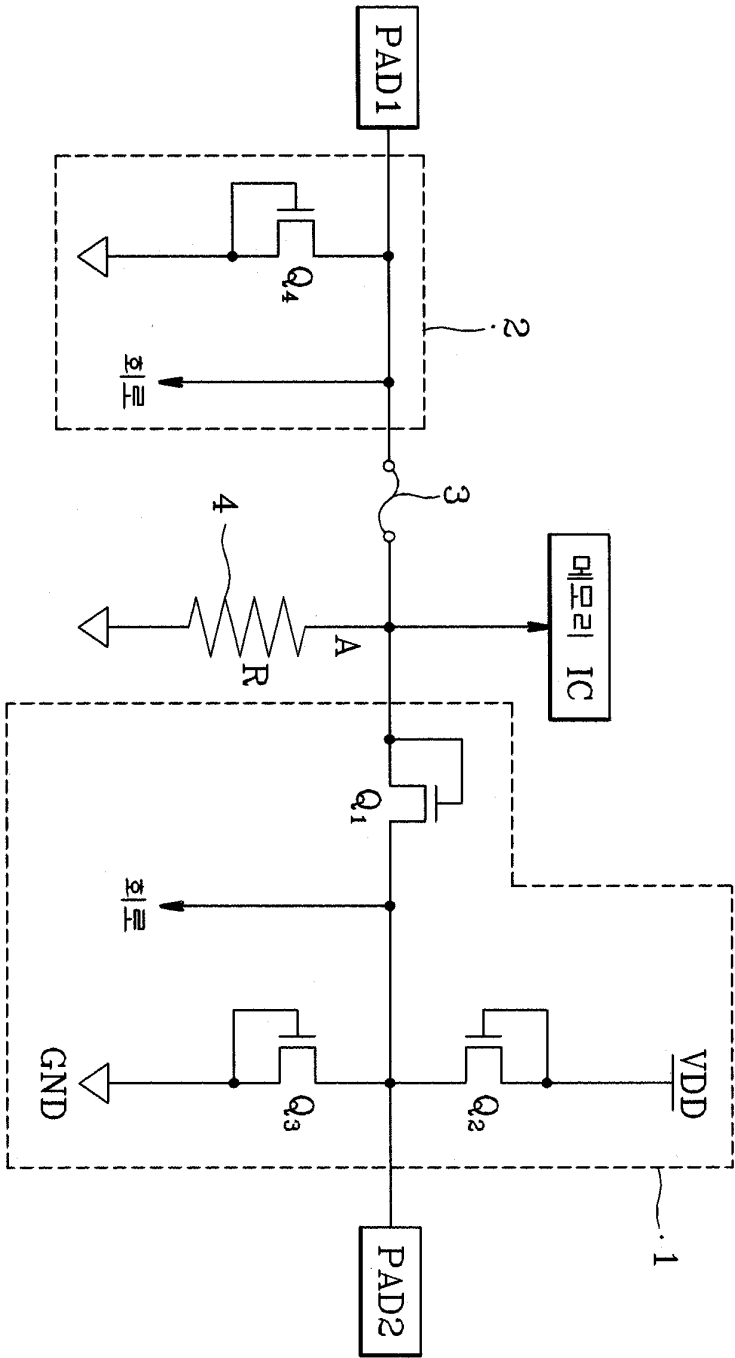
#### 청구항 5

제 1 항에 있어서,

상기 풀업부는 게이트가 접지되어 정전압을 상기 패드 라인에 인가하는 PMOS로 구성됨을 특징으로 하는 반도체 메모리 장치의 보안 회로.

**도면**

도면1



도면2

