

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(43) Date de la publication internationale
03 août 2023 (03.08.2023)

(10) Numéro de publication internationale
WO 2023/144495 A1

(51) Classification internationale des brevets :
H01L 21/762 (2006.01)

(21) Numéro de la demande internationale :
PCT/FR2023/050115

(22) Date de dépôt international :
30 janvier 2023 (30.01.2023)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
FR2200850 31 janvier 2022 (31.01.2022) FR

(71) Déposant : SOITEC [FR/FR] ; Parc Technologique des
Fontaines Chemin des Franques, 38190 BERNIN (FR).

(72) Inventeurs : DURET, Carine ; c/o SOITEC Parc Tech-
nologique des Fontaines Chemin des Franques, 38190
BERNIN (FR). ECARNOT, Ludovic ; c/o SOITEC Parc
Technologique des Fontaines Chemin des Franques, 38190
BERNIN (FR). PORTA, Charlene ; c/o SOITEC Parc
Technologique des Fontaines Chemin des Franques, 38190
BERNIN (FR).

(74) Mandataire : REGIMBEAU ; 20, rue de Chazelles, 75847
PARIS CEDEX 17 (FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA,
CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(54) Title: PROCESS FOR FABRICATING A DOUBLE SEMICONDUCTOR-ON-INSULATOR STRUCTURE

(54) Titre : PROCEDE DE FABRICATION D'UNE STRUCTURE DE TYPE DOUBLE SEMI-CONDUCTEUR SUR ISOLANT



FIGURE 9

(57) Abstract: The invention relates to a process for fabricating a double semiconductor-on-insulator structure comprising from a back side to a front side of the structure: a handle substrate, a first electrically insulating layer (1b), a first single-crystal semiconductor layer (2), a second electrically insulating layer (2b) and a second single-crystal semiconductor layer (3), the process being characterized in that it comprises: - a first step of formation of an oxide layer on the front and back sides of the handle substrate, to form the first electrically insulating layer (1b) and an oxide layer (1a') on the back side of the handle substrate, - a first step of layer transfer, to transfer the first single-crystal semiconductor layer (2), - a second step of formation of an oxide layer, to form the second electrically insulating layer (2b), - a second step of layer transfer, to transfer the second single-crystal semiconductor layer (3).

(57) Abrégé : L'invention concerne un procédé de fabrication d'une structure de type double semi-conducteur sur isolant comprenant depuis une face arrière vers une face avant de la structure : un substrat support, une première couche électriquement isolante (1 b), une première couche semi-conductrice monocristalline (2), une seconde couche électriquement isolante (2b) et une seconde couche semi-conductrice monocristalline (3), le procédé étant caractérisé en ce qu'il comprend : - une première étape de formation d'une couche d'oxyde sur les faces avant et arrière du substrat support pour former la première couche électriquement isolante (1 b) et une couche

MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,
SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) États désignés (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Déclarations en vertu de la règle 4.17 :

— *relative à la qualité d'inventeur (règle 4.17(iv))*

Publiée:

— *avec rapport de recherche internationale (Art. 21(3))*

d'oxyde (1a') sur la face arrière du substrat support, - une première étape de transfert de couche pour transférer la première couche semi-conductrice monocristalline (2), - une seconde étape de formation d'une couche d'oxyde pour former la deuxième couche électriquement isolante (2b), - une seconde étape de transfert de couche pour transférer la seconde couche semi-conductrice monocristalline (3).

PROCEDE DE FABRICATION D'UNE STRUCTURE DE TYPE DOUBLE SEMI-CONDUCTEUR SUR ISOLANT

DOMAINE TECHNIQUE

5 L'invention concerne un procédé de fabrication d'une structure de type double semi-conducteur sur isolant.

ETAT DE LA TECHNIQUE

Les structures de type semi-conducteur sur isolant sont des structures multicouches
10 comprenant un substrat support qui est généralement en un matériau semi-conducteur tel que du silicium, une couche électriquement isolante agencée sur le substrat support, qui est généralement une couche d'oxyde telle qu'une couche d'oxyde de silicium, et une couche semi-conductrice agencée sur la couche isolante, qui est généralement une couche de silicium. De telles structures sont dites structures « Semiconductor on Insulator » en anglais
15 (SeOI), en particulier « Silicon on Insulator » (SOI) lorsque le matériau semi-conducteur est du silicium. La couche d'oxyde se trouve entre le substrat et la couche semi-conductrice. La couche d'oxyde est alors dite « enterrée », et est appelée « BOX » pour « Buried Oxide » en anglais. Dans la suite du texte, on emploiera le terme « SOI » pour désigner d'une manière générale les structures de type semi-conducteur sur isolant.

20

Outre les structures SOI comprenant une couche de BOX et une couche semi-conductrice agencée sur la couche de BOX, des structures « double SOI » ont été réalisées. Les structures « double SOI » comprennent un substrat support (« handle substrate » en anglais), une première couche d'oxyde ou couche d'oxyde enterrée inférieure agencée sur le
25 substrat support, une première couche semi-conductrice ou couche semi-conductrice inférieure agencée sur la première couche d'oxyde, une seconde couche d'oxyde ou couche d'oxyde enterrée supérieure agencée sur la première couche semi-conductrice et une seconde couche semi-conductrice ou couche semi-conductrice supérieure agencée sur la seconde couche d'oxyde. Dans cette structure de double SOI, la première couche d'oxyde et la
30 première couche semi-conductrice constituent le premier SOI, agencé dans une partie inférieure de la structure, tandis que la seconde couche d'oxyde et la seconde couche semi-conductrice constituent le second SOI, agencé dans une partie supérieure de la structure.

Un procédé connu pour la fabrication d'une structure SOI est le procédé dit Smart Cut™.
35 Le procédé Smart Cut™ comprend l'implantation d'espèces atomiques, telles que de l'hydrogène (H) et/ou de l'hélium (He), afin de créer une zone de fragilisation au sein d'un substrat donneur, le collage du substrat donneur sur le substrat receveur puis le détachement du substrat donneur au niveau de la zone de fragilisation de sorte à transférer une couche

mince du substrat donneur sur le substrat receveur. Le substrat donneur et le substrat receveur se présentent de préférence sous la forme de plaques de 300 mm de diamètre. Le substrat donneur est un substrat semi-conducteur préalablement oxydé en surface : les atomes de H et/ou de He sont implantés, à travers la couche d'oxyde, à une profondeur donnée dans le cœur du matériau semi-conducteur. Le collage se fait entre la surface du substrat receveur et la surface de la couche d'oxyde du substrat donneur.

Une solution proposée pour l'obtention d'un double SOI est de mettre en œuvre deux procédés Smart Cut™ successifs en utilisant, pour le deuxième procédé Smart Cut™, le SOI obtenu suite au premier procédé Smart Cut™ comme substrat receveur et un second substrat semi-conducteur préalablement oxydé en surface comme substrat donneur. Dans la structure finale du double SOI, la couche d'oxyde et la couche semi-conductrice du premier SOI obtenues suite au premier procédé Smart Cut™ constituent respectivement la couche d'oxyde inférieure et la couche semi-conductrice inférieure. La couche d'oxyde et la couche semi-conductrice issues du second substrat donneur suite au deuxième procédé Smart Cut™ constituent respectivement la couche d'oxyde supérieure et la couche semi-conductrice supérieure du double SOI obtenu.

Pour une profondeur donnée de la zone de fragilisation au sein d'un substrat donneur, l'épaisseur de la couche semi-conductrice destinée à être transférée est limitée par l'épaisseur de la couche d'oxyde présente à la surface du substrat donneur. En effet, l'épaisseur maximale sur laquelle peuvent pénétrer les atomes d'hydrogène et/ou d'hélium au sein du substrat donneur recouvert de la couche d'oxyde est fixée par l'énergie maximale du dispositif d'implantation. Cette épaisseur dépend de l'épaisseur d'oxyde traversée par les atomes implantés. Elle reste typiquement de l'ordre de quelques centaines de nanomètres de silicium. Le procédé de « double Smart Cut™ » tel que décrit ci-dessus ne permet donc pas d'obtenir des épaisseurs qui soient grandes à la fois pour les couches semi-conductrices et les couches d'oxyde. Des structures de double SeOI présentant des épaisseurs importantes à la fois pour les couches d'oxyde et les couches de semi-conducteur (par exemple de l'ordre de quelques centaines de nanomètres chacune) sont pourtant des structures d'intérêt pour certaines applications, notamment en photonique.

En outre, l'efficacité du collage lors du second procédé Smart Cut™ est conditionnée par la qualité de la surface du SOI servant de substrat receveur. Des traitements de surface, comme par exemple des traitements thermiques, peuvent être mis en œuvre préalablement au collage du second substrat donneur afin de, notamment, diminuer la rugosité de la surface du SOI servant de substrat receveur. Toutefois, à l'issue de tels traitements thermiques, une déformation de la plaque formée par le premier SOI et/ou par le double SOI peut être

constatée. Les plaques sont d'autant plus sensibles à la déformation qu'elles présentent un diamètre important, notamment un diamètre de 300 mm dans les applications privilégiées. Les équipements industriels pour la fabrication et le traitement des plaques semi-conductrices sont conçus pour manipuler des plaques planes. Par ailleurs, l'utilisation d'une plaque déformée en tant que substrat receveur pour le second collage avec le second substrat donneur peut conduire à la formation de défauts lors de ce second collage, et donc à une mauvaise qualité de collage.

BREVE DESCRIPTION DE L'INVENTION

Un but de l'invention est de réaliser des structures multicouches de type double semi-conducteur sur isolant telles que les épaisseurs des couches semi-conductrices et des couches électriquement isolantes soient suffisantes pour certaines applications en photonique.

Un autre but de l'invention est de limiter la déformation de la plaque à l'issue de la mise en œuvre éventuelle de traitements thermiques, notamment de traitements de surface, au cours du procédé de fabrication de ladite structure multicouche de type double semi-conducteur sur isolant.

A cet effet, l'invention propose un procédé de fabrication d'une structure de type double semi-conducteur sur isolant comprenant successivement depuis une face arrière vers une face avant de la structure : un substrat support, une première couche électriquement isolante, une première couche semi-conductrice monocristalline, une seconde couche électriquement isolante et une seconde couche semi-conductrice monocristalline, le procédé étant caractérisé en ce qu'il comprend :

- une première étape de formation d'une couche d'oxyde sur les faces avant et arrière du substrat support pour former la première couche électriquement isolante sur la face avant du substrat support et une couche d'oxyde sur la face arrière du substrat support,

- une première étape de transfert de couche pour transférer la première couche semi-conductrice monocristalline d'un premier substrat donneur sur la première couche électriquement isolante, de sorte à former un premier substrat de type semi-conducteur sur isolant comprenant successivement de la face arrière vers la face avant dudit premier substrat semi-conducteur sur isolant ; la couche d'oxyde, le substrat support, la première couche électriquement isolante et la première couche semi-conductrice monocristalline,

- une seconde étape de formation d'une couche d'oxyde sur la face avant du premier substrat de type semi-conducteur sur isolant pour former la deuxième couche électriquement isolante et épaissir la couche d'oxyde,

- une seconde étape de transfert de couche pour transférer la seconde couche semi-conductrice monocristalline d'un second substrat donneur sur la deuxième couche électriquement isolante, de sorte à former le substrat de type double semi-conducteur sur isolant,

5 la couche d'oxyde contribuant à la préservation de la planéité du substrat support pendant la première et la seconde étape de transfert.

Les différentes couches de la structure de type double SOI ayant des coefficients de dilatation thermiques différents, une telle structure peut être sujette à des déformations. De
10 telles déformations surviennent notamment à l'issue des différents traitements thermiques qui peuvent être appliqués à la structure, lors du refroidissement de ladite structure. La formation d'une couche d'oxyde sur la face arrière de la structure de type double SOI conforme à l'invention permet avantageusement d'atteindre un équilibre structurel de sorte que les effets de dilatation thermique se compensent sur l'ensemble de la structure limitant ainsi fortement
15 sa déformation.

Selon d'autres caractéristiques optionnelles de l'invention prises seules ou en combinaison lorsque cela est techniquement possible :

- l'épaisseur de la première couche électriquement isolante est comprise entre 100 nm et 3000
20 nm,
- dans la structure finale de type double semi-conducteur sur isolant obtenue, l'épaisseur de la première couche semi-conductrice monocristalline est comprise entre 50 nm et 500 nm,
- dans la structure finale de type double semi-conducteur sur isolant obtenue, l'épaisseur de la deuxième couche électriquement isolante est comprise entre 100 nm et 1100 nm,
- 25 - dans la structure finale de type double semi-conducteur sur isolant obtenue, l'épaisseur de la deuxième couche semi-conductrice monocristalline est comprise entre 50 nm et 500nm,
- l'étape de transfert de la première couche semi-conductrice monocristalline d'un premier substrat donneur sur la première couche électriquement isolante est mise en œuvre selon un procédé comprenant successivement l'implantation d'espèces atomiques afin de créer une
30 zone de fragilisation au sein du premier substrat donneur délimitant la première couche semi-conductrice monocristalline, le collage de la face du premier substrat donneur de la première couche semi-conductrice monocristalline ayant subi l'implantation sur la première couche électriquement isolante et la fracture du premier substrat donneur au niveau de la zone de fragilisation,
- 35 - on utilise le reliquat du premier substrat donneur résultant de la fracture pour former le second substrat donneur,
- le procédé de transfert de la première couche semi-conductrice monocristalline d'un premier substrat donneur sur la première couche électriquement isolante comprend en outre

l'oxydation de la surface du premier substrat donneur préalablement à l'implantation d'espèces atomiques au sein dudit premier substrat donneur, formant ainsi une première couche d'oxyde protectrice de sorte que les espèces atomiques sont implantées à travers ladite première couche d'oxyde protectrice,

- 5 - la première couche d'oxyde protectrice formée à la surface du premier substrat donneur est retirée après l'implantation des espèces atomiques et préalablement au collage du premier substrat donneur sur la première couche électriquement isolante,
- l'étape de transfert de la deuxième couche semi-conductrice monocristalline d'un second substrat donneur sur la deuxième couche électriquement isolante est mise en œuvre selon un
- 10 procédé comprenant successivement l'implantation d'espèces atomiques afin de créer une zone de fragilisation au sein du second substrat donneur délimitant la deuxième couche semi-conductrice monocristalline, le collage de la face dudit second substrat donneur de la deuxième couche semi-conductrice monocristalline ayant subi l'implantation sur la deuxième couche électriquement isolante et la fracture du second substrat donneur au niveau de la zone
- 15 de fragilisation,
- le procédé de transfert de la deuxième couche semi-conductrice monocristalline d'un second substrat donneur sur la deuxième couche électriquement isolante comprend en outre l'oxydation de la surface du second substrat donneur préalablement à l'implantation d'espèces atomiques au sein dudit second substrat donneur, formant ainsi une seconde couche d'oxyde
- 20 protectrice de sorte que les espèces atomiques sont implantées à travers ladite seconde couche d'oxyde protectrice.
- la seconde couche d'oxyde protectrice formée à la surface du second substrat donneur est retirée après l'implantation des espèces atomiques et préalablement au collage du second substrat donneur sur la deuxième couche électriquement isolante,
- 25 - le procédé comprend en outre une étape de mise en œuvre d'un procédé de traitement de la surface du premier substrat de type semi-conducteur sur isolant simple préalablement à la seconde étape de formation d'une couche d'oxyde sur la surface de ce premier substrat de type semi-conducteur sur isolant simple, le procédé de traitement de la surface étant caractérisé par :
- 30
 - une première étape de recuit thermique rapide,
 - une deuxième étape d'oxydation thermique suivie d'une désoxydation,
 - une troisième étape de traitement thermique de longue durée ou une troisième étape de recuit thermique rapide, le traitement thermique de longue durée et le recuit thermique rapide étant mené à une température supérieure à 1000 °C dans une atmosphère non
 - 35 oxydante,
 - une quatrième étape de polissage mécano-chimique.
- le substrat support et chaque substrat donneur se présentent sous la forme d'une plaque de 300 mm de diamètre.

BREVE DESCRIPTION DES FIGURES

D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée qui va suivre, en référence aux dessins annexés, sur lesquels :

- la figure 1 représente une vue en coupe d'un substrat support ;

- la figure 2 représente une vue en coupe du substrat support après une première étape d'oxydation des faces avant et arrière du substrat support ;

- la figure 3 représente une vue en coupe d'un premier transfert de couche par un premier substrat donneur sur la face avant du substrat support ;

- la figure 4 représente une vue en coupe de la structure intermédiaire obtenue après collage du premier substrat donneur ;

- la figure 5 représente une vue en coupe de la structure intermédiaire de type semi-conducteur sur isolant obtenue suite au premier transfert de couche ;

- la figure 6 représente une vue en coupe de la structure intermédiaire obtenue après une deuxième étape d'oxydation sur les faces avant et arrière du substrat de type semi-conducteur sur isolant de la figure 5 ;

- la figure 7 représente une vue en coupe d'un deuxième transfert de couche par un deuxième substrat donneur sur la face avant de la structure intermédiaire de la figure 6 ;

- la figure 8 représente une vue en coupe de la structure obtenue après collage du deuxième substrat donneur ;

- la figure 9 représente la structure finale de type double semi-conducteur sur isolant obtenue suite au deuxième transfert de couche.

Pour des raisons de lisibilité, les dessins ne sont pas nécessairement réalisés à l'échelle.

DESCRIPTION DETAILLEE DE MODES DE REALISATION

L'invention propose un procédé de fabrication d'une structure de type double substrat semi-conducteur sur isolant comportant, de la face arrière vers la face avant, un substrat support, une première couche d'oxyde enterrée correspondant à une première couche électriquement isolante, une première couche semi-conductrice monocristalline, une deuxième couche d'oxyde enterrée correspondant à une deuxième couche électriquement isolante et une deuxième couche semi-conductrice monocristalline.

La première couche électriquement isolante et la première couche semi-conductrice monocristalline forment ensemble une première structure de type semi-conducteur sur isolant appelée structure SOI inférieure. La deuxième couche électriquement isolante et la deuxième couche semi-conductrice monocristalline forment ensemble une deuxième structure de type semi-conducteur sur isolant appelée structure SOI supérieure. En outre, le substrat support

comporte avantageusement, sur sa face arrière, une couche d'oxyde permettant de limiter la déformation du support lors de la mise en œuvre du procédé qui fait l'objet de l'invention.

La somme des épaisseurs des couches qui constituent la structure de type double substrat semi-conducteur sur isolant obtenue par le procédé qui fait l'objet de l'invention est élevée. En particulier :

- l'épaisseur de la première couche électriquement isolante est de préférence supérieure à 100 nm,
- l'épaisseur de la première couche semi-conductrice monocristalline est de préférence supérieure à 50 nm et inférieure à 500 nm,
- l'épaisseur de la deuxième couche électriquement isolante est de préférence supérieure à 100nm et inférieure à 1100nm,
- l'épaisseur de la deuxième couche semi-conductrice monocristalline est de préférence supérieure à 50 nm et inférieure 500 nm ,

Dans le cadre d'une application en photonique par exemple, de telles épaisseurs de couches permettent de réaliser des composants photoniques passifs (tel qu'un guide d'onde) ou actifs (tels qu'un résonateur).

De telles épaisseurs ne sont pas atteignables par le procédé Smart Cut™ classique, dans lequel la couche semi-conductrice monocristalline est délimitée par implantation d'espèces atomiques dans un substrat donneur recouvert d'une couche d'oxyde destinée à former la couche électriquement isolante dans la structure SOI. En effet, les dispositifs d'implantation industriels ont une énergie maximale ne permettant pas aux atomes d'hydrogène et/ou d'hélium de traverser une épaisseur aussi importante de la couche d'oxyde et de la couche semi-conductrice monocristalline.

Première étape d'oxydation

En référence à la **figure 1**, on fournit initialement un substrat support 1. Le substrat support 1 se présente sous la forme d'une plaque d'un matériau semi-conducteur, préférentiellement une plaque de 300 mm de diamètre et de 775 µm d'épaisseur. Le substrat support 1 est par exemple une plaque de silicium, préférentiellement une plaque de silicium ayant une haute résistivité avec un fort taux d'oxygène interstitiel O_i communément appelée « substrat HR » ou substrat « high O_i » selon la terminologie anglo-saxonne.

Dans une première étape représentée sur la **figure 2**, on oxyde les faces avant et arrière du substrat 1, ainsi que les bords dudit substrat 1.

Lors de l'oxydation du côté de la face avant, le substrat support 1 est partiellement consommé pour former la première couche d'oxyde électriquement isolante 1b. À titre d'exemple, si le substrat support est un substrat de silicium, la première couche d'oxyde électriquement isolante 1b est donc une couche d'oxyde de silicium. Les conditions d'oxydation sont contrôlées pour obtenir la première couche d'oxyde électriquement isolante 1b ayant l'épaisseur souhaitée.

Une telle opération d'oxydation peut par exemple être menée en chauffant le substrat support 1 à une température comprise entre 800°C et 1100°C sous atmosphère oxydante pendant quelques minutes à plusieurs heures pour obtenir une épaisseur élevée de la première couche d'oxyde électriquement isolante 1b comprise entre 100nm et 3000 nm.

L'oxydation simultanée de la face arrière conduit avantageusement à la formation d'une couche d'oxyde 1a sur la face arrière du support, qui présente sensiblement la même épaisseur que la couche d'oxyde 1b formée sur la face avant. La couche d'oxyde 1a présente un coefficient de dilatation thermique inférieur à celui du substrat support 1 non oxydé. Dans la suite du procédé, en particulier à l'issue de la mise en œuvre de traitements thermiques, la présence de la couche d'oxyde 1a sur la face arrière du substrat support 1 permet de limiter la déformation dudit substrat support 1 et améliore ainsi la qualité du collage ultérieur des nouvelles couches sur la face avant de la structure.

L'épaisseur de la couche d'oxyde 1a obtenue dans les conditions d'oxydation décrites ci-dessus est identique à l'épaisseur de la première couche électriquement isolante 1b. Au cours des éventuels traitements thermiques ultérieurs et des périodes de refroidissement qui suivent lesdits traitements, une telle épaisseur de la couche d'oxyde 1a permet d'équilibrer les effets de dilatation thermique subis par l'ensemble de la structure et donc d'éviter la déformation de ladite structure.

Première étape de transfert de couche

En référence à la **figure 3**, on fournit un premier substrat donneur d'une première couche semi-conductrice monocristalline 2. Le premier substrat donneur est un substrat semi-conducteur monocristallin, par exemple un substrat de silicium monocristallin. Le premier substrat donneur se présente sous la forme d'une plaque de même diamètre que le substrat support 1 et d'épaisseur entre 670 µm et 775 µm.

Selon un mode de réalisation, un premier transfert de couche est mis en œuvre selon le procédé Smart Cut™. On forme dans le premier substrat donneur une zone de fragilisation (traits pointillés sur la **figure 3**), de manière à délimiter la première couche semi-conductrice 2. La zone de fragilisation est formée dans le substrat donneur à une profondeur
5 prédéterminée qui correspond sensiblement à l'épaisseur de la couche semi-conductrice 2 à transférer. De préférence, la zone de fragilisation est créée par implantation d'ions d'hydrogène et/ou d'hélium dans le substrat donneur de couche semi-conductrice.

Puisque la première couche électriquement isolante 1b a été formée à partir du substrat
10 receveur constitué par le substrat support 1, et non à partir du premier substrat donneur, l'épaisseur de la première couche semi-conductrice 2 transférée n'est limitée que par l'énergie maximale du dispositif d'implantation qui est de l'ordre de 100 keV. Une telle énergie maximale d'implantation correspond à une épaisseur maximale de la première couche semi-conductrice 2 transférée de l'ordre de 600nm selon les espèces implantées. L'invention permet donc de
15 transférer une première couche semi-conductrice 2 d'épaisseur élevée tout en ayant une première couche électriquement isolante 1b ayant également une épaisseur élevée.

En référence à la **figure 4**, on transfère ensuite la première couche semi-conductrice 2 en collant la face du premier substrat donneur ayant subi l'implantation sur la première couche
20 d'oxyde électriquement isolante 1b et en détachant le reliquat du substrat donneur le long de la zone de fragilisation (voir **figure 5**). Le détachement le long de la zone de fragilisation peut être déclenché par une action mécanique et/ou un apport d'énergie thermique. Au cours de la première étape de transfert de couche, au moins une partie de la couche d'oxyde sur la face arrière du substrat support est conservée, de sorte à limiter les problèmes liés à la déformation
25 de la plaque.

Préalablement à l'implantation d'espèces atomiques au sein dudit premier substrat donneur, on peut optionnellement oxyder la surface du premier substrat donneur sur une très faible épaisseur, par exemple sur une épaisseur comprise entre 20 et 30 nm. En effet,
30 l'implantation des espèces atomiques au sein du premier substrat donneur est meilleure si elle est faite à travers ladite très fine couche d'oxyde, qui est une phase amorphe, plutôt que directement au sein du matériau monocristallin. En outre, la très fine couche d'oxyde constitue une protection de la première couche semi-conductrice 2 lors de l'implantation atomique. Dans ce cas, la très fine couche d'oxyde à la surface du premier substrat donneur est retirée après
35 l'implantation des espèces atomiques et avant le collage du premier substrat donneur sur la première couche électriquement isolante 1b.

L'oxydation de la surface du premier substrat donneur sur une très faible épaisseur peut être réalisée à une température comprise entre 800°C et 1000. °C pendant quelques minutes à quelques dizaines de minutes sous atmosphère oxydante.

5 De manière alternative au procédé Smart Cut™ décrit ci-dessus, le premier transfert de couche peut être réalisé en amincissant le substrat donneur par sa face opposée à la face collée sur le substrat support, jusqu'à l'obtention de l'épaisseur souhaitée pour la première couche semi-conductrice.

10 Suite au premier transfert de couche, en référence à la **figure 5**, on obtient un premier substrat de type semi-conducteur sur isolant comprenant la première couche électriquement isolante 1b et la première couche semi-conductrice monocristalline 2. Ledit substrat de type semi-conducteur sur isolant, présente une rugosité de surface qui dépend du procédé utilisé par le transfert de couche. Afin de permettre une bonne qualité de collage et limiter la formation
15 de trous lors du collage du second substrat donneur de couche décrit ci-après, on peut appliquer différents traitements de la surface libre de la première couche semi-conductrice monocristalline 2 pour diminuer la rugosité et la défektivité de ladite surface, par exemple un traitement thermique de lissage, une oxydation sacrificielle et/ou un nettoyage. Ce traitement de surface permet d'améliorer la qualité du collage ultérieur avec le second substrat donneur
20 lors de la deuxième étape de transfert de couche.

A l'issue des traitements thermiques et lorsque la structure revient à l'équilibre thermique (par exemple la température ambiante), l'existence de la couche d'oxyde 1a (ayant une épaisseur prédéfinie) permet de préserver un équilibre structurel, la planéité du substrat et de
25 ce fait la qualité du collage du second substrat donneur.

Deuxième étape d'oxydation

On oxyde ensuite les faces avant et arrière du premier substrat de type semi-conducteur sur isolant, comme visible sur la **figure 6**.
30

L'oxydation sur la face avant conduit à une consommation partielle de la première couche semi-conductrice monocristalline 2, donc à une diminution de l'épaisseur de ladite couche semi-conductrice monocristalline 2 préalablement transférée, et à la formation de la
35 deuxième couche électriquement isolante 2b. A titre d'exemple, si le premier substrat donneur est un substrat de silicium, la deuxième couche d'oxyde électriquement isolante 2b est donc une couche d'oxyde de silicium.

L'oxydation sur la face arrière conduit à une augmentation de l'épaisseur de la couche initiale d'oxyde 1a.

La deuxième étape d'oxydation peut par exemple être menée en effectuant un recuit de la structure de type semi-conducteur sur isolant obtenue suite au premier transfert de couche à une température comprise entre 800°C et 1100°C sous atmosphère oxydante pendant quelques minutes à quelques heures pour obtenir une épaisseur de la deuxième couche d'oxyde électriquement isolante 2b comprise entre 100 nm et 1100 nm.

L'épaisseur de la première couche semi-conductrice 2 dans la structure finale est essentiellement l'épaisseur de la première couche semi-conductrice 2 transférée moins l'épaisseur de la couche semi-conductrice 2 consommée pour former la deuxième couche électriquement isolante 2b. L'épaisseur maximale de la première couche semi-conductrice 2 au moment du transfert est limitée seulement par le procédé d'implantation, elle est généralement inférieure à 2µm, et préférentiellement d'environ 600 nm. L'épaisseur de la première couche semi-conductrice 2 dans la structure finale peut donc être préférentiellement comprise entre 50 nm et 1 µm, et encore plus préférentiellement entre 50 et 500 nm.

A titre d'exemple, si l'épaisseur de la première couche semi-conductrice 2 transférée est de 600 nm, les traitements de surface pour améliorer la qualité de surface de ladite première couche semi-conductrice 2 consomment le matériau semi-conducteur sur environ 100 nm d'épaisseur. La deuxième étape d'oxydation peut alors consommer une épaisseur de 450 nm de matériau semi-conducteur pour laisser une première couche semi-conductrice 2 d'une épaisseur de 50 nm et former une deuxième couche électriquement isolante 2b de l'ordre de 1000 nm d'épaisseur.

Préalablement au deuxième transfert de couche, on peut avantageusement mettre en œuvre un nettoyage et/ou un polissage mécano-chimique de la surface libre de la deuxième couche électriquement isolante 2b.

Deuxième étape de transfert de couche

Par ailleurs, en référence à la **figure 7**, on fournit un second substrat donneur d'une deuxième couche semi-conductrice monocristalline 3. Tout comme le premier substrat donneur, le second substrat donneur est un substrat semi-conducteur monocristallin, par exemple un substrat de silicium monocristallin. Le second substrat donneur se présente sous la forme d'une plaque de même diamètre que le substrat support 1 et le premier substrat donneur. Eventuellement, on peut recycler le reliquat du premier substrat donneur pour former

le second substrat donneur. A cet effet, on traite le reliquat du premier substrat donneur pour retirer les défauts liés à l'implantation et au détachement, et pour lui donner un état de surface compatible avec un nouveau collage.

5 Selon un mode de réalisation, on fait le second transfert de couche selon le procédé Smart Cut™. On forme dans ce deuxième substrat donneur une zone de fragilisation délimitant la deuxième couche semi-conductrice monocristalline 3 (voir traits pointillés sur la **figure 7**). La zone de fragilisation peut être formée de la même manière que pour délimiter la première couche semi-conductrice monocristalline 2 au sein du premier substrat donneur. En référence
10 à la **figure 8**, on transfère ensuite la deuxième couche semi-conductrice monocristalline 3 en collant la face du second substrat donneur ayant subi l'implantation sur la deuxième couche électriquement isolante 2b. En référence à la **figure 9**, on élimine le reliquat du second substrat donneur en le fracturant le long de la zone de fragilisation.

15 Préalablement à la formation de la zone de fragilisation au sein dudit second substrat donneur, on peut optionnellement oxyder la surface du second substrat donneur sur une très faible épaisseur, par exemple sur une épaisseur comprise entre 20 et 30 nm. La très fine couche d'oxyde à la surface du second substrat donneur est préférentiellement retirée après
20 la formation de la zone de fragilisation et avant le collage du second substrat donneur sur la deuxième couche électriquement isolante 2b.

 Tout comme pour le premier substrat donneur, l'oxydation de la surface du second substrat donneur sur une très faible épaisseur peut être réalisée à une température comprise entre 800 °C et 1000 °C pendant quelques minutes à quelques dizaines de minutes sous
25 atmosphère oxydante.

 De manière alternative, le second transfert de couche peut être réalisé en amincissant le second substrat donneur par sa face opposée à la face collée sur la deuxième couche électriquement isolante 2b jusqu'à l'obtention de l'épaisseur souhaitée pour la deuxième
30 couche semi-conductrice 3.

 Au cours de la deuxième étape de transfert de couche, au moins une partie de la couche d'oxyde sur la face arrière du substrat support est conservée, de sorte à limiter les problèmes liés à la déformation de la plaque.

35

 Suite au second transfert de couche, on obtient une deuxième structure de type semi-conducteur sur isolant, comprenant la deuxième couche électriquement isolante 2b et la deuxième couche semi-conductrice monocristalline 3, qui constitue la structure supérieure de

type semi-conducteur sur isolant de la structure finale de type double semi-conducteur sur isolant (voir **figure 9**).

Puisque la deuxième couche électriquement isolante 2b a été formée à partir d'un deuxième substrat receveur constitué par le premier substrat de type semi-conducteur sur isolant oxydé sur sa face avant, et non à partir du second substrat donneur, l'épaisseur de la deuxième couche semi-conductrice 3 transférée n'est limitée que par l'énergie maximale du procédé d'implantation. Une telle énergie maximale d'implantation correspond à une épaisseur de la deuxième couche semi-conductrice 3 de l'ordre de 600nm selon les espèces implantées . L'invention permet donc également d'obtenir une deuxième couche semi-conductrice 3 d'épaisseur élevée tout en ayant une deuxième couche électriquement isolante 2b ayant également une épaisseur élevée.

Optionnellement, on peut mettre en œuvre différents traitements de la surface libre de la deuxième couche semi-conductrice 3, par exemple pour parfaire l'épaisseur de ladite couche ou pour améliorer la qualité de ladite surface libre en vue d'éventuelles fonctionnalisations ultérieures. Dans le cas de traitements thermiques, la couche d'oxyde 1a sur la face arrière du substrat support 1 limite avantageusement la déformation de la structure de type double semi-conducteur sur isolant.

Traitements de surface optionnels

De manière optionnelle, on peut procéder à un traitement de la surface libre de la première couche semi-conductrice 2 avant l'étape d'oxydation conduisant à la formation de la deuxième couche électriquement isolante 2b afin d'en réduire la rugosité et la défektivité. La diminution de la rugosité et de la défektivité de la surface de la première couche semi-conductrice 2 permet de générer une deuxième couche électriquement isolante 2b dont la surface présente également des caractéristiques compatibles avec un collage ultérieur de bonne qualité, notamment une faible rugosité et une faible défektivité. Alternativement ou additionnellement, on peut procéder à un traitement de la surface libre de la deuxième couche électriquement isolante 2b avant le second transfert de couche, par exemple un polissage mécano-chimique et/ou un nettoyage. Ces traitements de surface améliorent le collage de la deuxième couche semi-conductrice monocristalline 3 en limitant notamment la formation de trou et d'autres défauts.

Le traitement de la surface libre de la première couche semi-conductrice 2 avant la deuxième étape d'oxydation, et/ou de la deuxième couche électriquement isolante 2b avant la deuxième étape de transfert de couche, peut lui-même impliquer la mise en œuvre d'un

procédé en plusieurs étapes. Un exemple de procédé utilisé préférentiellement pour le traitement de la surface libre de la première couche semi-conductrice monocristalline 2 (avant la formation de la couche d'oxyde 2b) comprend les étapes successives suivantes :

- (E1) un recuit thermique rapide,
- (E2) une séquence d'oxydation / désoxydation,
- (E3) un recuit thermique de longue durée, connu par l'homme du métier sous sa dénomination anglaise « batch anneal »,
- (E4) un polissage mécano-chimique.

Alternativement, l'étape (E3) de recuit thermique de longue durée est remplacée par une étape (E3') de recuit thermique rapide. Alternativement encore, les étapes (E1), (E2) et (E3/E3') dudit procédé sont mises en œuvre sur la surface libre de la première couche semi-conductrice monocristalline 2 et l'étape (E4) peut être mise en œuvre avant et après la deuxième étape d'oxydation (pour former la couche d'oxyde 2b), respectivement sur la surface de la première couche semi-conductrice monocristalline 2 et sur la surface de la deuxième couche électriquement isolante 2b.

Par « recuit thermique rapide », on entend un recuit pendant une durée de quelques secondes ou quelques dizaines de secondes, sous atmosphère contrôlée. Un tel recuit est communément désigné par l'appellation de recuit RTA pour « Rapid Thermal Annealing » en anglais. Le recuit thermique rapide (E1) est réalisé à une température comprise entre 1100°C et 1250°C pendant quelques secondes à une centaine de secondes. Le recuit thermique rapide (E1) est réalisé sous une atmosphère comprenant un mélange d'hydrogène et / ou d'argon.

L'étape (E2) d'oxydation / désoxydation doit être comprise comme une séquence comprenant la succession des opérations suivantes :

- une opération d'oxydation thermique (E2a),
- une opération de désoxydation (E2b).

L'opération d'oxydation (E2a) peut par exemple être menée en chauffant la structure à une température comprise entre 800°C et 1100°C pendant quelques minutes à quelques heures sous atmosphère oxydante. L'opération de désoxydation (E2b) peut par exemple être menée en exposant la face avant de la structure à une solution d'acide fluorhydrique (HF) pendant quelques secondes à quelques minutes pour retirer la couche d'oxyde formée sur la face avant, sans retirer la couche d'oxyde présente sur la face arrière de la structure. Cette étape d'oxydation / désoxydation permet d'ajuster l'épaisseur de la couche semi-conductrice en consommant une portion superficielle du silicium par l'oxydation.

Le recuit thermique de longue durée, dit « batch anneal » en anglais, correspond à un recuit thermique d'une durée de l'ordre de de quelques minutes à quelques heures, généralement supérieure à 15 min, avantageusement réalisé dans un four à atmosphère contrôlée. Le recuit en four (E3) est réalisé à une température comprise entre 1050°C et 1250°C. En outre, le recuit en four (E3) est par exemple mené sous atmosphère inerte, par exemple sous argon.

Au cours du polissage mécano-chimique, ou CMP selon l'acronyme de l'expression anglaise « Chemical-Mechanical Polishing », on modifie la surface à polir à l'aide d'un agent chimique, par exemple une suspension de particules de silice colloïdale dans une base liquide, et on enlève par abrasion mécanique la surface modifiée. La vitesse de rotation et la pression utilisées lors de l'étape (E4) de CMP sont optimisées de sorte à retirer de manière uniforme de la matière en surface de la première couche semi-conductrice 2 ou de la deuxième couche électriquement isolante 2b, sans pour autant dégrader l'état de ladite surface, notamment sans en augmenter la rugosité.

Alternativement, le recuit thermique rapide (E3') est réalisé à une température comprise entre 1100°C et 1250°C pendant quelques secondes à une centaine de secondes, par exemple sous une atmosphère comprenant un mélange d'hydrogène et/ou argon.

De manière optionnelle, on peut également procéder à un traitement de la surface libre de la deuxième couche semi-conductrice 3 ou une fonctionnalisation en fonction de l'application visée.

Lors de ces différentes étapes de traitement de surface, en particulier lors des étapes de traitement thermique, la couche d'oxyde 1a limite très avantageusement la déformation de la plaque.

REVENDEICATIONS

1. Procédé de fabrication d'une structure de type double semi-conducteur sur isolant comprenant successivement depuis une face arrière vers une face avant de la structure : un substrat support (1), une première couche électriquement isolante (1b), une première couche semi-conductrice monocristalline (2), une seconde couche électriquement isolante (2b) et une seconde couche semi-conductrice monocristalline (3), le procédé étant caractérisé en ce qu'il comprend :

- une première étape de formation d'une couche d'oxyde sur les faces avant et arrière du substrat support (1) pour former la première couche électriquement isolante (1b) sur la face avant du substrat support et une couche d'oxyde (1a) sur la face arrière du substrat support,
- une première étape de transfert de couche pour transférer la première couche semi-conductrice monocristalline (2) d'un premier substrat donneur sur la première couche électriquement isolante (1b), de sorte à former un premier substrat de type semi-conducteur sur isolant, comprenant successivement de la face arrière vers la face avant dudit premier substrat semi-conducteur sur isolant ; la couche d'oxyde (1a), le substrat support (1), la première couche électriquement isolante (1b) et la première couche semi-conductrice monocristalline (2),
- une seconde étape de formation d'une couche d'oxyde sur la face avant du premier substrat de type semi-conducteur sur isolant pour former la deuxième couche électriquement isolante (2b) et épaissir la couche d'oxyde (1a),
- une seconde étape de transfert de couche pour transférer la seconde couche semi-conductrice monocristalline (3) d'un second substrat donneur sur la deuxième couche électriquement isolante (2b), de sorte à former le substrat de type double semi-conducteur sur isolant, la couche d'oxyde (1a) contribuant à la préservation de la planéité du substrat support pendant la première et la seconde étape de transfert.

2. Procédé selon la revendication 1 dans lequel l'épaisseur de la première couche électriquement isolante (1b) est comprise entre 100 nm et 3000 nm.

3. Procédé selon l'une quelconque des revendications 1 ou 2 tel que dans la structure finale de type double semi-conducteur sur isolant obtenue, l'épaisseur de la première couche semi-conductrice monocristalline (2) est comprise entre 50 nm et 500 nm.

4. Procédé selon l'une quelconque des revendications 1 à 3 tel que dans la structure finale de type double semi-conducteur sur isolant obtenue, l'épaisseur de la deuxième couche électriquement isolante (2b) est comprise entre 100 nm et 1100 nm.

5. Procédé selon l'une quelconque des revendications 1 à 4 tel que, dans la structure finale de type double semi-conducteur sur isolant obtenue, l'épaisseur de la deuxième couche semi-conductrice monocristalline (3) est comprise entre 50 nm et 500nm.

6. Procédé selon l'une quelconque des revendications 1 à 5 dans lequel l'étape de transfert de la première couche semi-conductrice monocristalline (2) d'un premier substrat donneur sur la première couche électriquement isolante (1b) est mise en œuvre selon un procédé comprenant successivement l'implantation d'espèces atomiques afin de créer une zone de fragilisation au sein du premier substrat donneur délimitant la première couche semi-conductrice monocristalline (2), le collage de la face du premier substrat donneur de la première couche semi-conductrice monocristalline (2) ayant subi l'implantation sur la première couche électriquement isolante (1b) et la fracture du premier substrat donneur au niveau de la zone de fragilisation.

7. Procédé selon la revendication 6 dans lequel on utilise le reliquat du premier substrat donneur résultant de la fracture pour former le second substrat donneur.

8. Procédé selon l'une quelconque des revendications 6 ou 7 dans lequel le procédé de transfert de la première couche semi-conductrice monocristalline (2) d'un premier substrat donneur sur la première couche électriquement isolante (1b) comprend en outre l'oxydation de la surface du premier substrat donneur préalablement à l'implantation d'espèces atomiques au sein dudit premier substrat donneur, formant ainsi une première couche d'oxyde protectrice de sorte que les espèces atomiques sont implantées à travers ladite première couche d'oxyde protectrice.

9. Procédé selon la revendication 8 dans lequel la première couche d'oxyde protectrice formée à la surface du premier substrat donneur est retirée après l'implantation des espèces atomiques et préalablement au collage du premier substrat donneur sur la première couche électriquement isolante (1b).

10. Procédé selon l'une quelconque des revendications 1 à 9 dans lequel l'étape de transfert de la deuxième couche semi-conductrice monocristalline (3) d'un second substrat donneur sur la deuxième couche électriquement isolante (2b) est mise en œuvre selon un procédé comprenant successivement l'implantation d'espèces atomiques afin de créer une

zone de fragilisation au sein du second substrat donneur délimitant la deuxième couche semi-conductrice monocristalline (3), le collage de la face dudit second substrat donneur de la deuxième couche semi-conductrice monocristalline (3) ayant subi l'implantation sur la deuxième couche électriquement isolante (2b) et la fracture du second substrat donneur au niveau de la zone de fragilisation.

11. Procédé selon la revendication 10 dans lequel le procédé de transfert de la deuxième couche semi-conductrice monocristalline (3) d'un second substrat donneur sur la deuxième couche électriquement isolante (2b) comprend en outre l'oxydation de la surface du second substrat donneur préalablement à l'implantation d'espèces atomiques au sein dudit second substrat donneur, formant ainsi une seconde couche d'oxyde protectrice de sorte que les espèces atomiques sont implantées à travers ladite seconde couche d'oxyde protectrice.

12. Procédé selon la revendication 11, dans lequel la seconde couche d'oxyde protectrice formée à la surface du second substrat donneur est retirée après l'implantation des espèces atomiques et préalablement au collage du second substrat donneur sur la deuxième couche électriquement isolante (2b).

13. Procédé selon l'une quelconque des revendications 1 à 12, comprenant en outre une étape de mise en œuvre d'un procédé de traitement de la surface du premier substrat de type semi-conducteur sur isolant simple préalablement à la seconde étape de formation d'une couche d'oxyde sur la surface de ce premier substrat de type semi-conducteur sur isolant simple, le procédé de traitement de la surface étant caractérisé par :

- une première étape de recuit thermique rapide,
- une deuxième étape d'oxydation thermique suivie d'une désoxydation,
- une troisième étape de traitement thermique de longue durée ou une troisième étape de recuit thermique rapide, le traitement thermique de longue durée et le recuit thermique rapide étant mené à une température supérieure à 1000 °C dans une atmosphère non oxydante,
- une quatrième étape de polissage mécano-chimique.

14. Procédé selon l'une des revendications 1 à 13, dans lequel le substrat support et chaque substrat donneur se présentent sous la forme d'une plaque de 300 mm de diamètre.



FIGURE 1

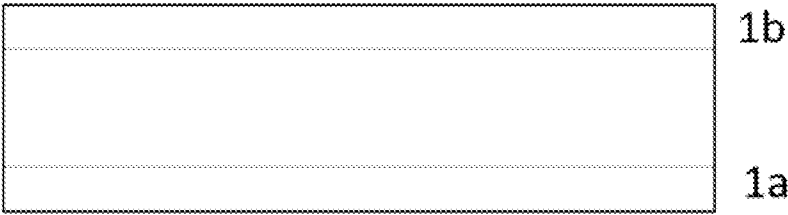


FIGURE 2

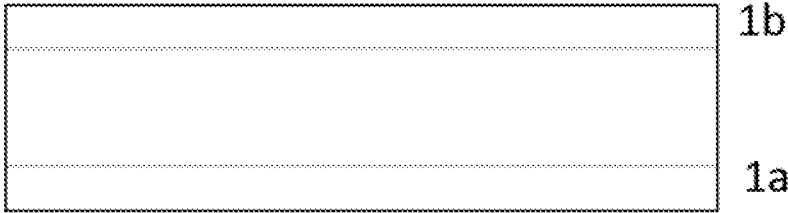
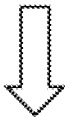
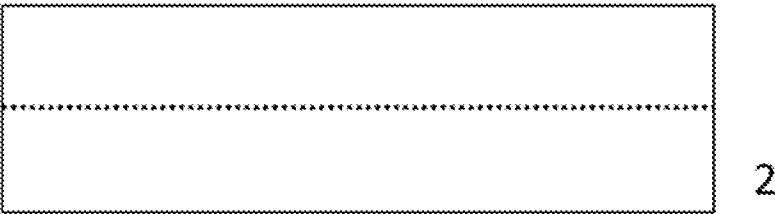


FIGURE 3

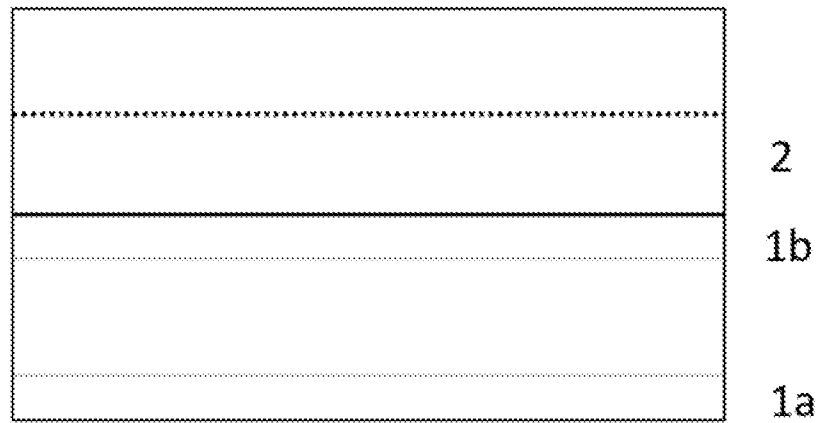


FIGURE 4

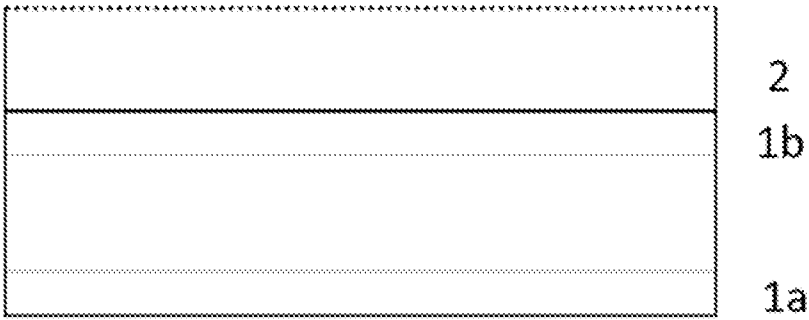


FIGURE 5



FIGURE 6

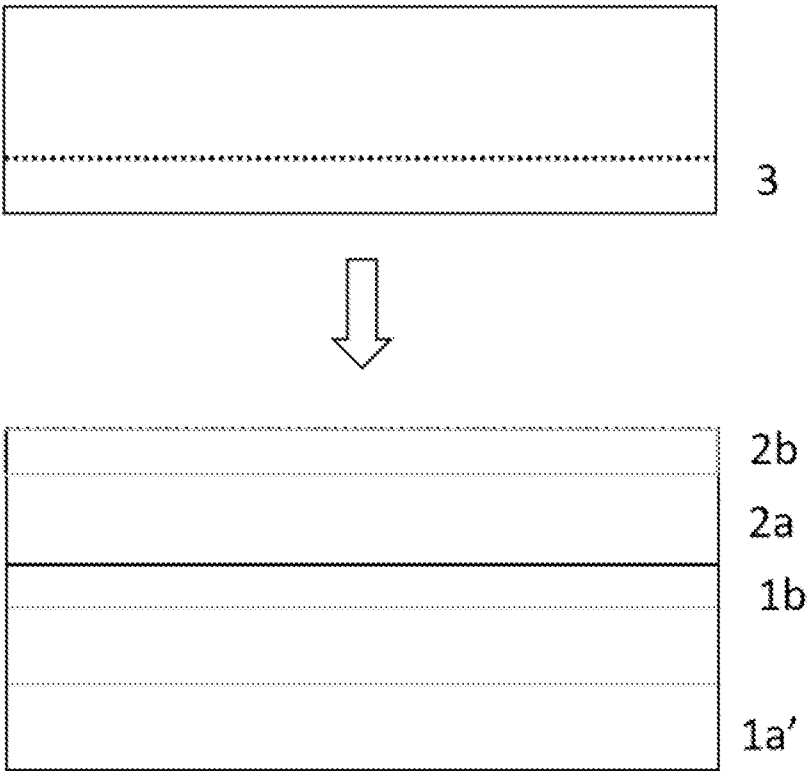


FIGURE 7

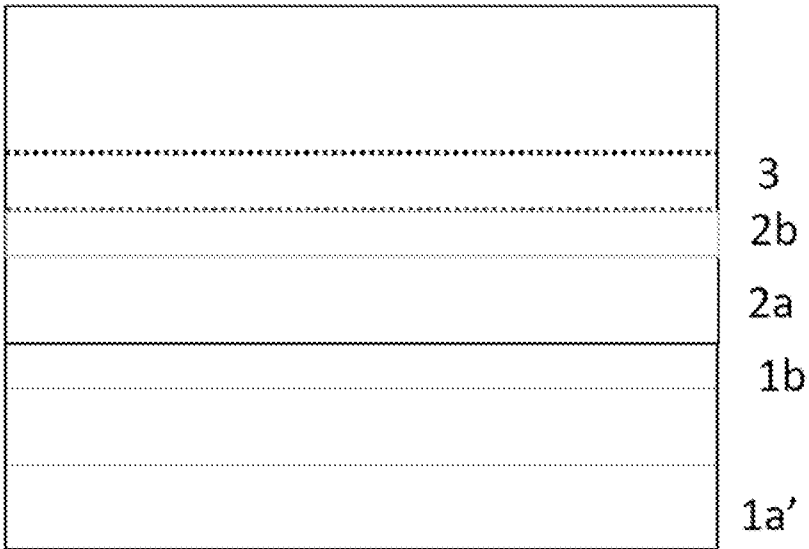


FIGURE 8

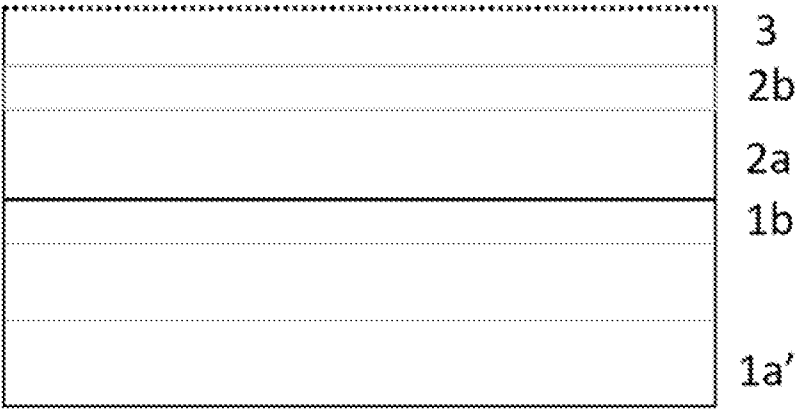


FIGURE 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/FR2023/050115

A. CLASSIFICATION OF SUBJECT MATTER**H01L 21/762**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2002182827 A1 (ABE TAKAO [JP] ET AL) 05 December 2002 (2002-12-05) paragraphs [0009] - [0015]; figures 4,5	1-14
A	MALEVILLE C ET AL. "MULTIPLE SOI LAYERS BY MULTIPLE SMART-CUT TRANSFERS" 2000 IEEE INTERNATIONAL SOI CONFERENCE PROCEEDINGS. WAKEFIELD, MA, OCT. 2 - 5, 2000; [IEEE INTERNATIONAL SOI CONFERENCE], NEW YORK, NY : IEEE, US, 02 October 2000 (2000-10-02), page 134/135 ISBN: 978-0-7803-6390-8. XP001003462 page 134; figure 2	1-14
A	US 7160753 B2 (VOXTEL INC [US]) 09 January 2007 (2007-01-09) figures 4A-4O	1-14
A	US 2001016401 A1 (MITANI KIYOSHI [JP] ET AL) 23 August 2001 (2001-08-23) paragraph [0056]; figures 1,3	1-14
A	US 2012223419 A1 (KERDILES SEBASTIEN [FR] ET AL) 06 September 2012 (2012-09-06) paragraph [0014]; claims; figures 1-5J	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

18 April 2023

Date of mailing of the international search report

26 April 2023

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Ott, André

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/FR2023/050115

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2002182827	A1	05 December 2002	EP	1174926	A1	23 January 2002
				JP	3975634	B2	12 September 2007
				JP	2001210810	A	03 August 2001
				US	2002182827	A1	05 December 2002
				WO	0156085	A1	02 August 2001
US	7160753	B2	09 January 2007	NONE			
US	2001016401	A1	23 August 2001	DE	69931221	T2	01 March 2007
				EP	0977255	A2	02 February 2000
				JP	3395661	B2	14 April 2003
				JP	2000030996	A	28 January 2000
				KR	20000011407	A	25 February 2000
				US	6245645	B1	12 June 2001
				US	2001016401	A1	23 August 2001
US	2012223419	A1	06 September 2012	CN	102598243	A	18 July 2012
				EP	2494593	A1	05 September 2012
				FR	2952224	A1	06 May 2011
				JP	2013509697	A	14 March 2013
				KR	20120069753	A	28 June 2012
				TW	201123282	A	01 July 2011
				US	2012223419	A1	06 September 2012
				WO	2011051078	A1	05 May 2011

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L21/762 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 2002/182827 A1 (ABE TAKAO [JP] ET AL) 5 décembre 2002 (2002-12-05) alinéas [0009] - [0015]; figures 4,5 -----	1-14
A	MALEVILLE C ET AL: "MULTIPLE SOI LAYERS BY MULTIPLE SMART-CUT TRANSFERS", 2000 IEEE INTERNATIONAL SOI CONFERENCE PROCEEDINGS. WAKEFIELD, MA, OCT. 2 - 5, 2000; [IEEE INTERNATIONAL SOI CONFERENCE], NEW YORK, NY : IEEE, US, 2 octobre 2000 (2000-10-02), page 134/135, XP001003462, ISBN: 978-0-7803-6390-8 page 134; figure 2 -----	1-14
A	US 7 160 753 B2 (VOXTEL INC [US]) 9 janvier 2007 (2007-01-09) figures 4A-40 -----	1-14
	----- -/-	
☒ Voir la suite du cadre C pour la fin de la liste des documents	☒ Les documents de familles de brevets sont indiqués en annexe	
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent		
"E" document antérieur, mais publié à la date de dépôt international ou après cette date		
"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)		
"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens		
"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		
"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention		
"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément		
"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier		
"&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale	
18 avril 2023	26/04/2023	
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Fonctionnaire autorisé Ott, André	

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 2001/016401 A1 (MITANI KIYOSHI [JP] ET AL) 23 août 2001 (2001-08-23) alinéa [0056]; figures 1,3 -----	1-14
A	US 2012/223419 A1 (KERDILES SEBASTIEN [FR] ET AL) 6 septembre 2012 (2012-09-06) alinéa [0014]; revendications; figures 1-5J -----	1-14

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2023/050115

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2002182827 A1	05-12-2002	EP 1174926 A1	23-01-2002
		JP 3975634 B2	12-09-2007
		JP 2001210810 A	03-08-2001
		US 2002182827 A1	05-12-2002
		WO 0156085 A1	02-08-2001

US 7160753 B2	09-01-2007	AUCUN	

US 2001016401 A1	23-08-2001	DE 69931221 T2	01-03-2007
		EP 0977255 A2	02-02-2000
		JP 3395661 B2	14-04-2003
		JP 2000030996 A	28-01-2000
		KR 20000011407 A	25-02-2000
		US 6245645 B1	12-06-2001
		US 2001016401 A1	23-08-2001

US 2012223419 A1	06-09-2012	CN 102598243 A	18-07-2012
		EP 2494593 A1	05-09-2012
		FR 2952224 A1	06-05-2011
		JP 2013509697 A	14-03-2013
		KR 20120069753 A	28-06-2012
		TW 201123282 A	01-07-2011
		US 2012223419 A1	06-09-2012
		WO 2011051078 A1	05-05-2011
