(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 656 964**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **90 00403**

(51) Int Cl[5] : H 03 K 5/156, 23/40

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt** : 09.01.90.

(30) **Priorité** :

(43) **Date de la mise à disposition du public de la demande :** 12.07.91 Bulletin 91/28.

(56) **Liste des documents cités dans le rapport de recherche :** *Se reporter à la fin du présent fascicule.*

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *SGS-THOMSON MICROELECTRONICS (S.A.) Société Anonyme* — FR.

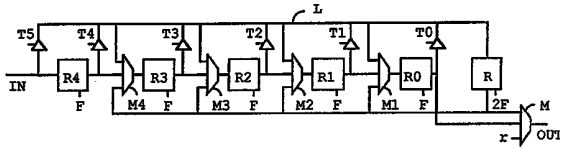
(72) **Inventeur(s) :** Chaisemartin Philippe et Kritter Sylvain.

(73) **Titulaire(s) :**

(74) **Mandataire :** De Beaumont Michel Cabinet Conseil.

(54) Doubleur/diviseur d'un flux de bits série.

(57) La présente invention concerne un dispositif de doublement/division par 2 de la cadence d'un flux de bits série, comprenant une succession de premiers registres d'un bit (R4 à R0) actionnés à une fréquence F; un deuxième registre (R) actionné à la fréquence 2F; une borne d'entrée (IN) reliée à l'entrée du premier (R4) des premiers registres et, par l'intermédiaire d'une première porte (T5), à une ligne interne (L) connectée à l'entrée du deuxième registre; des premiers multiplexeurs (M4 à M1) reliés à l'entrée de chacun du deuxième (R3) au dernier (R0) des premiers registres et permettant de sélectionner ou bien la sortie du registre précédent, ou bien la ligne interne, ou bien la sortie du deuxième registre; un multiplexeur de sortie (M) qui permet de sélectionner la sortie du dernier (R0) des premiers registres, la sortie du premier registre, ou bien des bits de remplissage; des deuxièmes portes de transfert (T4 à T0) entre la sortie de chacun des premiers registres et la ligne interne; et des moyens de commande des diverses portes et multiplexeurs.



FR 2 656 964 - A1

DOUBLEUR/DIVISEUR D'UN FLUX DE BITS SERIE

La présente invention concerne un dispositif permettant, à partir d'un flux de bits série arrivant à une première fréquence d'horloge, de transformer chaque mot contenu dans ce flux de bits en un mot dont les bits arrivent à une fréquence double, la durée restante étant occupée par des bits de remplissage. Inversement, le dispositif selon la présente invention permet à partir d'un flux de bits arrivant à une fréquence donnée, de sélectionner la moitié de ces bits et de les transmettre à fréquence moitié.

La figure 1 illustre la fonction que doit réaliser un doubleur dans le cas de mots de 8 bits. Etant donné un mot D_F faisant partie d'un flux de mots successifs, et dans lequel chaque bit d0 ... d7 arrive à la fréquence d'une horloge F, on veut obtenir un mot D_{2F} comprenant deux fois plus de bits, ici 16, dans lequel les bits arrivent au rythme d'une horloge 2F. On retrouve donc dans le mot D_{2F} les bits d0 à d7 et des bits de remplissage r0 à r7.

Il est souvent utile de réaliser cette opération de doublage du nombre de bits pour permettre la réalisation d'opérations avec une plus grande précision. Une fois les opérations effectuées, on reprend dans le mot D_{2F} les 8 bits les plus significatifs et on les retransforme en un mot D_F dans un dispositif diviseur.

Un objet de la présente invention est de prévoir un dispositif unique pouvant fonctionner ou bien comme doubleur ou bien comme diviseur.

Pour atteindre cet objet, la présente invention prévoit un dispositif de doublement/division par 2 de la cadence d'un flux de bits série comprenant une succession de premiers registres d'un bit actionnés à une fréquence F ; un deuxième registre actionné à la fréquence 2F ; une borne d'entrée reliée à l'entrée du premier des premiers registres et, par l'intermédiaire d'une première porte, à une ligne interne connectée à l'entrée du deuxième registre ; des premiers multiplexeurs reliés à l'entrée de chacun du deuxième au dernier des premiers registres et permettant de sélectionner la sortie du registre précédent, la ligne interne, ou bien la sortie du deuxième registre ; un deuxième multiplexeur dont la sortie correspond à la sortie du dispositif et qui permet de sélectionner ou bien la sortie du dernier des premiers registres, ou bien la sortie du premier registre, ou bien des bits de remplissage ; des deuxièmes portes de transfert entre la sortie de chacun des premiers registres et la ligne interne ; et des moyens de commande des diverses portes et multiplexeurs.

Dans un fonctionnement en doubleur, la première porte est inhibée et l'entrée est en permanence appliquée au premier des premiers registres ; chacun des multiplexeurs est conditionné pour connecter en permanence la sortie de chacun des premiers registres au premier registre suivant ; le multiplexeur de sortie est commandé pour fournir alternativement une succession de bits de remplissage pendant la première moitié de la durée de transmission d'un mot puis la succession des sorties du deuxième registre ; et chacune des deuxièmes portes de transfert est actionnée de sorte que la dernière porte est d'abord rendue passante une fois, les portes suivantes rendues passantes deux fois successivement et la dernière porte rendue passante une fois.

Dans un fonctionnement en diviseur, la première porte est validée pour connecter en permanence la borne d'entrée à l'entrée du registre à fréquence double ; les deuxièmes portes sont inhibées ; la sortie du dernier des premiers registres est constamment connectée par le multiplexeur de sortie à la borne de sortie ; et les multiplexeurs sont séquentiellement commandés pour envoyer l'une ou l'autre de leurs entrées, dans un ordre prédéterminé, à chacun des premiers registres.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront expliqués plus en détail dans la description suivante de modes de réalisation particuliers faite en relation avec les figures jointes parmi lesquelles :

la figure 1, décrite précédemment, illustre la fonction que vise à remplir un dispositif selon la présente invention ;

la figure 2 représente schématiquement un mode de réalisation d'un dispositif selon la présente invention ;

la figure 3 représente le dispositif de la figure 2 dans sa fonction de doubleur ;

la figure 4 représente le dispositif de la figure 2 dans sa fonction de diviseur ; et

les figures 5 et 6 sont des chronogrammes destinés à expliquer le fonctionnement du dispositif selon la présente invention, respectivement en doubleur et en diviseur.

Dans la description qui va suivre, on se référera seulement à un dispositif de traitement de mots de 8 bits. Il sera clair que la présente invention s'applique plus généralement quel que soit le nombre de bits des mots à traiter.

La figure 2 représente le schéma d'ensemble d'un dispositif selon la présente invention. Ce dispositif comprend 5 registres R4 à R0 fonctionnant à la fréquence F et un registre R fonctionnant à la fréquence 2F. Le registre R4 est connecté à la borne d'entrée IN du circuit. Les registres R3, R2, R1 et R0 sont connectés à la sortie de multiplexeurs M4, M3, M2 et M1 qui permettent de sélectionner l'une ou l'autre de trois entrées à

savoir une ligne interne L, la sortie du registre précédent, ou la sortie du registre R. La ligne interne L est connectée à l'entrée du registre R et peut recevoir une entrée ou bien de la borne IN par l'intermédiaire d'une porte T5 ou bien de la sortie de l'un des registres R4 à R0 par l'intermédiaire de portes T4 à T0. Un multiplexeur M permet de fournir comme sortie au circuit ou bien la sortie du registre R, ou bien la sortie du registre R0 ou bien des bits de remplissage r.

Les portes T0 à T5 sont en fait des amplificateurs à trois états, couramment désignées dans la technique par l'appellation "buffer à trois états". Ce sont des dispositifs pouvant fournir à leur sortie (vers la ligne interne L) ou bien une reproduction remise à niveau du signal d'entrée, ou bien un état ouvert selon qu'ils sont validés ou non.

DOUBLEUR

Le fonctionnement en doubleur de ce circuit va être exposé en relation avec les figures 3 et 5. La figure 3 reprend la figure 2 sauf que les portes qui se trouvent être constamment fermées sont remplacées par de simples courts-circuits et celles qui sont constamment ouvertes sont supprimées. De même les multiplexeurs qui sont toujours orientés sur la même entrée sont remplacés par des courts-circuits.

Dans la configuration de la figure 3, les multiplexeurs M1 à M4 sélectionnent en permanence la sortie du registre qui les précède, c'est-à-dire que les données passent successivement dans les registres R4 à R0 qui forment un registre à décalage classique, et la porte T5 est constamment inhibée.

On va considérer la façon dont un mot de données comprenant des bits d0 à d7 est transformé par le circuit de la figure 3. En figure 5, on a désigné par t1, t2, t3... des instants successifs correspondants aux périodes de l'horloge à la fréquence 2F. La référence à un instant donné concerne en fait la période de l'horloge 2F qui suit cet instant.

A l'instant t1, le premier bit d0 arrive sur l'entrée IN. A l'instant t3, il est placé dans le registre R4.

A l'instant t4, le multiplexeur M est connecté sur son entrée de bits de remplissage et des bits de remplissage successifs, par exemple des 0, sont fournis à la sortie OUT. Ensuite, les bits d'entrée se décalent régulièrement dans les registres R4 à R0 au rythme de l'horloge F.

A l'instant t11, les registres R4 à R0 contiennent donc les bits d4 à d0, respectivement. C'est à partir de cet instant que l'on effectue des transferts à partir des registres à vitesse lente R4 à R0 vers le registre R et la sortie OUT du multiplexeur M. A l'instant t11, la porte T0 est fermée et le contenu d0 du registre R0 est transféré vers la ligne interne L et le registre à fréquence double R. Simultanément, le multiplexeur M est commandé pour diriger la sortie du registre R vers la borne OUT. A l'instant t12, c'est la porte de transfert T1 qui est fermée et le contenu du registre R1 est transféré vers la ligne L. A l'instant t13, le registre R1 se charge de la donnée d2 qui est immédiatement transférée par une nouvelle fermeture de la porte T1 vers la ligne L, le registre R et la sortie.

On ferme ainsi séquentiellement les portes de transfert T0, T1 et T1 comme cela a été indiqué puis les portes de transfert T2, T2, T3, T3 et T4 et l'on arrive comme le montre la figure 5, à l'instant t18, au transfert du bit d7 vers la sortie. On notera qu'à partir de l'instant t19, le registre R4 reçoit le premier bit du mot suivant qui est arrivé sur l'entrée IN à l'instant t17.

Dans l'exemple précédent, les bits de remplissage étaient sysmétiquement des zéros. On pourra aussi utiliser systématiquement des 1 ou bien encore faire une extension du signe de bit, c'est-à-dire répéter sur toute la durée des bits de remplissage le bit de signe qui est généralement, quand il en est prévu un, le bit de poids le plus fort d'un mot de données. On pourra également insérer un mot prédéterminé ou un mot provenant d'un autre flux de données.

D'autre part, on a indiqué dans l'exemple illustré en figure 5 la prévision de bits de remplissage avant les bits du mot de données. Etant donné que le fonctionnement du dispositif est séquentiel, on pourra inversement prévoir dans le mot à fréquence double d'abord les bits de données, ensuite les bits de remplissage.

DIVISEUR

Les figures 4 et 6 illustrent le cas où le dispositif selon la présente invention est utilisé en diviseur par 2 de la fréquence d'apparition des bits.

En ce cas, la porte T5 fonctionne toujours en amplificateur, et les portes T0 à T4 sont toujours ouvertes. Ainsi, l'entrée IN est constamment appliquée au registre R. Le registre R4 ne fonctionne pas. La sortie du registre R est sélectivement connectable à l'entrée de l'un des registres R3 à R0, de même que la ligne interne L, les registres R2 à R0 pouvant en outre recevoir la sortie du registre précédent. Le multiplexeur M fournit sur la borne de sortie OUT la sortie du registre R0. Avec ce circuit, on voit que l'on peut introduire dans chacun des registres R2 à R0 le contenu du registre précédent ou la sortie du registre R ou le contenu de la ligne interne L par une sélection convenable des multiplexeurs M4 à M1.

En considérant que le mot d'entrée à 16 bits à la fréquence 2F comprend d'abord successivement des bits r0 à r7 que l'on veut rejeter puis des bits D0 à D7 que l'on veut transmettre à la fréquence moitié, on bloque dans un premier temps, entre les instants t0 et t9, la transmission entre la sortie du registre R et les registres R3 à R0 et les sorties du registre R sont perdues.

Quand, à l'instant t9, le bit d0 arrive sur l'entrée IN, il est directement transmis par le multiplexeur M1 de la ligne interne L au registre R0 et fourni en sortie.

A l'instant t10, le bit D1 arrive et est fourni au registre R.

A l'instant t11, le bit D2 arrive et est transmis directement au registre R1 par le multiplexeur M2 tandis que le bit D1 contenu dans le registre R est transmis au registre R0 et est fourni en sortie.

A l'instant t12, le bit D3 arrive et est fourni au registre R.

A l'instant t13, le bit D4 arrive. Il est envoyé vers le registre R et vers le registre R2 par le multiplexeur M3, tandis que le bit D3 contenu dans le registre R est envoyé au registre R1. Simultanément, le multiplexeur M1 transmet le contenu du registre R1 vers le registre R0 et de là vers la sortie.

A l'instant t14, le bit D5 arrive et est envoyé au registre R.

A l'instant t15, le bit D6 arrive et est envoyé au registre R3 par le multiplexeur M4 tandis que le bit D5 contenu dans le registre R est envoyé par le multiplexeur M3 au registre R2 et que les multiplexeurs M2 et M1 assurent la transmission du bit D4 contenu dans le registre R2 vers le registre R1 et du bit D3 contenu dans le registre R1 vers le registre R0 et la sortie.

A l'instant t16 arrive le dernier bit D7 du mot, qui est transmis au registre R.

A partir de l'instant t17, le contenu du registre R, D7, est envoyé au registre R3 tandis que les contenus des registres R3, R2 et R1 sont décalés vers les registres R2, R1 et R0. Par décalages successifs des registres R3, R2, R1 et R0, on obtient ainsi séquentiellement en sortie les bits D4, D5, D6, D7.

Si l'on reprend le cheminement décrit et que l'on considère le contenu successif du registre R0 entre les instants t10 et t24 sur la figure 6, on voit que l'on a bien émis séquentiellement les bits D0 à D7 à la fréquence F.

Pour simplifier les explications, on a considéré ici seulement les transformations que subit un mot de 16 bits particulier. Il est clair que ce mot de 16 bits fait partie d'une séquence de mots et que les opérations se répètent régulièrement, sans temps mort pour chacun des mots. Des flèches sur la figure 6 indiquent les transferts effectués sur les mots précédent et suivant tandis que l'on traite le mot considéré.

Bien entendu, ce qui précède ne constitue qu'un exemple de réalisation très schématique de la présente invention. L'homme de l'art saura réaliser dans une technologie de circuit intégré, par exemple en technologie CMOS, des multiplexeurs, des portes de transfert et des registres d'une case.

D'autre part, on a expliqué le fonctionnement du système en indiquant le séquencement des commandes qui doivent être appliquées aux portes de transfert et aux multiplexeurs. La réalisation d'un circuit logique réalisant ces fonctions et fournissant ces ordres successifs sera simple pour l'homme de l'art qui pourra d'ailleurs mémoriser à l'avance les séquences d'instructions à appliquer aux divers éléments dans une mémoire ou un réseau logique programmable, de façon connue.

Parmi les avantages de la présente invention, on peut noter que le dispositif décrit a l'avantage de pouvoir fonctionner ou bien en diviseur ou bien en doubleur selon son mode de commande et qu'il est simple à mettre en oeuvre puisqu'il est totalement modulaire en fonction du nombre de bits des données.

Un calcul montre que si le nombre de données à doubler est égal à N, le nombre de registres doit être égal à 2+(N/2) si N est pair et à 2+(N-1/2) si N est impair.

REVENDICATIONS

1. Dispositif de doublement/division par 2 de la cadence d'un flux de bits série, caractérisé en ce qu'il comprend :

une succession de premiers registres d'un bit (R4 à R0) actionnés à une fréquence F,

un deuxième registre (R) actionné à la fréquence 2F,

une borne d'entrée (IN) reliée à l'entrée du premier (R4) des premiers registres et, par l'intermédiaire d'une première porte (T5), à une ligne interne (L) connectée à l'entrée du deuxième registre,

des premiers multiplexeurs (M4 à M1) reliés à l'entrée de chacun du deuxième (R3) au dernier (R0) des premiers registres et permettant de sélectionner ou bien la sortie du registre précédent, ou bien la ligne interne, ou bien la sortie du deuxième registre,

un deuxième multiplexeur (M) dont la sortie correspond à la sortie du dispositif et qui permet de sélectionner ou bien la sortie du dernier (R0) des premiers registres, ou bien la sortie du premier registre, ou bien des bits de remplissage,

des deuxièmes portes de transfert (T4 à T0) entre la sortie de chacun des premiers registres et la ligne interne, et

des moyens de commande des diverses portes et multiplexeurs.

2. Dispositif selon la revendication 1, connecté en doubleur, caractérisé en ce que :

la première porte (T5) est inhibée et l'entrée est en permanence appliquée au premier (R4) des premiers registres,

chacun des multiplexeurs (M4 à M1) est conditionné pour connecter en permanence la sortie de chacun des premiers registres au premier registre suivant,

le multiplexeur de sortie (M) est commandé pour fournir alternativement une succession de bits de remplissage pendant la première moitié de la durée de transmission d'un mot puis la succession des sorties du deuxième registre (R), et

chacune des deuxièmes portes de transfert (T4 à T0) est actionnée de sorte que la dernière porte (T0) est d'abord rendue passante une fois, les portes suivantes rendues passantes deux fois successivement et la dernière porte rendue passante une fois.

3. Dispositif selon la revendication 1, connecté en diviseur, caractérisé en ce que :

la première porte (T5) est validée pour connecter en permanence la borne d'entrée (IN) à l'entrée du registre à fréquence double (R),

les deuxièmes portes (T4 à T0) sont inhibées,

la sortie du dernier (R0) des premiers registres est constamment connectée par le multiplexeur de sortie (M) à la borne de sortie (OUT),

les multiplexeurs (M4 à M1) sont séquentiellement commandés pour envoyer l'une ou l'autre de leurs entrées, dans un ordre prédéterminé, à chacun des premiers registres (R3 à R0).

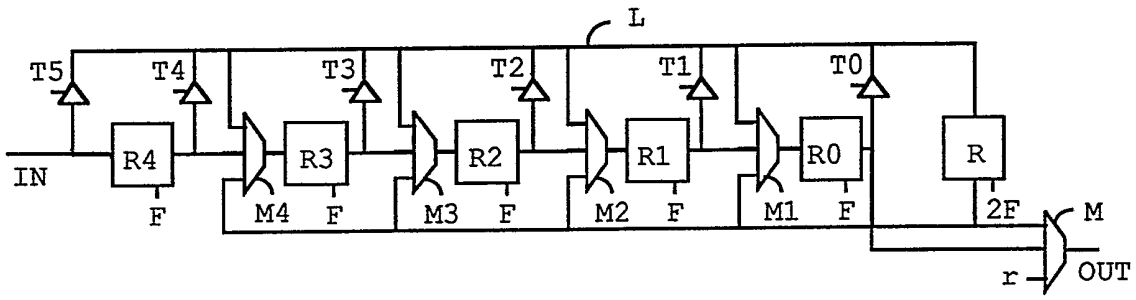


Figure 2

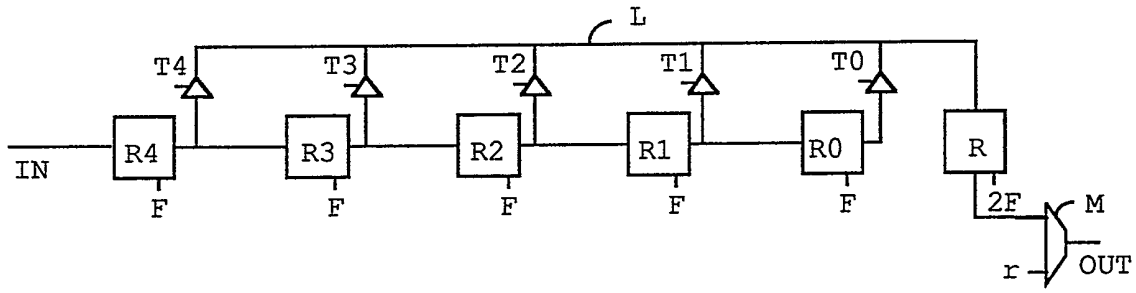


Figure 3

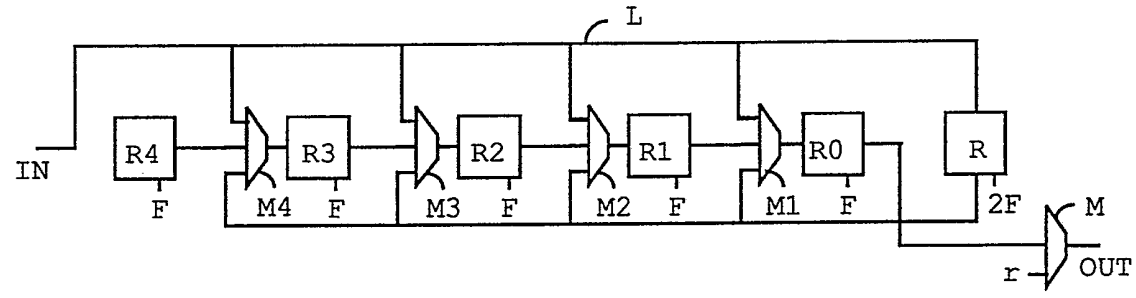


Figure 4

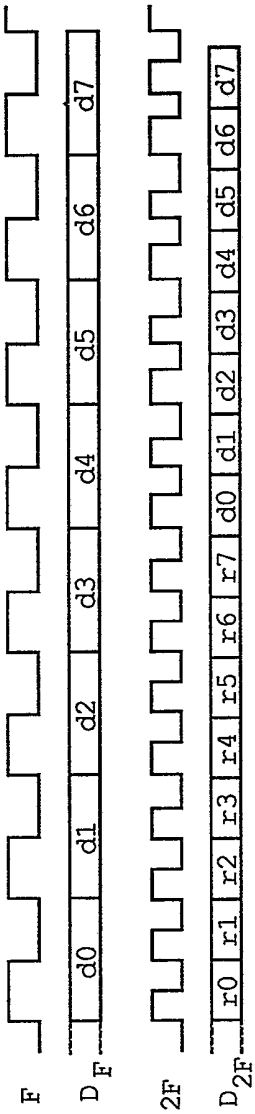


Figure 1

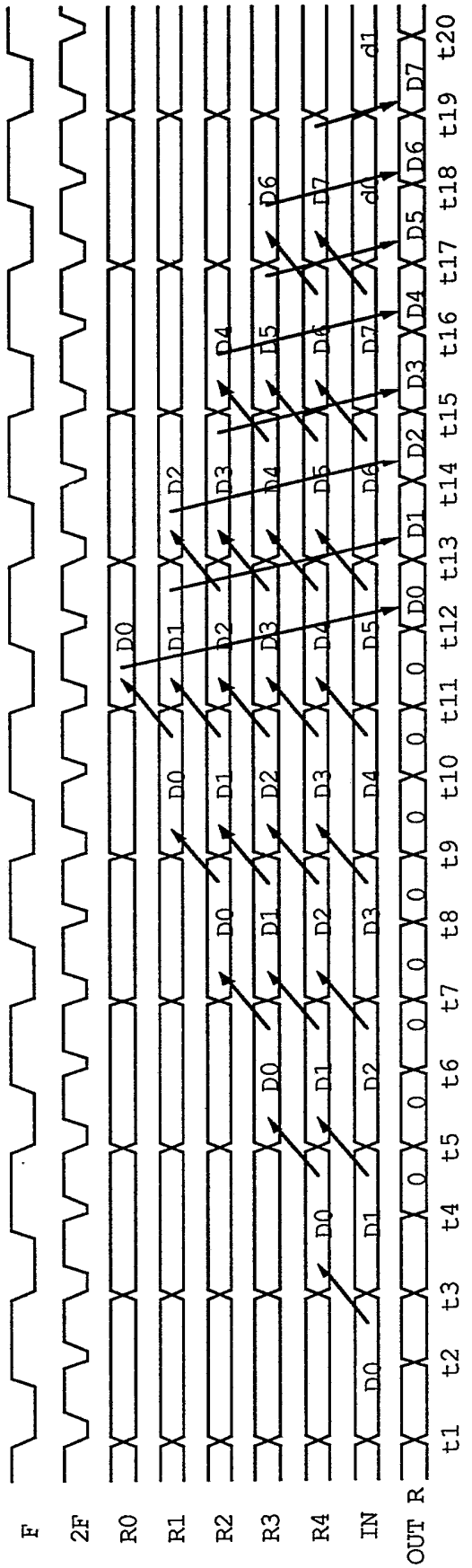


Figure 5

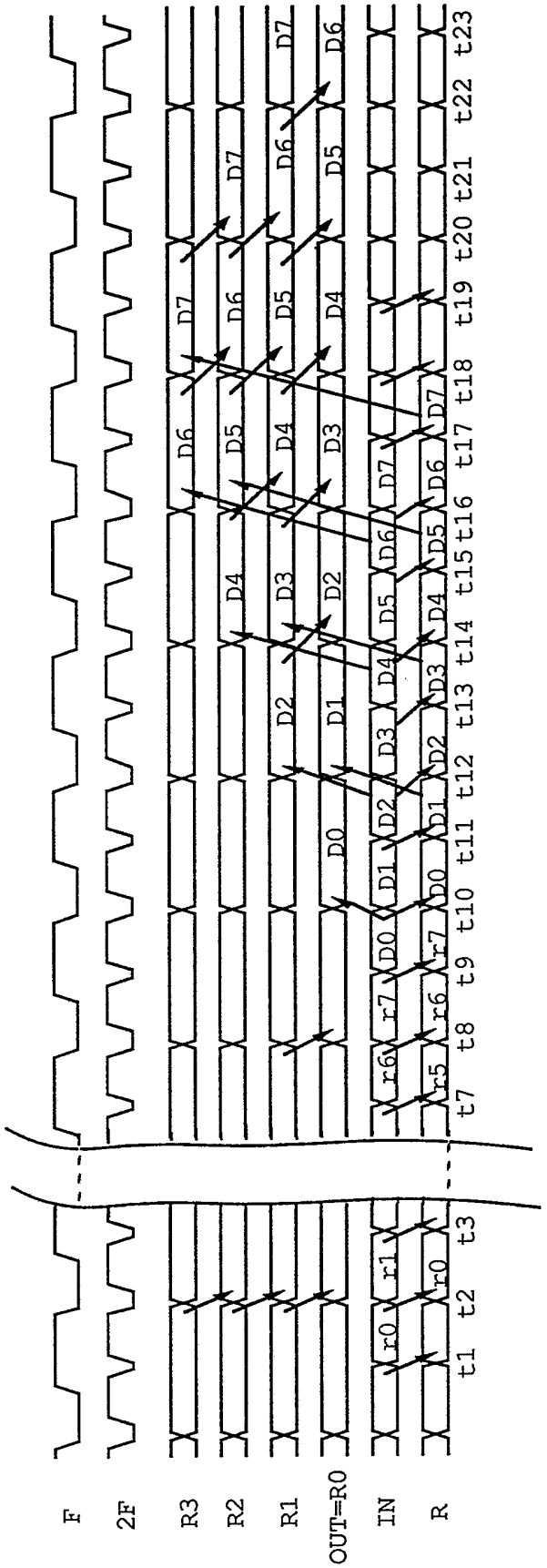

F
2F
R3
R2
R1
OUT=R0
IN
R
t1 t2 t3 t7 t8 t9 t10 t11 t12 t13 t14 t15 t16 t17 t18 t19 t20 t21 t22 t23
r0 r1 r5 r6 r7
D0 D1 D2 D3 D4 D5 D6 D7

Figure 6

REPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

2656964

N° d'enregistrement national

FR 9000403
FA 439395

RAPPORT DE RECHERCHE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendications concernées de la demande examinée
A	US-A-4 028 666 (SUZUKI et al.)(07-06-1977)	
A	US-A-3 135 947 (GRONDIN et al.)(02-06-1964)	

DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)

G 06 F
H 04 J
H 04 L

Date d'achèvement de la recherche: 27-09-1990

Examinateur: BEINDORFF W.H.

CATEGORIE DES DOCUMENTS CITES

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

EPO FORM 1503 03.82 (P0413)