

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-288175
(P2007-288175A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F O 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 O 1
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 6 1	
HO 1 L 27/115 (2006.01)		
HO 1 L 27/10 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 54 頁)

(21) 出願番号 特願2007-73787 (P2007-73787)	(71) 出願人 000153878
(22) 出願日 平成19年3月21日 (2007.3.21)	株式会社半導体エネルギー研究所
(31) 優先権主張番号 特願2006-77898 (P2006-77898)	神奈川県厚木市長谷398番地
(32) 優先日 平成18年3月21日 (2006.3.21)	(72) 発明者 山崎 舜平
(33) 優先権主張国 日本国 (JP)	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	(72) 発明者 浅見 良信
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	(72) 発明者 高野 圭恵
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	(72) 発明者 古野 誠
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	最終頁に続く

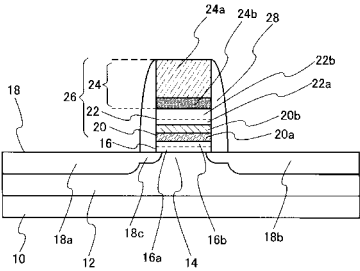
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】書き込み特性及び電荷保持特性に優れた不揮発性半導体記憶装置を提供することを目的とする。

【解決手段】一対の不純物領域の間にチャネル形成領域を形成する半導体基板と、その上層部に、第1の絶縁層、浮遊ゲート、第2の絶縁層、制御ゲートを設ける。浮遊ゲートは少なくとも二層構造とし、第1の絶縁層に接する第1層は、半導体基板のバンドギャップより小さいことが好ましい。例えば、浮遊ゲートを形成する半導体材料のバンドギャップと、半導体基板のチャネル形成領域におけるバンドギャップは、0.1 eV以上の差があって、前者の方が小さいことが好ましい。半導体基板のチャネル形成領域の伝導帯の底のエネルギーレベルより、浮遊ゲートの伝導帯底のエネルギーレベルを低くすることにより、キャリアの注入性を向上させ、電荷保持特性を向上させるためである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、
前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第 1 の絶縁層、浮遊ゲート、第 2 の絶縁層、制御ゲートとを有し、
前記浮遊ゲートは、少なくとも第 1 の層と第 2 の層で形成され、前記第 1 の絶縁層に接する第 1 の層は、半導体材料で形成され、該半導体材料のバンドギャップは、
前記半導体基板のチャンネル形成領域におけるバンドギャップより小さいことを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、
前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第 1 の絶縁層、浮遊ゲート、第 2 の絶縁層、制御ゲートとを有し、
前記浮遊ゲートは、少なくとも第 1 の層と第 2 の層で形成され、前記第 1 の絶縁層に接する第 1 の層は、シリコンよりも電子親和力が大きい材料で形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 3】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、
前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第 1 の絶縁層、浮遊ゲート、第 2 の絶縁層、制御ゲートとを有し、
前記浮遊ゲートは、少なくとも第 1 の層と第 2 の層で形成され、
前記第 1 の絶縁層により形成される前記半導体基板のチャンネル形成領域における電子に対する障壁エネルギーに対し、前記第 1 の絶縁層により形成される前記浮遊ゲートの第 1 の層における電子に対する障壁エネルギーが高いことを特徴とする不揮発性半導体記憶装置。

20

【請求項 4】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、
前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第 1 の絶縁層、浮遊ゲート、第 2 の絶縁層、制御ゲートとを有し、
前記浮遊ゲートは、少なくとも第 1 の層と第 2 の層で形成され、前記第 1 の絶縁層に接する第 1 の層は、ゲルマニウム若しくはゲルマニウム化合物で形成されていることを特徴とする不揮発性半導体記憶装置。

30

【請求項 5】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、
前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第 1 の絶縁層、浮遊ゲート、第 2 の絶縁層、制御ゲートとを有し、
前記浮遊ゲートは、少なくとも第 1 の層と第 2 の層で形成され、前記第 1 の絶縁層に接する第 1 の層は、ゲルマニウム若しくはゲルマニウム化合物であり、1 nm 以上 20 nm 以下の厚さで形成されていることを特徴とする不揮発性半導体記憶装置。

40

【請求項 6】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、
前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第 1 の絶縁層、浮遊ゲート、第 2 の絶縁層、制御ゲートとを有し、
前記第 1 の絶縁層は、前記半導体基板側から酸化シリコン層と窒化シリコン層の積層で形

50

成され、

前記浮遊ゲートは、少なくとも第1の層と第2の層で形成され、前記第1の絶縁層に接する第1の層は、半導体材料で形成され、該半導体材料のバンドギャップは、前記半導体基板のチャンネル形成領域におけるバンドギャップより小さいことを特徴とする不揮発性半導体記憶装置。

【請求項7】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、

前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第1の絶縁層、浮遊ゲート、第2の絶縁層、制御ゲートとを有し、

前記第1の絶縁層は、前記半導体基板側から酸化シリコン層と窒化シリコン層の積層で形成され、

前記浮遊ゲートは、少なくとも第1の層と第2の層で形成され、前記第1の絶縁層に接する第1の層は、シリコンよりも電子親和力が大きい材料で形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項8】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、

前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第1の絶縁層、浮遊ゲート、第2の絶縁層、制御ゲートとを有し、

前記第1の絶縁層は、前記半導体基板側から酸化シリコン層と窒化シリコン層の積層で形成され、

前記浮遊ゲートは、少なくとも第1の層と第2の層で形成され、

前記第1の絶縁層により形成される前記半導体基板のチャンネル形成領域における電子に対する障壁エネルギーに対し、前記第1の絶縁層により形成される前記浮遊ゲートの第1の層における電子に対する障壁エネルギーが高いことを特徴とする不揮発性半導体記憶装置。

【請求項9】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、

前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第1の絶縁層、浮遊ゲート、第2の絶縁層、制御ゲートとを有し、

前記第1の絶縁層は、前記半導体基板側から酸化シリコン層と窒化シリコン層の積層で形成され、

前記浮遊ゲートは、少なくとも第1の層と第2の層で形成され、前記第1の絶縁層に接する第1の層は、ゲルマニウム若しくはゲルマニウム化合物で形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項10】

互いに離間して形成された一对の不純物領域と、その間にチャンネル形成領域が形成される半導体基板と、

前記半導体基板の上層部であって、前記チャンネル形成領域と略重なる位置に、第1の絶縁層、浮遊ゲート、第2の絶縁層、制御ゲートとを有し、

前記第1の絶縁層は、前記半導体基板側から酸化シリコン層と窒化シリコン層の積層で形成され、

前記浮遊ゲートは、少なくとも第1の層と第2の層で形成され、前記第1の絶縁層に接する第1の層は、ゲルマニウム若しくはゲルマニウム化合物であり、1 nm以上20 nm以下の厚さで形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項11】

請求項1又は6において、

前記半導体基板におけるチャンネル形成領域を形成する材料のバンドギャップと、前記浮遊

10

20

30

40

50

ゲートを形成する半導体材料のバンドギャップの差が0.1 eV以上であること
を特徴とする不揮発性半導体記憶装置。

【請求項12】

請求項4、5、9、10のいずれか一項において、
前記ゲルマニウム化合物が、ゲルマニウム酸化物若しくはゲルマニウム窒化物であることを
特徴とする不揮発性半導体記憶装置。

【請求項13】

請求項1乃至12のいずれか一項において、
前記浮遊ゲートは、前記窒化シリコン層に接していることを特徴とする不揮発性半導体記
憶装置。

10

【請求項14】

請求項1乃至13のいずれか一項において、
前記酸化シリコン層は、前記半導体基板をプラズマ処理により酸化されたものであり、前
記窒化シリコン層は、前記酸化シリコン層をプラズマ処理により窒化されたものであるこ
とを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的に書き込み、読み出し及び消去が可能な不揮発性半導体記憶装置並びに
その作製方法に関する。特に当該不揮発性半導体記憶装置における浮遊ゲートの構成に関
する。

20

【背景技術】

【0002】

データを電氣的に書き換え可能であり、電源を切ってもデータを記憶しておくことのでき
る不揮発性メモリの市場が拡大している。不揮発性メモリは、M O S F E T (M e t a l
O x i d e S e m i c o n d u c t o r F i e l d e f f e c t t r a n s i
s t o r) と類似の構造を有し、電荷を長期間蓄積することのできる領域がチャネル形成
領域上に設けられているところに特徴がある。この電荷蓄積領域は絶縁層上に形成され、
周囲と絶縁分離されていることから浮遊ゲートとも呼ばれている。浮遊ゲートは絶縁物で
囲まれて周囲とは電氣的に絶縁されているので、浮遊ゲートに電荷が注入されるとその電
荷を保持し続けるという特性を持っている。浮遊ゲート上には、さらに絶縁層を介して制
御ゲートと呼ばれるゲート電極を備えている。制御ゲートは、データの書き込みや読み出
しの時に所定の電圧が印加されることから浮遊ゲートとは区別されている。

30

【0003】

このような構造を有する所謂浮遊ゲート型の不揮発性メモリは、浮遊ゲートへの電荷の注
入と、浮遊ゲートからの電荷の放出を電氣的に制御してデータを記憶する仕組みとなっ
ている。具体的に、浮遊ゲートへの電荷注入及び浮遊ゲートからの電荷放出は、チャネル形
成領域が形成される半導体層と、制御ゲートの間に高電圧を印加して行われている。この
ときチャネル形成領域上の絶縁層には、ファウラーノルドハイム (F o w l e r - N o
r d h e i m) 型 (F - N 型) トンネル電流 (N A N D 型) 又は熱電子 (N O R 型) が流
れると言われている。このことより当該絶縁層はトンネル絶縁層とも呼ばれている。

40

【0004】

浮遊ゲート型の不揮発性メモリは、信頼性を保証するために、浮遊ゲートに貯えた電荷を
10年以上保持できる特性が要求されている。そのためトンネル絶縁層には、トンネル電
流が流れる厚さで形成しつつ、電荷が漏れてしまわないように、高い絶縁性が求められて
いる。

【0005】

また、トンネル絶縁層上に形成される浮遊ゲートは、チャネル形成領域が形成される半導
体と同じ半導体材料であるシリコンで形成されてる。例えば、浮遊ゲートを多結晶シリコ
ンで形成する方法が普及しており、例えば400nmの厚さにポリシリコン膜を堆積して

50

形成したものが知られている（特許文献1参照）。

【特許文献1】特開2000-58685号公報（第7頁、第7図）

【発明の開示】

【発明が解決しようとする課題】

【0006】

不揮発性メモリの浮遊ゲートは多結晶シリコンで形成されているので、半導体基板のチャンネル形成領域の伝導帯の底のエネルギーレベルが同じとなる。むしろ浮遊ゲートの多結晶シリコンの厚さを薄膜化しようとする、伝導帯の底のエネルギーレベルがチャンネル形成領域を形成する半導体よりも高くなってしまふ。このような状態が形成されると、半導体基板から浮遊ゲートに電子が注入されにくくなってしまい、書き込み電圧を高くする必要 10
がある。書き込み電圧を少しでも下げるためには、浮遊ゲートを多結晶シリコンで形成する不揮発性メモリは、当該浮遊ゲートにリン、ヒ素などのn型不純物を添加してフェルミ準位を伝導帯側にシフトさせる必要がある。

【0007】

浮遊ゲートと半導体基板の間に設けるゲート絶縁層に関しては、低電圧で浮遊ゲートに電荷を注入するためには当該ゲート絶縁層の厚さを薄くする必要がある。一方、電荷を長期間安定的に保持させるためには、電荷の漏洩や不純物の侵入を防ぐために膜厚を厚くする必要がある。

【0008】

結局、従来の不揮発性メモリは、高い書き込み電圧が必要とされている。また、電荷保持 20
特性の繰り返しの書き換えによる劣化に対しては、冗長メモリセルを設けたりコントローラを工夫して、エラー検出／エラー訂正を行うなどの対処をして信頼性を確保している。

【0009】

そこで本発明は、書き込み特性及び電荷保持特性に優れた不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、互いに離間して形成された一对の不純物領域の間にチャンネル形成領域を形成する半導体基板と、半導体基板の上層部であってチャンネル形成領域と略重なる位置に、第1の絶縁層、浮遊ゲート、第2の絶縁層、制御ゲートを有する不揮発性半導体記憶装置である。本発明において、浮遊ゲートは半導体材料を用いた複数の層で形成される。或いは、 30
特定の半導体材料で形成される浮遊ゲートの第2の絶縁層側に接して、当該浮遊ゲートの耐水性を向上させ、腐食を防止するバリア性の層を設ける。浮遊ゲートを形成する半導体材料は、チャンネル形成領域を形成する半導体材料との関係において複数種の中から選択することができる。

【0011】

浮遊ゲートを形成する半導体材料として、次に示す一又は複数の条件を満たすものを選択することができる。浮遊ゲートを形成する半導体材料のバンドギャップ（「バンドギャップ」ともいう）は、半導体基板のチャンネル形成領域のバンドギャップより小さいことが好ましい。例えば、浮遊ゲートを形成する半導体材料のバンドギャップと、半導体基板の 40
チャンネル形成領域のバンドギャップは、0.1 eV以上の差があって、前者の方が小さいことが好ましい。この浮遊ゲートに接して設ける第2の絶縁層のバンドギャップは、浮遊ゲートを形成する半導体材料のバンドギャップよりも大きいことが好ましい。

【0012】

また、該半導体材料は、半導体基板を形成する材料よりも電子親和力が大きい材料で形成されていることが好ましい。該半導体材料は、第1の絶縁層により形成される半導体基板のチャンネル形成領域の電子に対する障壁エネルギーに対し、第1の絶縁層により形成される浮遊ゲートの電子に対する障壁エネルギーが高いことが好ましい。

【0013】

浮遊ゲートを形成する半導体材料として、代表的にはゲルマニウム若しくはゲルマニウム 50

化合物であることが好ましい。

【0014】

浮遊ゲートは電荷を蓄積する目的で、本発明に係る不揮発性半導体記憶装置に適用されるが、同様の機能を備えるものであれば、すなわち、電荷蓄積層として機能するものであれば、ゲルマニウム若しくはゲルマニウム化合物に限定されず、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又は当該ゲルマニウム若しくはゲルマニウム化合物を含む酸化物層若しくは窒化物層で置き換えることもできる。

【0015】

また、ゲルマニウム若しくはゲルマニウム化合物で形成される浮遊ゲートに接する層として、シリコン若しくはシリコン化合物で形成される層を適用することが好ましい。シリコン化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを10原子%未満の濃度で含むシリコンゲルマニウムなどを適用することができる。

10

【発明の効果】

【0016】

半導体基板上にトンネル絶縁層として機能する第1の絶縁層を介して浮遊ゲートを形成する場合に、少なくともゲルマニウムを含む半導体材料で浮遊ゲートを形成することにより、半導体基板のチャネル形成領域から浮遊ゲートへの電荷を注入しやすくし、浮遊ゲートにおける電荷保持特性を向上させることができる。さらに、浮遊ゲートに接して半導体材料若しくは、当該浮遊ゲートの耐水性を向上させ腐食を防止するバリア性の層を設けることにより、浮遊ゲートの劣化を抑制することができる。

20

【発明を実施するための最良の形態】

【0017】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

【0018】

図1は本発明に係る不揮発性半導体記憶装置の主要な構成を説明するための断面図である。図1は、特に不揮発性メモリ素子の要部を示している。この不揮発性メモリ素子は、半導体基板10を用いて作製されている。半導体基板10としては単結晶シリコン基板（シリコンウエハー）を用いることが好ましい。また、SOI（Si-On-Insulator）基板を用いることもできる。SOI基板として、鏡面研磨ウエハーに酸素イオンを注入した後、高温アニールすることにより、表面から一定の深さに酸化膜層を形成させるとともに、表面層に生じた欠陥を消滅させて作られた所謂SIMOX（Separation by Implanted Oxygen）基板を用いても良い。

30

【0019】

半導体基板10がn型で有る場合にはp型不純物が注入されたpウェル12が形成されている。p型不純物として、例えばホウ素が用いられ、 $5 \times 10^{15} \text{ atoms/cm}^3$ 乃至 $1 \times 10^{16} \text{ atoms/cm}^3$ 程度の濃度で添加されている。pウェル12を形成することにより、この領域にnチャネル型のトランジスタを形成することができる。また、pウェル12に添加するp型不純物は、トランジスタのしきい値電圧を制御する作用もある。半導体基板10に形成されるとするチャネル形成領域14は、後述するゲート26と略一致する領域に形成されるものであり、半導体基板10に形成される一対の不純物領域18の間に位置するものである。

40

【0020】

一対の不純物領域18は不揮発性メモリ素子においてソース及びドレインとして機能する領域である。一対の不純物領域18はn型不純物であるリン若しくはヒ素を $1 \times 10^{19} \text{ atoms/cm}^3$ 乃至 $1 \times 10^{21} \text{ atoms/cm}^3$ 程度の濃度で添加することで形成される。

50

【0021】

ゲート26の側壁にはスペーサ28が形成され、その端部においてリーク電流（例えば、浮遊ゲート電極20と制御ゲート電極24の間に流れてしまう電流）を防ぐ効果がある。また、このスペーサ28を利用して、ゲート26のチャンネル長方向の両端に低濃度不純物領域18cを形成することができる。この低濃度不純物領域18cは低濃度ドレイン（LDD）として機能する。低濃度不純物領域18cは必須の構成とはならないが、この領域を設けることにより、ドレイン端の電界を緩和して、書き込み及び消去の繰り返しによる劣化を抑制することができる。

【0022】

半導体基板10上には第1の絶縁層16、浮遊ゲート電極20、第2の絶縁層22、制御ゲート電極24が形成されるが、本明細書では、浮遊ゲート電極20から制御ゲート電極24まで積層構造をゲート26と呼ぶことがある。 10

【0023】

第1の絶縁層16は酸化シリコン若しくは酸化シリコンと窒化シリコンの積層構造で形成することができる。第1の絶縁層16は、熱酸化により半導体基板10の表面を酸化して形成しても良いが、好ましくはプラズマ処理による固相酸化若しくは固相窒化で形成すると良い。半導体基板10の表面を、プラズマ処理により酸化又は窒化することにより形成した絶縁層は、緻密で絶縁耐圧が高く信頼性に優れているためである。第1の絶縁層16は、浮遊ゲート電極20に電荷を注入するためのトンネル絶縁層として用いるので、このように丈夫であるものが好ましい。この第1の絶縁層16は1nm以上20nm以下、好ましくは3nm以上6nm以下の厚さに形成することが好ましい。例えば、ゲート長を600nmとする場合、第1の絶縁層16は3nm以上6nm以下の厚さに形成することができる。 20

【0024】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波（代表的には2.45GHz）で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、且つ電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。固相酸化処理若しくは固相窒化処理において、500℃以下の温度において、緻密な絶縁膜を形成すると共に実用的な反応速度を得るためである。

【0025】

このプラズマ処理により半導体基板10の表面を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）又は一酸化二窒素（ N_2O ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、若しくは酸素又は一酸化二窒素と水素（ H_2 ）と希ガス雰囲気下）で行う。また、プラズマ処理により窒化をする場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。 30

【0026】

図15にプラズマ処理を行うための装置の構成例を示す。このプラズマ処理装置は、半導体基板10を配置するための支持台80と、ガスを導入するためのガス供給部76、ガスを排気するために真空ポンプに接続する排気口78、アンテナ72、誘電体板74、プラズマ発生用のマイクロ波を供給するマイクロ波供給部84を有している。また、支持台80に温度制御部82を設けることによって、半導体基板10の温度を制御することも可能である。 40

【0027】

以下に、プラズマ処理について説明する。なお、プラズマ処理とは、半導体基板、絶縁層、導電層に対する酸化処理、窒化処理、酸化窒化処理、水素化処理、表面改質処理を含んでいる。これらの処理は、その目的に応じて、ガス供給部76から供給するガスを選択すれば良い。 50

【0028】

酸化処理若しくは窒化処理を行うには以下のようにすれば良い。まず、処理室内を真空にし、ガス供給部76から酸素又は窒素を含むプラズマ処理用ガスを導入する。半導体基板10は室温若しくは温度制御部82により100℃乃至550℃に加熱する。なお、半導体基板10と誘電体板74との間隔は、20mm乃至80mm（好ましくは20mm乃至60mm）程度である。次に、マイクロ波供給部84からアンテナ72にマイクロ波を供給する。そしてマイクロ波をアンテナ72から誘電体板74を通して処理室内に導入することによって、プラズマ86を生成する。マイクロ波の導入によりプラズマの励起を行うと、低電子温度（3eV以下、好ましくは1.5eV以下）で高電子密度（ $1 \times 10^{11} \text{ cm}^{-3}$ 以上）のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）及び／又は窒素ラジカル（NHラジカルを含む場合もある）によって、半導体基板の表面を酸化又は窒化することができる。プラズマ処理用ガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。この方法は、プラズマで励起した活性なラジカルを有効に使うことにより、500℃以下の低温で固相反応による酸化、窒化、酸化窒化又は酸化した層を窒化することができる。

10

【0029】

図1において、プラズマ処理により形成される好適な第1の絶縁層16の一例は、酸化雰囲気下のプラズマ処理により半導体基板10の表面を3nm以上6nm以下の厚さで酸化シリコン層16aを形成し、その後窒素雰囲気下でその酸化シリコン層の表面を窒化して窒化シリコン層16bを形成した積層構造がである。第1の絶縁層16の代表例として、半導体基板10の表面をプラズマ処理で酸化することで、歪みのない緻密な酸化膜を形成することができる。また、当該酸化膜をプラズマ処理で窒化して、表層部の酸素を窒素に置換して窒化層を形成すると、さらに緻密化することができる。それにより絶縁耐圧が高い絶縁層を形成することができる。

20

【0030】

浮遊ゲート電極20は第1の絶縁層16上に形成される。この浮遊ゲート電極20は、第1の浮遊ゲート電極20aと第2の浮遊ゲート電極20bにより形成されている。勿論、この二層構造に限定されず、複数の層を積層して設ければ良い。しかしながら、第1の絶縁層16に接して形成される第1の浮遊ゲート電極20aは半導体材料で形成することが好ましく、次に示す一又は複数の条件を満たすものを選択することができる。

30

【0031】

第1の浮遊ゲート電極20aを形成する半導体材料のバンドギャップが、半導体基板10（本例ではチャンネル形成領域）のバンドギャップより小さいことが好ましい。例えば、第1の浮遊ゲート電極20aを形成する半導体材料のバンドギャップと、半導体基板10のチャンネル形成領域14におけるバンドギャップは、0.1eV以上の差があって、前者の方が小さいことが好ましい。半導体基板10のチャンネル形成領域14の伝導帯の底のエネルギーレベルより、浮遊ゲート電極20の伝導帯の底のエネルギーレベルを低くすることにより、キャリア（電子）の注入性を向上させ、電荷保持特性を向上させるためである。

【0032】

第1の浮遊ゲート電極20aを形成する半導体材料は、半導体基板10を形成する材料よりも電子親和力が高い材料であることが好ましい。半導体基板10におけるチャンネル形成領域14の伝導帯の底のエネルギーレベルより、第1の浮遊ゲート電極20aの伝導帯の底のエネルギーレベルを低くすることにより、キャリア（電子）の注入性を向上させ、電荷保持特性を向上させるためである。電子親和力は半導体の場合、伝導帯の底から真空までのエネルギー差である。

40

【0033】

第1の浮遊ゲート電極20aを形成する半導体材料は、第1の絶縁層16により形成される半導体基板10のチャンネル形成領域14における電子に対する障壁エネルギーに対し、第1の絶縁層16により形成される第1の浮遊ゲート電極20aの電子に対する障壁エネ

50

ルギーが高くなるものであることが好ましい。半導体基板 10 の特にチャネル形成領域 14 から第 1 の浮遊ゲート電極 20a への電荷（電子）を注入しやすくし、第 1 の浮遊ゲート電極 20a から電荷が消失することを防ぐためである。

【0034】

このような条件を満たすものとして、代表的にはゲルマニウム若しくはゲルマニウム化合物を選択することができる。ゲルマニウム化合物の代表例としては、シリコンゲルマニウムであり、この場合シリコンに対してゲルマニウムが 10 原子%以上含まれていることが好ましい。ゲルマニウムの濃度が 10 原子%未満であると、構成元素としての効果が薄れ、バンドギャップが有効に小さくならないためである。

【0035】

勿論、浮遊ゲート電極 20 を形成するものとして同様な効果を発現するものであれば、他の材料を適用することもできる。例えば、ゲルマニウムを含む三元系の半導体材料を適用することができる。当該半導体材料が水素化されていても良い。また、不揮発性メモリ素子の電荷蓄積層としての機能を持つものとして、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又は当該ゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物の層で置き換えることもできる。

【0036】

第 1 の浮遊ゲート電極 20a に接して、第 2 の絶縁層 22 側に設ける第 2 の浮遊ゲート電極 20b は、シリコン若しくはシリコン化合物で形成される層を適用することが好ましい。シリコン化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを 10 原子%未満の濃度で含むシリコンゲルマニウムなどを適用することができる。このように第 2 の浮遊ゲート電極 20b を、第 1 の浮遊ゲート電極 20a よりもバンドギャップの大きな材料で形成することにより、浮遊ゲートに蓄積する電荷が第 2 の絶縁層 22 側にリークするのを防ぐことができる。

【0037】

いずれにしても、上記したシリコン若しくはシリコン化合物の第 2 の層は、ゲルマニウム若しくはゲルマニウム化合物で形成される第 1 の層の上層側に設けることにより、製造工程においては、耐水性や耐薬品性を目的としたバリア層として用いることができる。それにより、フォトリソ工程、エッチング工程、洗浄工程における基板の扱いが容易となり、生産性を向上させることができる。すなわち、浮遊ゲートの加工を容易なものとするこ

【0038】

第 2 の絶縁層 22 は、酸化シリコン、酸化窒化シリコン (SiO_xN_y 、($x > y$))、窒化シリコン (SiN_x) 又は窒化酸化シリコン (SiN_xO_y 、($x > y$))、酸化アルミニウム (Al_xO_y) などの一層若しくは複数層を、減圧 CVD 法やプラズマ CVD 法などで形成する。第 2 の絶縁層 22 の厚さは 1 nm 以上 20 nm 以下、好ましくは 5 nm 以上 10 nm 以下で形成する。例えば、窒化シリコン層 22a を 3 nm の厚さに堆積し、酸化シリコン層 22b の厚さを 5 nm の厚さに堆積したものを用いることができる。また、第 2 の浮遊ゲート電極 20b にプラズマ処理を行い、浮遊ゲート電極 20 の表面を窒化処理した窒化膜（例えば、第 2 の浮遊ゲート電極 20b としてシリコンを用いた場合には窒化シリコン）を形成してもよい。いずれにしても、第 1 の絶縁層 16 と第 2 の絶縁層 22 が、浮遊ゲート電極 20 と接する側の一方又は双方を窒化膜若しくは窒化処理された層とすることで、浮遊ゲート電極 20 の酸化を防ぐことができる。

【0039】

制御ゲート電極 24 はタンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、クロム (Cr)、ニオブ (Nb) 等から選択された金属、又はこれらの金属を主成分とする合金材料若しくは化合物材料で形成することが好ましい。また、リン等の不純物元素を添加した多結晶シリコンを用いることができる。また、一層又は複数層の金属窒化物層 24a と上記の金属層 24b の積層構造で制御ゲート電極 24 を形成しても良い。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いるこ

10

20

30

40

50

とができる。金属窒化物層 24 a を設けることにより、金属層 24 b の密着性を向上させることができ、剥離を防止することができる。また、窒化タンタルなどの金属窒化物は仕事関数が高いので、第 2 の絶縁層 22 との相乗効果により、第 1 の絶縁層 16 の厚さを厚くすることができる。

【0040】

図 1 に示す不揮発性メモリ素子の動作メカニズムを、バンド図を参照して説明する。以下に示すバンド図において、図 1 と同じ要素には同じ符号を付している。

【0041】

図 2 は半導体基板 10 のチャンネル形成領域 14、第 1 の絶縁層 16、浮遊ゲート電極 20、第 2 の絶縁層 22、制御ゲート電極 24 が積層された状態を示している。図 2 は制御ゲート電極 24 に電圧を印加していない場合であって、半導体基板 10 のチャンネル形成領域 14 のフェルミ準位 E_f と制御ゲート電極 24 のフェルミ準位 E_{fm} が等しい場合を示している。

10

【0042】

第 1 の絶縁層 16 を挟んで、半導体基板 10 と第 1 の浮遊ゲート電極 20 a は異なる材料で形成している。半導体基板 10 のチャンネル形成領域 14 のバンドギャップ E_{g1} (伝導帯の下端 E_c と価電子帯の上端 E_v のエネルギー差) と第 1 の浮遊ゲート電極 20 a のバンドギャップ E_{g2} は異なるものとし、後者のバンドギャップは小さくなるように組み合わせている。例えば、半導体基板 10 のチャンネル形成領域 14 としてシリコン (1.12 eV)、第 1 の浮遊ゲート電極 20 a としてゲルマニウム (0.72 eV) 又はシリコンゲルマニウム (0.73 eV 乃至 1.0 eV) を組み合わせることができる。なお、第 1 の絶縁層 16 は酸化シリコン層 16 a (約 8 eV) と、当該酸化シリコンをプラズマ処理により窒化した窒化シリコン層 16 b (約 5 eV) で示してしている。また、第 2 の絶縁層 22 も、浮遊ゲート電極 20 側から、窒化シリコン層 22 a と酸化シリコン層 22 b が積層した状態を示している。また、第 2 の浮遊ゲート電極 20 b として多結晶シリコンを用いた場合には、第 1 の浮遊ゲート電極 20 a よりもバンドギャップが大きくなる。このバンドギャップの差は、第 1 の絶縁層 16 を通して第 1 の浮遊ゲート電極 20 a に注入されたキャリアに対する障壁となる。それにより、注入されたキャリアが第 2 の絶縁層 22 側にリークし、その界面にトラップされてしまうのを防ぐことができる。

20

【0043】

なお、真空準位を 0 eV とすると、シリコンの伝導帯のエネルギーレベルは -4.05 eV であり、ゲルマニウムの伝導帯のエネルギーレベルは -4.1 eV である。また酸化シリコンの伝導帯のエネルギーレベルは -0.9 eV である。従って、このような半導体基板 10 のチャンネル形成領域 14 と第 1 の浮遊ゲート電極 20 a の組み合わせによって、第 1 の絶縁層 16 により形成される半導体基板 10 のチャンネル形成領域 14 の電子に対する障壁エネルギー (B_{e1}) に対し、第 1 の絶縁層 16 により形成される第 1 の浮遊ゲート電極 20 a の電子に対する障壁エネルギー (B_{e2}) を高くすることができる。すなわち、電子に対するエネルギー障壁、すなわち第 1 障壁 B_{e1} と第 2 障壁 B_{e2} は異なる値となり、 $B_{e2} > B_{e1}$ の関係を持たせることができる。

30

【0044】

また、このような状況において、半導体基板 10 のチャンネル形成領域 14 としてシリコンのバンドギャップ E_{g1} と、第 1 の浮遊ゲート電極 20 a としてゲルマニウムのバンドギャップ E_{g2} は、 $E_{g1} > E_{g2}$ の関係を満たしている。さらに上記したように電子親和力を考慮すると、半導体基板 10 のチャンネル形成領域 14 と浮遊ゲート電極 20 の伝導帯の底のエネルギーレベルのエネルギー差 ΔE が発生する。後述するように、このエネルギー差 ΔE は、半導体基板 10 のチャンネル形成領域 14 から浮遊ゲート電極 20 に電子を注入するとき、電子を加速する方向に作用するので、書き込み電圧を低下させるのに寄与する。

40

【0045】

比較のために、半導体基板のチャンネル形成領域と浮遊ゲート電極を同じ半導体材料で形成

50

した場合のバンド図を図 16 に示す。このバンド図は、半導体基板 01、第 1 の絶縁層 02、浮遊ゲート電極 03、第 2 の絶縁層 04、制御ゲート電極 05 が順次積層された状態を示している。

【0046】

浮遊ゲート電極 03 の厚さは高々チャネル長と同程度、若しくはさらに薄くすることが本来好ましい。サブミクロンのレベルでのファインパターンを形成するためである。膜厚が厚くなるとゲート長に対してファインパターンを形成することが出来なくなるからである。しかし、浮遊ゲート電極 03 がより薄くなると、半導体基板 01 のチャネル形成領域と同じシリコン半導体で形成されるとバンドギャップは結果として大きくなってしまふ。すなわち、浮遊ゲート電極 03 の伝導帯の底のエネルギーレベルは、半導体基板 01 のチャネル形成領域における伝導帯の底のエネルギーレベルよりも高くなってしまふ。

10

【0047】

図 16 はこの状態を示している。半導体基板 01 におけるチャネル形成領域のバンドギャップを $E_g 1$ 、浮遊ゲート電極 03 のバンドギャップを $E_g 2$ で示している。シリコンでは薄膜化すると、バンドギャップがバルクの 1.12 eV から 1.4 eV 程度まで増大すると言われている。それにより、半導体基板 01 と浮遊ゲート電極 03 の間には、電子の注入をさせにくくする方向に ΔE のエネルギー差が生じてしまふ。このような状況では、半導体基板 01 から浮遊ゲート電極 03 に電子を注入するために高電圧が必要になってしまふ。すなわち、書き込み電圧を下げるために、浮遊ゲート電極 03 に n 型不純物としてリンやヒ素を高濃度にドーピングする必要がある。このことは、従来の不揮発性メモリにおける欠陥である。

20

【0048】

しかし、図 2 で示すように、浮遊ゲート電極 20 としてゲルマニウムを用いた場合には、シリコンよりそもそもバンドギャップが 0.72 eV と小さい。薄膜化によりゲルマニウムのバンドギャップが拡大したとしても、せいぜい 1 eV 程度であるので、半導体基板 10 のチャネル形成領域 14 におけるバンドギャップよりは小さい状態が保たれる。それにより、チャネル形成領域 14 から注入される電子に対して、伝導帯下端のエネルギー差により生じる自己バイアスは、浮遊ゲート電極 20 に電子を注入させやすくする方向に働く。ゲルマニウムに n 型不純物であるリンやヒ素を添加すると、その作用をさらに増長させることができる。

30

【0049】

結果として、浮遊ゲート電極 20 としてゲルマニウム若しくはゲルマニウム化合物を用いる場合には、その膜厚を薄くすることが出来、より微細な構造を作り込むことができる。特に不揮発性メモリ素子のチャネル長が 100 nm 以下、好ましくは 20 nm 以上 50 nm 以下において、ゲルマニウム若しくはゲルマニウム化合物、又はそれらに n 型不純物が添加された浮遊ゲート電極については、厚さを薄くすることが出来、超高集積化する上で好ましい。

【0050】

また、浮遊ゲート電極に対し n 型不純物を高濃度に添加すると、チャネル形成領域との間に耐圧を下げる傾向があり、あまり高濃度にする 것도好ましくない。結果として、n 型又は p 型不純物を意図的に添加しない、又は n 型不純物が 1×10^{18} 乃至 $2 \times 10^{20} \text{ cm}^{-3}$ の濃度で添加した導電性のゲルマニウム若しくはゲルマニウム化合物が好ましいものとなる。そのために、ゲルマニウム若しくはゲルマニウム化合物で形成される浮遊ゲート電極中の、絶縁化しやすい不純物である炭素 (C)、窒素 (N)、酸素 (O) は、いずれも $5 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $2 \times 10^{19} \text{ cm}^{-3}$ 以下とすることが好ましい。

40

【0051】

ところで、浮遊ゲート電極 20 に電子を注入するには、熱電子を利用する方法と、F-N 型トンネル電流を利用する方法がある。熱電子を利用する場合には、正の電圧を制御ゲート電極 24 印加して、ドレインに高電圧を印加して熱電子を発生させる。それにより、熱

50

電子を浮遊ゲート電極 20 に注入することができる。F-N 型トンネル電流を利用する場合には、正の電圧を制御ゲート電極 24 に印加して半導体基板 10 のチャンネル形成領域 14 から F-N 型トンネル電流により浮遊ゲート電極 20 に注入する。

【0052】

図 6 (A) は F-N 型トンネル電流により浮遊ゲート電極 20 に注入するときの印加電圧を示している。半導体基板 10 の p ウェル 12 を接地して、制御ゲート電極 24 に正の高電圧 (10 V 乃至 20 V) を印加すると共に、ソース領域 18 a とドレイン領域 18 b は 0 V としておく。このときのバンド図は図 3 に示すようになる。高電界により半導体基板 10 のチャンネル形成領域 14 の電子は第 1 の絶縁層 16 に注入され、F-N 型トンネル電流が流れる。図 2 で説明したように、半導体基板 10 におけるチャンネル形成領域 14 のバンドギャップ $E_g 1$ と、浮遊ゲート電極 20 のバンドギャップ $E_g 2$ の関係は、 $E_g 1 > E_g 2$ である。この差が自己バイアスとして、チャンネル形成領域 14 より注入された電子を浮遊ゲート電極 20 の方に加速するように作用する。それにより、電子の注入性を向上させることができる。

10

【0053】

浮遊ゲート電極 20 の伝導帯の底のエネルギーレベルは、半導体基板 10 のチャンネル形成領域の伝導帯の底のエネルギーレベルに対して電子エネルギー的に ΔE だけ低い準位にある。そのため電子が浮遊ゲート電極 20 に注入されるに当たっては、このエネルギー差に起因する内部電界が作用する。これは、上記したような半導体基板 10 のチャンネル形成領域 14 と浮遊ゲート電極 20 の組み合わせによって実現する。すなわち、半導体基板 10 のチャンネル形成領域 14 から浮遊ゲート電極 20 へ電子を注入しやすくなり、不揮発性メモリ素子における書き込み特性を向上させることができる。この作用は、熱電子を利用して浮遊ゲート電極 20 に電子を注入する場合にも同様である。

20

【0054】

浮遊ゲート電極 20 に電子が保持されている間は、不揮発性メモリ素子のしきい値電圧は正の方向にシフトする。この状態を、データ "0" が書き込まれた状態とすることができる。図 4 は、電荷保持状態のバンド図を示している。浮遊ゲート電極 20 の電子は、第 1 の絶縁層 16 と第 2 の絶縁層 22 に挟まれていることにより、エネルギー的に閉じこめられた状態にある。第 1 の浮遊ゲート電極 20 a に蓄積するキャリア (電子) によりポテンシャルは上がるが、障壁エネルギーを超えるエネルギーが電子に付与されない限り第 1 の浮遊ゲート電極 20 a から電子は放出されないことになる。より詳細には、第 1 の浮遊ゲート電極 20 a のキャリアは、第 1 の絶縁層 16 と第 2 の浮遊ゲート電極 20 b の間にエネルギー的に閉じこめられた状態と言える。この状態により、注入されたキャリアが第 2 の絶縁層 22 側にリークし、その界面にトラップされてしまうのを防ぐことができる。すなわち、消去動作において、浮遊ゲート領域に注入されたキャリアが残留して消去不良になってしまうのを防ぐことができる。尤も、第 2 の浮遊ゲート電極 20 b も浮遊ゲートとしてキャリアを蓄積する能力があるので、第 1 の浮遊ゲート電極 20 a を補って浮遊ゲートとして機能することができる。すなわち、150 °C の恒温放置による信頼性試験においても浮遊ゲート 20 に蓄積したキャリアを保持することができる。

30

【0055】

この場合、障壁エネルギーを超えるエネルギーが電子に付与されない限り浮遊ゲート電極 20 から電子は放出されないことになる。また、浮遊ゲート電極 20 の伝導帯の底のエネルギーレベルは、半導体基板 10 のチャンネル形成領域 14 の伝導帯の底のエネルギーレベルに対して電子エネルギー的に ΔE だけ低い準位にあり、電子に対してエネルギー的な障壁が形成される。この障壁により、トンネル電流によって半導体基板 10 に電子が流出してしまうのを防ぐことができる。

40

【0056】

このデータ "0" が書き込まれた状態を検出するには、中間電位 V_{read} を制御ゲート電極 24 に印加したときに、トランジスタがオンにならないことを回路によって判別すれば良い。中間電位とは、データ "1" におけるしきい値電圧 V_{th1} と、データ "0" に

50

おけるしきい値電圧 V_{th2} の中間の電位である（この場合、 $V_{th1} < V_{read} < V_{th2}$ ）。又は、図 6（B）に示すようにソース領域 18a とドレイン領域 18b 間にバイアスを印加して、制御ゲート電極 24 を 0V 若しくは中間の電位 V_{read} としたときに不揮発性メモリ素子が導通するか否かで判断することができる。

【0057】

図 7（A）は浮遊ゲート電極 20 から電荷を放出させ、不揮発性メモリ素子からデータを消去する状態を示している。この場合、制御ゲート電極 24 を接地して、半導体基板 10 の p ウェル 12 に負のバイアスを印加して、半導体基板 10 のチャンネル形成領域 14 と浮遊ゲート電極 20 の間に F-N 型トンネル電流を流すことにより行う。或いは、図 7（B）に示すように、制御ゲート電極 24 に負のバイアスを印加し、ソース領域 18a に正の高電圧を印加することにより、F-N 型トンネル電流を発生させ、ソース領域 18a 側に電子を引き抜いても良い。

10

【0058】

図 5 は、この消去状態のバンド図を示している。消去動作では、第 1 の絶縁層 16 を薄く形成することができるので、F-N 型トンネル電流により浮遊ゲート電極 20 の電子を半導体基板 10 側に放出させることができる。また、半導体基板 10 のチャンネル形成領域 14 から正孔を浮遊ゲート電極 20 に注入することにより、実質的な消去動作をすることができる。また、半導体基板 10 のチャンネル形成領域 14 から正孔がより注入されやすく、浮遊ゲート電極 20 に注入することにより、実質的な消去動作をすることができる。

【0059】

20

浮遊ゲート電極 20 をゲルマニウム若しくはゲルマニウム化合物で形成することにより、第 1 の絶縁層 16 の厚さを薄くすることができる。それにより、トンネル電流によって第 1 の絶縁層 16 を介して電子を浮遊ゲート電極 20 に注入することが容易となり、低電圧動作が可能となる。さらに、低エネルギーレベルで電荷を保存することが可能になり、電荷を安定した状態で保存できるという有意な効果を奏することができる。

【0060】

本発明に係る不揮発性メモリ素子では、図 2、図 3 で示すように、半導体基板 10 のチャンネル形成領域 14 と浮遊ゲート電極 20 の間で $E_{g1} > E_{g2}$ として自己バイアスが生じるように構成している。この関係は極めて重要であり、半導体基板のチャンネル形成領域 14 から浮遊ゲート電極にキャリアを注入するときに、注入しやすくするように作用する。すなわち、書き込み電圧の低電圧化を図ることができる。逆に浮遊ゲート電極からキャリアを放出させるにくくしている。このことは、不揮発性メモリ素子の記憶保持特性を向上させるように作用する。また、浮遊ゲート電極としてのゲルマニウム層に n 型不純物をドーピングすることにより、伝導帯の底のエネルギーレベルをさらに下げることが出来、よりキャリアを浮遊ゲート電極に注入しやすくするように自己バイアスを作用させることができる。すなわち、書き込み電圧を下げ、不揮発性メモリ素子の記憶保持特性を向上させることができる。

30

【0061】

以上説明したように、本発明に係る不揮発性メモリ素子は、半導体基板から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。

40

【0062】

このような不揮発性メモリ素子を用いて、様々な態様の不揮発性半導体記憶装置を得ることができる。図 8 に不揮発性メモリセルアレイの等価回路の一例を示す。1 ビットの情報を記憶するメモリセル MS01 は、選択トランジスタ S01 と不揮発性メモリ素子 M01 で構成されている。選択トランジスタ S01 は、ビット線 BL0 と不揮発性メモリ素子 M01 の間に直列に挿入され、ゲートがワード線 WL1 に接続されている。不揮発性メモリ素子 M01 のゲートはワード線 WL1 に接続されている。不揮発性メモリ素子 M01 にデータの書き込むときは、ワード線 WL1 とビット線 BL0 を H レベル、BL1 を L レベ

50

ルとして、ワード線WL11に高電圧を印加すると、前述のいように浮遊ゲートに電荷が蓄積される。データを消去する場合には、ワード線WL1とビット線BL0をHレベルとし、ワード線WL11に負の高電圧を印加すれば良い。

【0063】

図9は、ビット線に不揮発性メモリ素子を直接接続したNOR型の等価回路を示している。このメモリセルアレイは、ワード線WL(WL1~3)とビット線BL(BL0~BL2)が互いに交差して配設し、各交差部に不揮発性メモリ素子(M0~M23)を配置している。NOR型は、個々の不揮発性メモリ素子のドレインをビット線BLに接続する。ソース線SLには不揮発性メモリ素子のソースが共通接続される。

【0064】

NOR型の動作は、例えば、次の通りである。データ書き込みは、ソース線SLを0Vとし、データを書き込むために選択されたワード線WLに高電圧を与え、ビット線BLにはデータ"0"と"1"に応じた電位を与える。例えば、"0"と"1"に対してそれぞれHレベル、Lレベルの電位をビット線BLに付与する。"0"データを書き込むべく、Hレベルが与えられた不揮発性メモリ素子ではドレイン近傍でホットエレクトロンが発生し、これが浮遊ゲートに注入される。"1"データの場合この様な電子注入は生じない。

【0065】

"0"データが与えられたメモリセルでは、ドレインとソースとの間の強い横方向電界により、ドレインの近傍でホットエレクトロンが生成され、これが浮遊ゲートに注入される。これにより、浮遊ゲートに電子が注入されてしきい値電圧が高くなった状態が"0"である。"1"データの場合はホットエレクトロンが生成されず、浮遊ゲートに電子が注入されずしきい値電圧の低い状態、すなわち消去状態が保持される。

【0066】

データを消去するときは、ソース線SLに10V程度の正の電圧を印加し、ビット線BLは浮遊状態としておく。そしてワード線WLに負の高電圧を印加して(制御ゲートに負の高電圧を印加して)、浮遊ゲートから電子を引き抜く。これにより、データ"1"の消去状態になる。

【0067】

データ読み出しは、ソース線SLを0Vにすると共にビット線BLを0.8V程度とし、選択されたワード線WLに、データ"0"と"1"のしきい値の中間値に設定された読み出し電圧を与え、不揮発性メモリ素子の電流引き込みの有無を、ビット線BLに接続されるセンスアンプで判定することにより行う。

【0068】

図10は、NAND型メモリセルアレイの等価回路を示す。ビット線BLには、複数の不揮発性メモリ素子を直列に接続したNANDセルNS1が接続されている。複数のNANDセルが集まってブロックBLKを構成している。図10で示すブロックBLK1のワード線は32本である(ワード線WL0乃至WL31)。ブロックBLK1の同一行に位置する不揮発性メモリ素子には、この行に対応するワード線が共通接続されている。

【0069】

書き込み動作では、NANDセルNS1が消去状態、つまりNANDセルNS1の各不揮発性メモリ素子(M0~M31)のしきい値が負電圧の状態にしてから実行される。書き込みは、ソース線SL側の不揮発性メモリ素子M0から順に行う。メモリ素子M0への書き込みを例として説明すると概略以下のようになる。

【0070】

書き込みは、NANDセルが消去状態、つまりNANDセルの各メモリセルのしきい値が負電圧の状態にしてから実行される。図11(A)は、"0"書き込みをする場合、選択ゲート線SG2に例えばVcc(電源電圧)を印加して選択トランジスタS2をオンにすると共にビット線BL0を0V(接地電圧)にする。選択ゲート線SG1は0Vとして、選択トランジスタS1はオフとする。次に、不揮発性メモリ素子M0のワード線WL0を高電圧Vpgm(20V程度)とし、これ以外のワード線を中間電圧Vpass(10V

10

20

30

40

50

程度)にする。ビット線BL0の電圧は0Vなので、選択された不揮発性メモリ素子M0のチャネル形成領域の電位は0Vとなる。ワード線WL0とチャネル形成領域との間の電位差が大きいため、不揮発性メモリ素子M0の浮遊ゲートには前述のようにF-Nトンネル電流により電子が注入される。これにより、不揮発性メモリ素子M0のしきい値電圧が正の状態(“0”が書き込まれた状態)となる。

【0071】

一方“1”書き込みをする場合は、図11(B)に示すように、ビット線BLを例えばVcc(電源電圧)にする。選択ゲート線SG2の電圧がVccであるため、選択トランジスタS2のしきい値電圧Vthに対して、VccマイナスVth($V_{cc} - V_{th}$)になると、選択トランジスタS2がカットオフする。従って、不揮発性メモリ素子M0のチャネル形成領域はフローティング状態となる。次に、ワード線WL0に高電圧Vpgm(20V)、それ以外のワード線に中間電圧Vpass(10V)の電圧を印加すると、各ワード線とチャネル形成領域との容量カップリングにより、チャネル形成領域の電圧がVcc-Vthから上昇し例えば8V程度となる。チャネル形成領域の電圧が高電圧に昇圧されるため、“0”の書き込みの場合と異なり、ワード線WL0とチャネル形成領域の間の電位差が小さい。したがって、不揮発性メモリ素子M0の浮遊ゲートには、F-Nトンネル電流による電子注入が起こらない。よって、不揮発性メモリ素子M0のしきい値は、負の状態(“1”が書き込まれた状態)に保たれる。

【0072】

消去動作をする場合は、図12(A)に示すように、選択されたブロック内の全てのワード線を0Vとして、pウェルに負の高電圧(Vers)を印加する。ビット線BL、ソース線SLはフローティング状態とする。これにより、ブロックの全てのメモリセルにおいて浮遊ゲート中の電子がトンネル電流により半導体基板に放出される。この結果、これらのメモリセルのしきい値電圧が負方向にシフトする。

【0073】

図12(B)に示す読み出し動作では、読み出しの選択がされた不揮発性メモリ素子M0のワード線WL0を電圧Vr(例えば0V)とし、非選択のメモリセルのワード線WL1乃至WL31及び選択ゲート線SG1、SG2を電源電圧より少し高い読み出し用中間電圧Vreadとする。すなわち、図13に示すように、選択メモリ素子以外のメモリ素子はトランスファートランジスタとして働く。これにより、読み出しの選択がされた不揮発性メモリ素子M0に電流が流れるか否かを検出する。つまり、不揮発性メモリ素子M0に記憶されたデータが“0”の場合、不揮発性メモリ素子M0はオフなので、ビット線BLは放電しない。一方、“1”の場合、不揮発性メモリ素子M0はオンするので、ビット線BLが放電する。

【0074】

図14は、不揮発性半導体記憶装置の回路ブロック図の一例を示している。不揮発性半導体記憶装置は、メモリセルアレイ52と周辺回路54が同一の基板上に形成されている。メモリセルアレイ52は、図8、図9、図10で示すような構成を有している。周辺回路54の構成は以下の通りである。

【0075】

ワード線選択のためにロウデコーダ62と、ビット線選択のためにカラムデコーダ64が、メモリセルアレイ52の周囲に設けられている。アドレスは、アドレスバッファ56を介してコントロール回路58に送られ、内部ロウアドレス信号及び内部カラムアドレス信号がそれぞれロウデコーダ62及びカラムデコーダ64に転送される。

【0076】

データ書き込み及び消去には、電源電位を昇圧した電位が用いられる。このため、コントロール回路58により動作モードに応じて制御される昇圧回路60が設けられている。昇圧回路60の出力はロウデコーダ62やカラムデコーダ64を介して、ワード線WLやビット線BLに供給される。センスアンプ66はカラムデコーダ64から出力されたデータが入力される。センスアンプ66により読み出されたデータは、データバッファ68に保

10

20

30

40

50

持され、コントロール回路 58 からの制御により、データがランダムアクセスされ、データ入出力バッファ 70 を介して出力されるようになっている。書き込みデータは、データ入出力バッファ 70 を介してデータバッファ 68 に一旦保持され、コントロール回路 58 の制御によりカラムデコーダ 64 に転送される。

【0077】

次いで、上記した不揮発性半導体記憶装置について、実施例により詳細に説明する。以下に説明する本発明の構成において、同じ要素を指す符号は異なる図面で共通して用い、その場合における繰り返しの説明は省略する場合がある。

【実施例 1】

【0078】

本実施例では、不揮発性半導体記憶装置の一例に関して図面を参照して説明する。以下の説明では、不揮発性半導体記憶装置において、メモリ部を構成する不揮発性メモリ素子と、当該メモリ部と同一の基板上に設けられメモリ部の制御等を行うロジック部を構成するトランジスタ等の素子とを同時に形成する場合を示す。

【0079】

まず、不揮発性半導体記憶装置におけるメモリ部の等価回路を図 8 に示す。

【0080】

本実施例で示すメモリ部は、選択トランジスタと不揮発性メモリ素子を有するメモリセルが複数設けられている。図 8 では、選択トランジスタ S01 と不揮発性メモリ素子 M01 により一つのメモリセルが形成されている。また、同様に、選択トランジスタ S02 と不揮発性メモリ素子 M02、選択トランジスタ S03 と不揮発性メモリ素子 M03、選択トランジスタ S11 と不揮発性メモリ素子 M11、選択トランジスタ S12 と不揮発性メモリ素子 M12、選択トランジスタ S13 と不揮発性メモリ素子 M13 とによりメモリセルが形成されている。

【0081】

選択トランジスタ S01 のゲート電極はワード線 WL1 に接続され、ソース又はドレインの一方はビット線 BL0 に接続され、他方は不揮発性メモリ素子 M01 のソース又はドレインに接続されている。また、不揮発性メモリ素子 M01 のゲート電極はワード線 WL1 に接続され、ソース又はドレインの一方は選択トランジスタ S01 のソース又はドレインに接続され、他方はソース線 SL0 に接続されている。

【0082】

なお、メモリ部に設けられる選択トランジスタは、ロジック部に設けられるトランジスタと比較して駆動電圧が高いため、メモリ部に設けるトランジスタとロジック部に設けるトランジスタのゲート絶縁膜等を異なる厚さで形成することが好ましい。例えば、駆動電圧が小さくしきい値電圧のばらつきを小さくしたい場合にはゲート絶縁膜が薄いトランジスタを設けることが好ましく、駆動電圧が大きくゲート絶縁膜の耐圧性能が求められる場合にはゲート絶縁膜が厚いトランジスタを設けることが好ましい。

【0083】

従って、本実施例では、駆動電圧が小さくしきい値電圧のばらつきを小さくしたいロジック部のトランジスタに対しては膜厚が小さい絶縁層を形成し、駆動電圧が大きくゲート絶縁膜の耐圧性能が求められるメモリ部のトランジスタに対しては膜厚が大きい絶縁層を形成する場合に関して以下に図面を参照して説明する。なお、図 17 乃至図 20 において、A-B 間及び C-D 間はロジック部に設けられるトランジスタを示し、E-F 間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H 間はメモリ部に設けられるトランジスタを示している。また、本実施例では、A-B 間に設けられるトランジスタを p チャンネル型、C-D 間、G-H 間に設けるトランジスタを n チャンネル型、E-F 間に設けられる不揮発性メモリ素子のキャリアの移動を電子で行う場合に関して説明するが、本発明の不揮発性半導体装置はこれに限られるものでない。

【0084】

まず、基板 100 に素子を分離した領域 104、106、108、110 を形成し、当該

10

20

30

40

50

領域104、106、108、110の表面に第1の絶縁層112、114、116、118を形成する。そして、当該第1の絶縁層112、114、116、118を覆うように後に完成する不揮発性メモリ素子において浮遊ゲートとして機能する電荷蓄積層120、123を積層して形成する(図17(A)参照)。基板100に設けられた領域104、106、108、110は、それぞれ絶縁層102(フィールド酸化膜ともいう)によって分離されている。本例では、基板100としてn型の導電性を有する単結晶シリコン基板を用い、基板100の領域106、108、110にpウェル107を設けた例を示している。

【0085】

また、基板100は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電性を有する単結晶シリコン基板、化合物半導体基板(GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等)、貼り合わせ法またはSIMOX(Separation by Implanted Oxygen)法を用いて作製されたSOI(Silicon on Insulator)基板等を用いることができる。

10

【0086】

素子が分離された領域104、106、108、110は、選択酸化法(LOCOS(Local Oxidation of Silicon)法)又はトレンチ分離法等を適宜用いることができる。

【0087】

また、基板100の領域106、108、110に形成されたpウェルは、基板100にp型の導電性を有する不純物元素を選択的に導入することによって形成することができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。

20

【0088】

なお、本実施例では、基板100としてn型の導電性を有する半導体基板を用いているため、領域104には不純物元素の導入を行っていないが、n型を示す不純物元素を導入することにより領域104にnウェルを形成してもよい。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。一方、p型の導電性を有する半導体基板を用いる場合には、領域104にn型を示す不純物元素を導入してnウェルを形成し、領域106、108、110には不純物元素の導入を行わない構成としてもよい。

30

【0089】

第1の絶縁層112、114、116、118は、熱処理を行い基板100に設けられた領域104、106、108、110の表面を酸化させることにより酸化シリコン膜で形成することができる。また、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有する膜(酸化窒化シリコン膜)との積層構造で形成することができる。

【0090】

他にも、プラズマ処理を用いて第1の絶縁層112、114、116、118を形成してもよい。例えば、基板100に設けられた領域104、106、108、110の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、第1の絶縁層112、114、116、118として酸化シリコン(SiO_x)膜又は窒化シリコン(Si₃N₄)膜を形成することができる。また、高密度プラズマ処理により領域104、106、108、110の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域104、106、108、110の表面に接して酸化シリコン膜が形成され、当該酸化シリコン膜上に(酸化窒化シリコン膜)が形成され、第1の絶縁層112、114、116、118は酸化シリコン膜と酸化窒化シリコン膜とが積層された膜となる。また、熱酸化法により領域104、106、108、110の表面に酸化シリコン膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

40

50

【0091】

本例では、第1の絶縁層112、114、116、118を1nm以上10nm以下、好ましくは1nm以上5nm以下で形成する。例えば、熱処理により領域104、106、108、110に酸化処理を行い当該領域104、106、108、110の表面に概略5nmの酸化シリコン膜を形成した後、高密度プラズマ処理により窒化処理を行い酸化シリコン膜の表面に概略2nmの酸化窒化シリコン膜を形成する。また、このとき、熱処理と高密度プラズマ処理による窒化処理は大気に一度も曝されることなく連続して行うことが好ましい。熱処理と高密度プラズマ処理を連続して行うことによって、汚染物の混入の防止や生産効率の向上を実現することができる。

【0092】

なお、高密度プラズマ処理により被処理物（本例では基板100）を酸化する場合には、酸素を含む雰囲気下（例えば、酸素（ O_2 ）又は一酸化二窒素（ N_2O ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、若しくは酸素又は一酸化二窒素と水素（ H_2 ）と希ガス雰囲気下）で行う。一方、高密度プラズマ処理により被処理物を窒化する場合には、窒素を含む雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下）でプラズマ処理を行う。

【0093】

希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。高密度プラズマ処理を希ガス雰囲気中で行った場合、第1の絶縁層112、114、116、118は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる場合があり、Arを用いた場合には第1の絶縁層112、114、116、118にArが含まれている場合がある。

【0094】

また、高密度プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が1.5eV以下で行う。より詳しくは、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5eV以上1.5eV以下で行う。プラズマの電子密度が高密度であり、基板100上に形成された被処理物（本例では、基板100）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1.5eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。プラズマを形成するための周波数としては、マイクロ波（例えば、2.45GHz）等の高周波を用いることができる。

【0095】

本実施例では、高密度プラズマ処理により被処理物の酸化処理を行う場合、酸素（ O_2 ）、水素（ H_2 ）とアルゴン（Ar）との混合ガスを導入する。ここで用いる混合ガスは、酸素を0.1sccm乃至100sccm、水素を0.1sccm乃至100sccm、アルゴンを100sccm乃至5000sccmとして導入すればよい。なお、酸素：水素：アルゴン＝1：1：100の比率で混合ガスを導入することが好ましい。例えば、酸素を5sccm、水素を5sccm、アルゴンを500sccmとして導入すればよい。

【0096】

また、高密度プラズマ処理により窒化処理を行う場合、窒素（ N_2 ）とアルゴン（Ar）との混合ガスを導入する。ここで用いる混合ガスは、窒素を20sccm乃至2000sccm、アルゴンを100sccm乃至10000sccmとして導入すればよい。例えば、窒素を200sccm、アルゴンを1000sccmとして導入すればよい。

【0097】

本実施例では、基板100において、メモリ部に設けられた領域108上に形成される第1の絶縁層116は、後に完成する不揮発性メモリ素子において、トンネル酸化膜として機能する。従って、第1の絶縁層116の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高速動作が可能となる。また、第1の絶縁層116の膜厚が薄いほど、後に形成される浮遊ゲートに低電圧で電荷を蓄積させることが可能となるため、不揮発性半導体記憶装置の消費電力を低減することができる。そのため、第1の絶縁層112、114、116、118は、膜厚を薄く形成することが好ましい。

【0098】

電荷蓄積層120、123は、ゲルマニウム（Ge）又はシリコンゲルマニウム合金等のゲルマニウムを含む膜とシリコン（Si）を含む膜の積層構造で形成する。本例では、電荷蓄積層120として、ゲルマニウム元素を含む雰囲気中（例えば、 GeH_4 ）でプラズマCVD法を行うことにより、ゲルマニウムを主成分とする膜を1nm以上20nm以下、好ましくは1nm以上10nm以下で形成後、電荷蓄積層123としてシリコン元素を含む雰囲気中（例えば、 SiH_4 ）でプラズマCVD法を行うことにより、シリコンを主成分とする膜を1nm以上50nm以下、好ましくは1nm以上20nm以下で形成することによって、ゲルマニウムとシリコンの積層構造で設ける。このように、基板100として単結晶シリコン基板を用い、当該シリコン基板のある領域上にトンネル酸化膜として機能する第1の絶縁層を介してシリコンよりエネルギーギャップの小さいゲルマニウムを含む膜を電荷蓄積層として設けた場合、シリコン基板のある領域の電荷に対する第1の絶縁層により形成される第1の障壁に対して電荷蓄積層の電荷に対する第1の絶縁層により形成される第2の障壁がエネルギー的に高くなる。その結果、シリコン基板のある領域から電荷蓄積層へ電荷を注入しやすくすることができ、電荷蓄積層から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることができる。また、基板100において、メモリ部に設けられた領域108上に形成される電荷蓄積層120及び電荷蓄積層123を含む積層構造は、後に完成する不揮発性メモリ素子において、浮遊ゲートとして機能する。また、ゲルマニウムを含む膜とシリコンゲルマニウム合金を順に積層させて設けてもよい。

【0099】

次に、基板100の領域104、106、110上に形成された、第1の絶縁層112、114、118と電荷蓄積層120及び123を選択的に除去し、領域108上に形成された、第1の絶縁層116と電荷蓄積層120及び電荷蓄積層123を含む積層構造を残存させる。本例では、基板100において、メモリ部に設けられた領域108の第1の絶縁層116、電荷蓄積層120及び電荷蓄積層123を含む積層構造を選択的にレジストで覆い、領域104、106、110上に形成された、第1の絶縁層112、114、118と電荷蓄積層120及び電荷蓄積層123を含む積層構造をエッチングすることによって選択的に除去する（図17（B）参照）。

【0100】

次に、基板100の領域104、106、110と、領域108の上方に形成された電荷蓄積層120及び電荷蓄積層123を含む積層構造の一部を選択的に覆うようにレジスト122を形成し、当該レジスト122に覆われていない電荷蓄積層120及び123をエッチングして選択的に除去することによって、電荷蓄積層120及び電荷蓄積層123を含む積層構造の一部を残存させ、電荷蓄積層121及び浮遊ゲートとして機能する電荷蓄積層125を含む積層構造を形成する（図17（C）参照）。

【0101】

次に、基板100の領域110の特定の領域に不純物領域を形成する。本例では、レジスト122を除去後、領域104、106、108と、領域110の一部を選択的に覆うようにレジスト124を形成し、当該レジスト124に覆われていない領域110に不純物元素を導入することによって、不純物領域126を形成する（図18（A）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n

型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を領域110に導入する。

【0102】

次に、基板100の領域104、106、110と、領域108の上方に形成された第1の絶縁層116と電荷蓄積層121及び電荷蓄積層125を含む積層構造を覆うように第2の絶縁層128を形成する（図18（B）参照）。

【0103】

第2の絶縁層128は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y 、 $(x>y>0)$ ）、窒化酸化シリコン（ SiN_xO_y 、 $(x>y>0)$ ）等の絶縁材料を用いて単層又は積層して形成する。例えば、第2の絶縁層128を単層で設ける場合には、CVD法により酸化窒化シリコン膜又は窒化酸化シリコン膜を5nm以上50nm以下の膜厚で形成する。また、第2の絶縁層128を3層構造で設ける場合には、第1層目の絶縁層として酸化窒化シリコン膜を形成し、第2の絶縁層として窒化シリコン膜を形成し、第3の絶縁層として酸化窒化シリコン膜を形成する。また、他にも第2の絶縁層128として、ゲルマニウムの酸化物又は窒化物を用いてもよい。

【0104】

なお、領域108の上方に形成された第2の絶縁層128は、後に完成する不揮発性メモリ素子においてコントロール絶縁層として機能し、領域110の上方に形成された第2の絶縁層128は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0105】

次に、領域108、110の上方に形成された第2の絶縁層128を覆うようにレジスト130を選択的に形成し、領域104、106上に形成された第2の絶縁層128を選択的に除去する（図18（C）参照）。

【0106】

次に、領域104、106を覆うように第3の絶縁層132、134をそれぞれ形成する（図19（A）参照）。

【0107】

第3の絶縁層132、134は、上記第1の絶縁層112、114、116、118の形成方法で示したいずれかの方法を用いて形成する。例えば、熱処理を行い基板100に設けられた領域104、106の表面を酸化させることにより酸化シリコン膜で第3の絶縁層132、134を形成することができる。また、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有する膜（酸化窒化シリコン膜）との積層構造で形成してもよい。

【0108】

他にも、上述したように、プラズマ処理を用いて第3の絶縁層132、134を形成してもよい。例えば、基板100に設けられた領域104、106の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、第3の絶縁層132、134として酸化シリコン（ SiO_x ）膜又は窒化シリコン（ SiN_x ）膜で形成することができる。また、高密度プラズマ処理により領域104、106の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域104、106の表面に接して酸化シリコン膜が形成され、当該酸化シリコン膜上に（酸化窒化シリコン膜）が形成され、第3の絶縁層132、134は酸化シリコン膜と酸化窒化シリコン膜とが積層された膜となる。また、熱酸化法により領域104、106の表面に酸化シリコン膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0109】

なお、第3の絶縁層132、134を熱酸化法や高密度プラズマ処理で形成する際に、基板100の領域108、110の上方に形成された第2の絶縁層128の表面にも、酸化膜又は酸化窒化膜が形成される場合がある。また、基板100の領域104、106に形成された第3の絶縁層132、134は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0110】

次に、領域104、106の上方に形成された第3の絶縁層132、134、領域108、110の上方に形成された第2の絶縁層128を覆うように導電膜を形成する（図19（B）参照）。本例では、導電膜として、導電膜136と導電膜138を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0111】

導電膜136、138としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0112】

本例では、導電膜136として窒化タンタルを用いて形成し、その上に導電膜138としてタングステンを用いて積層構造で設ける。また、他にも、導電膜136として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜138として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0113】

次に、積層して設けられた導電膜136、138を選択的にエッチングして除去することによって、領域104、106、108、110の上方の一部に導電膜136、138を残存させ、それぞれゲート電極として機能する導電膜140、142、144、146を形成する（図19（C）参照）。なお、基板100においてメモリ部に設けられた領域108の上方に形成される導電膜144は、後に完成する不揮発性メモリ素子において制御ゲートとして機能する。また、導電膜140、142、146は、後に完成するトランジスタにおいてゲート電極として機能する。

【0114】

次に、領域104を覆うようにレジスト148を選択的に形成し、当該レジスト148、導電膜142、144、146をマスクとして領域106、108、110に不純物元素を導入することによって不純物領域を形成する（図20（A）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を用いる。

【0115】

図20（A）においては、不純物元素を導入することによって、領域106にソース領域又はドレイン領域を形成する不純物領域152とチャネル形成領域150が形成される。また、領域108には、ソース領域又はドレイン領域を形成する不純物領域156とLDD領域を形成する低濃度不純物領域158とチャネル形成領域154が形成される。また、領域110には、ソース領域又はドレイン領域を形成する不純物領域162とLDD領域を形成する低濃度不純物領域164とチャネル形成領域160が形成される。

【0116】

また、領域108に形成される低濃度不純物領域158は、図20（A）において導入された不純物元素が浮遊ゲートとして機能する電荷蓄積層121及び電荷蓄積層125を含

10

20

30

40

50

む積層構造を突き抜けることによって形成される。従って、領域108において、導電膜144及び電荷蓄積層121及び電荷蓄積層125を含む積層構造の双方と重なる領域にチャンネル形成領域154が形成され、電荷蓄積層121及び電荷蓄積層125を含む積層構造と重なり導電膜144と重ならない領域に低濃度不純物領域158が形成され、電荷蓄積層121及び電荷蓄積層125を含む積層構造及び導電膜144の双方と重ならない領域に高濃度不純物領域156が形成される。

【0117】

次に、領域106、108、110を覆うようにレジスト166を選択的に形成し、当該レジスト166、導電膜140をマスクとして領域104に不純物元素を導入することによって不純物領域を形成する(図20(B)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本例では、図20(A)で領域106、108、110に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、領域104にソース領域又はドレイン領域を形成する不純物領域170とチャンネル形成領域168を形成される。

【0118】

次に、第2の絶縁層128、第3の絶縁層132、134、導電膜140、142、144、146を覆うように絶縁層172を形成し、当該絶縁層172上に領域104、106、108、110にそれぞれ形成された不純物領域170、152、156、162と電氣的に接続する導電膜174を形成する(図20(C)参照)。

【0119】

絶縁層172は、CVD法やスパッタ法等により、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y 、($x>y$))、窒化酸化シリコン(SiN_xO_y 、($x>y$))等の酸素または窒素を有する絶縁層やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0120】

導電膜174は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電膜174は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン(TiN)膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜174を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜が

できていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【0121】

本実施例の不揮発性半導体記憶装置は、回路の構成に合わせてトランジスタにおけるゲート絶縁層の膜厚を異ならせることにより、低消費電力化を図ることができる。また、不揮発性半導体記憶装置の動作の安定化を図ることができる。具体的には、ロジック部を構成するトランジスタのゲート絶縁層の膜厚を薄くすることで、しきい値電圧のばらつきを小さくすることができ、低電圧で駆動させることが可能となる。メモリ部の選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体基板から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。すなわち、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。本実施例によれば、このような優れた効果を奏する不揮発性半導体記憶装置を連続した工程で作製することが可能となる。

10

【0122】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【実施例2】

20

【0123】

本実施例では、上記実施例1と異なる不揮発性半導体記憶装置の作製方法に関して図面を参照して説明する。なお、上記実施例と同じものを指す場合には同様の符号を用いて示し説明を省略する。なお、図21乃至図23において、A-B間及びC-D間はロジック部に設けられるトランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられるトランジスタを示している。また、本実施例では、A-B間に設けられるトランジスタをpチャネル型、C-D間、G-H間に設けるトランジスタをnチャネル型、E-F間に設けられる不揮発性メモリ素子のキャリアの移動を電子で行う場合に関して説明するが、本発明の不揮発性半導体装置はこれに限られるものでない。

30

【0124】

まず、図17(C)まで、同様に形成後、レジスト122を除去し、領域104、106、110と、領域108の上方に形成された第1の絶縁層116と浮遊ゲートとして機能する電荷蓄積層121及び電荷蓄積層125を含む積層構造を覆うように第2の絶縁層128を形成する(図21(A)参照)。

【0125】

次に、領域108、110の上方に形成された第2の絶縁層128を覆うようにレジスト130を選択的に形成し、領域104、106上に形成された第2の絶縁層128を選択的に除去する(図21(B)参照)。

【0126】

40

次に、領域104、106を覆うように第3の絶縁層132、134をそれぞれ形成する(図21(C)参照)。

【0127】

次に、領域104、106の上方に形成された第3の絶縁層132、134、領域108、110の上方に形成された第2の絶縁層128を覆うように導電膜を形成する(図22(A)参照)。本例では、導電膜として、導電膜136と導電膜138を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0128】

次に、積層して設けられた導電膜136、138を選択的にエッチングして除去すること

50

によって、領域104、106、108、110の上方の一部に導電膜136、138を残存させ、それぞれゲート電極として機能する導電膜140、142、144、146を形成する（図22（B）参照）。なお、導電膜140は、残存した導電膜136、138により積層して設けられた導電膜182a、184aを有している。また、本実施例では、導電膜140において、下方に形成される導電膜182aの幅（キャリアがチャンネル形成領域を流れる方向（ソース領域とドレイン領域を結ぶ方向）に概略平行な方向に対する幅）が導電膜184aの幅より大きくなるようにする。同様に、導電膜142においては導電膜182bと導電膜182bより幅の小さい184bを順に積層して形成し、導電膜144においては導電膜182cと導電膜182cより幅の小さい184cを順に積層して形成し、導電膜146においては導電膜182dと導電膜182dより幅の小さい184dを順に積層して形成する。

10

【0129】

次に、領域104を覆うようにレジスト148を選択的に形成し、当該レジスト148、導電膜142、144、146をマスクとして領域106、108、110に不純物元素を導入することによって不純物領域を形成する（図22（C）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を用いる。

【0130】

20

図22（C）においては、不純物元素を導入することによって、領域106にソース領域又はドレイン領域を形成する高濃度不純物領域152とLDD領域を形成する低濃度不純物領域186とチャンネル形成領域150が形成される。また、領域108には、ソース領域又はドレイン領域を形成する不純物領域156とLDD領域を形成する低濃度不純物領域158とチャンネル形成領域154が形成される。また、領域110には、ソース領域又はドレイン領域を形成する高濃度不純物領域162とLDD領域を形成する低濃度不純物領域164とチャンネル形成領域160が形成される。

【0131】

領域106に形成される低濃度不純物領域186は、図22（C）において導入された不純物元素が導電膜182bを突き抜けることによって形成される。従って、領域106において、導電膜182b及び導電膜184bの双方と重なる領域にチャンネル形成領域150が形成され、導電膜182bと重なり導電膜184bと重ならない領域に低濃度不純物領域186が形成され、導電膜182b及び導電膜184bの双方と重ならない領域に高濃度不純物領域152が形成される。

30

【0132】

また、領域108に形成される低濃度不純物領域158は、図22（C）において導入された不純物元素が電荷蓄積層121及び電荷蓄積層125を含む積層構造を突き抜けることによって形成される。従って、領域108において、導電膜182c及び電荷蓄積層121及び電荷蓄積層125を含む積層構造の双方と重なる領域にチャンネル形成領域154が形成され、電荷蓄積層121及び電荷蓄積層125を含む積層構造と重なり導電膜182cと重ならない領域に低濃度不純物領域158が形成され、電荷蓄積層121及び電荷蓄積層125を含む積層構造及び導電膜182cの双方と重ならない領域に高濃度不純物領域156が形成される。なお、導電膜182cの膜厚を薄く形成した場合には、領域108において導電膜182c及び電荷蓄積層121及び電荷蓄積層125を含む積層構造の双方と重なり且つ導電膜184cと重ならない領域に低濃度不純物領域158と同等又はそれより低い濃度を有する低濃度不純物領域が形成される場合がある。

40

【0133】

領域110に形成される低濃度不純物領域164は、図22（C）において導入された不純物元素が導電膜182dを突き抜けることによって形成される。従って、領域110において、導電膜182d及び導電膜184dの双方と重なる領域にチャンネル形成領域16

50

0が形成され、導電膜182dと重なり導電膜184dと重ならない領域に低濃度不純物領域164が形成され、導電膜182d及び導電膜184dの双方と重ならない領域に高濃度不純物領域162が形成される。

【0134】

次に、領域106、108、110を覆うようにレジスト166を選択的に形成し、当該レジスト166、導電膜140をマスクとして領域104に不純物元素を導入することによって不純物領域を形成する(図23(A)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本例では、図22(C)で領域106、108、110に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、領域104にソース領域又はドレイン領域を形成する高濃度不純物領域170とLDD領域を形成する低濃度不純物領域188とチャンネル形成領域168を形成される。

10

【0135】

領域104に形成される低濃度不純物領域188は、図22(C)において導入された不純物元素が導電膜182aを突き抜けることによって形成される。従って、領域104において、導電膜182a及び導電膜184aの双方と重なる領域にチャンネル形成領域168が形成され、導電膜182aと重なり導電膜184aと重ならない領域に低濃度不純物領域188が形成され、導電膜182a及び導電膜184aの双方と重ならない領域に高濃度不純物領域170が形成される。

20

【0136】

次に、第2の絶縁層128、第3の絶縁層132、134、導電膜140、142、144、146を覆うように絶縁層172を形成し、当該絶縁層172上に領域104、106、108、110にそれぞれ形成された不純物領域170、152、156、162と電氣的に接続する導電膜174を形成する(図23(B)参照)。

【0137】

本実施例の不揮発性半導体記憶装置は、回路の構成に合わせてトランジスタにおけるゲート絶縁層の膜厚を異ならせることにより、低消費電力化を図ることができる。また、不揮発性半導体記憶装置の動作の安定化を図ることができる。具体的には、ロジック部を構成するトランジスタのゲート絶縁層の膜厚を薄くすることで、しきい値電圧のばらつきを小さくすることができ、低電圧で駆動させることが可能となる。メモリ部の選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体基板から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。すなわち、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。本実施例によれば、このような優れた効果を奏する不揮発性半導体記憶装置を連続した工程で作製することが可能となる。

30

40

【0138】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【実施例3】

【0139】

本実施例では、上記実施例1又は2と異なる不揮発性半導体記憶装置の作製方法に関して図面を参照して説明する。なお、上記実施例1又は2と同じものを指す場合には同様の符号を用いて示し説明を省略する。なお、図27乃至図29において、A-B間及びC-D間はロジック部に設けられるトランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられるトランジスタを示している。ま

50

た、本実施例では、A－B間に設けられるトランジスタをpチャネル型、C－D間、G－H間に設けるトランジスタをnチャネル型、E－F間に設けられる不揮発性メモリ素子のキャリアの移動を電子で行う場合に関して説明するが、本発明の不揮発性半導体装置はこれに限られるものでない。

【0140】

まず、上記実施例1の図17（C）まで、同様に形成後、レジスト122をマスクとして領域108に不純物元素を導入することによって不純物領域190を形成する（図27（A）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を領域108に導入する。

10

【0141】

次に、領域104、106、110と、領域108の上方に形成された第1の絶縁層116と電荷蓄積層121及び電荷蓄積層125を含む積層構造を覆うように第2の絶縁層128を形成する（図27（B）参照）。

【0142】

次に、領域108、110の上方に形成された第2の絶縁層128を覆うようにレジスト130を選択的に形成し、領域104、106上に形成された第2の絶縁層128を選択的に除去する（図27（C）参照）。

20

【0143】

次に、領域104、106を覆うように第3の絶縁層132、134をそれぞれ形成する（図28（A）参照）。

【0144】

次に、領域104、106の上方に形成された第3の絶縁層132、134、領域108、110の上方に形成された第2の絶縁層128を覆うように導電膜を形成する（図28（B）参照）。本例では、導電膜として、導電膜136と導電膜138を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0145】

次に、積層して設けられた導電膜136、138を選択的にエッチングして除去することによって、領域104、106、108、110の上方の一部に導電膜136、138を残存させ、それぞれゲート電極として機能する導電膜140、142、144、146を形成する（図28（C）参照）。

30

【0146】

なお、本実施例では、領域108上に形成される導電膜144が電荷蓄積層121及び電荷蓄積層125を含む積層構造の幅（少なくともキャリアがチャネルを流れる方向に概略平行な方向に対する幅）よりも大きくなるように形成する。

【0147】

次に、領域104を覆うようにレジスト148を選択的に形成し、当該レジスト148、導電膜142、144、146をマスクとして領域106、108、110に不純物元素を導入することによって不純物領域を形成する（図29（A）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を用いる。

40

【0148】

図29（A）においては、不純物元素を導入することによって、領域106にソース領域又はドレイン領域を形成する高濃度不純物領域152とチャネル形成領域150が形成される。また、領域108には、ソース領域又はドレイン領域を形成する不純物領域156

50

とLDD領域を形成する低濃度不純物領域158とチャンネル形成領域154が形成される。また、領域110には、ソース領域又はドレイン領域を形成する高濃度不純物領域162とチャンネル形成領域160が形成される。

【0149】

次に、領域106、108、110を覆うようにレジスト166を選択的に形成し、当該レジスト166、導電膜140をマスクとして領域104に不純物元素を導入することによって不純物領域を形成する(図29(B)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本例では、図29(A)で領域106、108、110に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、領域104にソース領域又はドレイン領域を形成する高濃度不純物領域170とチャンネル形成領域168を形成される。

10

【0150】

次に、第2の絶縁層128、第3の絶縁層132、134、導電膜140、142、144、146を覆うように絶縁層172を形成し、当該絶縁層172上に領域104、106、108、110にそれぞれ形成された不純物領域170、152、156、162と電氣的に接続する導電膜174を形成する(図29(C)参照)。

【0151】

本実施例の不揮発性半導体記憶装置は、回路の構成に合わせてトランジスタにおけるゲート絶縁層の膜厚を異ならせることにより、低消費電力化を図ることができる。また、不揮発性半導体記憶装置の動作の安定化を図ることができる。具体的には、ロジック部を構成するトランジスタのゲート絶縁層の膜厚を薄くすることで、しきい値電圧のばらつきを小さくすることができ、低電圧で駆動させることが可能となる。メモリ部の選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体基板から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。すなわち、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。本実施例によれば、このような優れた効果を奏する不揮発性半導体記憶装置を連続した工程で作製することが可能となる。

20

30

【0152】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【実施例4】

【0153】

本実施例では、上記実施例1乃至3と異なる不揮発性半導体記憶装置の作製方法に関して図面を参照して説明する。なお、上記実施例1乃至3のいずれかに示したものと同一ものを指す場合には同様の符号を用いて示し説明を省略する。なお、図24乃至図26において、A-B間及びC-D間はロジック部に設けられるトランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられるトランジスタを示している。また、本実施例では、A-B間に設けられるトランジスタをpチャンネル型、C-D間、G-H間に設けるトランジスタをnチャンネル型、E-F間に設けられる不揮発性メモリ素子のキャリアの移動を電子で行う場合に関して説明するが、本発明の不揮発性半導体装置はこれに限られるものでない。

40

【0154】

まず、図17(B)まで同様に形成した後、図18(A)に示したように、領域104、106、108と、領域110の一部を選択的に覆うようにレジストを形成し、当該レジ

50

ストに覆われていない領域 110 に不純物元素を導入することによって、不純物領域 126 を形成する。そして、レジストを除去し、領域 104、106、110 と、領域 108 の上方に形成された第 1 の絶縁層 116 と電荷蓄積層 120 及び電荷蓄積層 123 を含む積層構造を覆うように第 2 の絶縁層 128 を形成する（図 24（A）参照）。

【0155】

次に、領域 108、110 の上方に形成された第 2 の絶縁層 128 を覆うようにレジスト 130 を選択的に形成し、領域 104、106 上に形成された第 2 の絶縁層 128 を選択的に除去する（図 24（B）参照）。

【0156】

次に、領域 104、106 を覆うように第 3 の絶縁層 132、134 をそれぞれ形成する（図 24（C）参照）。 10

【0157】

次に、領域 104、106 の上方に形成された第 3 の絶縁層 132、134、領域 108、110 の上方に形成された第 2 の絶縁層 128 を覆うように導電膜を形成する（図 25（A）参照）。本例では、導電膜として、導電膜 136 と導電膜 138 を順に積層して形成した例を示している。もちろん、導電膜は、単層又は 3 層以上の積層構造で形成してもよい。

【0158】

次に、積層して設けられた導電膜 136、138 を選択的にエッチングして除去することによって、領域 104、106、108、110 の上方の一部に導電膜 136、138 を残存させ、それぞれゲート電極として機能する導電膜 140、142、144、146 を形成する（図 25（B）参照）。また、本実施例では、導電膜 140、142、144、146 と重ならない領域 104、106、108、110 の表面を露出させる。 20

【0159】

具体的には、領域 104 において、導電膜 140 の下方に形成された第 3 の絶縁層 132 のうち当該導電膜 140 と重ならない部分を選択的に除去し、導電膜 140 と第 3 の絶縁層 132 の端部が概略一致するように形成する。また、領域 106 において、導電膜 142 の下方に形成された第 3 の絶縁層 134 のうち当該導電膜 142 と重ならない部分を選択的に除去し、導電膜 142 と第 3 の絶縁層 134 の端部が概略一致するように形成する。また、領域 108 において、導電膜 144 の下方に形成された第 2 の絶縁層 128、電荷蓄積層 120 及び電荷蓄積層 123 を含む積層構造、第 1 の絶縁層 116 のうち当該導電膜 144 と重ならない部分を選択的に除去し、導電膜 144 と第 2 の絶縁層 128、電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造及び第 1 の絶縁層 116 の端部が概略一致するように形成する。また、領域 110 において、導電膜 146 の下方に形成された第 2 の絶縁層 128 のうち当該導電膜 146 と重ならない部分を選択的に除去し、導電膜 146 と第 2 の絶縁層 128 の端部が概略一致するように形成する。 30

【0160】

この場合、導電膜 140、142、144、146 の形成と同時に重ならない部分の絶縁層等を除去してもよいし、導電膜 140、142、144、146 を形成後残存したレジスト又は当該導電膜 140、142、144、146 をマスクとして重ならない部分の絶縁層等を除去してもよい。 40

【0161】

次に、領域 104 を覆うようにレジスト 148 を選択的に形成し、当該レジスト 148、導電膜 142、144、146 をマスクとして領域 106、108、110 に不純物元素を導入することによって不純物領域を形成する（図 25（C）参照）。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を用いる。

【0162】

図25(C)においては、不純物元素を導入することによって、領域106にソース領域又はドレイン領域を形成する不純物領域152とチャンネル形成領域150が形成される。また、領域108には、ソース領域又はドレイン領域を形成する不純物領域156とチャンネル形成領域154が形成される。また、領域110には、ソース領域又はドレイン領域を形成する高濃度の不純物領域162とLDD領域を形成する低濃度不純物領域164とチャンネル形成領域160が形成される。

【0163】

次に、領域106、108、110を覆うようにレジスト166を選択的に形成し、当該レジスト166、導電膜140をマスクとして領域104に不純物元素を導入することによって不純物領域を形成する(図26(A)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本例では、図25(C)で領域106、108、110に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、領域104にソース領域又はドレイン領域を形成する不純物領域170とチャンネル形成領域168を形成される。

10

【0164】

なお、本実施例では、図25(C)又は図26(A)において、導電膜140、142、144、146と重ならない領域104、106、108、110を露出させた状態で不純物元素の導入を行っている。従って、領域104、106、108、110にそれぞれ形成されるチャンネル形成領域168、150、154、160は導電膜140、142、144、146と自己整合的に形成することができる。

20

【0165】

次に、露出した領域104、106、108、110と導電膜140、142、144、146を覆うように絶縁層192を形成する(図26(B)参照)。

【0166】

絶縁層192は、CVD法やスパッタ法等により、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y 、($x>y$))、窒化酸化シリコン(SiN_xO_y 、($x>y$))等の酸素または窒素を有する絶縁層やDLC(ダイヤモンドライクカーボン)等を用いて単層又は積層構造で設けることができる。

30

【0167】

次に、絶縁層192を覆うように絶縁層172を形成し、当該絶縁層172上に領域104、106、108、110にそれぞれ形成された不純物領域170、152、156、162と電氣的に接続する導電膜174を形成する(図26(C)参照)。

【0168】

絶縁層172としては、上記実施例1で説明したいずれかの材料を用いることができる。例えば、絶縁層192として酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y 、($x>y$))、窒化酸化シリコン(SiN_xO_y 、($x>y$))等の酸素または窒素を有する無機材料を有する絶縁層を用い、絶縁層172としてエポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料で設けることができる。もちろん、絶縁層192と絶縁層172の双方を無機材料を有する絶縁層で形成してもよい。

40

【0169】

本実施例の不揮発性半導体記憶装置は、回路の構成に合わせてトランジスタにおけるゲート絶縁層の膜厚を異ならせることにより、低消費電力化を図ることができる。また、不揮発性半導体記憶装置の動作の安定化を図ることができる。具体的には、ロジック部を構成するトランジスタのゲート絶縁層の膜厚を薄くすることで、しきい値電圧のばらつきを小さくすることができ、低電圧で駆動させることが可能となる。メモリ部の選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消

50

去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体基板から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。すなわち、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。本実施例によれば、このような優れた効果を奏する不揮発性半導体記憶装置を連続した工程で作製することが可能となる。

【0170】

なお、本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

10

【実施例5】

【0171】

本実施例では、上記実施例と異なる不揮発性半導体記憶装置の作製方法に関して図面を参照して説明する。なお、図36、38及び39は上面図を示し、図30乃至図35は図36、38及び39におけるA-B間、E-F間の断面図を示しており、図37は図36、38及び39におけるC-D間の断面図を示している。また、A-B間はメモリ部に設けられるトランジスタと不揮発性メモリ素子を示し、C-D間はメモリ部に設けられる不揮発性メモリ素子を示し、E-F間はロジック部に設けられるトランジスタを示している。また、本実施例では、E-F間に示す基板200の領域212に設けられるトランジスタをpチャネル型、領域213に設けられるトランジスタをnチャネル型とし、A-B間に示す基板200の領域214に設けられるトランジスタをnチャネル型、不揮発性メモリ素子のキャリアの移動を電子で行う場合に関して説明するが、本発明の不揮発性半導体装置はこれに限られるものでない。

20

【0172】

まず、基板200上に絶縁層を形成する。本例では、n型の導電性を有する単結晶シリコンを基板200として用い、当該基板200上に絶縁層202と絶縁層204を形成する（図30（A）参照）。例えば、基板200に熱処理を行うことにより絶縁層202として酸化シリコン（SiO_x）を形成し、当該絶縁層202上にCVD法を用いて窒化シリコン（SiN_x）を成膜する。

【0173】

また、基板200は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電性を有する単結晶シリコン基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

30

【0174】

また、絶縁層204は、絶縁層202を形成した後に高密度プラズマ処理により当該絶縁層202を窒化することにより設けてもよい。なお、基板200上に設ける絶縁層は単層又は3層以上の積層構造で設けてもよい。

40

【0175】

次に、絶縁層204上に選択的にレジスト206のパターンを形成し、当該レジスト206をマスクとして選択的にエッチングを行うことによって、基板200に選択的に凹部208を形成する（図30（B）参照）。基板200、絶縁層202、204のエッチングとしては、プラズマを利用したドライエッチングにより行うことができる。

【0176】

次に、レジスト206のパターンを除去した後、基板200に形成された凹部208を充填するように絶縁層210を形成する（図30（C）参照）。

【0177】

絶縁層210は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン

50

、酸化窒化シリコン (SiO_xN_y 、 $(x > y > 0)$)、窒化酸化シリコン (SiN_xO_y 、 $(x > y > 0)$) 等の絶縁材料を用いて形成する。本例では、絶縁層 210 として、常圧 CVD 法または減圧 CVD 法により TEOS (テトラエチルオルソシリケート) ガスを用いて酸化シリコン膜を形成する。

【0178】

次に、研削処理、研磨処理又は CMP (Chemical Mechanical Polishing) 処理を行うことによって、基板 200 の表面を露出させる。本例では、基板 200 の表面を露出させることにより、基板 200 の凹部 208 に形成された絶縁層 211 間に領域 212、213、214 が設けられる。なお、絶縁層 211 は、基板 200 の表面に形成された絶縁層 210 が研削処理、研磨処理又は CMP 処理により除去されることにより得られたものである。続いて、p 型の導電型を有する不純物元素を選択的に導入することによって、基板 200 の領域 213、214 に p ウェル 215 を形成する (図 31 (A)、図 36 (A)、(B)、図 37 (A) 参照)。

【0179】

p 型を示す不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。本例では、不純物元素として、ボロン (B) を領域 213、214 に導入する。

【0180】

なお、本実施例では、基板 200 として n 型の導電型を有する半導体基板を用いているため、領域 212 には不純物元素の導入を行っていないが、n 型を示す不純物元素を導入することにより領域 212 に n ウェルを形成してもよい。n 型を示す不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。

【0181】

一方、p 型の導電型を有する半導体基板を用いる場合には、領域 212 に n 型を示す不純物元素を導入して n ウェルを形成し、領域 213、214 には不純物元素の導入を行わない構成としてもよい。

【0182】

次に、基板 200 に設けられた領域 212、213、214 上に第 1 の絶縁層 216、218、220 を形成する。そして、第 1 の絶縁層 216、218、220 を覆うように後に完成する不揮発性メモリ素子において浮遊ゲートとして機能する電荷蓄積層 222、227 を積層して形成する (図 31 (B) 参照)。

【0183】

第 1 の絶縁層 216、218、220 は、熱処理を行い基板 200 に設けられた領域 212、213、214 の表面を酸化させることにより酸化シリコン膜で形成することができる。また、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有する膜 (酸化窒化シリコン膜) との積層構造で形成することができる。

【0184】

他にも、上述したように、プラズマ処理を用いて第 1 の絶縁層 216、218、220 を形成してもよい。例えば、基板 200 に設けられた領域 212、213、214 の表面に高密度プラズマ処理により酸化処理又は窒化処理を行った場合、第 1 の絶縁層 216、218、220 として酸化シリコン (SiO_x) 膜又は窒化シリコン (SiN_x) 膜が形成される。また、高密度プラズマ処理により領域 212、213、214 の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域 212、213、214 の表面に接して酸化シリコン膜が形成され、当該酸化シリコン膜上に (酸化窒化シリコン膜) が形成され、第 1 の絶縁層 216、218、220 は酸化シリコン膜と酸化窒化シリコン膜とが積層された膜となる。また、熱酸化法により領域 212、213、214 の表面に酸化シリコン膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0185】

10

20

30

40

50

本実施例において、基板 200 においてメモリ部に設けられた領域 214 上に形成される第 1 の絶縁層 220 は、後に完成する不揮発性メモリ素子において、トンネル酸化膜として機能する。従って、第 1 の絶縁層 220 の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高速動作が可能となる。また、第 1 の絶縁層 220 の膜厚が薄いほど、浮遊ゲートとして機能する電荷蓄積層 222 及び電荷蓄積層 227 を含む積層構造に低電圧で電荷を蓄積させることが可能となるため、不揮発性半導体記憶装置の消費電力を低減することができる。そのため、第 1 の絶縁層 220 は、膜厚を薄く形成することが好ましい。

【0186】

電荷蓄積層 222、227 は、ゲルマニウム (Ge) 又はシリコンゲルマニウム合金等のゲルマニウムを含む膜とシリコン (Si) を含む膜の積層構造で形成する。本例では、電荷蓄積層 222 として、ゲルマニウム元素を含む雰囲気中 (例えば、 GeH_4) でプラズマ CVD 法を行うことにより、ゲルマニウムを主成分とする膜を 1 nm 以上 20 nm 以下、好ましくは 1 nm 以上 10 nm 以下で形成後、電荷蓄積層 227 としてシリコン元素を含む雰囲気中 (例えば、 SiH_4) でプラズマ CVD 法を行うことにより、シリコンを主成分とする膜を 1 nm 以上 50 nm 以下、好ましくは 1 nm 以上 20 nm 以下で形成することによって、ゲルマニウムとシリコンの積層構造で設ける。このように、基板 200 として単結晶シリコン基板を用い、当該シリコン基板のある領域上にトンネル酸化膜として機能する第 1 の絶縁層を介してシリコンよりエネルギーギャップの小さいゲルマニウムを含む膜を電荷蓄積層として設けた場合、シリコン基板のある領域の電荷に対する第 1 の絶縁層により形成される第 1 の障壁に対して電荷蓄積層の電荷に対する第 1 の絶縁層により形成される第 2 の障壁がエネルギー的に高くなる。その結果、シリコン基板のある領域から電荷蓄積層へ電荷を注入しやすくすることができ、電荷蓄積層から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることができる。また、基板 200 においてメモリ部に設けられた領域 214 の上方に形成される電荷蓄積層 222 及び電荷蓄積層 227 を含む積層構造は、後に完成する不揮発性メモリ素子において、浮遊ゲートとして機能する。

【0187】

次に、電荷蓄積層 222 及び電荷蓄積層 227 を含む積層構造上にレジスト 223 を形成し、当該レジスト 223 をマスクとして電荷蓄積層 222 及び電荷蓄積層 227 を含む積層構造と、第 1 の絶縁層 216、218、220 を選択的に除去する。本例では、基板 200 において領域 214 の一部を覆うようにレジスト 223 を形成し、当該レジスト 223 に覆われていない電荷蓄積層 222 及び電荷蓄積層 227 を含む積層構造、第 1 の絶縁層 216、218、220 を除去することによって、領域 214 に設けられた一部の第 1 の絶縁層 220 と電荷蓄積層 222 及び電荷蓄積層 227 を含む積層構造を残存させ、第 1 の絶縁層 224、電荷蓄積層 226 及び電荷蓄積層 229 を含む積層構造とする (図 31 (C) 参照)。具体的には、領域 214 のうち、後に不揮発性メモリ素子が形成される領域に設けられた第 1 の絶縁層 220 と電荷蓄積層 222 及び電荷蓄積層 227 を含む積層構造を残存させる。また、基板 200 の領域 212、213 と領域 214 の一部の表面が露出する。

【0188】

次に、基板 200 の領域 212、213、214、電荷蓄積層 226 及び電荷蓄積層 229 を含む積層構造を覆うように第 2 の絶縁層 228 を形成する (図 32 (A) 参照)。

【0189】

第 2 の絶縁層 228 は、CVD 法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン (SiO_xN_y 、($x > y > 0$))、窒化酸化シリコン (SiN_xO_y 、($x > y > 0$)) 等の絶縁材料を用いて単層又は積層して形成する。例えば、第 2 の絶縁層 228 を単層で設ける場合には、CVD 法により酸化窒化シリコン膜又は窒化酸化シリコン膜を 5 nm 以上 50 nm 以下の膜厚で形成する。また、第 2 の絶縁層 22

8を3層構造で設ける場合には、第1層目の絶縁層として酸化窒化シリコン膜を形成し、第2の絶縁層として窒化シリコン膜を形成し、第3の絶縁層として酸化窒化シリコン膜を形成する。

【0190】

なお、基板200の領域214における電荷蓄積層226及び電荷蓄積層229を含む積層構造上に形成された第2の絶縁層228は、後に完成する不揮発性メモリ素子においてコントロール絶縁層として機能し、一部の露出した領域214に形成された第2の絶縁層は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0191】

次に、基板200の領域214に形成された第2の絶縁層228を覆うようにレジスト230を選択的に形成し、基板200の領域212、213に形成された第2の絶縁層228を選択的に除去する（図32（B）参照）。 10

【0192】

次に、基板200の領域212、213の表面上に第3の絶縁層232、234をそれぞれ形成する（図32（C）参照）。

【0193】

第3の絶縁層232、234は、上記第1の絶縁層216、218、220の形成方法で示したいずれかの方法を用いて形成する。例えば、熱処理を行い基板200に設けられた領域212、213の表面を酸化させることにより酸化シリコン膜で第3の絶縁層232、234を形成することができる。また、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有する膜（酸化窒化シリコン膜）との積層構造で形成してもよい。 20

【0194】

他にも、上述したように、プラズマ処理を用いて第3の絶縁層232、234を形成してもよい。例えば、基板200に設けられた領域212、213の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、第3の絶縁層232、234として酸化シリコン（SiO_x）膜又は窒化シリコン（SiN_x）膜で形成することができる。また、高密度プラズマ処理により領域212、213の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域212、213の表面に接して酸化シリコン膜が形成され、当該酸化シリコン膜上に（酸化窒化シリコン膜）が形成され、第3の絶縁層232、234は酸化シリコン膜と酸化窒化シリコン膜とが積層された膜となる。また、熱酸化法により領域212、213の表面に酸化シリコン膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。 30

【0195】

なお、第3の絶縁層232、234を熱酸化法や高密度プラズマ処理で形成する際に、基板200の領域214の上方に形成された第2の絶縁層228の表面にも、酸化膜又は酸化窒化膜が形成される場合がある。また、基板200の領域212、213に形成された第3の絶縁層232、234は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。 40

【0196】

次に、基板200に設けられた領域212、213の上方に形成された第3の絶縁層232、234、領域214の上方に形成された第2の絶縁層228を覆うように導電膜を形成する（図33（A）参照）。本例では、導電膜として、導電膜236と導電膜238を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0197】

導電膜236、238としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合 50

物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0198】

本例では、導電膜236として窒化タンタルを用いて形成し、その上に導電膜238としてタングステンをを用いて積層構造で設ける。また、他にも、導電膜236として、窒化タンタル、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜238として、タングステン、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0199】

次に、積層して設けられた導電膜236、238を選択的にエッチングして除去することによって、基板200の領域212、213、214の上方の一部に導電膜236、238を残存させ、それぞれゲート電極として機能する導電膜240、242、244、246を形成する（図33（B）、図37（B）参照）。本例では、基板200において、導電膜240、242、244、246と重ならない領域212、213、214の表面が露出するようにする。なお、導電膜246は、後に完成する不揮発性メモリ素子において制御ゲートとして機能する。また、導電膜240、242、244は、後に完成するトランジスタにおいてゲート電極として機能する。

【0200】

具体的には、基板200の領域212において、導電膜240の下方に形成された第3の絶縁層232のうち当該導電膜240と重ならない部分を選択的に除去し、導電膜240と第3の絶縁層232の端部が概略一致するように形成する。また、基板200の領域213において、導電膜242の下方に形成された第3の絶縁層234のうち当該導電膜242と重ならない部分を選択的に除去し、導電膜242と第3の絶縁層234の端部が概略一致するように形成する。また、基板200の領域214において、導電膜244の下方に形成された第2の絶縁層228のうち当該導電膜244と重ならない部分を選択的に除去し、導電膜244と第2の絶縁層228の端部が概略一致するように形成する。また、基板200の領域214において、導電膜246の下方に形成された第2の絶縁層228、電荷蓄積層226及び電荷蓄積層229を含む積層構造、第1の絶縁層224のうち当該導電膜246と重ならない部分を選択的に除去し、導電膜246と第2の絶縁層228、電荷蓄積層226及び電荷蓄積層229を含む積層構造及び第1の絶縁層224の端部が概略一致するように形成する。

【0201】

この場合、導電膜240、242、244、246の形成と同時に重ならない部分の絶縁層等を除去してもよいし、導電膜240、242、244、246を形成後残存したレジスト又は当該導電膜240、242、244、246をマスクとして重ならない部分の絶縁層等を除去してもよい。

【0202】

次に、基板200の領域212、213、214に不純物元素を選択的に導入する（図33（C）参照）。本例では、領域213、214に導電膜242、244、246をマスクとしてn型を付与する低濃度の不純物元素を選択的に導入し、領域212に導電膜240をマスクとしてp型を付与する低濃度の不純物元素を選択的に導入する。n型を付与する不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を付与する不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。

【0203】

次に、導電膜240、242、244、246の側面に接する絶縁層254（サイドウォールともよばれる）を形成する。具体的には、プラズマCVD法やスパッタリング法等により、シリコン、シリコンの酸化物又はシリコンの窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。そして、当該絶縁層を、垂直

10

20

30

40

50

方向を主体とした異方性エッチングにより選択的にエッチングして、導電膜 240、242、244、246 の側面に接するように形成することができる。なお、絶縁層 254 は、LDD (Lightly Doped drain) 領域を形成する際のドーピング用のマスクとして用いる。本例では、絶縁層 254 は、導電膜 240、242、244、246 の下方に形成された絶縁層や電荷蓄積層の側面にも接するように形成されている。

【0204】

続いて、当該絶縁層 254、導電膜 240、242、244、246 をマスクとして基板 200 の領域 212、213、214 に不純物元素を導入することによって、ソース領域又はドレイン領域として機能する不純物領域を形成する (図 34 (A)、図 38 (A)、(B) 参照)。本例では、基板 200 の領域 213、214 に絶縁層 254 と導電膜 242、244、246 をマスクとして高濃度の n 型を付与する不純物元素を導入し、領域 212 に絶縁層 254 と導電膜 240 をマスクとして高濃度の p 型を付与する不純物元素を導入する。 10

【0205】

その結果、基板 200 の領域 212 には、ソース領域又はドレイン領域を形成する不純物領域 258 と、LDD 領域を形成する低濃度不純物領域 260 と、チャンネル形成領域 256 が形成される。また、基板 200 の領域 213 には、ソース領域又はドレイン領域を形成する不純物領域 264 と、LDD 領域を形成する低濃度不純物領域 266 と、チャンネル形成領域 262 が形成される。また、基板 200 の領域 214 には、ソース領域又はドレイン領域を形成する不純物領域 270 と、LDD 領域を形成する低濃度不純物領域 272、276 と、チャンネル形成領域 268、274 が形成される。 20

【0206】

なお、本実施例では、導電膜 240、242、244、246 と重ならない基板 200 の領域 212、213、214 を露出させた状態で不純物元素の導入を行っている。従って、基板 200 の領域 212、213、214 にそれぞれ形成されるチャンネル形成領域 256、262、268、274 は導電膜 240、242、244、246 と自己整合的に形成することができる。

【0207】

次に、基板 200 の領域 212、213、214 上に設けられた絶縁層や導電膜等を覆うように絶縁層 277 を形成し、当該絶縁層 277 に開口部 278 を形成する (図 34 (B) 参照)。 30

【0208】

絶縁層 277 は、CVD 法やスパッタ法等により、酸化シリコン (SiO_x)、窒化シリコン (SiN_x)、酸化窒化シリコン (SiO_xN_y 、($x > y$))、窒化酸化シリコン (SiN_xO_y 、($x > y$)) 等の酸素または窒素を有する絶縁層や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。 40

【0209】

次に、CVD 法を用いて開口部 278 に導電膜 280 を形成し、当該導電膜 280 と電氣的に接続するように絶縁層 277 上に導電膜 282a 乃至 282d を選択的に形成する (図 35、図 39 (A)、(B)、図 37 (C) 参照)。

【0210】

導電膜 280、282a 乃至 282d は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン 50

(M o)、ニッケル(N i)、白金(P t)、銅(C u)、金(A u)、銀(A g)、マンガン(M n)、ネオジウム(N d)、炭素(C)、シリコン(S i)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電膜280、282a乃至282dは、例えば、バリア膜とアルミニウムシリコン(A l-S i)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(A l-S i)膜と窒化チタン(T iN)膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜280、282a乃至282dを形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。本例では、導電膜280、282a乃至282dはCVD法によりタングステン(W)を選択成長することにより形成することができる。

10

20

30

40

50

【0211】

以上の工程により、基板200の領域212に形成されたp型のトランジスタと、領域213に形成されたn型のトランジスタと、領域214に形成されたn型のトランジスタ及び不揮発性メモリ素子とを具備する不揮発性半導体記憶装置を得ることができる。

【0212】

本実施例の不揮発性半導体記憶装置は、回路の構成に合わせてトランジスタにおけるゲート絶縁層の膜厚を異ならせることにより、低消費電力化を図ることができる。また、不揮発性半導体記憶装置の動作の安定化を図ることができる。具体的には、ロジック部を構成するトランジスタのゲート絶縁層の膜厚を薄くすることで、しきい値電圧のばらつきを小さくすることができ、低電圧で駆動させることが可能となる。メモリ部の選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体基板から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。すなわち、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。本実施例によれば、このような優れた効果を奏する不揮発性半導体記憶装置を連続した工程で作製することが可能となる。

【0213】

なお、本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【実施例6】

【0214】

本実施例では、上述した本発明の不揮発性半導体記憶装置を備えた非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFIDタグ、IDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグまたは無線チップともよばれる。

【0215】

半導体装置800は、非接触でデータを交信する機能を有し、高周波回路810、電源回路820、リセット回路830、クロック発生回路840、データ復調回路850、データ変調回路860、他の回路の制御を行う制御回路870、記憶回路880およびアンテナ890を有している(図40(A))。高周波回路810はアンテナ890より信号を

受信する。高周波回路 810 は、データ変調回路 860 より受信した信号をアンテナ 890 へ出力する回路である。電源回路 820 は受信信号から電源電位を生成する回路であり、リセット回路 830 はリセット信号を生成する回路であり、クロック発生回路 840 はアンテナ 890 から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路 850 は受信信号を復調して制御回路 870 に出力する回路であり、データ変調回路 860 は制御回路 870 から受信した信号を変調する回路である。また、制御回路 870 としては、例えばコード抽出回路 910、コード判定回路 920、CRC 判定回路 930 および出力ユニット回路 940 が設けられている。なお、コード抽出回路 910 は制御回路 870 に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路 920 は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC 判定回路 930 は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

【0216】

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ 890 により無線信号が受信される。無線信号は高周波回路 810 を介して電源回路 820 に送られ、高電源電位（以下、VDD と記す）が生成される。VDD は半導体装置 800 が有する各回路に供給される。また、高周波回路 810 を介してデータ復調回路 850 に送られた信号は復調される（以下、復調信号）。さらに、高周波回路 810 を介してリセット回路 830 およびクロック発生回路 840 を通った信号及び復調信号は制御回路 870 に送られる。制御回路 870 に送られた信号は、コード抽出回路 910、コード判定回路 920 および CRC 判定回路 930 等によって解析される。そして、解析された信号にしたがって、記憶回路 880 内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路 940 を通って符号化される。さらに、符号化された半導体装置 800 の情報はデータ変調回路 860 を通って、アンテナ 890 により無線信号に載せて送信される。なお、半導体装置 800 を構成する複数の回路においては、低電源電位（以下、VSS）は共通であり、VSS は GND とすることができる。また、本発明の不揮発性半導体記憶装置を記憶回路 880 に適用することができる。本発明の不揮発性半導体記憶装置は、駆動電圧を低くすることができるため、非接触でデータを交信できる距離をのばすことが可能となる。

【0217】

このように、リーダ／ライタから半導体装置 800 に信号を送り、当該半導体装置 800 から送られてきた信号をリーダ／ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

【0218】

また、半導体装置 800 は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【0219】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部 3210 を含む携帯端末の側面には、リーダ／ライタ 3200 が設けられ、品物 3220 の側面には半導体装置 3230 が設けられる（図 40（B））。品物 3220 が含む半導体装置 3230 にリーダ／ライタ 3200 をかざすと、表示部 3210 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3260 をベルトコンベアにより搬送する際に、リーダ／ライタ 3240 と、商品 3260 に設けられた半導体装置 3250 を用いて、該商品 3260 の検品を行うことができる（図 40（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

【0220】

また、本発明の不揮発性半導体記憶装置は、メモリを具備したあらゆる分野の電子機器に

用いることが可能である。例えば、本発明の不揮発性半導体記憶装置を適用した電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD（digital versatile disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図41に示す。

【0221】

図41（A）、（B）は、デジタルカメラを示している。図41（B）は、図41（A）の裏側を示す図である。このデジタルカメラは、筐体2111、表示部2112、レンズ2113、操作キー2114、シャッター2115などを有する。また、取り出し可能な不揮発性メモリ2116を備えており、当該デジタルカメラで撮影したデータを不揮発性メモリ2116に記憶させておく構成となっている。本発明を用いて形成された不揮発性の半導体記憶装置は不揮発性メモリ2116に適用することができる。

10

【0222】

また、図41（C）は、携帯電話を示しており、携帯端末の1つの代表例である。この携帯電話は筐体2121、表示部2122、操作キー2123などを含む。また、携帯電話は、取り出し可能な不揮発性メモリ2125を備えており、当該携帯電話の電話番号等のデータ、映像、音楽データ等を不揮発性メモリ2125に記憶させ再生することができる。本発明を用いて形成された不揮発性の半導体記憶装置は不揮発性メモリ2125に適用することができる。

20

【0223】

また、図41（D）は、デジタルプレーヤーを示しており、オーディオ装置の1つの代表例である。図41（D）に示すデジタルプレーヤーは、本体2130、表示部2131、メモリ部2132、操作部2133、イヤホン2134等を含んでいる。なお、イヤホン2134の代わりにヘッドホンや無線式イヤホンを用いることができる。メモリ部2132は、本発明を用いて形成された不揮発性の半導体記憶装置を用いることができる。例えば、記録容量が20ギガバイト乃至200ギガバイトのNAND型不揮発性メモリを用い、操作部2133を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、表示部2131は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型のオーディオ装置において特に有効である。なお、メモリ部2132に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

30

【0224】

また、図41（E）は、電子ブック（電子ペーパーともいう）を示している。この電子ブックは、本体2141、表示部2142、操作キー2143、不揮発性メモリ部2144を含んでいる。またモデムが本体2141に内蔵されていてもよいし、無線で情報を送受信できる構成としてもよい。不揮発性メモリ部2144は、本発明を用いて形成された不揮発性の半導体記憶装置を用いることができる。例えば、記録容量が20ギガバイト乃至200ギガバイトのNAND型不揮発性メモリを用い、操作キー2143を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、不揮発性メモリ部2144に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

40

【0225】

以上の様に、本発明の不揮発性半導体記憶装置の適用範囲は極めて広く、メモリを有するものであればあらゆる分野の電子機器に用いることが可能である。

【図面の簡単な説明】

【0226】

【図1】本発明に係る不揮発性半導体記憶装置の主要な構成を説明するための断面図。

【図2】初期状態（電荷放出状態）における不揮発性メモリのバンド図。

【図3】書き込み状態における不揮発性メモリのバンド図。

50

- 【図 4】電荷保持状態における不揮発性メモリのバンド図。
- 【図 5】消去状態における不揮発性メモリのバンド図。
- 【図 6】不揮発性メモリの書き込み及び読み出し動作を説明する図。
- 【図 7】不揮発性メモリの消去動作を説明する図。
- 【図 8】不揮発性メモリセルアレイの等価回路の一例を示す図。
- 【図 9】NOR型不揮発性メモリセルアレイの等価回路の一例を示す図。
- 【図 10】NAND型不揮発性メモリセルアレイの等価回路の一例を示す図。
- 【図 11】NAND型不揮発性メモリの書き込み動作を説明する図。
- 【図 12】NAND型不揮発性メモリの消去及び読み出し動作を説明する図。
- 【図 13】電荷が蓄積された " 0 " の場合と消去された " 1 " の場合における不揮発性メモリのしきい値電圧の変化を示す図。 10
- 【図 14】不揮発性半導体記憶装置の回路ブロック図の一例を示す図。
- 【図 15】プラズマ処理装置の構成を説明する図。
- 【図 16】従来の不揮発性メモリのバンド図。
- 【図 17】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 18】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 19】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 20】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 21】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 22】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。 20
- 【図 23】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 24】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 25】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 26】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 27】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 28】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 29】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 30】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 31】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 32】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。 30
- 【図 33】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 34】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 35】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図 36】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図 37】本発明の不揮発性半導体記憶装置の断面の一例を示す図。
- 【図 38】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図 39】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図 40】本発明の不揮発性半導体記憶装置の使用形態の一例を示す図。
- 【図 41】本発明の不揮発性半導体記憶装置の使用形態の一例を示す図。
- 【符号の説明】 40
- 【 0 2 2 7 】
- M 0 不揮発性メモリ素子
- M 0 1 不揮発性メモリ素子
- M 0 2 不揮発性メモリ素子
- M 0 3 不揮発性メモリ素子
- M 1 1 不揮発性メモリ素子
- M 1 2 不揮発性メモリ素子
- M 1 3 不揮発性メモリ素子
- S 1 選択トランジスタ
- S 2 選択トランジスタ 50

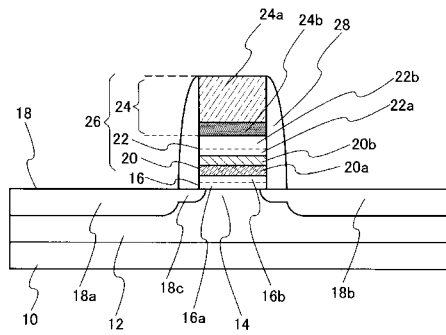
S 0 1	選択トランジスタ	
S 0 2	選択トランジスタ	
S 0 3	選択トランジスタ	
S 1 1	選択トランジスタ	
S 1 2	選択トランジスタ	
S 1 3	選択トランジスタ	
M S 0 1	メモリセル	
W L	ワード線	
W L 0	ワード線	
W L 1	ワード線	10
W L 1 1	ワード線	
B L	ビット線	
B L 0	ビット線	
S L	ソース線	
N S 1	N A N Dセル	
0 1	半導体基板	
0 2	第 1 の絶縁層	
0 3	浮遊ゲート電極	
0 4	第 2 の絶縁層	
0 5	制御ゲート電極	20
1 0	半導体基板	
1 2	p ウエル	
1 4	チャネル形成領域	
1 6	第 1 の絶縁層	
1 6 a	酸化シリコン層	
1 6 b	窒化シリコン層	
1 8	不純物領域	
1 8 a	ソース領域	
1 8 b	ドレイン領域	
1 8 c	低濃度不純物領域	30
2 0	浮遊ゲート電極	
2 0 a	第 1 の浮遊ゲート電極	
2 0 b	第 2 の浮遊ゲート電極	
2 2	第 2 の絶縁層	
2 2 a	窒化シリコン層	
2 2 b	酸化シリコン層	
2 4	制御ゲート電極	
2 4 a	金属窒化物層	
2 4 b	金属層	
2 6	ゲート	40
2 8	スペーサ	
5 2	メモリセルアレイ	
5 4	周辺回路	
5 6	アドレスバッファ	
5 8	コントロール回路	
6 0	昇圧回路	
6 2	ロウデコーダ	
6 4	カラムデコーダ	
6 6	センスアンプ	
6 8	データバッファ	50

7 0	データ入出力バッファ	
7 2	アンテナ	
7 4	誘電体板	
7 6	ガス供給部	
7 8	排気口	
8 0	支持台	
8 2	温度制御部	
8 4	マイクロ波供給部	
8 6	プラズマ	
1 0 0	基板	10
1 0 2	絶縁層	
1 0 4	領域	
1 0 6	領域	
1 0 7	p ウェル	
1 0 8	領域	
1 1 0	領域	
1 1 2	第 1 の絶縁層	
1 1 6	第 1 の絶縁層	
1 2 0	電荷蓄積層	
1 2 1	電荷蓄積層	20
1 2 2	レジスト	
1 2 3	電荷蓄積層	
1 2 4	レジスト	
1 2 5	電荷蓄積層	
1 2 6	不純物領域	
1 2 8	第 2 の絶縁層	
1 3 0	レジスト	
1 3 2	絶縁層	
1 3 4	絶縁層	
1 3 6	導電膜	30
1 3 8	導電膜	
1 4 0	導電膜	
1 4 2	導電膜	
1 4 4	導電膜	
1 4 6	導電膜	
1 4 8	レジスト	
1 5 0	チャネル形成領域	
1 5 2	不純物領域	
1 5 4	チャネル形成領域	
1 5 6	不純物領域	40
1 5 8	低濃度不純物領域	
1 6 0	チャネル形成領域	
1 6 2	不純物領域	
1 6 4	低濃度不純物領域	
1 6 6	レジスト	
1 6 8	チャネル形成領域	
1 7 0	不純物領域	
1 7 2	絶縁層	
1 7 4	導電膜	
1 8 6	低濃度不純物領域	50

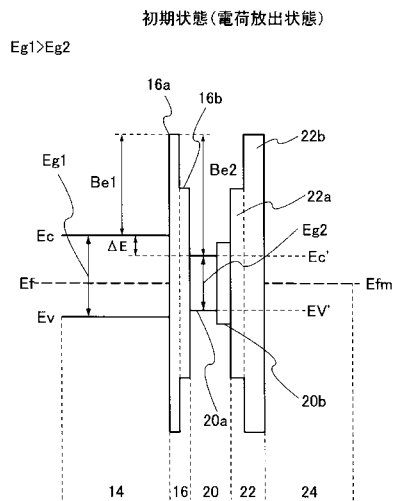
1 8 8	低濃度不純物領域	
1 9 0	不純物領域	
1 9 2	絶縁層	
1 9 4	不純物領域	
2 0 0	基板	
2 0 2	絶縁層	
2 0 4	絶縁層	
2 0 6	レジスト	
2 0 8	凹部	
2 1 0	絶縁層	10
2 1 1	絶縁層	
2 1 2	領域	
2 1 3	領域	
2 1 4	領域	
2 1 5	p ウェル	
2 1 6	第 1 の絶縁層	
2 2 0	第 1 の絶縁層	
2 2 2	電荷蓄積層	
2 2 3	レジスト	
2 2 4	第 1 の絶縁層	20
2 2 6	電荷蓄積層	
2 2 7	電荷蓄積層	
2 2 8	第 2 の絶縁層	
2 2 9	電荷蓄積層	
2 3 0	レジスト	
2 3 2	絶縁層	
2 3 4	絶縁層	
2 3 6	導電膜	
2 3 8	導電膜	
2 4 0	導電膜	30
2 4 2	導電膜	
2 4 4	導電膜	
2 4 6	導電膜	
2 5 4	絶縁層	
2 5 6	チャネル形成領域	
2 5 8	不純物領域	
2 6 0	低濃度不純物領域	
2 6 2	チャネル形成領域	
2 6 4	不純物領域	
2 6 6	低濃度不純物領域	40
2 6 8	チャネル形成領域	
2 7 0	不純物領域	
2 7 2	低濃度不純物領域	
2 7 7	絶縁層	
2 7 8	開口部	
2 8 0	導電膜	
1 8 2 a	導電膜	
1 8 2 b	導電膜	
1 8 2 c	導電膜	
1 8 2 d	導電膜	50

1 8 4 a	導電膜	
1 8 4 b	導電膜	
1 8 4 c	導電膜	
1 8 4 d	導電膜	
2 8 2 a	導電膜	
8 0 0	半導体装置	
8 1 0	高周波回路	
8 2 0	電源回路	
8 3 0	リセット回路	
8 4 0	クロック発生回路	10
8 5 0	データ復調回路	
8 6 0	データ変調回路	
8 7 0	制御回路	
8 8 0	記憶回路	
8 9 0	アンテナ	
9 1 0	コード抽出回路	
9 2 0	コード判定回路	
9 3 0	C R C 判定回路	
9 4 0	出力ユニット回路	
2 1 1 1	筐体	20
2 1 1 2	表示部	
2 1 1 3	レンズ	
2 1 1 4	操作キー	
2 1 1 5	シャッター	
2 1 1 6	不揮発性メモリ	
2 1 2 1	筐体	
2 1 2 2	表示部	
2 1 2 3	操作キー	
2 1 2 5	不揮発性メモリ	
2 1 3 0	本体	30
2 1 3 1	表示部	
2 1 3 2	メモリ部	
2 1 3 3	操作部	
2 1 3 4	イヤホン	
2 1 4 1	本体	
2 1 4 2	表示部	
2 1 4 3	操作キー	
2 1 4 4	不揮発性メモリ部	
3 2 0 0	リーダ／ライタ	
3 2 1 0	表示部	40
3 2 2 0	品物	
3 2 3 0	半導体装置	
3 2 4 0	リーダ／ライタ	
3 2 5 0	半導体装置	
3 2 6 0	商品	

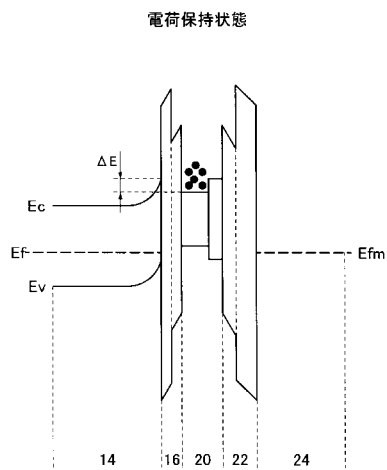
【図 1】



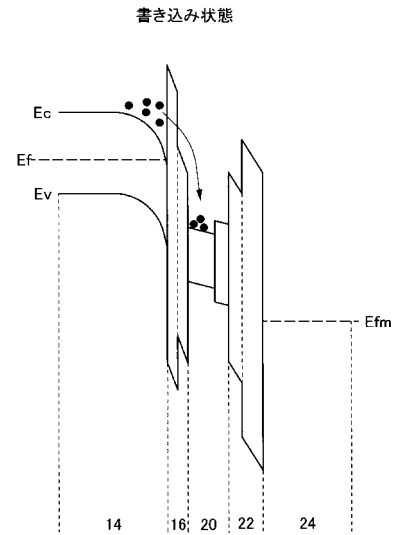
【図 2】



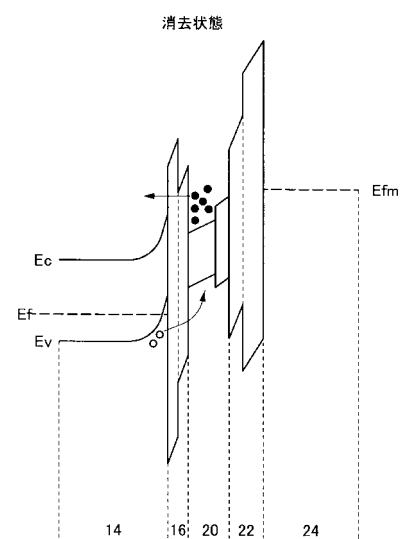
【図 4】



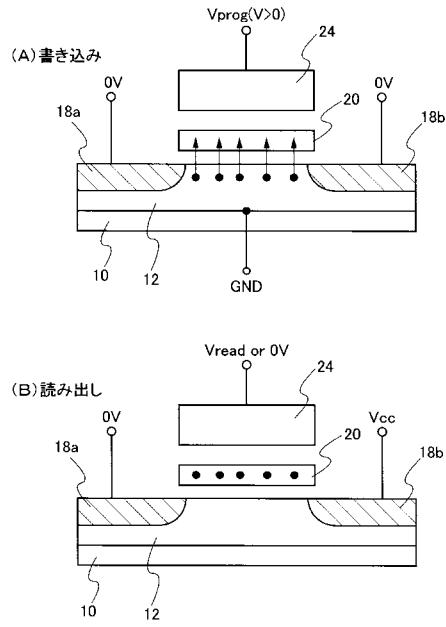
【図 3】



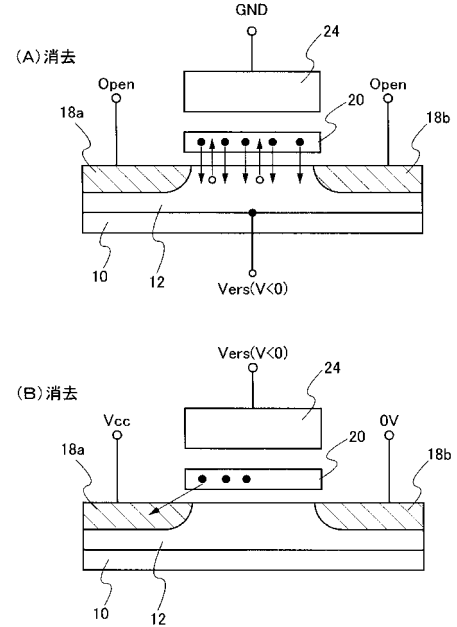
【図 5】



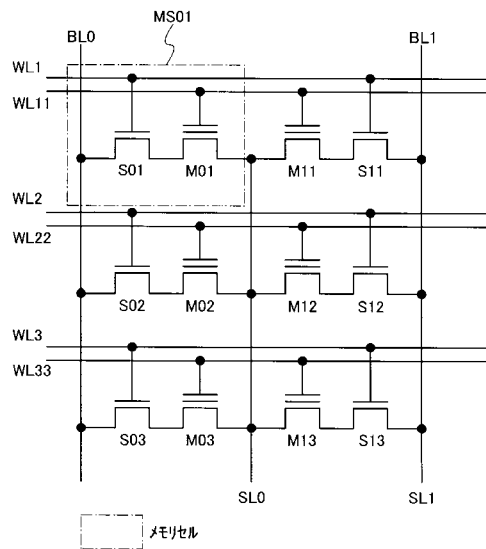
【図 6】



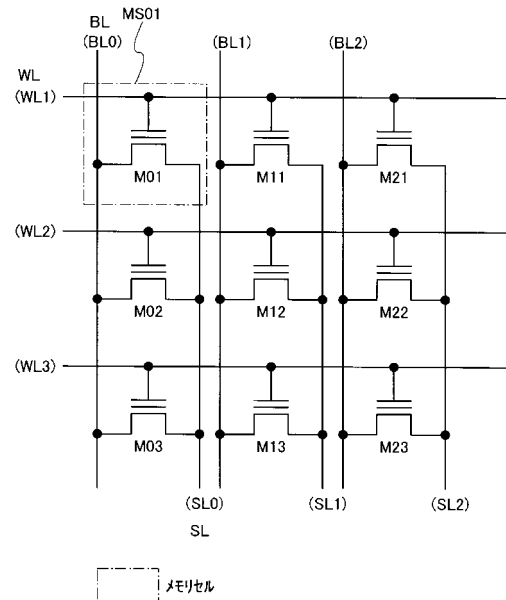
【図 7】



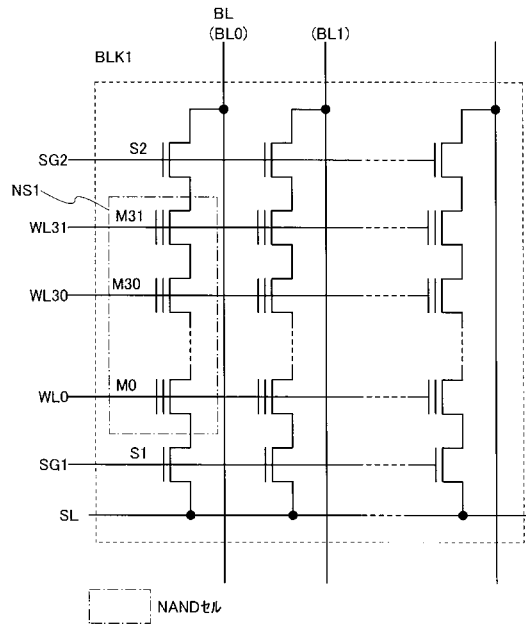
【図 8】



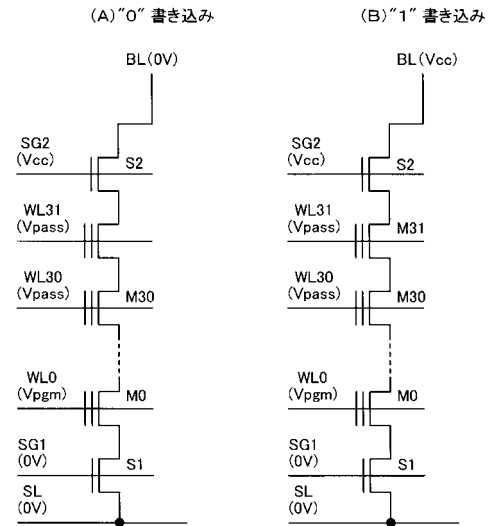
【図 9】



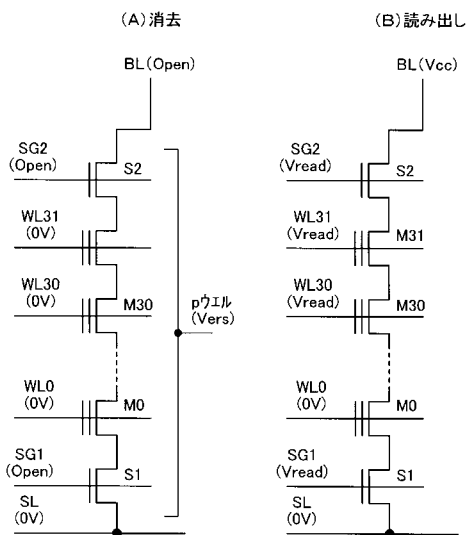
【図 10】



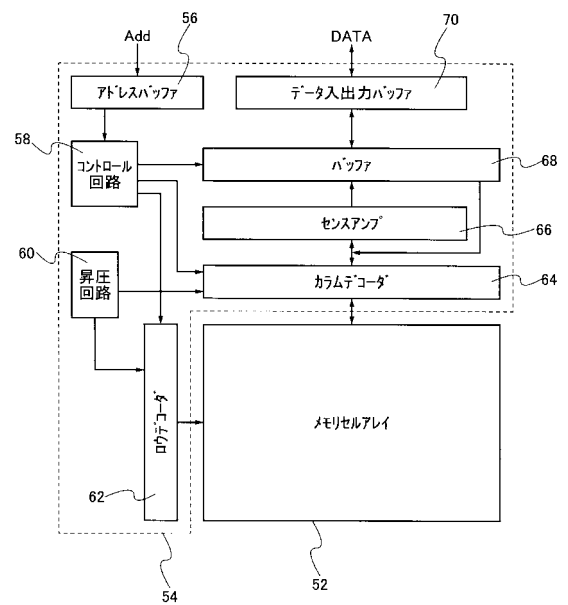
【図 11】



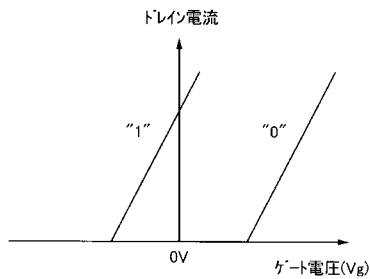
【図 12】



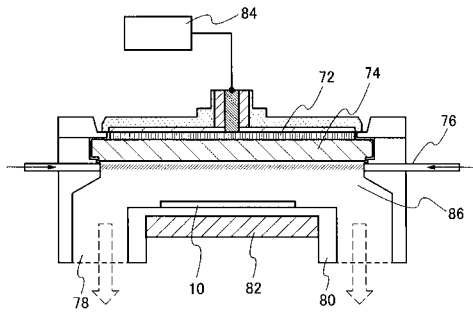
【図 14】



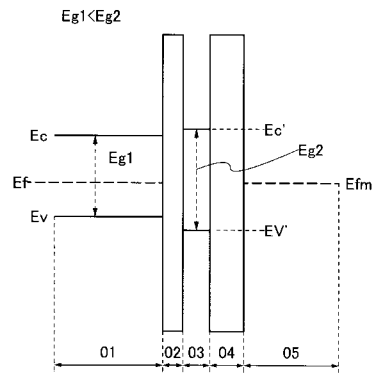
【図 13】



【図 15】

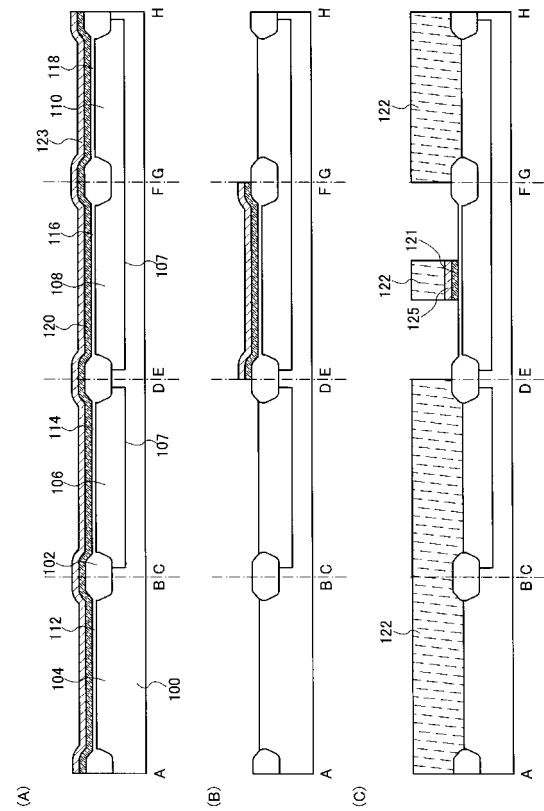


【図 16】

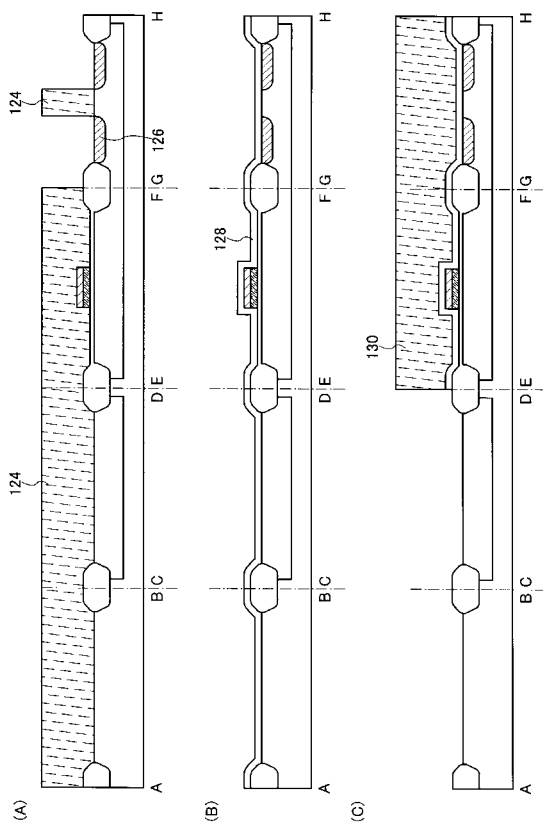


01: 半導体層 (Si)
 02: 第1絶縁層
 03: 浮遊ゲート (Si)
 04: 第2絶縁層
 05: 制御ゲート

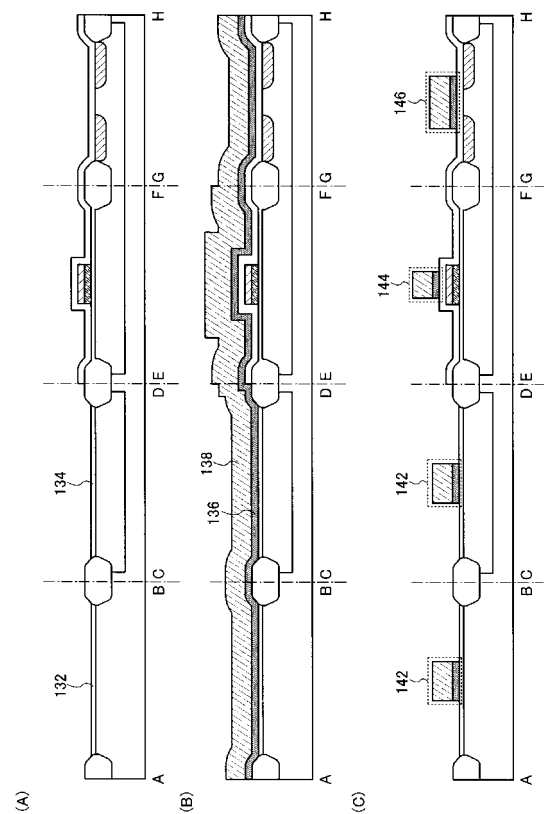
【図 17】



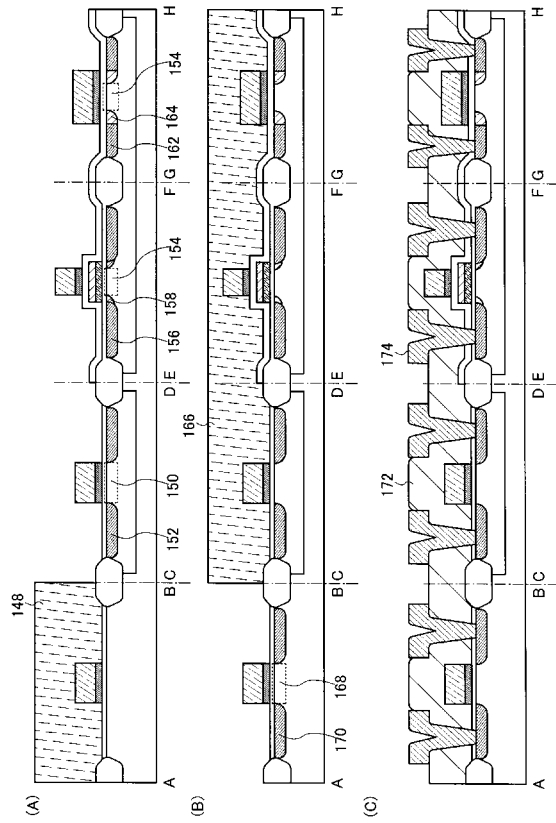
【図 18】



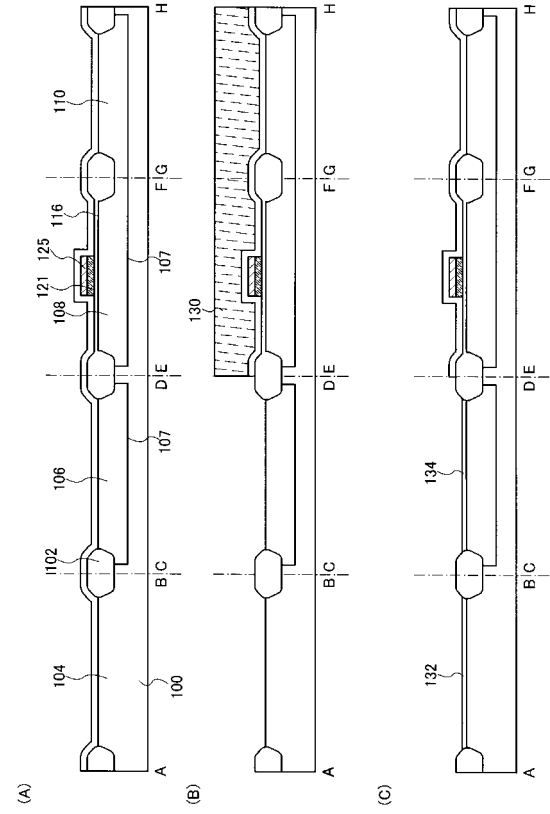
【図 19】



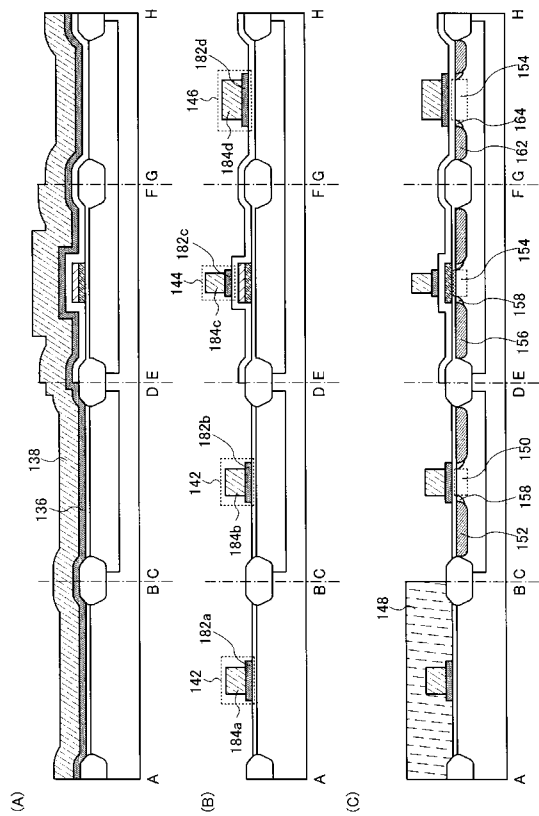
【図 20】



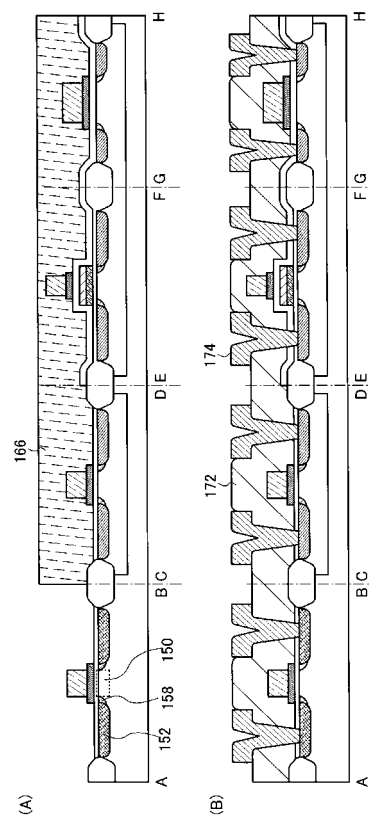
【図 21】



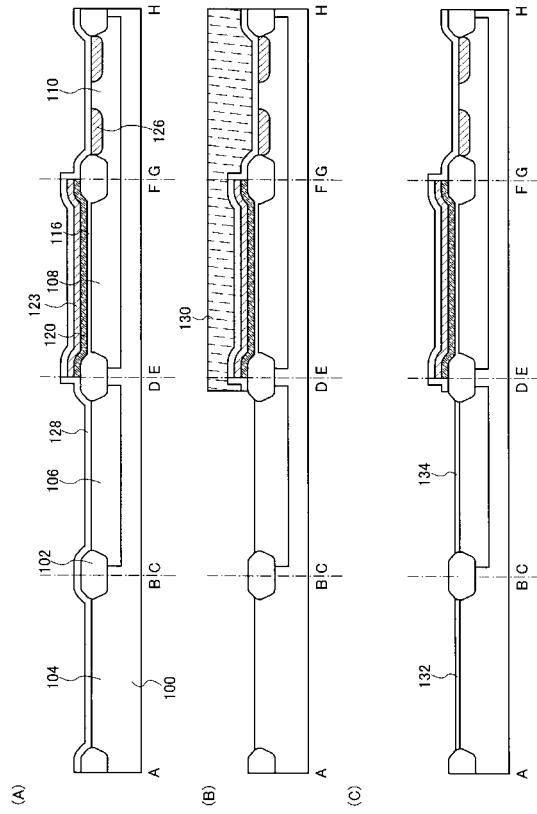
【図 22】



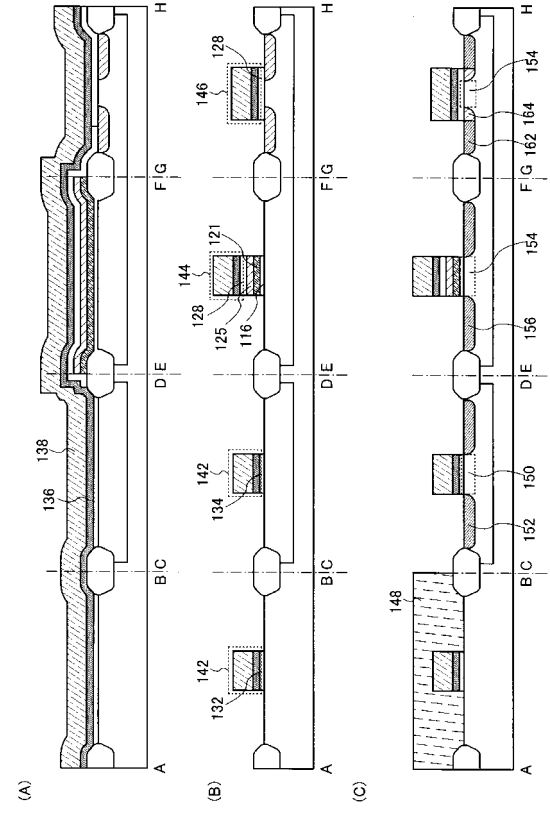
【図 23】



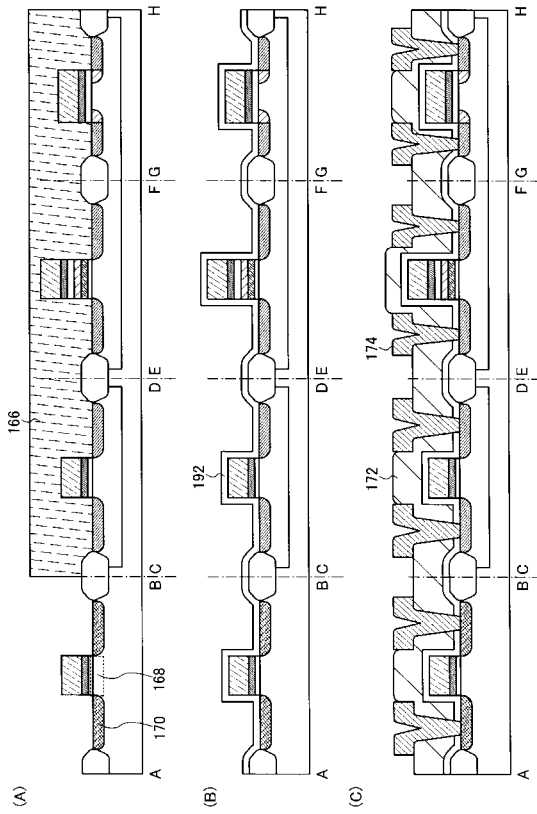
【図 24】



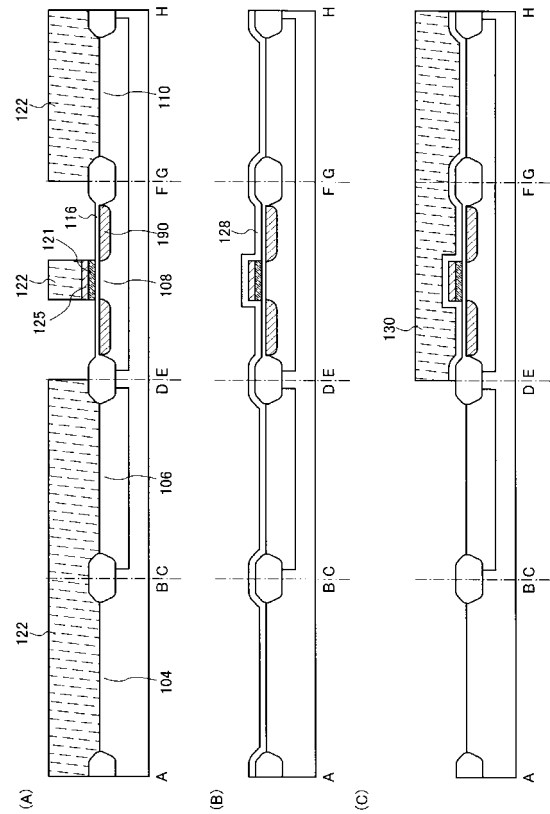
【図 25】



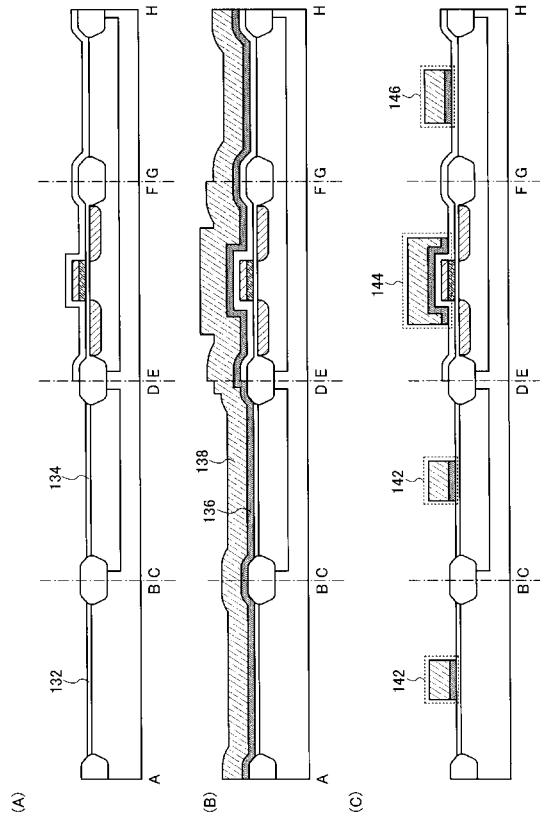
【図 26】



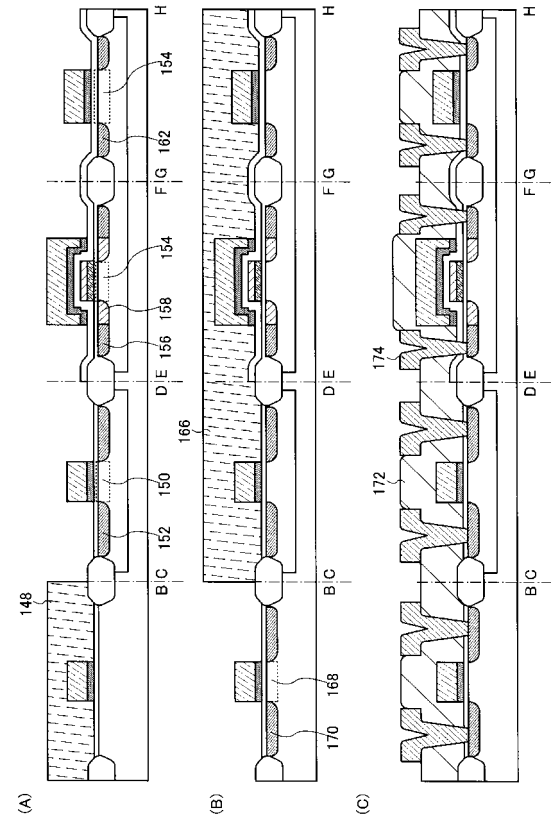
【図 27】



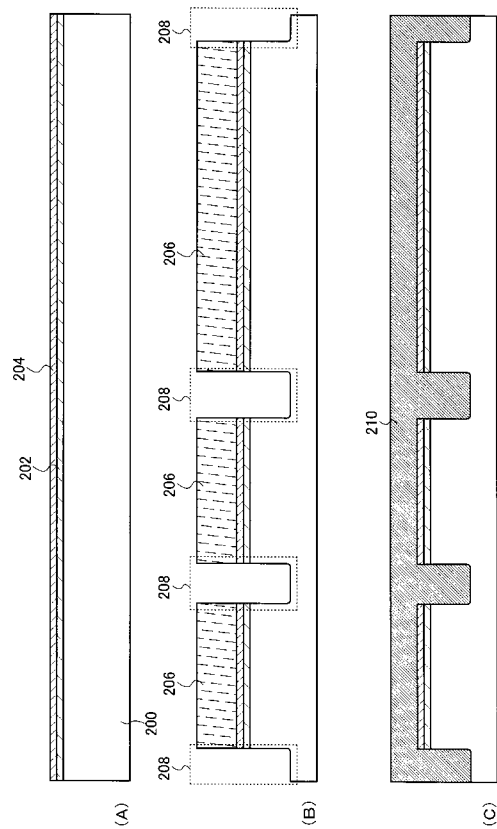
【図 28】



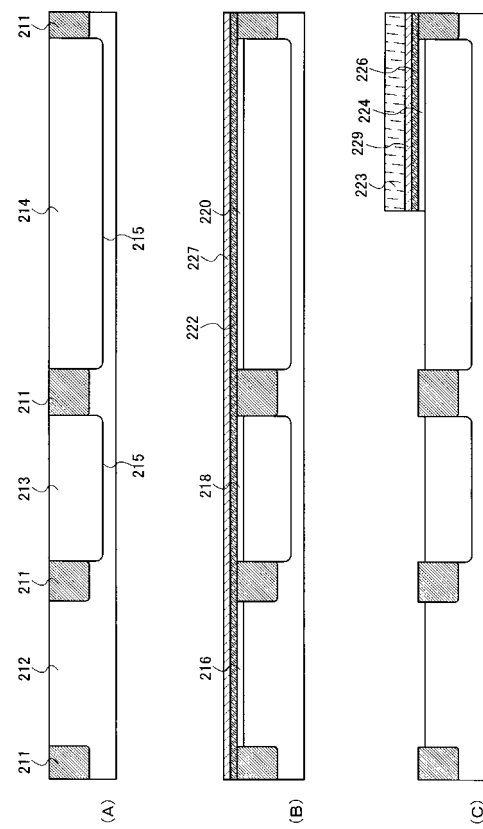
【図 29】



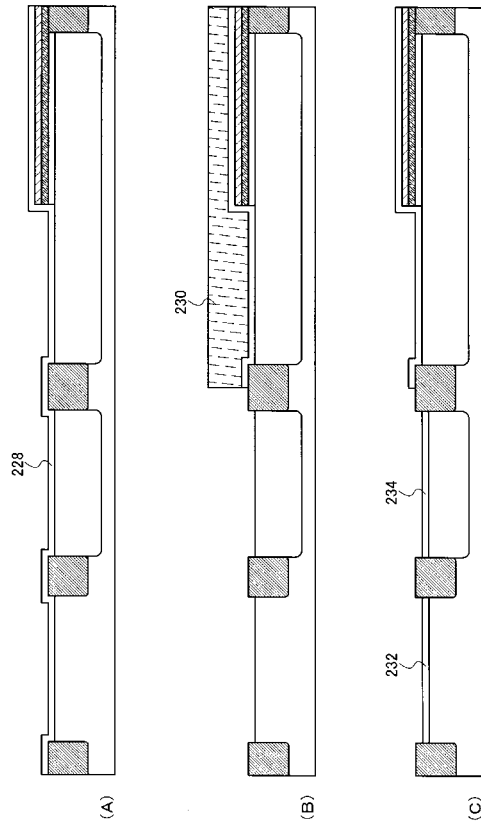
【図 30】



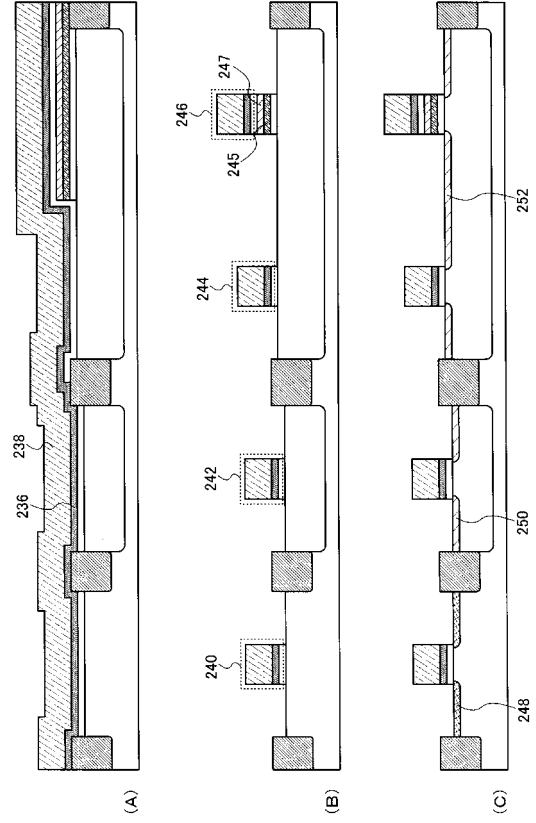
【図 31】



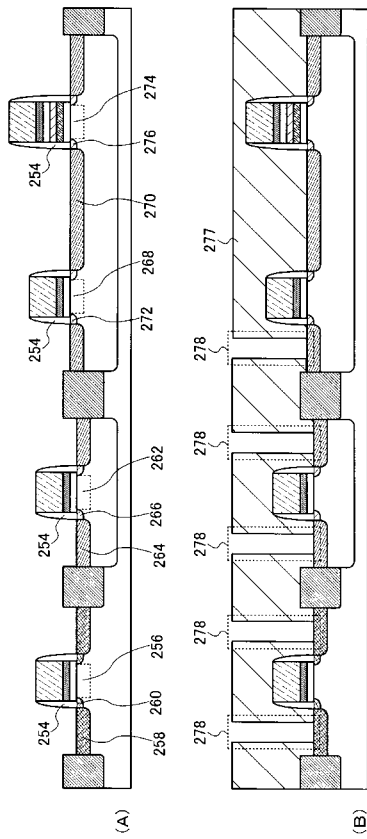
【図 3 2】



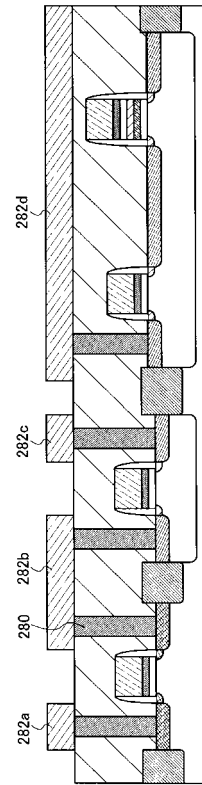
【図 3 3】



【図 3 4】

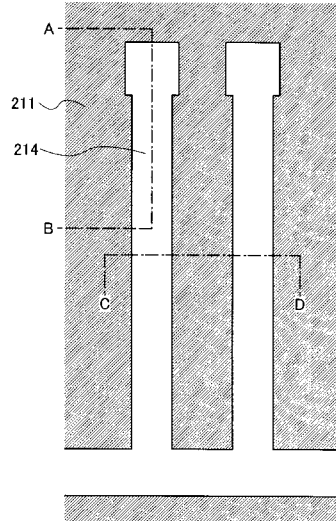


【図 3 5】

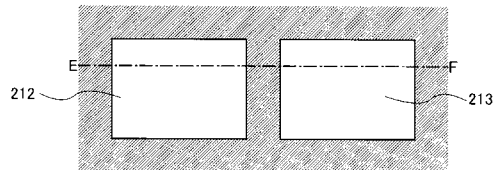


【図 36】

(A)

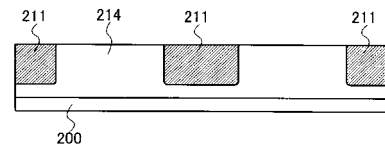


(B)

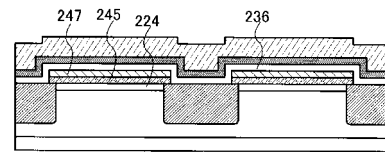


【図 37】

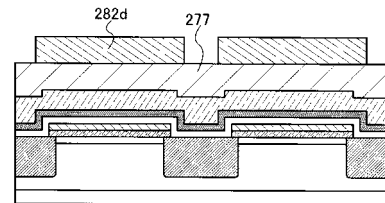
(A)



(B)

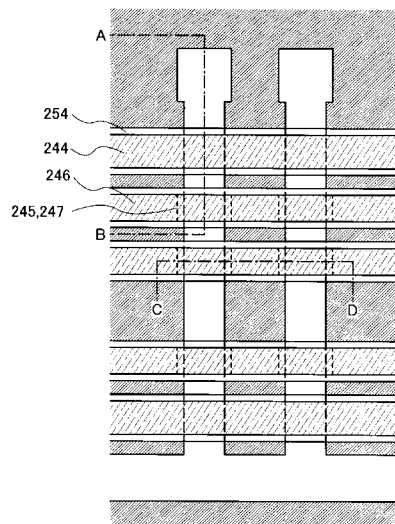


(C)

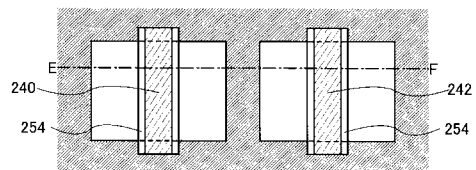


【図 38】

(A)

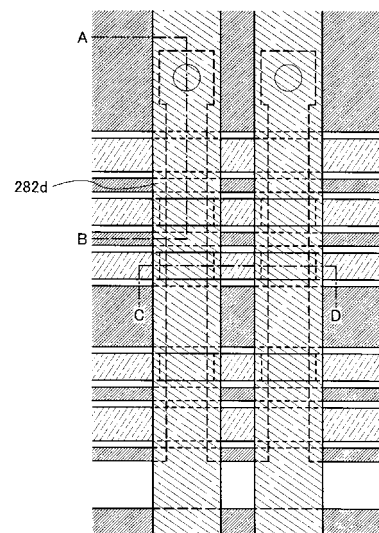


(B)

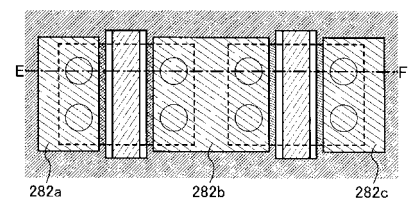


【図 39】

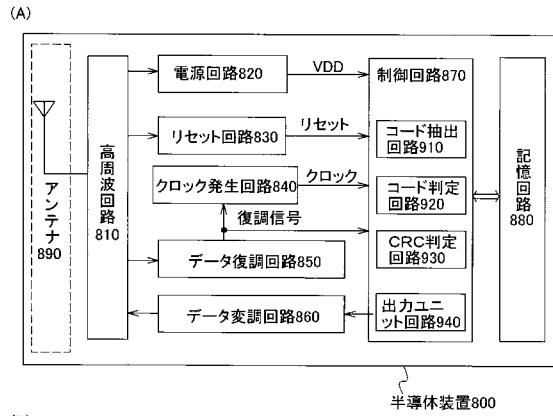
(A)



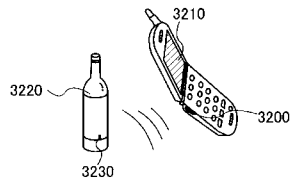
(B)



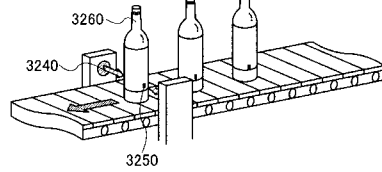
【図 40】



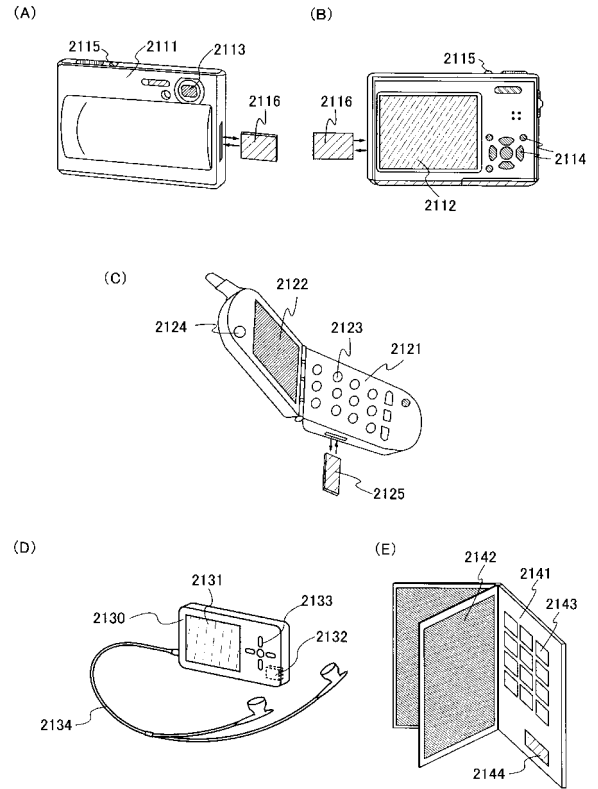
(B)



(C)



【図 41】



フロントページの続き

Fターム(参考) 5F083 EP04 EP23 EP43 EP54 EP76 EP77 ER02 ER09 ER11 ER16
ER19 HA02 HA06 JA39 JA40 JA56 JA58 LA04 LA05 LA06
LA07 LA10 LA12 LA16 PR15 PR21 PR22 PR43 PR44 PR45
PR53 PR54 PR55
5F101 BA16 BA19 BA29 BA36 BB05 BC02 BC11 BD02 BD33 BD34
BE02 BE05 BE07 BH02 BH06 BH21