

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-180226
(P2006-180226A)

(43) 公開日 平成18年7月6日(2006.7.6)

(51) Int. Cl.	F I	テーマコード (参考)
HO3K 17/687 (2006.01)	HO3K 17/687 A	5F038
HO1L 27/04 (2006.01)	HO1L 27/04 H	5J055
HO1L 21/822 (2006.01)	HO1L 27/04 M	5J056
HO3K 19/0175 (2006.01)	HO3K 19/00 IO1R	

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2004-371520 (P2004-371520)
(22) 出願日 平成16年12月22日 (2004.12.22)

(71) 出願人 000006747
株式会社リコー
東京都大田区中馬込1丁目3番6号

(74) 代理人 100084250
弁理士 丸山 隆夫

(72) 発明者 福村 慶二
東京都大田区中馬込1丁目3番6号
株式会社リコー内

Fターム(参考) 5F038 AV06 BH14 BH15 CD16 EZ20
5J055 AX46 BX06 CX07 DX22 DX52
DX73 DX83 EX02 EY21 EZ07
EZ12 EZ25 FX05 FX18 FX20
FX31 GX01 GX04 GX05
5J056 AA03 BB53 CC00 DD13 DD28
EE06 EE08 FF07 FF10 GG14
KK01

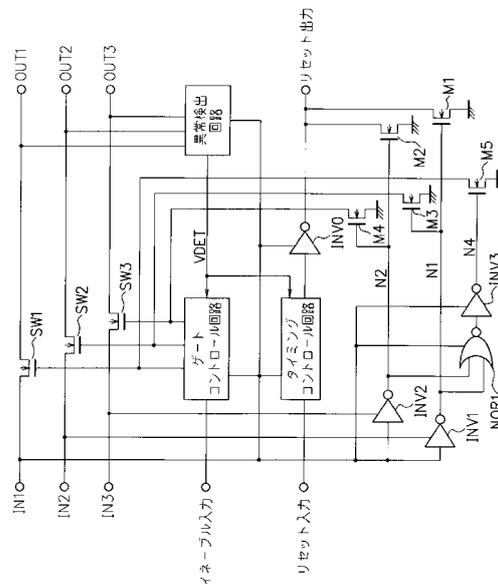
(54) 【発明の名称】 パワースイッチIC

(57) 【要約】

【課題】 多電源のうちの所望の電源入力に異常が生じた場合にオフすることができる安価なパワースイッチICを提供する。

【解決手段】 パワーMOSトランジスタへの電源入力のみ用い、その電源入力以外に制御回路用の電源入力を必要としないので、パワースイッチICの電源ピンが増加することがなくICを安価に製造することができ、所望の電源入力をオフすることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の N c h パワー M O S トランジスタを集積したパワースイッチ I C で各 N c h パワー M O S トランジスタのソースに異なる電源が入力されており、そのうちの 1 つの電源 A を用いて、すべての N c h パワー M O S トランジスタを制御する制御回路を動作させるパワースイッチ I C において、

前記制御回路は、

前記電源 A をゲート入力とし、前記電源 A 以外の電源を用いる複数のインバータ回路と

、
リセット出力端子と G N D との間にソース及びドレインが並列接続され、前記各インバータ回路の出力端子が各ゲート端子に接続される複数個のリセット出力側 N c h M O S トランジスタと、

前記各 N c h パワー M O S トランジスタのゲートと G N D との間に設けられ、前記インバータ回路の出力がゲートに接続され、前記電源 A 以外の電源が入力され、異常が生じると N c h パワー M O S トランジスタをオフにする電源側 N c h M O S トランジスタとを含むことを特徴とするパワースイッチ I C 。

【請求項 2】

前記インバータ回路の出力がゲートに入力された N O R ゲートと、

前記 N O R ゲートの出力がゲートに入力された N O R 側インバータ回路と、

前記電源 A がソースに入力された電源 A 側 N c h パワー M O S トランジスタのゲートと G N D との間に設けられ、前記 N O R 側インバータの出力がゲートに入力され、異常が生じると前記電源 A 側 N c h パワー M O S トランジスタをオフにする他の N c h M O S トランジスタとを含むことを特徴とする請求項 1 記載のパワースイッチ I C 。

【請求項 3】

複数の P c h パワー M O S トランジスタを集積したパワースイッチ I C で各 P c h パワー M O S トランジスタのソースに異なる電源が入力されており、そのうちの 1 つの電源 A を用いて、すべての P c h パワー M O S トランジスタを制御する制御回路を動作させるパワースイッチ I C において、

前記制御回路は、

前記電源 A をゲート入力とし、前記電源 A 以外の電源を用いる複数の一段目インバータ回路と、

前記一段目インバータ回路の出力をゲート入力とし、前記電源 A 以外の電源を用いる複数の二段目インバータ回路と、

リセット出力端子と G N D との間にソース及びドレインが並列接続され、各ゲート端子に前記一段目インバータ回路の出力が接続されるリセット出力側 N c h M O S トランジスタと、

前記各パワー P c h M O S トランジスタのゲートとソースとの間に設けられ、前記二段目インバータ回路の出力が接続され、前記電源 A 以外の電源が入力され、異常が生じると P c h パワー M O S トランジスタをオフにする電源側 P c h M O S トランジスタとを含むことを特徴とするパワースイッチ I C 。

【請求項 4】

前記インバータ回路の出力がゲートに入力された N O R ゲートと、

前記 N O R ゲートの出力がゲートに入力され、前記電源 A がソースに接続され、ドレインが前記電源 A 側 P c h パワー M O S トランジスタのゲートに接続され、異常が生じると前記電源 A 側 P c h パワー M O S トランジスタをオフにする他の P c h M O S トランジスタとを含むことを特徴とする請求項 3 記載のパワースイッチ I C 。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワースイッチ I C に関し、特に多電源が供給される機器の電源の異常を検

10

20

30

40

50

出するパワースイッチ IC に関する。

【背景技術】

【0002】

現在のノートパソコンは、PCカードスロットを搭載することが一般的である。また、デスクトップパソコンでも拡張ボードを追加することでPCカードを扱うことができる。このPCカードに代わる次世代カードとして「Express Card (登録商標)」が業界団体により制定され、このExpress Cardを搭載したパソコンが2004年末頃から出荷される。

Express Card用のカードスロットには3.3V、3.3V AUX (補助電源入力)、1.5Vの三系統の電源が供給される。このカードスロットから見て、この三系統の電源のすぐ上流にはパワースイッチICが配置される。Express Card用のパワースイッチICに必要な機能としては、3.3V、3.3V AUX、1.5Vの電源入力のうちのいずれかがオフした場合にリセット出力をLレベルにするものがある。

10

【0003】

また、3.3V AUXの電源入力がオフした場合には全ての電源出力がオフすること、3.3Vの電源入力がオフした場合には3.3V及び1.5Vの電源出力がオフすること、1.5Vの電源入力がオフした場合にも3.3V及び1.5Vの電源出力がオフすること、が必要な機能として要求されている。

これらの機能を実現するために、3.3V、3.3V AUX、1.5Vの電源入力以外にパワースイッチICを動作させるための電源を設けることが行われている。

20

【0004】

図4は従来のパワースイッチICのブロック図である。

SW1、SW2、SW3はNchパワーMOSトランジスタであり、それぞれIN1、IN2、IN3をOUT1、OUT2、OUT3に接続するスイッチの機能を有する。

SW1、SW2、SW3のゲートはゲートコントロール回路に接続され、SW1、SW2、SW3の各ドレインは異常検出回路に接続されている。異常検出回路の出力VDETはゲートコントロール回路に接続されると共にタイミングコントロール回路に接続されている。タイミングコントロール回路にはVDET信号とリセット信号とが入力され、タイミングコントロール回路の出力はインバータ回路INV0に入力される。

30

同図のイネーブル入力は1本であるが、OUT1、OUT2、OUT3を出力するか否かの組み合わせを作るために複数本としてもよい。

ゲートコントロール回路は、イネーブル入力と異常検出回路の出力(VDET)を受けてどのNchパワーMOSトランジスタをオンさせるかを制御する。

OUT1、2、3の立ち上がり時間、立ち下がり時間を所望の仕様とするために、NchパワーMOSトランジスタのゲート電位を制御する。

異常検出回路はOUT1、2、3が規格内の電位であるか否かを監視する。

タイミングコントロール回路は、リセット入力の変化に応じてリセット出力を変化させ、VDETの変化に応じてリセット出力を変化させる。

これらゲートコントロール回路、タイミングコントロール回路、異常検出回路、INV0は、Vcc端子(ピンともいう。)から電源供給を受けて動作する。これらの各回路の動作のため、IN1、IN2、IN3は供給されている必要はない(例えば、非特許文献1参照。)

40

【0005】

また、チップ面積の増大を抑制しつつ、電源切断機能と出力短絡検出機能を有し、電源回路の小型化と低コスト化を図ることができる電源制御用ICである半導体集積回路を提供するものが開発されている。

この回路は、電源電位がマイナスへ、基準電位がプラスへ入力されるコンパレータと、出力短絡検出回路と、コンパレータの出力信号と、出力短絡検出回路の出力信号が入力されるOR回路とで構成され、これらの回路を電源制御用IC内に組み込むことで、電源切

50

断機能と出力短絡検出機能とを持たせ、電源回路を構成する部品点数の削減を図り、電源回路の小型化と低コスト化とを図るものである（例えば、特許文献1参照。）。

【特許文献1】特開2001-244412号公報

【非特許文献1】ローム社製品仕様書

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、上述した非特許文献1及び特許文献1記載の技術では、ICの内部回路専用電源が必要となるが、内部回路専用電源を搭載することはホストシステムにとってコストアップの要因となってしまう。また、内部回路用の電源ピンの数だけピン数が増加し、IC自体のコストアップの要因ともなってしまう。

10

そこで、本発明の目的は、多電源のうちの所望の電源入力に異常が生じた場合にオフすることができる安価なパワースイッチICを提供することにある。

【課題を解決するための手段】

【0007】

上記課題を解決するため、請求項1記載の発明は、複数のNchパワーMOSトランジスタを集積したパワースイッチICで各NchパワーMOSトランジスタのソースに異なる電源が入力されており、そのうちの1つの電源Aを用いて、すべてのNchパワーMOSトランジスタを制御する制御回路を動作させるパワースイッチICにおいて、前記制御回路は、前記電源Aをゲート入力とし、前記電源A以外の電源を用いる複数のインバータ回路と、リセット出力端子とGNDとの間にソース及びドレインが並列接続され、前記各インバータ回路の出力端子が各ゲート端子に接続される複数個のリセット出力側NchMOSトランジスタと、前記各NchパワーMOSトランジスタのゲートとGNDとの間に設けられ、前記インバータ回路の出力がゲートに接続され、前記電源A以外の電源が入力され、異常が生じるとNchパワーMOSトランジスタをオフにする電源側NchMOSトランジスタとを含むことを特徴とする。

20

【0008】

請求項2記載の発明は、請求項1記載の発明において、前記インバータ回路の出力がゲートに入力されたNORゲートと、前記NORゲートの出力がゲートに入力されたNOR側インバータ回路と、前記電源Aがソースに入力された電源A側NchパワーMOSトランジスタのゲートとGNDとの間に設けられ、前記NOR側インバータの出力がゲートに入力され、異常が生じると前記電源A側NchパワーMOSトランジスタをオフにする他のNchMOSトランジスタとを含むことを特徴とする。

30

【0009】

請求項3記載の発明は、複数のPchパワーMOSトランジスタを集積したパワースイッチICで各PchパワーMOSトランジスタのソースに異なる電源が入力されており、そのうちの1つの電源Aを用いて、すべてのPchパワーMOSトランジスタを制御する制御回路を動作させるパワースイッチICにおいて、前記制御回路は、前記電源Aをゲート入力とし、前記電源A以外の電源を用いる複数の一段目インバータ回路と、前記一段目インバータ回路の出力をゲート入力とし、前記電源A以外の電源を用いる複数の二段目インバータ回路と、リセット出力端子とGNDとの間にソース及びドレインが並列接続され、各ゲート端子に前記一段目インバータ回路の出力が接続されるリセット出力側NchMOSトランジスタと、前記各パワーPchMOSトランジスタのゲートとソースとの間に設けられ、前記二段目インバータ回路の出力が接続され、前記電源A以外の電源が入力され、異常が生じるとPchパワーMOSトランジスタをオフにする電源側PchMOSトランジスタとを含むことを特徴とする。

40

【0010】

請求項4記載の発明は、請求項3記載の発明において、前記インバータ回路の出力がゲートに入力されたNORゲートと、前記NORゲートの出力がゲートに入力され、前記電源Aがソースに接続され、ドレインが前記電源A側PchパワーMOSトランジスタのゲ

50

ートに接続され、異常が生じると前記電源A側PchパワーMOSトランジスタをオフにする他のPchMOSトランジスタとを含むことを特徴とする。

【発明の効果】

【0011】

本発明によれば、パワーMOSトランジスタへの電源入力のみ用い、その電源入力以外に制御回路用の電源入力を必要としないので、パワースイッチICの電源ピンの数が増加することがなくICを安価に製造することができ、所望の電源入力をオフすることができる。

【発明を実施するための最良の形態】

【0012】

本実施形態のパワースイッチICは、複数のNchパワーMOSトランジスタを集積したパワースイッチICで各NchパワーMOSトランジスタのソースに異なる電源が入力されており、そのうちの1つの電源Aを用いて、すべてのNchパワーMOSトランジスタを制御する制御回路を動作させるパワースイッチICにおいて、制御回路は、電源Aをゲート入力とし、電源A以外の電源を用いる複数のインバータ回路と、リセット出力端子とGNDとの間にソース及びドレインが並列接続され、各インバータ回路の出力端子が各ゲート端子に接続される複数個のリセット出力側NchMOSトランジスタと、各NchパワーMOSトランジスタのゲートとGNDとの間に設けられ、インバータ回路の出力がゲートに接続され、電源A以外の電源が入力され、異常が生じるとNchパワーMOSトランジスタをオフにする電源側NchMOSトランジスタとを含むことを特徴とする。

10

20

【0013】

上記構成に加え、本実施形態のパワースイッチICは、インバータ回路の出力がゲートに入力されたNORゲートと、NORゲートの出力がゲートに入力されたNOR側インバータ回路と、電源Aがソースに入力された電源A側NchパワーMOSトランジスタのゲートとGNDとの間に設けられ、NOR側インバータの出力がゲートに入力され、異常が生じると電源A側NchパワーMOSトランジスタをオフにする他のNchMOSトランジスタとを含むのが好ましい。

【0014】

また、本実施形態のパワースイッチICは、複数のPchパワーMOSトランジスタを集積したパワースイッチICで各PchパワーMOSトランジスタのソースに異なる電源が入力されており、そのうちの1つの電源Aを用いて、すべてのPchパワーMOSトランジスタを制御する制御回路を動作させるパワースイッチICにおいて、制御回路は、電源Aをゲート入力とし、電源A以外の電源を用いる複数の一段目インバータ回路と、一段目インバータ回路の出力をゲート入力とし、電源A以外の電源を用いる複数の二段目インバータ回路と、リセット出力端子とGNDとの間にソース及びドレインが並列接続され、各ゲート端子に一段目インバータ回路の出力が接続されるリセット出力側NchMOSトランジスタと、各パワーPchMOSトランジスタのゲートとソースとの間に設けられ、二段目インバータ回路の出力が接続され、電源A以外の電源が入力され、異常が生じるとPchパワーMOSトランジスタをオフにする電源側PchMOSトランジスタとを含むことを特徴とする。

30

40

【0015】

上記構成に加え、本実施形態のパワースイッチICは、インバータ回路の出力がゲートに入力されたNORゲートと、NORゲートの出力がゲートに入力され、電源Aがソースに接続され、ドレインが電源A側PchパワーMOSトランジスタのゲートに接続され、異常が生じると電源A側PchパワーMOSトランジスタをオフにする他のPchMOSトランジスタとを含むのが好ましい。

【実施例】

【0016】

〔実施例1〕

本発明に係るパワースイッチICの一実施例について説明する。図1は本発明に係るパ

50

ワースイッチ IC の一実施例を示すブロック図である。尚、図 4 に示した従来例と同様の要素には共通の符号を用いた。

異なる電源電位（例えば、3.3V、3.3V_{AUX}、1.5V）が入力される入力端子 IN1、IN2、IN3 にそれぞれ Nch パワー MOS トランジスタ SW1、SW2、SW3 のソースが接続されている。各 Nch パワー MOS トランジスタ SW1、SW2、SW3 のドレインは出力端子 OUT1、OUT2、OUT3 にそれぞれ接続されている。

【0017】

各 Nch パワー MOS トランジスタ SW1、SW2、SW3 のゲートにはゲートコントロール回路の出力端子がそれぞれ接続されている。各出力端子 OUT1、OUT2、OUT3 は異常検出回路の入力端子にそれぞれ接続されている。異常検出回路の出力端子はゲートコントロール回路の入力端子及びタイミングコントロール回路の入力端子に接続され、出力電位 VDET がゲートコントロール回路及びタイミングコントロール回路に入力される。ゲートコントロール回路にはイネーブル入力端子からイネーブル信号が入力され、タイミングコントロール回路にはリセット入力端子からリセット信号が入力される。タイミングコントロール回路の出力端子はインバータ回路 INV0 の入力端子に接続されインバータ回路 INV0 の出力端子はリセット出力端子に接続されている。

10

所望の電源 A としての 3.3V の電源が入力された入力端子 IN1 は、ゲートコントロール回路、タイミングコントロール回路、異常検出回路、インバータ回路 INV0、後述する 2 入力ノアゲート回路 NOR1、インバータ回路 INV3 の電源端子に接続されている他、インバータ回路 INV1、INV2 のゲート入力となっている。すなわち、ゲートコントロール回路、タイミングコントロール回路、異常検出回路、インバータ回路 INV3 は IN1 端子から電源供給を受けて動作する。

20

【0018】

一方のインバータ回路 INV1 の出力端子は、リセット出力側 Nch MOS トランジスタとしての Nch MOS トランジスタ M1、電源側 Nch MOS トランジスタとしての M3 のゲート及び 2 入力ノアゲート回路 NOR1 のゲートに接続されている。他方のインバータ回路 INV2 の出力端子は、リセット出力側 Nch MOS トランジスタとしての Nch MOS トランジスタ M2、電源側 Nch MOS トランジスタとしての M4 のゲート及び 2 入力ノアゲート回路 NOR1 のゲートに接続されている。

Nch MOS トランジスタ M3 のソースは接地され、ドレインは Nch パワー MOS トランジスタ SW2 のゲートに接続されている。Nch MOS トランジスタ M4 のソースは接地され、ドレインは Nch パワー MOS トランジスタ SW3 のゲートに接続されている。

30

【0019】

Nch MOS トランジスタ M1、M2 のソースは共に接地され、ドレインは共にリセット出力端子に接続されている。

2 入力ノアゲート回路 NOR1 の出力端子はインバータ回路 INV3 の入力端子に接続され、インバータ回路 INV3 の出力端子は Nch MOS トランジスタ M5 のゲートに接続されている。Nch MOS トランジスタ M5 のソースは接地され、ドレインは Nch パワー MOS トランジスタ SW1 のゲートに接続されている。

40

これらインバータ回路 INV1、INV2、INV3、Nch MOS トランジスタ M1～M5、2 入力ノアゲート回路 NOR1 で制御回路が構成されている。

【0020】

次に図 1 に示したパワースイッチ IC の動作について説明する。

ここでは、入力端子 IN1 (AUX IN)、IN2 (3.3V IN)、IN3 (1.5V IN) にそれぞれ電源電位が入力されて Nch パワー MOS トランジスタの出力が正常であれば、リセット出力は“H”レベルを出力する。このような“H”レベルの状態 IN1 が取り除かれた場合について述べる。

まず、リセット出力については、入力端子 IN1 への電源電位の入力を取り除かれると、入力端子 IN1 のノード（電気回路理論における節点もしくは接続点）に残っている電

50

荷がパワースイッチ IC の消費電流により放電され、電位は徐々に低下する（図 2 参照）。

図 2 は図 1 に示したパワースイッチ IC の動作を説明するためのタイミングチャートである。図 2 において横軸は時間軸を示し、上から入力端子 IN 3、IN 2、IN 1、ノード N 1、N 2、及びリセット端子の電位軸を示す。横向きの波線は GND 電位を示す。尚、入力端子 IN 2 の電位 > 入力端子 IN 3 の電位としている。

入力端子 IN 1 (AUX IN) の電位の低下と共に出力端子 OUT の電位も低下し、出力端子 OUT 1 の電位が異常検出回路の閾値を下回ると、リセット端子の電位は“L”レベルになる。入力端子 IN 1 の電位が 0 V まで低下すると、インバータ回路 INV 0 の入力電位が不定となるため、リセット端子の電位の“L”レベルを INV 0 で維持することができなくなる。

10

【0021】

しかし、ノード N 1、N 2 が“H”レベルになっているので、NchMOSトランジスタ M 1、M 2 によりリセット端子の電位の“L”レベルを維持することができる。

ノード N 1 は t 2 で“H”レベルになる。t 2 で入力端子 IN 1 の電位が V 2 まで低下している（電位 V 2 はインバータ回路 INV 1 の閾値である。）。ノード N 2 は t 3 で“H”レベルになる。t 3 で入力端子 IN 1 が電位 V 3 まで低下している（電位 V 3 はインバータ回路 INV 2 の閾値である。）。

次に Nch パワー MOS トランジスタの出力について説明する。

ノード N 1 の電位が“H”レベルになることで NchMOSトランジスタ M 3 がオン状態になり、パワー MOS トランジスタ SW 2 のゲート電位が 0 V となり、Nch パワー MOS トランジスタ SW 2 がオフ状態になる。同様に、ノード N 2 の電位が“H”レベルになって Nch パワー MOS トランジスタ SW 3 がオフ状態になる。また、ノード N 1 またはノード N 2 の電位が“H”レベルになることで Nch パワー MOS トランジスタ SW 1 がオフ状態になる。

20

【0022】

ここで、ゲートコントロール回路が Nch パワー MOS トランジスタ SW 1、SW 2、SW 3 を駆動する能力より NchMOSトランジスタ M 3、M 4、M 5 の能力を十分大きくしておくことが好ましい。これは、時刻 t 2、t 3 で NchMOSトランジスタ M 3、M 4 がオンするが、この時入力端子 IN 1 のレベルはまだ高く、入力端子 IN 1 のレベルがゲートコントロール回路を動作させうるだけの高さであると、ゲートコントロール回路から NchMOSトランジスタ SW 1、SW 2、SW 3 を駆動できてしまう。その駆動力に打ち勝って Nch パワー MOS トランジスタ SW 1、SW 2、SW 3 をオフさせるためである。

30

【0023】

〔実施例 2〕

図 3 は本発明に係るパワースイッチ IC の他の実施例を示すブロック図である。

図 3 に示したパワースイッチ IC と図 1 に示したパワースイッチ IC との相違点は、PchMOSトランジスタを用いた点である。PchMOSトランジスタと NchMOSトランジスタとはゲート入力に対するオンオフが逆の特性を有するため、インバータ回路 INV 1、INV 2 の後段にそれぞれインバータ回路 INV 4、INV 5 が接続され、2 入力ノアゲート NOR 1 の後段にはインバータ回路を用いずに直接 PchMOSトランジスタ M 5 のゲートが接続され、PchMOSトランジスタ M 3、M 4、M 5 のソースは接地されずに各 Pch パワー MOS トランジスタ SW 1、SW 2、SW 3 のソースに接続されている。

40

インバータ回路 INV 1、INV 2 のゲート入力は入力端子 IN 1 に入力される電源であり、入力端子 IN 1 に入力される電源は、ゲートコントロール回路、異常検出回路、タイミングコントロール回路、インバータ回路 INV 0 の電源となっており、PchMOSトランジスタ M 5 のドレインに接続されている。PchMOSトランジスタ M 5 のソースは Pch パワー MOS トランジスタ SW 1 のソースに接続されている。PchMOSトラ

50

ンジスタM3、M4のソースは接地されずにそれぞれPchパワーMOSトランジスタSW2、SW3のゲートに接続されている。2入力ノアゲート回路NOR1の出力はPchMOSトランジスタM5のゲートに接続されている。

図3に示すパワースイッチICも図1に示したパワースイッチICと同様の効果が得られる。

【0024】

〔効果〕

パワーMOSトランジスタへの電源入力のみ用い、その電源入力以外に制御回路用の電源入力を必要としないので、パワースイッチICの電源ピンの数が増加することがなくICを安価に製造することができる。また、パワーMOSトランジスタのいずれかの電源入力がオフしたときに、リセット出力を機能させることや所望の電源入力をオフすることができる。また、ホストシステム（例えば、パソコンのマザーボード）の基板上にパワースイッチの制御回路用の電源を新たに用意する必要がないので、ホストシステムを安価に製造できる。さらに、IC自体の電源をパワーMOSの電源入力から取ることができるので、IC及びホストシステムにとってコストダウン及びICパッケージが小さくなることによりスペースを縮小することができる。

10

【産業上の利用可能性】

【0025】

本発明は、Express Cardを搭載可能なパソコンに利用することができる。

【図面の簡単な説明】

20

【0026】

【図1】本発明に係るパワースイッチICの一実施例を示すブロック図である。

【図2】図1に示したパワースイッチICの動作を説明するためのタイミングチャートである。

【図3】本発明に係るパワースイッチICの他の実施例を示すブロック図である。

【図4】従来のパワーICスイッチのブロック図である。

【符号の説明】

【0027】

IN1～IN3 入力端子

INV0～INV インバータ回路

30

M1～M5 NchMOSトランジスタ（PchMOSトランジスタ）

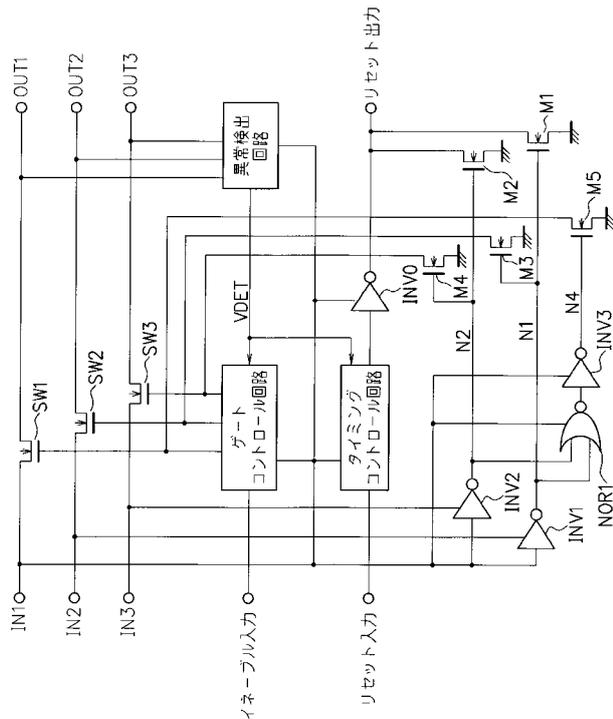
N1、N2、N4 ノード

NOR1 2入力ノアゲート

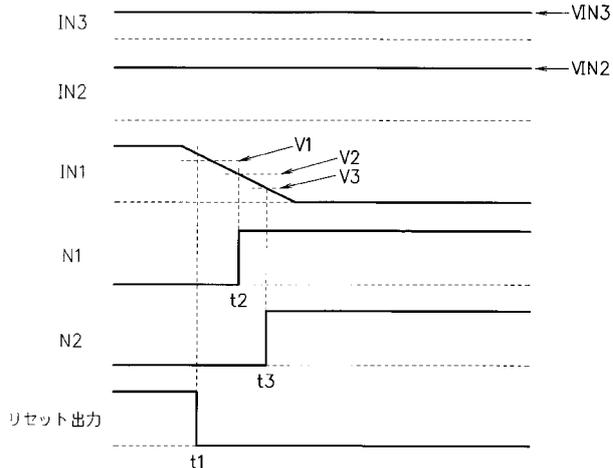
OUT1～OUT3 出力端子

SW1～SW3 NchパワーMOSトランジスタ（PchパワーMOSトランジスタ）

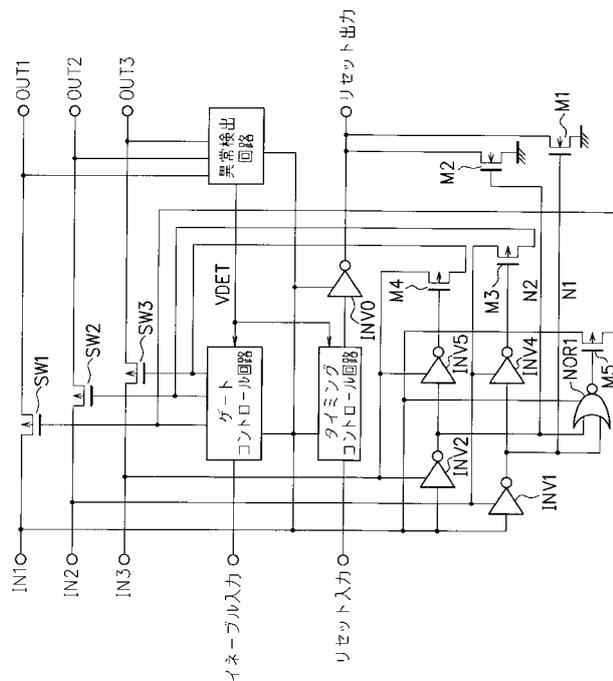
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

