



PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

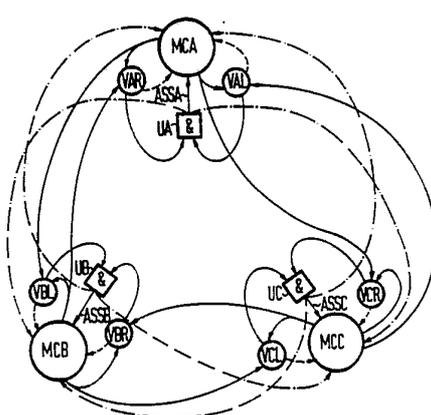
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁵ : G06F 11/18, 11/00	A1	(11) Internationale Veröffentlichungsnummer: WO 92/03787 (43) Internationales Veröffentlichungsdatum: 5. März 1992 (05.03.92)
---	-----------	--

<p>(21) Internationales Aktenzeichen: PCT/EP91/01022</p> <p>(22) Internationales Anmeldedatum: 3. Juni 1991 (03.06.91)</p> <p>(30) Prioritätsdaten: 90115585.3 14. August 1990 (14.08.90) EP <i>(34) Länder für die die regionale oder internationale Anmeldung eingereicht worden ist:</i> AT usw.</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-8000 München 2 (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US) : GRONEMEYER, Michael [DE/DE]; Hopfengarten 10, D-3302 Weddel (DE).</p>	<p>(74) Gemeinsamer Vertreter: SIEMENS AG; Postfach 22 16 34, D-8000 München 22 (DE).</p> <p>(81) Bestimmungsstaaten: AT (europäisches Patent), BE (europäisches Patent), CH (europäisches Patent), DE (europäisches Patent), DK (europäisches Patent), ES (europäisches Patent), FI, FR (europäisches Patent), GB (europäisches Patent), GR (europäisches Patent), IT (europäisches Patent), LU (europäisches Patent), NL (europäisches Patent), SE (europäisches Patent), US.</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht.</i></p>
--	--

(54) Title: HIGHLY SAFE MULTI-COMPUTER SYSTEM WITH THREE COMPUTERS

(54) Bezeichnung: MEHRRECHNERSYSTEM HOHER SICHERHEIT MIT DREI RECHNERN



(57) Abstract

To each computer (MCA, MCB, MCC) are allocated two hardware comparators (VAR, VAL; VBR, VBL; VCR, VCL) to compare the data from itself with the corresponding data from the partner computers. Only if both comparators (VAR, VAL) allocated to a computer (MCA) detect differences between the data fed to it (DA and DB or DC) is the computer shut down via an AND element (UA). The comparison processes are initialised not only by the computer (MCA) allocated to the comparators (VAR, VAL) but also by a partner computer (MCB or MCC). It is thus made certain that in the event of a breakdown the comparison processes for recognising and shutting down a defective computer actually take place and are not sabotaged by the defective computer. The result of the shutdown (ASSA) of a computer (e.g. MCA) is controlled by the operative computers (MCB, MCC), triggered by the interrupt from an allocated error store (FAL, FAR). If the defective computer is not shut down, the operative computers cause the shutdown themselves (total shutdown). The safe multi-computer system is especially intended for use in railway signal systems.

(57) Zusammenfassung Jedem Rechner (MCA, MCB, MCC) sind zwei Hardware-Vergleicher (VAR, VAL; VBR, VBL; VCR, VCL) zugeordnet zum Vergleich der von ihm selbst stammenden Daten mit den entsprechenden Daten eines Partnerrechners. Nur dann, wenn beide einem Rechner (MCA) zugeordneten Vergleicher (VAR, VAL) Abweichungen zwischen den ihnen zugeführten Daten (DA und DB bzw. DC) feststellen, wird über ein UND-Glied (UA) der Rechner abgeschaltet. Die Vergleichsvorgänge werden nicht nur von dem den Vergleichern (VAR, VAL) zugeordneten Rechner (MCA) initiiert, sondern auch von jeweils einem Partnerrechner (MCB bzw. MCC). Auf diese Weise wird sichergestellt, daß im Störfall die Vergleichsvorgänge zum Erkennen und Abschalten eines defekten Rechners auch tatsächlich stattfinden und nicht durch den defekten Rechner sabotiert werden. Der Erfolg der Abschaltung (ASSA) eines Rechners (z.B. MCA) wird von den ausfallfreien Rechnern (MCB, MCC), veranlaßt durch den Interrupt eines zugeordneten Fehlerspeichers (FAL, FAR), kontrolliert. Falls die Abschaltung des defekten Rechners nicht gelingt, nehmen die ausfallfreien Rechner ihrerseits die Abschaltung vor (Totalabschaltung). Das sichere Mehrrechnersystem ist insbesondere für den Einsatz in der Eisenbahnsignaltechnik vorgesehen.

LEDIGLICH ZUR INFORMATION

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	ES	Spanien	ML	Mali
AU	Australien	FI	Finnland	MN	Mongolei
BB	Barbados	FR	Frankreich	MR	Mauritanien
BE	Belgien	GA	Gabon	MW	Malawi
BF	Burkina Faso	GB	Vereinigtes Königreich	NL	Niederlande
BG	Bulgarien	GN	Guinea	NO	Norwegen
BJ	Benin	GR	Griechenland	PL	Polen
BR	Brasilien	HU	Ungarn	RO	Rumänien
CA	Kanada	IT	Italien	SD	Sudan
CF	Zentrale Afrikanische Republik	JP	Japan	SE	Schweden
CG	Kongo	KP	Demokratische Volksrepublik Korea	SN	Senegal
CH	Schweiz	KR	Republik Korea	SU ⁺	Soviet Union
CI	Côte d'Ivoire	LI	Liechtenstein	TD	Tschad
CM	Kamerun	LK	Sri Lanka	TG	Togo
CS	Tschechoslowakei	LU	Luxemburg	US	Vereinigte Staaten von Amerika
DE	Deutschland	MC	Monaco		
DK	Dänemark	MG	Madagaskar		

+ Die Bestimmung der "SU" hat Wirkung in der Russischen Föderation. Es ist noch nicht bekannt, ob solche Bestimmungen in anderen Staaten der ehemaligen Sowjetunion Wirkung haben.

1 Mehrrechnersystem hoher Sicherheit mit drei Rechnern

Die Erfindung bezieht sich auf ein Mehrrechnersystem nach dem Oberbegriff des Patentanspruches 1.

5

Ein solches Mehrrechnersystem ist aus Signal + Draht 66 (1974) 11, Seiten 214 u. 215 bekannt.

In der Firmendruckschrift der Standard Elektrik Lorenz SELMIS, 10 Bestell-Nr. 1974.12822.Be, wird auf Seite 7 über ein sicheres Mehrrechnersystem aus drei signaltechnisch nicht sicheren Einzelrechnern berichtet, die sich gegenseitig durch Einlesen der von den jeweils anderen Rechnern erarbeiteten Ergebnisse auf Übereinstimmung vergleichen und von denen zwei als 15 ordnungsgerecht arbeitend erkannte Rechner für die zweikanalige Steuerung des Prozeßgeschehens verwendet sind. Der dritte Rechner läuft als "heiße Reserve" mit und dient dazu, bei Ausfall eines der betriebsführenden Rechner dessen Funktion zu übernehmen. Der Vergleich der von den einzelnen Rechnern 20 eingelesenen Verarbeitungsergebnisse der anderen Rechner mit den selbst erarbeiteten Verarbeitungsergebnissen ist softwaremäßig realisiert.

Das ständige Einlesen und Überprüfen der Verarbeitungsergebnisse in die Rechner erfordert Rechnerkapazität und 25 verlangsamt damit die Prozeßsteuerung. Außerdem funktioniert der Vergleich nur solange auch der Rechner selbst funktioniert. Die Vergleichsrate beim Vergleich pro Programm ist gegenüber dem unmittelbaren Datenvergleich nur sehr begrenzt.

30 Aus Signal + Draht 66 (1974) 11, Seite 214 u. 215 ist ein aus drei Einzelrechnern bestehendes Dreirechnersystem bekannt, bei dem sich die Einzelrechner laufend über Hardware-Vergleiche auf Datenübereinstimmung prüfen. Die Ausgabe der Daten nach dem 2 von 3-Prinzip erfolgt über ein sicheres Auswahlelement, das 35 die Aufgabe hat, die auf den internen Bussen der Einzelrechner

- 1 liegenden Daten Bit für Bit sicher miteinander zu vergleichen,
mehrere solcher Vergleichsergebnisse zusammenzufassen und in
Abhängigkeit hiervon die Informationsausgänge des Auswahlele-
5 element zum Vergleich der jeweils drei Ausgangssignale der
Rechner des Mehrrechnersystems im einzelnen konzipiert ist,
läßt sich Signal + Draht nicht entnehmen. Aus der
DE-AS 27 25 922 ist es lediglich bekannt, mindestens bei
Datenabweichungen in den von den Rechnern gelieferten Ergeb-
10 nissen dort eine Mehrheitsentscheidung durchzuführen, um so den
defekten Rechner lokalisieren zu können. Aus der DE-PS 32 08
573 ist es ferner bekannt, diese Mehrheitsentscheidung in einer
Majoritätsschaltung zu realisieren, in der alle möglichen
Kombinationen von Vergleichsaussagen der drei Rechner abge-
15 speichert sind. Abhängig von den jeweils vorliegenden Ver-
gleichsaussagen werden aus einer Zuordnungstabelle Steuerbe-
fehle zum Steuern von Umschaltern ausgelesen, über die die
Verbindung zwischen einem als defekt erkannten Rechner und dem
zu steuernden Prozeß aufzutrennen ist. Voraussetzung für das
20 ordnungsgerechte Arbeiten dieser Majoritätsschaltung ist aber,
daß der defekte Rechner nicht in irgendeiner Weise auf die
anderen Rechner oder die Majoritätsschaltung einwirkt und diese
zu einem unkontrollierten Funktionsverhalten veranlaßt.
- 25 Aufgabe der Erfindung ist es, ein Mehrrechnersystem nach dem
Oberbegriff des Patentanspruches 1 anzugeben, das ohne
Verwendung einer zentralen Majoritätsschaltung ein möglichst
rasches Erkennen und Abschalten eines defekten Einzelrechners
ermöglicht.
- 30 Die Erfindung löst diese Aufgabe durch die kennzeichnenden
Merkmale des Patentanspruches 1. Die Rechnerabschaltung ist
ausschließlich abhängig von dezentral organisierter Hardware.
- 35 Vorteilhafte Ausgestaltungen der Erfindung sind in den Unter-
ansprüchen angegeben.

Anspruch 2 benennt die konkreten Mittel zum Abschalten eines
defekten Rechners beim Erkennen seiner Funktionsunfähigkeit

1 und Anspruch 3 Maßnahmen zur gegenseitigen Unterrichtung der
Rechner über ihre Funktionsfähigkeit. Für den Fall, daß ein
als defekt erkannter Rechner sich nicht selbst abschaltet,
veranlassen die ausfallfreien Rechner das Abschalten des
5 Rechnersystems und verhindern so das Entstehen gefährlicher
Prozeßsteueraufträge.

Nach der Lehre des Anspruches 4 werden die miteinander zu
vergleichenden Daten in den einzelnen Rechnern parallel
10 erarbeitet und zwischen ihnen seriell übertragen. Die Merk-
male des Anspruches 4 beinhalten auch die Mittel zum Vergleich
dieser unterschiedlich organisierten Daten ohne Mehraufwand
für eine Umorganisation.

Anspruch 5 benennt Maßnahmen zum Betrieb der Vergleicher und
15 die Ansprüche 6 und 7 die Nutzung der Vergleicherausgangs-
signale zur Fehlerkennzeichnung.

Jeder Rechner veranlaßt für sich und unabhängig von den anderen
Rechnern automatisch bei allen Ausgabebefehlen eine laufende
Kontrolle der von ihm bereitgestellten Daten mit den von den
20 Nachbarrechnern übermittelten Daten. Für den Fehlerfall ist
nach der Lehre des Anspruches 8 jedoch auch vorgesehen, daß
die noch funktionsfähigen Einzelrechner den Vergleichsvorgang
für einen defekten Rechner erzwingen, wenn der Rechner selbst
diesen Vergleichsvorgang aufgrund eines Fehlverhaltens nicht
25 mehr vornehmen will.

Anspruch 9 benennt die Maßnahmen, durch deren Anwendung es
möglich wird, auf einfache Weise neben den Ausgaben an die
Peripherie auch andere zu vergleichende Daten in den
Vergleichsvorgang einzubeziehen.

30 Um im Fehlerfall ungewollte gegenseitigen Beeinflussungen der
Rechner weitgehend auszuschließen, ist es von Vorteil, die Aus-
gänge der Rechner gemäß Anspruch 10 von den Eingängen der
anderen Rechner zu entkoppeln.

35 Ein Ausführungsbeispiel der Erfindung ist nachstehend
anhand der Zeichnung näher erläutert.

Die Zeichnung zeigt:

in Fig. 1 ein Schema des erfindungsgemäß ausgebildeten Rechner-

1 systems und

in Fig. 2 den einzelnen Rechnern zugeordnete Baugruppen, in denen die Erfindung realisiert ist.

5 Das in Fig. 1 dargestellte sichere Mehrrechnersystem besteht aus drei signaltechnisch nicht sicheren Einzelrechnern MCA, MCB und MCC, beispielsweise Mikrocomputern, von denen einer oder zwei auf einen zu steuernden Prozeß einwirken. Die Einzelrechner erarbeiten die anfallenden Aufgaben unabhängig voneinander nach den gleichen Programmen; sie synchronisieren sich laufend. Jedem Einzelrechner sind zwei Hardware-Vergleicher VAR (R = rechts) und VAL (L = links), VBL und VBR bzw. VCL und VCR zugeordnet. Diese Vergleicher sind vorzugsweise zum bitweisen Vergleich von ihren Eingängen zugeführten seriellen Daten
10 eingerichtet, sodaß nur wenige Leitungen zwischen den Rechnern nötig sind. Die Daten stammen jeweils von demjenigen Rechner, dem ein Vergleicher fest zugeordnet ist und von einem der Nachbarrechner. So vergleicht der Vergleicher VAR z.B. die bei Ausgaben an den internen Bussen des Rechners MCA anliegenden Daten mit den entsprechenden Daten des Rechners MCB und der Vergleicher VAL vergleicht die an den internen Bussen des Rechners MCA anliegenden Daten mit denen des Rechners MCC. Liefert einer der Rechner, beispielsweise der Rechner MCA, Daten, die verschieden sind von den entsprechenden Daten der
20 beiden übrigen Rechner, so wird dies von den Vergleichern VAR und VAL sowie VBL und VCR erkannt. Diese Vergleicher liefern an ihren Ausgängen entsprechende Fehlersignale. Die Ausgänge der den einzelnen Rechnern zugeordneten Vergleicher sind über Fehlerspeicher auf die Eingänge zugeordneter, ebenfalls in Hardware realisierter UND-Glieder UA, UB und UC geführt. An den Ausgängen dieser UND-Glieder sind bei Erfüllung der UND-Bedingung Abschaltsignale ASSA, ASSB bzw. ASSC zum Abschalten des zugehörigen Rechners abgreifbar. Bei dem zuvor angenommenen Störfall wird ausschließlich das UND-Glied UA von dem dem gestörten Rechner MCA zugeordneten Vergleicherpaar VAR, VAL durchgesteuert, während die anderen UND-Glieder gesperrt sind. Damit ist es möglich, mit einfachsten Hardware-Schaltmitteln gezielt denjenigen Rechner zu bestimmen und aus dem Verkehr zu nehmen, bei dem eine Störung eingetreten ist. Treten
35

1 gleichzeitig bei mehreren Rechnern Störungen auf, so werden
alle Rechner über die ihnen zugeordneten Vergleicher und
UND-Glieder abgeschaltet. Voraussetzung ist allerdings, daß die
Daten durch die angenommenen Störungen in den Rechnern nicht in
5 gleicher Weise verfälscht werden.

In Fig.1 sind aus Gründen der Vollständigkeit noch gestrichelt
dargestellte Verbindungen für Interrupts und strichpunktiert
dargestellte Verbindungen für Kontrollmeldungen vorgesehen,
deren Funktion anhand der Fig.2 erläutert ist.

10 Dem Vergleich unterzogen sind alle Rechnerausgaben an die
Peripherie. Alle anderen zu vergleichenden Daten, wie z.B.
die Daten zyklischer Speicherinhaltsprüfungen, werden durch
Ausgaben an eine hierfür reservierte, nicht belegte Peripherie-
adresse zu fiktiven Ausgaben, die wie tatsächliche Ausgaben
15 auf Übereinstimmung geprüft werden.

Fig. 2 zeigt die Anordnung der Schaltmittel zum Erkennen und
Abschalten eines gestörten Rechners. Diese sind Bestandteil von
den einzelnen Rechnern MCA bis MCC zugeordneten Baugruppen BGA
20 bis BGC; die Baugruppen können in jeder beliebiger Technik
ausgeführt und zusammen mit den zugehörigen Rechnern auf ge-
meinsamen Platinen angeordnet sein. Es ist angenommen, daß die
Rechner die zu vergleichenden Daten auf den internen Datenbus
DBA, DBB bzw. DBC des jeweiligen Rechners schalten. Die von
25 den Rechnern in paralleler Form bereitgestellten Daten
gelangen in den zugehörigen Baugruppen auf dort befindliche
Parallel/Serien-Wandler P/SA, P/SB bzw. P/SC und werden dort
zur Übertragung an die Baugruppen der jeweils anderen Rechner
in serielle Daten DA, DB bzw. DC umgesetzt. Dies geschieht
30 unter Verwendung von Steuerungen StA, StB, StC zur Verarbei-
tung von von den zugehörigen Rechnern stammenden Steuersi-
gnalen. Die Übertragung der Daten an die Baugruppen der ande-
ren Rechner erfolgt über Ausgabeverstärker. Die Ausgabever-
stärker wirken auf in der Zeichnung nicht dargestellte strom-
35 begrenzendes Widerstände sowohl auf der Sende- als auch auf
der Empfangsseite des Rechnersystems; über diese Schnittstelle
sind die jeweils zusammenwirkenden Rechner des Rechnersystems
gegenseitig entkoppelt.

Jede Baugruppe enthält ferner die beiden dem jeweiligen Rechner

1 zugeordneten Vergleicher VAL und VAR, VBL und VBR bzw. VCL und
VCR, die auf den Baugruppen mit Serien/Parallel-Wandlern S/PAL
und S/PAR, S/PBL und S/PBR bzw. S/PCL und S/PCR zur
Serien/Parallel-Wandlung der übermittelten Daten baulich
5 vereinigt sind. Dem einen Eingang der Vergleicher werden die
am Ausgang des Parallel/Serien-Wandlers der betreffenden Bau-
gruppe abgeifbaren seriellen Daten zugeführt, dem anderen
Eingang die in serieller Form übermittelten Daten des jewei-
ligen Partnerrechners. Dabei empfängt der Vergleicher VAL die
10 Daten DC des Rechners MCC, der Vergleicher VAR die Daten DB des
Rechners MCB, der Vergleicher VBL die Daten DA des Rechners
MCA, der Vergleicher VBR die Daten DC des Rechners MCC,
der Vergleicher VCL die Daten DB des Rechners MCB und der
Vergleicher VCR die Daten DA des Rechners MCA. Die Übernahme
15 der Daten in die Vergleicher und die Serien/Parallel-Wandler
und die spätere Übernahme der Vergleichsergebnisse in nach-
geschaltete Fehlerspeicher erfolgt unter Steuerung von Taktsi-
gnalen TA, TB bzw. TC von den einzelnen Rechnern zugeordneten
Taktgebern. Die Taktsignale werden darüber hinaus auch den
20 entsprechenden Steuereingängen der Vergleicher in den Partner-
baugruppen zugeführt und veranlassen dort unabhängig von den
Taktsignalen des jeweils zugeordneten Rechners die Einleitung
von Vergleichsvorgängen immer dann, wenn der die Taktsignale
generierende Rechner seinen Vergleichsadreßbereich aufruft.
25 Hierdurch wird erreicht, daß auch bei einem fehlerhaft oder gar
nicht mehr arbeitenden Rechner von den noch intakten Rechnern
her Vergleichsvorgänge eingeleitet werden, die bei der
angenommenen Störung zum Erkennen der Störung und zum
Abschalten des davon betroffenen Rechners führen. Den Ausgängen
30 der Vergleicher nachgeschaltet sind mehrstufige Fehlerspeicher
FAL und FAR, FBL und FBR bzw. FCL und FCR. Hier werden die von
den Vergleichern ggf. ausgelösten Fehlermeldungen gespeichert
und bis zum Systemrücksetzen festgehalten. Bei paarweisen
Fehlermeldungen wird die UND-Verknüpfung dieser Fehlermeldun-
35 gen in den zugeordneten UND-Gliedern UA, UB bzw. UC vorgenom-
men und der zugehörige Rechner stillgesetzt. Dies geschieht
über die am Ausgang der UND-Glieder abgreifbaren
Abschaltsignale ASSA, ASSB bzw. ASSC.
Das Ausgangssignal eines jeden Fehlerspeichers wird über je

1 einen Interrupt dem zugeordneten Rechner gemeldet, so daß
die ausfallfreien Rechner die Fehlfunktion eines anderen
Rechners durch Datenvergleich feststellen und die ordnungs-
gerechte Abschaltung (ASSA) kontrollieren können. Hierzu
5 werden entsprechende Kontrollmeldungen zwischen den einzelnen
Rechnern des Rechnersystems ausgetauscht (Fig.1, strichpunk-
tierte Linien). Wenn ein ausgefallener Rechner sich nicht
abschaltet, veranlassen die ausfallfreien Rechner das Abschal-
ten des Rechnersystems, beispielsweise durch Inaktivschalten
10 ihrer Ausgabebühnen. Der Vergleich einander entsprechender Daten
der Rechner setzt eine synchrone Arbeitsweise der Rechner
voraus. Bei der Inbetriebnahme des Rechnersystems und bei jedem
Neustart eines Einzelrechners zum Zwecke seiner Aktualisierung
ist dieser Synchronismus noch nicht gegeben. Der Vergleich,
15 der üblicherweise (auch) von den Partnerrechnern ausgelöst
wird, muß daher vorübergehend gesperrt werden, da sonst sofort
wieder die Abschaltung des neugestarteten Rechners ausgelöst
würde. Mit dem ersten Vergleich, den der neugestartete Rechner
selbst veranlaßt, kann die Sperre wieder aufgehoben werden.

20

Da die Vergleiche aus wenigen, hochzuverlässigen Bauelementen
aufgebaut sind und in den paarweise zusammenwirkenden Rechnern
redundant betrieben werden, ist es nicht erforderlich, sie
signaltechnisch sicher auszuführen; das Erkennen und Abschalten
25 defekter Rechner kann also unter Verwendung von herkömmlichen
Vergleichern beliebiger Technik geschehen.

Das durch Hardwarevergleiche bewirkte Feststellen und
Abschalten eines gestörten Einzelrechners läßt sich auch
30 erreichen, wenn statt der aktuellen Daten auf den Rechnerbussen
die an den Ausgängen der Rechner auftretenden Verarbeitungser-
gebnisse miteinander verglichen werden wie es z.B. bei dem
im Stand der Technik erwähnten SELMIS-Rechnersystem der Fall
ist.

35

1 Patentansprüche

1. Mehrrechnersystem hoher Sicherheit mit drei Rechnern, welche alle die gleichen Informationen unabhängig voneinander verarbeiten und welche die auf ihren internen Bussen anliegenden Daten und/oder die von ihnen erarbeiteten Ergebnisse oder Teilergebnisse - ggf. nach Synchronisation - externen Vergleichen zuführen, die bei Übereinstimmung der Rechnerdaten oder Rechnerergebnisse von mindestens zwei Rechnern diese Daten oder Ergebnisse ausgeben und die beim Feststellen voneinander abweichender Daten oder Ergebnisse den die fehlerhaften Daten oder Ergebnisse liefernden Rechner bestimmen und unwirksam schalten, d a d u r c h g e k e n n z e i c h n e t , daß jedem Rechner (z.B. MCA) zwei Hardware-Vergleicher (VAL, VAR) zum individuellen Vergleich der von ihm stammenden Daten (DA) oder Ergebnisse mit den Daten (DB, DC) oder Ergebnissen des einen (MCB) sowie des anderen Rechners (MCC) des Mehrrechnersystems zugeordnet sind, und daß die Ausgänge der jedem Rechner (MCA) zugeordneten Vergleicher (VAL, VAR) auf eine Hardware-UND-Verknüpfung (UA) geführt sind, die dann und nur dann den jeweils zugehörigen Rechner (MCA) abschaltet, wenn beide auf diese UND-Verknüpfung speisenden Vergleicher (VAL, VAR) voneinander abweichende Daten an ihren Eingängen erkennen.

25

2. Mehrrechnersystem nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß die einem Rechner (MCA) zugeordneten beiden Vergleicher (VAL, VAR) ausgangsseitig auf gesonderte Fehlerspeicher (FAL, FAR) geführt sind, die beim Feststellen voneinander abweichender Daten an den Eingängen der sie speisenden Vergleicher (VAL, VAR) individuell einstellbar sind und daß die beiden Fehlerspeicher ausgangsseitig an die Eingänge eines ein Abschaltsignal (ASSA) für den zugehörigen Rechner (MCA) liefernden UND-Gliedes (UA) angeschlossen sind.

35

3. Mehrrechnersystem nach Anspruch 1 oder 2, d a d u r c h g e k e n n z e i c h n e t , daß den Rechnern (MCA) die Potentiale an den Ausgängen der den anderen Rechnern (MCB, MCC) zugeordneten UND-Glieder (UB, UC) zu Kontrollzwecken

- 1 zugeführt sind und daß die ausfallfreien Rechner die Abschaltung des Rechnersystems veranlassen, wenn ein als defekt erkannter Rechner sich nicht selbst abschaltet.
- 5 4. Mehrrechnersystem nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß jedem Rechner (MCA) eine Baugruppe (BGA) zugeordnet ist mit einem ausgangsseitig an die internen Busse (DBA) des Rechners oder den Rechnerausgang angeschlossenen Parallel/Serien-Wandler
10 (P/SA), von dem aus die an den Rechnerbussen oder am Ausgang des Rechners anliegenden Daten (DA) an die Baugruppen (BGB, BGC) der anderen Rechner (MCB, MCC) gelangen und daß jede Baugruppe (z.B. BGA) zwei Vergleicher (VAL, VAR) aufweist, deren Eingänge zum einen an den Ausgang des Parallel/Serien-
15 Wandlers (P/SA) dieser Baugruppe (BGA) und zum anderen an den Ausgang des Parallel/Serien-Wandlers (P/SC, P/SB) derjenigen Baugruppe (BGC, BGB) angeschlossen sind, mit deren Daten sie sich zu vergleichen hat.
- 20 5. Mehrrechnersystem nach den Ansprüchen 2 und 4, dadurch gekennzeichnet, daß die Fehlerspeicher (FAL, FAR) von den Vergleichern gesetzt werden, die ihrerseits über Parallel/Serien-Wandler (S/PAL, S/PAR) geladen werden.
- 25 6. Mehrrechnersystem nach den Ansprüchen 2 und 5, dadurch gekennzeichnet, daß die an den Ausgängen der Fehlerspeicher (FAL, FAR) abgreifbaren Signale als Interrupts den zugehörigen Rechner (MCA) vom Ansprechen eines seiner Vergleicher (VAL, VAR) informieren.
30
7. Mehrrechnersystem nach Anspruch 6, dadurch gekennzeichnet, daß die an den Ausgängen der Fehlerspeicher (FAL, FAR) abgreifbaren Signale zum An- und Abschalten von Leuchtdioden für die optische Kennzeichnung des
35 jeweiligen Vergleichierzustandes verwendet sind.
8. Mehrrechnersystem nach einem der Ansprüche 4 oder 5, dadurch gekennzeichnet, daß jeder Rechner (MCA) einen eigenen Taktgeber aufweist, dessen Taktsignale (TA)

1 als Übernahmetakt während jedes Vergleichsvorganges in allen
Baugruppe (BGA, BGB, BGC) die Übernahme seiner Daten (DA)
durch die Vergleicher (VAL, VAR, VBL, VCR) und am Ende der
Datenübertragung als Vergleichertakt die Übernahme der
5 Vergleichsergebnisse aus den Vergleichern (VAL, VAR, VBL, VCR)
in die Fehlerspeicher (FAL, FAR, FBL, FCR) der Baugruppen
veranlassen und daß jeder Vergleicher zur Initiierung
eines Vergleichsvorganges zwei einzeln einstellbare Taktsi-
gnaleingänge aufweist, von denen der eine durch die Taktsignale
10 (TA) des eigenen Taktgebers und der andere durch die Takt-
signale (TC, TB) desjenigen Rechners (MCC, MCB) gesteuert ist,
der zusammen mit dem eigenen Rechner (MCA) auf den betreffenden
Vergleicher einspeist.

15 9. Mehrrechnersystem nach Anspruch 1, d a d u r c h g e -
k e n n z e i c h n e t , daß alle Ausgaben (DA) der Rechner
(MCA) an die Peripherie verglichen werden und daß alle anderen
zu vergleichenden Daten beim Ausgeben der Daten an eine reser-
vierte, nicht belegte Peripherieadresse verglichen werden.

20 10. Mehrrechnersystem nach einem der Ansprüche 2 bis 9,
d a d u r c h g e k e n n z e i c h n e t , daß die
Ausgänge für Daten (DA) und Taktsignale (TA) jeder Baugruppe
(BGA) zu den Daten- und Taktsignaleingängen der beiden anderen
25 Baugruppen (BGB, BGC) dadurch entkoppelt sind, daß auf der
Ausgangsseite ein Signalverstärker und ein strombegrenzender
Entkopplungswiderstand und auf der Empfangsseite ebenfalls
ein Entkopplungswiderstand angeordnet sind.

30

35

FIG 1

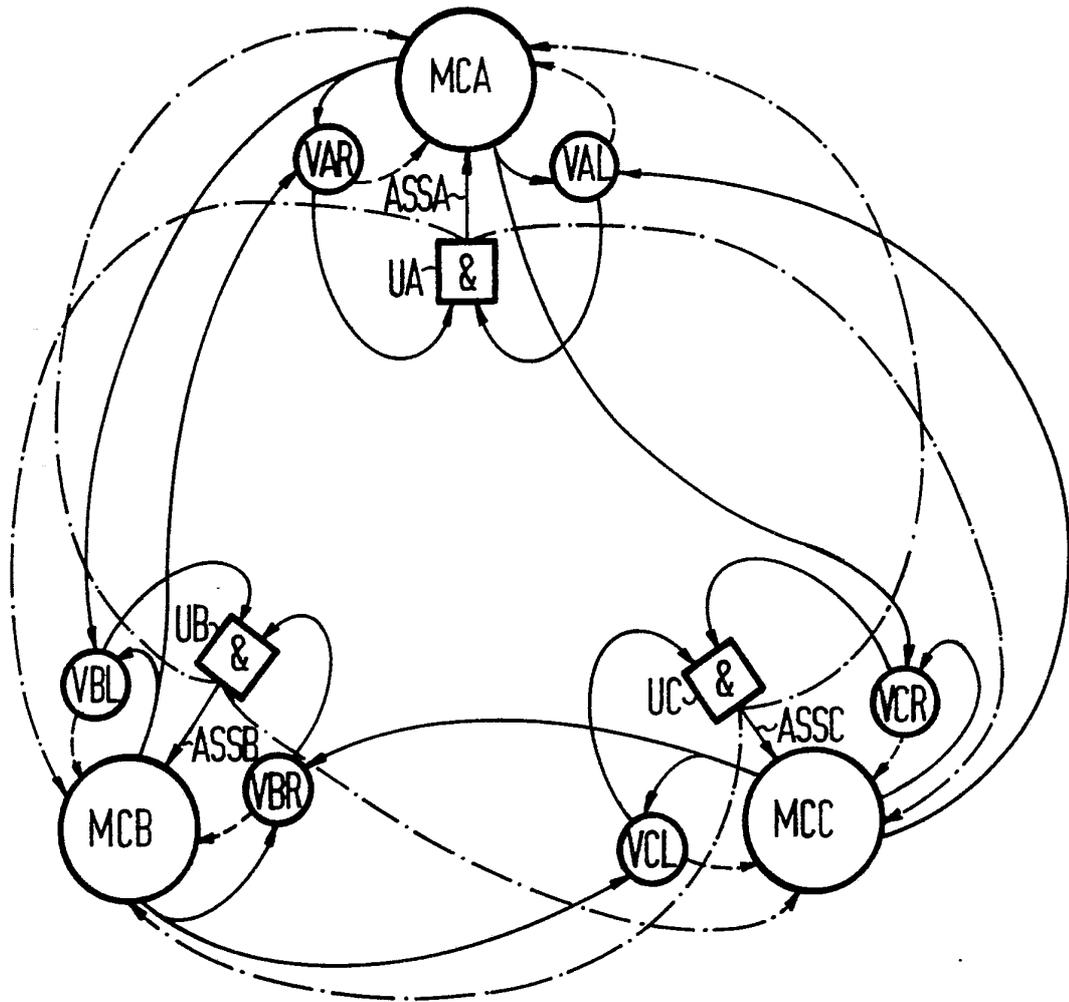
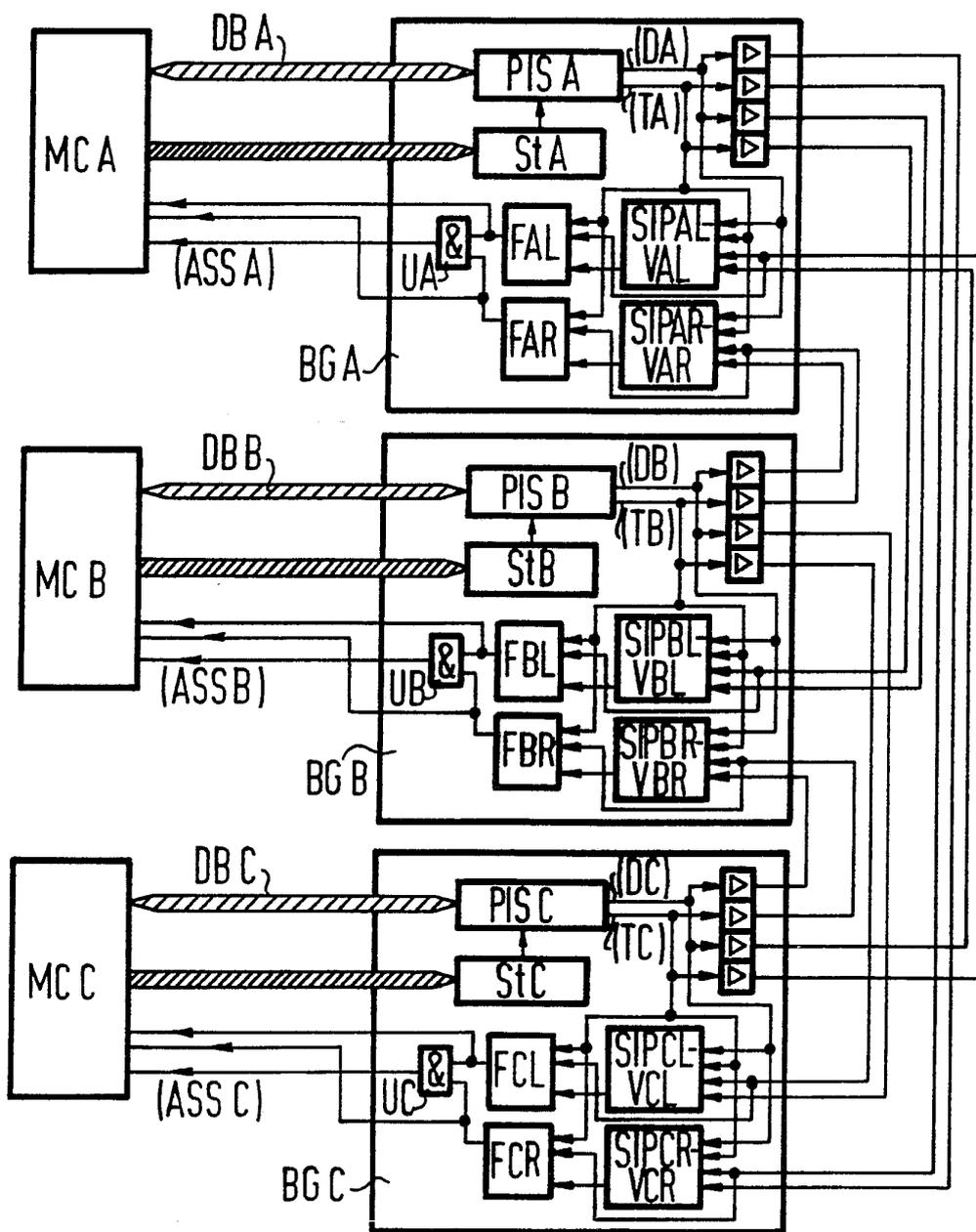


FIG 2

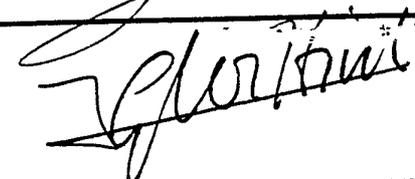


INTERNATIONAL SEARCH REPORT

PCT/EP 91/01022

International Application No

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶		
According to International Patent Classification (IPC) or to both National Classification and IPC Int.Cl. 5 G06F11/18 ; G06F11/00		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System	Classification Symbols	
Int.Cl. 5	G06F	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸		
III. DOCUMENTS CONSIDERED TO BE RELEVANT⁹		
Category ^o	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
Y	INTERNATIONAL JOURNAL OF ELECTRONICS. vol. 67, no. 1, June 1989, LONDON GB pages 1 - 6; H.-Y. LO ET AL.: 'Highly efficient flexible-purging redundancy scheme ' see abstract; figure 1 see page 3, line 15 - page 4, line 4 ---	1,2
Y	IEEE TRANSACTIONS ON RELIABILITY. vol. 39, no. 2, June 1990, NEW YORK US pages 217 - 225; Y. CHEN ET AL.: 'Implementing Fault-Tolerance via Modular Redundancy with Comparison ' see page 217 - page 218, left column, line 16 see page 224, right column; figure 9; table 3 ---	1,2
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>^o Special categories of cited documents : ¹⁰</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&" document member of the same patent family</p> </div> </div>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report	
22 AUGUST 1991	27.09.91	
International Searching Authority	Signature of Authorized Officer	
EUROPEAN PATENT OFFICE	KINGMA Y. 	



III. DOCUMENTS CONSIDERED TO BE RELEVANT (CONTINUED FROM THE SECOND SHEET)		
Category °	Citation of Document, with indication, where appropriate, of the relevant passages	Relevant to Claim No.
A	ADVANCES IN INSTRUMENTATION. vol. 40, no. 2, October 1985, PITTSBURGH US pages 979 - 990; W.N. TOY: 'Fault Recovery Strategy of Tricon-1 ' see page 979, line 1 - line 6 see page 979, line 31 - line 36 see page 980, line 36 - line 50 ---	9
A	DE,A,3 720 879 (SIEMENS) January 5, 1989 see column 1; claims 1,2; figure 2 see column 3, line 9 - line 22 ---	4,8,10

**ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO.**

EP 9101022
SA 47823

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

22/08/91

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE-A-3720879	05-01-89	None	

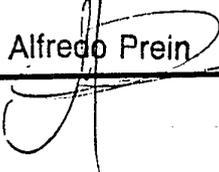
EPO FORM P0479

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 91/01022

I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS (bei mehreren Klassifikationssymbolen sind alle anzugeben) ⁶		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
Int.C1.5	G 06 F 11/18	G 06 F, 11/00
II. RECHERCHIERTE SACHGEBIETE		
Recherchierter Mindestprüfstoff ⁷		
Klassifikationssystem	Klassifikationssymbole	
Int.C1.5	G 06 F	
Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen ⁸		
III. EINSCHLAGIGE VERÖFFENTLICHUNGEN ⁹		
Art. ^o	Kennzeichnung der Veröffentlichung ¹¹ , soweit erforderlich unter Angabe der maßgeblichen Teile ¹²	Betr. Anspruch Nr. ¹³
Y	INTERNATIONAL JOURNAL OF ELECTRONICS. Bnd. 67, Nr. 1, Juni 1989, LONDON GB Seiten 1 - 6; H.-Y. LO ET AL.: 'Highly efficient flexible-purging redundancy scheme ' siehe Zusammenfassung; Figur 1; siehe Seite 3, Zeile 15 - Seite 4, Zeile 4 ---	1,2
Y	IEEE TRANSACTIONS ON RELIABILITY. Bnd. 39, Nr. 2, Juni 1990, NEW YORK US Seiten 217 - 225; Y. CHEN ET AL.: 'Implementing Fault-Tolerance via Modular Redundancy with Comparison ' siehe Seite 217 - Seite 218, linke Spalte, Zeile 16; siehe Seite 224, rechte Spalte; Figur 9; Tabelle 3 --- -/-	1,2
<p>^o Besondere Kategorien von angegebenen Veröffentlichungen ¹⁰ :</p> <p>"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> <p>"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist</p> <p>"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>		
IV. BESCHEINIGUNG		
Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts	
22-08-1991	09.12.91	
Internationale Recherchenbehörde	Unterschrift des bevollmächtigten Bediensteten	
EUROPAISCHES PATENTAMT	 Alfredo Prein	

III. EINSCHLAGIGE VERÖFFENTLICHUNGEN (Fortsetzung von Blatt 2)		
Art °	Kennzeichnung der Veröffentlichung, soweit erforderlich unter Angabe der maßgeblichen Teile	Betr. Anspruch Nr.
A	ADVANCES IN INSTRUMENTATION. Bnd. 40, Nr. 2, Oktober 1985, PITTSBURGH US Seiten 979 - 990; W.N. TOY: 'Fault Recovery Strategy of Tricon-1 ' siehe Seite 979, Zeile 1 - Zeile 6; siehe Seite 979, Zeile 31 - Zeile 36; siehe Seite 980, Zeile 36 - Zeile 50 ---	9
A	DE,A,3720879 (SIEMENS) 5. Januar 1989, siehe Spalte 1; Ansprüche 1,2; Figur 2; siehe Spalte 3, Zeile 9 - Zeile 22 -----	4,8,10

**ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT
ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.**

EP 9101022
SA 47823

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentdokumente angegeben.
Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am 20/11/91
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE-A- 3720879	05-01-89	Keine	

EPO FORM P0473

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82