



(12) 发明专利申请

(10) 申请公布号 CN 102914699 A

(43) 申请公布日 2013. 02. 06

(21) 申请号 201210431941. 1

(22) 申请日 2012. 11. 02

(71) 申请人 中国电子科技集团公司第四十一研究所

地址 266000 山东省青岛市经济技术开发区
香江路 98 号

(72) 发明人 杜念文 邓旭亮 朱伟 蒙海瑛
宋志强

(51) Int. Cl.

G01R 29/00 (2006. 01)

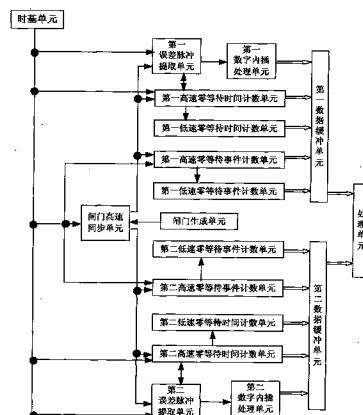
权利要求书 2 页 说明书 8 页 附图 3 页

(54) 发明名称

调制域测量系统及其方法

(57) 摘要

本发明公开了一种调制域测量系统及其方法，该系统包括时基单元、闸门生成单元、闸门高速同步单元、处理单元、两路对称的测量通道，闸门生成单元与闸门高速同步单元连接，两路对称的测量通道的一端与时基单元、闸门高速同步单元连接，两路对称的测量通道的另一端与处理单元连接，两路对称的测量通道包括第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一误差脉冲提取单元、第一数字内插处理单元、第一数据缓冲单元、第二高速零等待事件计数单元、第二低速零等待事件计数单元等元件。本发明满足了调制域测量高速、无死区、高分辨力、大带宽的测量要求。



1. 一种调制域测量系统，其特征在于，其包括时基单元、闸门生成单元、闸门高速同步单元、处理单元、两路对称的测量通道，闸门生成单元与闸门高速同步单元连接，两路对称的测量通道的一端与时基单元、闸门高速同步单元连接，两路对称的测量通道的另一端与处理单元连接，两路对称的测量通道包括第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一误差脉冲提取单元、第一数字内插处理单元、第一数据缓冲单元、第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元、第二误差脉冲提取单元、第二数字内插处理单元、第二数据缓冲单元；第一数字内插处理单元、第一高速零等待时间计数单元、闸门高速同步单元、时基单元都与第一误差脉冲提取单元连接，第一低速零等待时间计数单元、第一误差脉冲提取单元、闸门高速同步单元、时基单元都与第一高速零等待时间计数单元连接，第一误差脉冲提取单元、第一数据缓冲单元都与第一数字内插处理单元连接，第一低速零等待事件计数单元、闸门高速同步单元、第一数据缓冲单元都与第一高速零等待事件计数单元连接，第二数字内插处理单元、第二高速零等待时间计数单元、闸门高速同步单元、时基单元都与第二误差脉冲提取单元连接，第二低速零等待时间计数单元、第二误差脉冲提取单元、闸门高速同步单元、时基单元都与第二高速零等待时间计数单元连接，第二误差脉冲提取单元、第二数据缓冲单元都与第二数字内插处理单元连接，第二低速零等待事件计数单元、闸门高速同步单元都与第二高速零等待事件计数单元连接，第一数据缓冲单元、第二数据缓冲单元都与处理单元连接。

2. 如权利要求 1 所述调制域测量系统，其特征在于，所述闸门生成单元生成原始闸门信号。

3. 如权利要求 1 所述调制域测量系统，其特征在于，所述闸门高速同步单元接收闸门生成单元的原始闸门信号和被测信号作为输入，生成与被测信号完全同步的两路互补的同步闸门信号。

4. 如权利要求 1 所述调制域测量系统，其特征在于，所述第一低速零等待事件计数单元、第二低速零等待事件计数单元分别接收第一高速零等待事件计数单元、第二高速零等待事件计数单元的最高位输出作为输入，负责对该输入最高位进行计数。

5. 如权利要求 1 所述调制域测量系统，其特征在于，所述第一低速零等待时间计数单元、第二低速零等待时间计数单元分别接收第一高速零等待时间计数单元、第二高速零等待时间计数单元的最高位输出作为输入，负责对该输入最高位进行计数。

6. 如权利要求 1 所述调制域测量系统，其特征在于，所述处理单元负责与第一数据缓冲单元、第二数据缓冲单元交互，通过高速接口读取测量数据，并负责对数据进行最终的运算、处理及显示。

7. 一种调制域测量系统的测量方法，其特征在于，所述调制域测量系统的测量方法采用如权利要求 1 所述的调制域测量系统，所述调制域测量系统的测量方法包括以下步骤：

S1、所述闸门生成单元根据采样间隔设置生成原始闸门信号，闸门高速同步单元接收原始闸门信号和被测信号，经同步处理后，生成同步闸门信号，分别送到两路对称的测量通道；

S2、所述第一误差脉冲提取单元或第二误差脉冲提取单元接收时基单元输出的时基信号和同步闸门信号作为输入，经误差提取，生成同步闸门信号和时基信号之间的误差脉冲，

该脉冲送给第一数字内插处理单元或第二数字内插处理单元实现分辨力测量；

S3、所述第一数字内插处理单元或第二数字内插处理单元使用可编程逻辑器件实现时，采用查找表资源和锁相环延时校准两种方法进行误差修正，所述第一数字内插处理单元或第二数字内插处理单元使用 acam 公司的 TDC-GPX 型专用芯片实现时，采用标准脉冲进行误差修正，以上两种方法均可实现高分辨力误差修正；

S4、第一高速零等待事件计数单元、第一高速零等待时间计数单元的高位输出分别作为第一低速零等待事件计数单元、第一低速零等待时间计数单元的输入信号，第二高速零等待事件计数单元、第二高速零等待时间计数单元的高位输出分别作为第二低速零等待事件计数单元、第二低速零等待时间计数单元的输入信号，由第一低速零等待事件计数单元、第一低速零等待时间计数单元、第二低速零等待事件计数单元、第二低速零等待时间计数单元实现扩展计数，第一高速零等待事件计数单元、第一高速零等待时间计数单元、第二高速零等待事件计数单元、第二高速零等待时间计数单元由高速专用芯片实现，第一低速零等待事件计数单元、第一低速零等待时间计数单元、第二低速零等待事件计数单元、第二低速零等待时间计数单元可以由可编程逻辑器件实现；

S5、所述第一数据缓冲单元负责缓冲第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一数字内插处理单元的测量数据；第二数据缓冲单元负责缓冲第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元、第二数字内插处理单元的测量数据；

S6、所述处理单元负责与第一数据缓冲单元、第二数据缓冲单元交互，通过高速接口读取测量数据，并对数据进行最终的运算、处理及显示。

调制域测量系统及其方法

技术领域

[0001] 本发明涉及一种测量方法,特别是涉及一种调制域测量系统及其方法。

背景技术

[0002] 调制域、时域和频域并称为“三域”。时域分析是测量输入信号幅度随时间变化的关系;频域分析是测量输入信号幅度随频率变化的关系;而调制域分析是测量输入信号频率随时间变化的关系,可直接测量复杂信号的调制域特性,也可测量相位或时间间隔相对时间的变化关系。由于在调制域分析方面相比时域分析和频域分析有独到的优势,调制域分析在抗干扰通信、捷变频雷达、电子战系统中均得到了广泛应用,是军民电子系统研制、生产、维护等阶段必备的仪器。

[0003] 随着通信技术的发展,捷变频、连续波调频、线性调频、脉冲调制、数字调制及组合调制技术得到了快速发展和应用,同时频段也得到了大幅扩展,对指标也提出了更高的要求。为满足新的需求,现代调制域分析要具备大带宽、高速高分辨力、无死区及长采样间隔等测量要求。

[0004] 目前调制域测量系统如图1所示,闸门逻辑单元首先产生原始闸门信号 G_0 ,原始闸门信号与被测信号同步后产生同步闸门信号 G_s ,同步闸门信号 G_s 作为事件计数器和时间计数器的使能信号,控制事件计数器和时间计数器对被测信号和时基信号进行计数。同时同步闸门信号与时基信号经逻辑控制单元产生同步闸门信号前沿误差脉冲 E_1 和后沿误差脉冲 E_2 ,这两个误差脉冲送入模拟内插单元的充放电电路,线性的将误差脉冲扩展成相对大的脉冲或相对大的电压,经扩展处理后完成误差补偿,可使时间或频率分辨率得到有效提高。

[0005] 将误差脉冲展宽的办法如下:在误差脉冲为高期间对一个电容以恒定电流充电;然后以慢 N 倍(例如 $N = 1000$)的速度放电,则电容放电到起始状态下的时间是误差脉冲宽度的 N 倍,在电容充电时刻和电容放电到起始状态的时刻通过整型电路可以得到放大后的脉冲信号,然后再用标准时钟对其进行测量计数得到扩展后的脉冲宽度。

[0006] 另一种误差脉冲扩展的办法如下:将误差脉冲按照需要的比例转换成斜坡电压,在误差脉冲的起始时刻和终止时刻,用 AD 采样器对电压进行采样,通过测量的电压值和电压转换比例计算得到扩展后的修正值。最后对事件计数值、时间计数值和前后内插修正值统一计算后,得到最终的被测信号频率。

[0007] 目前调制域测量系统中模拟内插单元的误差脉冲充放电电路是关键部分,它直接决定了整个系统的测量精度和测量速度。时基信号与同步闸门信号之间的相位差是所要测量的误差脉冲信号,误差脉冲 E_1 和 E_2 的范围是 0 到一个时基信号周期,直接用它来充电就有可能出现脉冲极窄的情况,从而导致模拟内插失效或导致误差很大的情况,因此一般要对误差脉冲进行展宽处理,展宽后将误差脉冲线性的转化为相对大的脉冲或相对大的电压,然后在进行后续处理,误差脉冲充放电电路一般采用电流源和桥式二极管充放电电路来实现。

[0008] 目前调制域测量系统的主要局限性在于,为了避免窄误差脉冲导致模拟内插失效或导致误差很大的情况,要求误差脉冲宽度不能太小,需要对误差脉冲宽度进行扩展;为了达到较高的精度,要求对误差脉冲要进行较大倍数的扩展。误差脉冲宽度和较大倍数扩展的综合效应使得内插扩展总时间同比例扩展。当用比较电路对误差脉冲进行扩展时,扩展脉冲就会较宽,使得内插扩展的时间较长;当用AD转换器采样方式扩展时,为了充分利用AD转换器的有效范围,要求充放电有效电压范围要较宽,也使得内插扩展的时间较长。同时每次测量完后还要给模拟内插单元预留一定的复位时间,因此这两种方式最终都会使连续测量的采样间隔最小值受到限制。

[0009] 由于模拟电路对工作温度敏感性较高,因此模拟内插法稳定性较差。同时由于电路本身存在一定的漏电流,导致电容充电输出电压存在一定的非线性,对测量精度也有较大的影响,若要达到较高分辨率,需要对电压非线性进行精确校准。另外由于模拟电路固有的充放电时间限制,决定了模拟内插法的单次测量的时间间隔不能太小,这在高速短采样间隔测量领域,应用受到很大局限。

[0010] 现有调制域测量采用的另一种实施方式是事件计数器和时间计数器均由专用芯片实现,如果要满足长时间测量要求,就要实现高位宽计数,这要由多片专用计数芯片级联实现,印制板设计复杂,实现成本高。

[0011] 随着可编程逻辑器件的性能不断提高,现在也出现了直接把事件计数器和时间计数器均集成到可编程器件之内的调制域测量产品,这种方式的优点是可以大幅提高集成度和设计的灵活性,并降低成本,但受限于逻辑芯片本身的速度限制,很难达到大带宽的测量要求。

[0012] 为了达到高分辨率要求,在对误差脉冲进行测量时,还有一种方式采用游标法进行测量。游标法利用游标卡尺的原理测量计数闸门的边沿与标准计数时钟的尾数值,通常设计一对游标时钟,在计数闸门开启和关闭时,启动游标计数器,游标时钟不断跟踪标准计数时钟,当游标时钟与标准计数时钟边沿重合时,关闭游标计数器。测量误差与标准计数时钟周期和游标时钟周期的差值成正比,标准计数时钟和游标时钟的差值越小,分辨率越高。游标跟踪时间与计数时钟周期和游标时钟周期的差值成反比,计数时钟和游标时钟的差值越小,游标跟踪时间越长。为达到较高的分辨率并尽量减小测量时间,需要使用尽可能高的标准时钟频率和游标时钟频率,且需要复杂的高分辨率频率控制技术产生标准计数时钟和游标时钟,并严格控制所有时钟的频率和相位,并达到非常高的精度和稳定度,电路复杂,实现难度大。同时当计数闸门与计数时钟尾数值间隔较小时,受器件本身响应时间的限制,游标计数器的启动和关闭会存在一定的死区区间,使最小跟踪时间受到一定限制。

[0013] 现有调制域测量系统及其测量方法的缺点如下:一、当所有事件计数器和时间计数器均由专用芯片实现,如果要满足长时间测量要求,就要实现高位宽计数,这要由多片专用计数芯片级联实现,印制板设计复杂,实现成本高。当所有事件计数器和时间计数器均由可编程器件实现时,优点是可以大幅提高集成度和设计的灵活性,并降低成本,但受限于逻辑芯片本身的速度限制,很难达到大带宽的测量要求。二、在高速测量方面有很大的局限。采用模拟内插扩展可以实现高分辨率测量,但是由于模拟电路对工作温度敏感性较高,因此模拟内插法稳定性较差。同时由于电路本身存在一定的漏电流,导致电容充电输出电压存在一定的非线性,对测量精度也有较大的影响,若要达到较高分辨率,需要对电压非线性

进行精确校准。另外由于模拟电路固有的充放电时间限制,决定了模拟内插法的单次测量的时间间隔不能太小,这在高速短采样间隔测量领域,应用受到很大局限。采用游标法需要使用尽可能高的标准时钟频率和游标时钟频率,且需要复杂的高分辨力频率控制技术产生标准计数时钟和游标时钟,并严格控制所有时钟的频率和相位,电路复杂,实现难度大。同时当计数闸门与计数时钟尾数值间隔较小时,受器件本身响应时间的限制,游标计数器的启动和关闭会存在一定的死区区间,使最小跟踪时间受到一定限制。三、通过数字可编程器件实现数字内插的技术可以提高采样间隔指标,但是没有使用可编程逻辑器件查找表资源和锁相环延时校准两种方法进行误差修正并实际应用到调制域分析产品的实例,也没有使用 acam 公司 TDC-GPX 型芯片并使用标准脉冲进行误差修正并实际应用到调制域分析产品的实例。

发明内容

[0014] 本发明所要解决的技术问题是提供一种调制域测量系统及其方法,其满足了调制域测量高速、无死区、高分辨力、大带宽的测量要求。

[0015] 本发明是通过下述技术方案来解决上述技术问题的:一种调制域测量系统,其特征在于,其包括时基单元、闸门生成单元、闸门高速同步单元、处理单元、两路对称的测量通道,闸门生成单元与闸门高速同步单元连接,两路对称的测量通道的一端与时基单元、闸门高速同步单元连接,两路对称的测量通道的另一端与处理单元连接,两路对称的测量通道包括第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一误差脉冲提取单元、第一数字内插处理单元、第一数据缓冲单元、第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元、第二误差脉冲提取单元、第二数字内插处理单元、第一高速零等待时间计数单元、闸门高速同步单元、时基单元都与第一误差脉冲提取单元连接,第一低速零等待时间计数单元、第一误差脉冲提取单元、闸门高速同步单元、时基单元都与第一高速零等待时间计数单元连接,第一误差脉冲提取单元、第一数据缓冲单元都与第一数字内插处理单元连接,第一低速零等待事件计数单元、闸门高速同步单元、第一数据缓冲单元都与第一高速零等待事件计数单元连接,第二数字内插处理单元、第二高速零等待时间计数单元、闸门高速同步单元、时基单元都与第二误差脉冲提取单元连接,第二低速零等待时间计数单元、第二误差脉冲提取单元、闸门高速同步单元、时基单元都与第二高速零等待时间计数单元连接,第二误差脉冲提取单元、第二数据缓冲单元都与第二数字内插处理单元连接,第二低速零等待事件计数单元、闸门高速同步单元都与第二高速零等待事件计数单元连接,第一数据缓冲单元、第二数据缓冲单元都与处理单元连接。

[0016] 优选地,所述闸门生成单元生成原始闸门信号。

[0017] 优选地,所述闸门高速同步单元接收闸门生成单元的原始闸门信号和被测信号作为输入,生成与被测信号完全同步的两路互补的同步闸门信号。

[0018] 优选地,所述第一低速零等待事件计数单元、第二低速零等待事件计数单元分别接收第一高速零等待事件计数单元、第二高速零等待事件计数单元的最高位输出作为输入,负责对该输入最高位进行计数。

[0019] 优选地，所述第一低速零等待时间计数单元、第二低速零等待时间计数单元分别接收第一高速零等待时间计数单元、第二高速零等待时间计数单元的最高位输出作为输入，负责对该输入最高位进行计数。

[0020] 优选地，所述处理单元负责与第一数据缓冲单元、第二数据缓冲单元交互，通过高速接口读取测量数据，并负责对数据进行最终的运算、处理及显示。

[0021] 本发明还提供一种调制域测量系统的测量方法，其特征在于，所述调制域测量系统的测量方法采用如上述的调制域测量系统，所述调制域测量系统的测量方法包括以下步骤：

[0022] S1、所述闸门生成单元根据采样间隔设置生成原始闸门信号，闸门高速同步单元接收原始闸门信号和被测信号，经同步处理后，生成同步闸门信号，分别送到两路对称的测量通道；

[0023] S2、所述第一误差脉冲提取单元或第二误差脉冲提取单元接收时基单元输出的时基信号和同步闸门信号作为输入，经误差提取，生成同步闸门信号和时基信号之间的误差脉冲，该脉冲送给第一数字内插处理单元或第二数字内插处理单元实现分辨力测量；

[0024] S3、所述第一数字内插处理单元或第二数字内插处理单元使用可编程逻辑器件实现时，采用查找表资源和锁相环延时校准两种方法进行误差修正，所述第一数字内插处理单元或第二数字内插处理单元使用 acam 公司的 TDC-GPX 型专用芯片实现时，采用标准脉冲进行误差修正，以上两种方法均可实现高分辨力误差修正；

[0025] S4、第一高速零等待事件计数单元、第一高速零等待时间计数单元的高位输出分别作为第一低速零等待事件计数单元、第一低速零等待时间计数单元的输入信号，第二高速零等待事件计数单元、第二高速零等待时间计数单元的高位输出分别作为第二低速零等待事件计数单元、第二低速零等待时间计数单元的输入信号，由第一低速零等待事件计数单元、第一低速零等待时间计数单元、第二低速零等待事件计数单元、第二低速零等待时间计数单元实现扩展计数，第一高速零等待事件计数单元、第一高速零等待时间计数单元、第二高速零等待事件计数单元、第二高速零等待时间计数单元由高速专用芯片实现，第一低速零等待事件计数单元、第一低速零等待时间计数单元、第二低速零等待事件计数单元、第二低速零等待时间计数单元可以由可编程逻辑器件实现；

[0026] S5、所述第一数据缓冲单元负责缓冲第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一数字内插处理单元的测量数据；第二数据缓冲单元负责缓冲第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元、第二数字内插处理单元的测量数据；

[0027] S6、所述处理单元负责与第一数据缓冲单元、第二数据缓冲单元交互，通过高速接口读取测量数据，并对数据进行最终的运算、处理及显示。

[0028] 本发明的积极进步效果在于：一、专用芯片的优点是速度快、性能高、带宽大，本发明的实施例使用的专用芯片有安森美公司 MC100EP016A、MC100LVEL11、MC100LVEL14、MC10EP51DTG、MC100LVELT22DT 型芯片和 acam 公司 TDC-GPX 型芯片等，可编程逻辑器件的优点是编程方便、配置灵活、扩展性好，本发明的实施例使用了 Altera 公司 EP3SL150F1152C4N 型芯片。本发明充分利用了这两种器件各自的优点，对其进行合理设

计和整合,使之充分发挥了各自的特点,满足了调制域测量高速、大带宽等要求,被测信号的频率范围大大扩展。二、为满足连续无死区测量要求,本发明采用了对称两路测量通道交替工作方式,这两路通道分别通过闸门高速同步单元产生的互补两路同步闸门信号控制,一路工作期间,另外一路执行参数缓冲处理和相关电路复位操作。三、本发明采用了数字内插技术,实现高分辨力测量。数字内插技术的特点是利用电信号的传播延时确定的特性,构造“串行延时、并行计数”的延时链,来完成误差脉冲信号的测量,它没有模拟内插要求的充放电环节,极大的提高了内插扩展的速度和精度,大幅扩展了采样间隔的有效范围和时间测量精度。

附图说明

- [0029] 图 1 为目前调制域测量系统的原理框图。
- [0030] 图 2 为本发明调制域测量系统的原理框图。
- [0031] 图 3 为本发明中数字内插技术的原理示意图。

具体实施方式

- [0032] 下面结合附图给出本发明较佳实施例,以详细说明本发明的技术方案。
- [0033] 如图 1 所示,本发明调制域测量系统包括时基单元、闸门生成单元、闸门高速同步单元、处理单元、两路对称的测量通道,闸门生成单元与闸门高速同步单元连接,两路对称的测量通道的一端与时基单元和闸门高速同步单元连接,两路对称的测量通道的另一端与处理单元连接,两路对称的测量通道包括第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一误差脉冲提取单元、第一数字内插处理单元、第一数据缓冲单元、第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元、第二误差脉冲提取单元、第二数字内插处理单元、第二数据缓冲单元;第一数字内插处理单元、第一高速零等待时间计数单元、闸门高速同步单元、时基单元都与第一误差脉冲提取单元连接,第一低速零等待时间计数单元、第一误差脉冲提取单元、闸门高速同步单元、时基单元都与第一高速零等待时间计数单元连接,第一误差脉冲提取单元、第一数据缓冲单元都与第一数字内插处理单元连接,第一低速零等待事件计数单元、闸门高速同步单元、第一数据缓冲单元都与第一高速零等待事件计数单元连接,第二数字内插处理单元、第二高速零等待时间计数单元、闸门高速同步单元、时基单元都与第二误差脉冲提取单元连接,第二低速零等待时间计数单元、第二误差脉冲提取单元、闸门高速同步单元、时基单元都与第二高速零等待时间计数单元连接,第二误差脉冲提取单元、第二数据缓冲单元都与第二数字内插处理单元连接,第二低速零等待事件计数单元、闸门高速同步单元都与第二高速零等待事件计数单元连接,第一数据缓冲单元、第二数据缓冲单元都与处理单元连接。
- [0034] 所述闸门生成单元由可编程逻辑芯片实现,本发明的实施例使用了 Altera 公司的 EP3SL150F1152C4N 型芯片,闸门生成单元根据采样间隔设置生成原始闸门信号。
- [0035] 所述闸门高速同步单元由 MC100EPT20DTG、MC10EP51DTG、MC100EP11DG 型高速芯片实现,接收闸门生成单元的原始闸门信号和被测信号作为输入,原始闸门信号经过闸门高速同步单元内的同步电路的同步处理后,生成与被测信号完全同步的两路互补的同步闸

门信号,这两个互补的同步闸门信号分别送给两路对称的测量通道作为两路对称的测量通道的控制信号。

[0036] 所述第一高速零等待事件计数单元、第二高速零等待事件计数单元都由专用高速计数芯片构成,本发明实施例中使用了安森美公司 MC100EP016A 计数芯片,第一高速零等待事件计数单元、第二高速零等待事件计数单元由同步闸门信号控制是否工作,当同步闸门信号使能该专用高速计数芯片时,第一高速零等待事件计数单元、第二高速零等待事件计数单元负责对被测信号计数。

[0037] 所述第一低速零等待事件计数单元、第二低速零等待事件计数单元都在可编程逻辑芯片内部实现,第一低速零等待事件计数单元、第二低速零等待事件计数单元分别接收第一高速零等待事件计数单元、第二高速零等待事件计数单元的最高位输出作为输入,负责对该输入最高位进行计数。第一低速零等待时间计数单元、第二低速零等待时间计数单元分别接收第一高速零等待时间计数单元、第二高速零等待时间计数单元的最高位输出作为输入,负责对该输入最高位进行计数。

[0038] 当同步闸门信号禁止第一高速零等待事件计数单元计数时,第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元的输出均处于静默状态,待第一数字内插处理单元处理结束后,第一数据缓冲单元负责将第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一数字内插处理单元的输出读走,得到最终的计数结果。同理,当同步闸门信号禁止第二高速零等待事件计数单元计数时,第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元的输出均处于静默状态,待第二数字内插处理单元处理结束后,第二数据缓冲单元负责将第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元、第二数字内插处理单元的输出读走,得到最终的计数结果。

[0039] 第一高速零等待事件计数单元、第二高速零等待事件计数单元分别和第一低速零等待事件计数单元、第二低速零等待事件计数单元组合,充分利用了专用高速计数芯片的高速、高性能及大带宽特性,和可编程逻辑芯片编程灵活、易于扩展等特点,即满足了调制域测量高速、大带宽要求,又非常容易实现高位宽、长时间的测量要求。

[0040] 所述第一误差脉冲提取单元、第二误差脉冲提取单元都由高速芯片实现,误差脉冲提取单元可以由安森美公司的 MC100LVEL 型芯片和 acam 公司 TDC-GPX 型芯片组合实现,也可由安森美公司 MC100LVEL 型芯片和 Altera 公司 EP3SL150F1152C4N 芯片组合实现,本发明实施例对这两种方案均进行了验证。输入信号为已同步闸门信号和时基信号。在同步闸门信号上升沿处,得到同步闸门信号上升沿与同步闸门信号内第一个时基信号上升沿之间的前误差脉冲;在同步闸门信号下降沿处,得到同步闸门信号下降沿与同步闸门信号下降沿后第一个时基信号上升沿之间的后误差脉冲;前误差脉冲和后误差脉冲送给数字内插处理单元进行内插处理。

[0041] 所述第一数字内插处理单元、第二数字内插处理单元都负责对输入的前误差脉冲和后误差脉冲进行内插扩展,以满足高分辨力测量需求。第一数字内插处理单元、第二数字内插处理单元可以由可编程逻辑器件实现,也可以使用专用的内插芯片实现,本发明实时

例中,可编程逻辑器件使用了Altera公司的EP3SL150F1152C4N芯片,专用内插芯片使用了acam公司TDC-GPX芯片。在本发明的实施例中,对这两种实现方式均进行了验证,结果均能够满足高分辨力测量要求。

[0042] 所述第一数据缓冲单元负责缓冲第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一数字内插处理单元的测量数据。同理,第二数据缓冲单元负责缓冲第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元、第二数字内插处理单元的测量数据。

[0043] 所述处理单元负责与第一数据缓冲单元、第二数据缓冲单元交互,通过高速接口读取测量数据,并负责对数据进行最终的运算、處理及显示。

[0044] 本发明调制域测量系统的测量方法采用上述调制域测量系统,即上述时基单元、闸门生成单元、闸门高速同步单元、处理单元、两路对称的测量通道,两路对称的测量通道的一端与时基单元和闸门高速同步单元连接,两路对称的测量通道的另一端与处理单元连接,两路对称的测量通道包括第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一误差脉冲提取单元、第一数字内插处理单元、第一数据缓冲单元、第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元、第二误差脉冲提取单元、第二数字内插处理单元、第二数据缓冲单元。

[0045] 本发明调制域测量系统的测量方法包括以下步骤:S1、所述闸门生成单元根据采样间隔设置生成原始闸门信号,闸门高速同步单元接收原始闸门信号和被测信号,经同步处理后,生成同步闸门信号,分别送到两路对称的测量通道;

[0046] S2、所述第一误差脉冲提取单元或第二误差脉冲提取单元接收时基单元输出的时基信号和同步闸门信号作为输入,经误差提取,生成同步闸门信号和时基信号之间的误差脉冲,该脉冲送给第一数字内插处理单元或第二数字内插处理单元实现分辨力测量;

[0047] S3、所述第一数字内插处理单元或第二数字内插处理单元使用可编程逻辑器件实现时,采用查找表资源和锁相环延时校准两种方法进行误差修正,所述第一数字内插处理单元或第二数字内插处理单元使用acam公司专用芯片TDC-GPX实现时,采用标准脉冲进行误差修正,以上两种方法均可实现高分辨力误差修正,第一数字内插处理单元或第二数字内插处理单元的数字内插技术大幅提高了内插扩展的速度,满足了高分辨力及无死区测量要求;

[0048] S4、第一高速零等待事件计数单元、第一高速零等待时间计数单元的高位输出分别作为第一低速零等待事件计数单元、第一低速零等待时间计数单元的输入信号,第二高速零等待事件计数单元、第二高速零等待时间计数单元的高位输出分别作为第二低速零等待事件计数单元、第二低速零等待时间计数单元的输入信号,由第一低速零等待事件计数单元、第一低速零等待时间计数单元、第二低速零等待事件计数单元、第二低速零等待时间计数单元实现扩展计数,第一高速零等待事件计数单元、第一高速零等待时间计数单元、第二高速零等待事件计数单元、第二高速零等待时间计数单元由高速专用芯片实现,第一低速零等待事件计数单元、第一低速零等待时间计数单元、第二低速零等待事件计数单元、第二低速零等待时间计数单元可以由可编程逻辑器件实现。专用芯片和可编程逻辑器件组合

使用,实现了高速大带宽和长时间测量要求。

[0049] S5、所述第一数据缓冲单元负责缓冲第一高速零等待事件计数单元、第一低速零等待事件计数单元、第一高速零等待时间计数单元、第一低速零等待时间计数单元、第一数字内插处理单元的测量数据;第二数据缓冲单元负责缓冲第二高速零等待事件计数单元、第二低速零等待事件计数单元、第二高速零等待时间计数单元、第二低速零等待时间计数单元、第二数字内插处理单元的测量数据;

[0050] S6、所述处理单元负责与第一数据缓冲单元、第二数据缓冲单元交互,通过高速接口读取测量数据,并对数据进行最终的运算、处理及显示。

[0051] 本发明使用的专用芯片包括安森美公司MC100EP016A、MC100LVEL11、MC100LVEL14、MC10EP51DTG等芯片,优点是速度快、性能高、带宽大,可编程逻辑器件的优点是编程方便、配置灵活、扩展性好。本发明充分利用了这两种器件各自的优点,对其进行了合理设计和整合,使之充分发挥了各自的特点,满足了调制域测量高速、大带宽等要求,被测信号的频率范围大大扩展。为满足连续无死区测量要求,本发明采用了对称两路测量通道交替工作方式,这两路通道分别通过闸门高速同步单元产生的互补两路同步闸门信号 G_{s_1} 和 G_{s_2} 控制,一路工作期间,另外一路执行参数缓冲处理和相关电路复位操作。本发明采用了数字内插技术,实现高分辨力测量。如图3所示,数字内插技术的特点是利用电信号的传播延时确定的特性,构造“串行延时、并行计数”的延时链,来完成误差脉冲信号的测量,它没有模拟内插要求的充放电环节,极大的提高了内插扩展的速度和精度,大幅扩展了采样间隔的有效范围和时间测量精度。数字内插使用一组在理论上传播延时相等的延时单元构成延时链,采用“串行延时、并行计数”的方法,实现高分辨力时间测量。延时内插法的分辨率取决于单位延时单元的延迟时间,延迟时间越小,测量分辨率越高。由于实际使用的各延时单元延时量不可能完全相等,锁存器每一位数据的建立保持时间也存在差别,必然会引起额外的误差。该方法的优点是速度快且延时链易于集成在可编程器件中,成本低且生产调试简单;缺点是各单元的传播延时无法满足严格相等这一理论条件,将引入测量误差,必须经误差修正才能保证测量准确度。考虑到实际情况,本发明将同时使用查表法和锁相环延时校准两种方法进行误差修正。将锁存器的驱动时钟分为四到八组,各使用不同的全局时钟,根据差分线性误差表控制各路时钟相位,将误差控制在一定范围之内,确保不出现丢码同时减小误差;在此基础上建立查找表,进一步减小测量误差。

[0052] 本发明充分利用了专用芯片和可编程逻辑器件各自的优点,对其进行了合理设计和整合,并采用数字内插技术和双通道无死区测量方法,满足了调制域测量高速、高分辨力、大带宽、无死区等要求,被测信号的频率范围大大扩展。本发明采用数字内插技术,利用可编程逻辑器件查找表资源和锁相环延时校准两种方法进行误差修正,大幅缩短了误差修正时间。本发明采用两路计数通道交替计数,实现了连续无死区测量。

[0053] 本领域的技术人员可以对本发明进行各种改型和改变。因此,本发明覆盖了落入所附的权利要求书及其等同物的范围内的各种改型和改变。

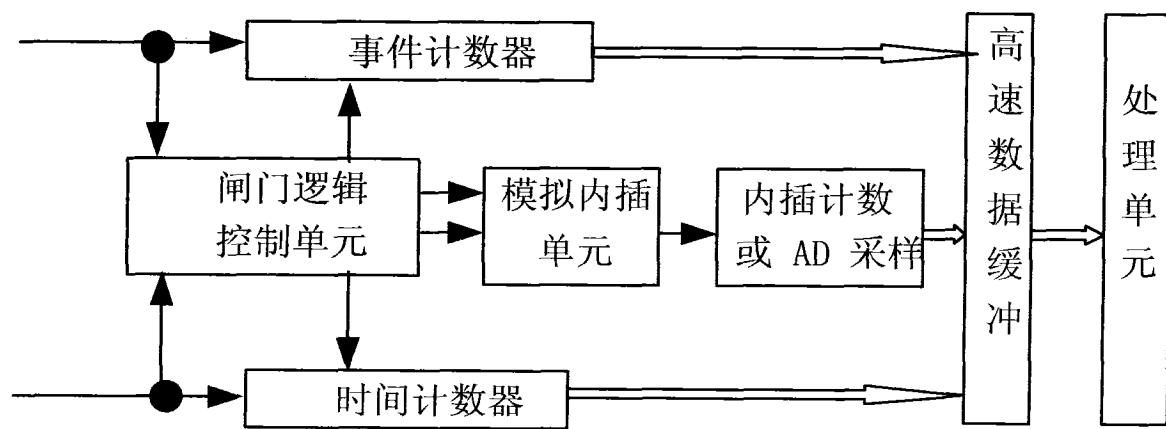


图 1

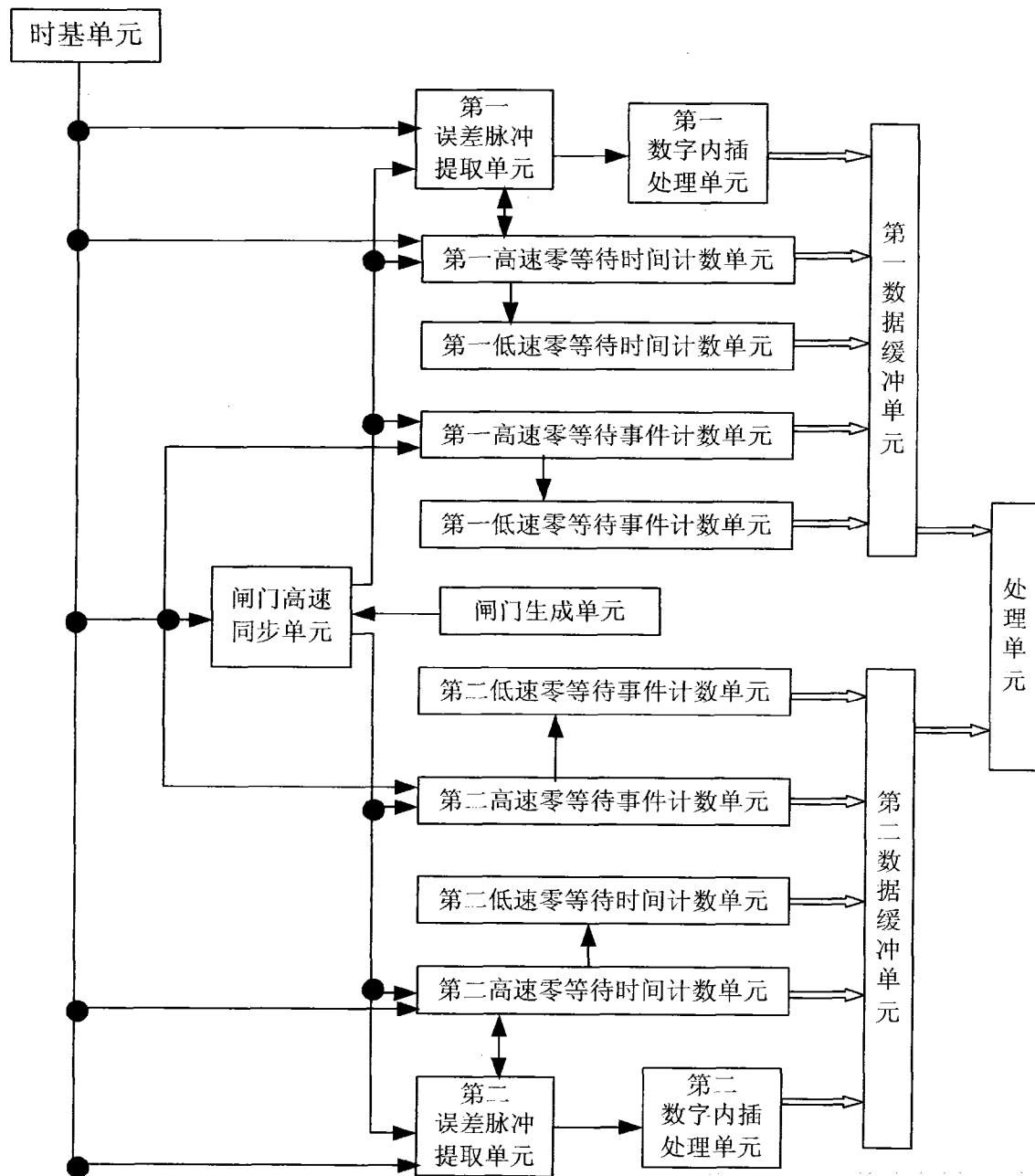


图 2

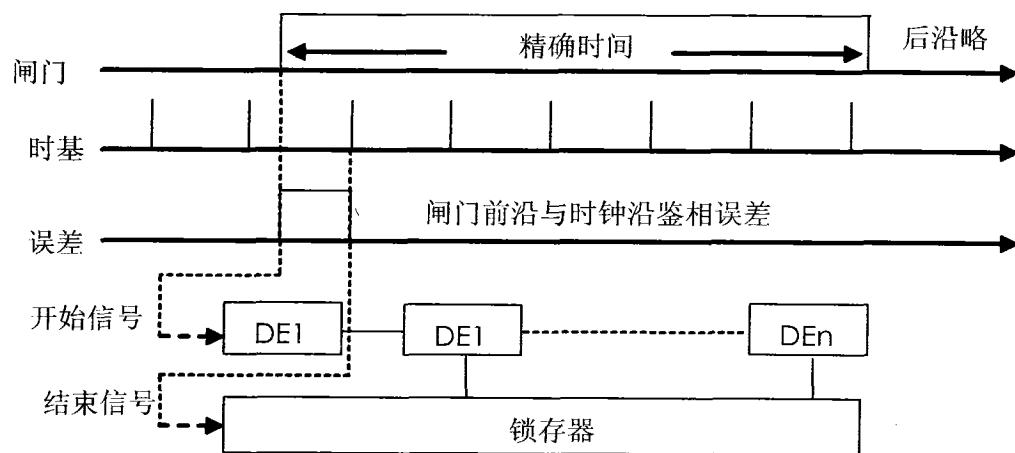


图 3