

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5861868号  
(P5861868)

(45) 発行日 平成28年2月16日(2016.2.16)

(24) 登録日 平成28年1月8日(2016.1.8)

(51) Int.Cl.	F 1
HO 1 P 5/10 (2006.01)	HO 1 P 5/10 Z
HO 5 K 1/02 (2006.01)	HO 5 K 1/02 P
HO 1 P 5/02 (2006.01)	HO 1 P 5/02 603 B

請求項の数 15 (全 34 頁)

(21) 出願番号 特願2011-241943 (P2011-241943)  
 (22) 出願日 平成23年11月4日 (2011.11.4)  
 (65) 公開番号 特開2013-98888 (P2013-98888A)  
 (43) 公開日 平成25年5月20日 (2013.5.20)  
 審査請求日 平成26年10月22日 (2014.10.22)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100082131  
 弁理士 稲本 義雄  
 (74) 代理人 100121131  
 弁理士 西川 孝  
 (72) 発明者 板垣 智有  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内  
 (72) 発明者 川崎 研一  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内

最終頁に続く

(54) 【発明の名称】電子回路および電子回路の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

ミリ波帯の信号であるシングルエンド信号がやりとりされる信号パッドと、グランドに接続されるグランドパッドを有するシングルエンドI/Fが設けられた半導体チップと、

差動信号を伝送する差動伝送路が形成されており、前記差動伝送路を構成する平行に配置された2本の導体の一方に前記信号パッドが電気的に直接接続され、他方に前記グランドパッドが電気的に直接接続されるように、前記半導体チップが実装された実装部とを備え、

前記2本の導体の一方には、グランドに接続されるグランド配線が接続される電子回路。

10

## 【請求項 2】

前記グランド配線の長さは、前記ミリ波帯の信号の波長の4分の1である請求項1に記載の電子回路。

## 【請求項 3】

前記グランド配線の一部は、前記2本の導体と平行に配置され、

前記グランド配線の一部の長さは、前記ミリ波帯の信号の波長の4分の1である請求項1に記載の電子回路。

## 【請求項 4】

前記半導体チップは、前記グランドパッドとは異なる、前記グランド配線に接続されるグランドパッドを有する

20

請求項 1 ないし 3 のいずれかに記載の電子回路。

【請求項 5】

前記グランド配線に接続されるグランドパッドは、前記シングルエンドI/Fに設けられる

請求項 4 に記載の電子回路。

【請求項 6】

誘電体が、前記差動伝送路上に配置されている

請求項 1 ないし 5 のいずれかに記載の電子回路。

【請求項 7】

前記誘電体は、前記シングルエンドI/Fのインピーダンスと、前記差動伝送路のインピーダンスとを整合させる誘電率の誘電体である

請求項 6 に記載の電子回路。

【請求項 8】

前記誘電体は、前記実装部の誘電率より大きい誘電率の誘電体である

請求項 6 又は 7 に記載の電子回路。

【請求項 9】

前記誘電体は、前記差動伝送路の前記 2 本の導体に沿って配置されており、前記 2 本の導体の一方の導体から他方の導体までの全体を覆うことができる幅の誘電体である

請求項 6 ないし 8 のいずれかに記載の電子回路。

【請求項 10】

前記誘電体は、前記差動伝送路の前記 2 本の導体に沿って配置されており、前記 2 本の導体の間の、前記 2 本の導体を含む距離と同一の幅を有する誘電体である

請求項 6 ないし 8 のいずれかに記載の電子回路。

【請求項 11】

前記誘電体は、前記差動伝送路の前記 2 本の導体に沿って、前記 2 本の導体の間に配置されており、前記 2 本の導体の間の、前記 2 本の導体を含まない距離と同一の幅を有する誘電体である

請求項 6 ないし 8 のいずれかに記載の電子回路。

【請求項 12】

前記差動伝送路の 2 本の導体は、前記シングルエンドI/Fのインピーダンスと、前記差動伝送路のインピーダンスとを整合させるように、厚みが調整されている

請求項 1 ないし 5 のいずれかに記載の電子回路。

【請求項 13】

前記 2 本の導体が、層状に形成されている

請求項 1 ないし 5 のいずれかに記載の電子回路。

【請求項 14】

前記差動伝送路は、コプレーナストリップ線路である

請求項 1 ないし 13 のいずれかに記載の電子回路。

【請求項 15】

ミリ波帯の信号であるシングルエンド信号がやりとりされる信号パッドと、グランドに接続されるグランドパッドを有するシングルエンドI/Fが設けられた半導体チップを、差動信号を伝送する差動伝送路が形成された、前記半導体チップが実装される実装部に実装するときに、前記差動伝送路を構成する平行に配置された 2 本の導体の一方であって、グランドに接続されるグランド配線が接続される導体に前記信号パッドを電気的に直接接続させ、他方に前記グランドパッドを電気的に直接接続させる

電子回路の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、電子回路および電子回路の製造方法に関し、特に、例えば、回路の大規模化

10

20

30

40

50

を抑制しつつ、品質の良いデータ伝送を行うことができるよう<sup>する</sup>する電子回路および電子回路の製造方法に関する。

【背景技術】

【0002】

例えば、テレビジョン受像機や、ビデオカメラ、レコーダ等の各種の電子機器においては、その筐体内に、各種の信号処理を行う電子回路であるIC(Integrated Circuit)(LSI(Large-Scale Integration)を含む)が配置された基板が収容されている。

【0003】

そして、同一の基板に配置されたICどうしや、異なる基板に配置されたICどうしの間で、データ(画像や音声等の実データ、及び、制御データを含む)のやりとりをするために、ICどうしの間、及び、基板どうしの間には、有線による配線が施されている。

10

【0004】

ところで、最近、ICでは、3D(dimension)画像や、高精細な画像等の大容量のデータを対象として信号処理が行われ、そのような大容量のデータが、ICどうしの間で、高速でやりとりされることがある。

【0005】

そして、大容量のデータを高速でやりとりするために、ICどうしの間、及び、基板どうしの間の配線の配線数が増加し、さらに、配線の高周波対策が困難になることがある。

【0006】

そこで、ICどうしの間のデータのやりとりを、無線で行うことが提案されている。

20

【0007】

すなわち、例えば、非特許文献1や2には、データを、ミリ波帯の信号(ミリ波)に変調して伝送することにより、高速で、データをやりとりするCMOS(Complementary Metal Oxide Semiconductor)回路(IC)が記載されている。

【0008】

ところで、非特許文献1や2等に記載されている、データを、ミリ波等のRF(Radio Frequency)信号に変調して伝送するCMOS回路では、RF信号を処理するRF部のインターフェースは、シングルエンド(single-ended)信号がやりとりされるシングルエンドI/F(Interface)になっている。

【0009】

30

すなわち、RF部では、例えば、RF部が出力するRF信号が測定しやすい(ミリ波を測定する測定器のプローブがシングルエンド信号に対応している)、CMOS回路の回路構成がシンプルになる、低消費電力化を図ることができるといった理由から、シングルエンドI/Fが採用されている。

【0010】

一方、シングルエンド信号によるデータ伝送は、差動信号によるデータ伝送に比較して、品質が良くないことがある。

【0011】

すなわち、RF部が実装されるCMOS回路内や、インターポーラ、プリント基板(PCB(Printed Circuit Board))等において、シングルエンド信号を伝送する、例えば、マイクロストリップ線路を形成する場合には、理想的には、無限の接地導体が必要となるが、無限の接地導体を設けることは困難であり、その結果、データ伝送の品質が劣化する。

40

【0012】

また、シングルエンド信号によるデータ伝送では、差動信号によるデータ伝送に比較して、不要輻射が多く、さらに、外部(シングルエンド信号が伝送される伝送路外)からのノイズに対する耐性が弱いため、データ伝送の品質が劣化する。

【0013】

そこで、シングルエンド信号を差動信号に変換して、差動信号によるデータ伝送を行うことで、品質の良いデータ伝送を行う方法がある。

【0014】

50

シングルエンド信号と差動信号との変換は、平衡 - 不平衡（非平衡）変換と呼ばれ、平衡 - 不平衡変換を行う回路は、バラン(Balun)と呼ばれる。

【0015】

例えば、特許文献1には、コプレーナ線路上のシングルエンド信号（不平衡入力）を、コプレーナストリップ線路から、差動信号（平衡出力）に変換して出力するバランが記載されている。

【先行技術文献】

【特許文献】

【0016】

【特許文献1】特開2004-104651号公報

10

【非特許文献】

【0017】

【非特許文献1】Kenichi, Kawasaki et. al. "A Millimeter-Wave Intra-Connect Solution", IEEE J. Solid-State Circuits, vol. 45, no. 12, pp. 2655-2666, Dec. 2010

【非特許文献2】Eric Juntunen et. al. "A 60-GHz 38-pJ/bit 3.5-Gb/s 90-nm CMOS OOK Digital Radio", IEEE Trans. Microwave Theory Tech., vol. 58, no. 2, Feb. 2010

10

【発明の概要】

【発明が解決しようとする課題】

【0018】

20

RF部のシングルエンド信号を、バランによって差動信号に変換することにより、品質の良いデータ伝送を行うことができる。

【0019】

しかしながら、RF部のシングルエンド信号を、バランによって差動信号に変換するのでは、CMOS回路等に、バランを設ける必要があり、回路が大規模になる。

【0020】

本技術は、このような状況に鑑みてなされたものであり、回路の大規模化を抑制しつつ、品質の良いデータ伝送を行うことができるようとするものである。

【課題を解決するための手段】

【0021】

30

本技術の一側面の電子回路は、ミリ波帯の信号であるシングルエンド信号がやりとりされる信号パッドと、グランドに接続されるグランドパッドを有するシングルエンドI/Fが設けられた半導体チップと、差動信号を伝送する差動伝送路が形成されており、前記差動伝送路を構成する平行に配置された2本の導体の一方に前記信号パッドが電気的に直接接続され、他方に前記グランドパッドが電気的に直接接続されるように、前記半導体チップが実装された実装部とを備え、前記2本の導体の一方には、グランドに接続されるグランド配線が接続される電子回路である。

【0022】

本技術の一側面の電子回路の製造方法は、ミリ波帯の信号であるシングルエンド信号がやりとりされる信号パッドと、グランドに接続されるグランドパッドを有するシングルエンドI/Fが設けられた半導体チップを、差動信号を伝送する差動伝送路が形成された、前記半導体チップが実装される実装部に実装するときに、前記差動伝送路を構成する平行に配置された2本の導体の一方であって、グランドに接続されるグランド配線が接続される導体に前記信号パッドを電気的に直接接続させ、他方に前記グランドパッドを電気的に直接接続させる電子回路の製造方法である。

40

【0023】

本技術の一側面においては、半導体チップには、ミリ波帯の信号であるシングルエンド信号がやりとりされる信号パッドと、グランドに接続されるグランドパッドを有するシングルエンドI/Fが設けられており、実装部には、差動信号を伝送する差動伝送路が形成されている。そして、前記半導体チップは、前記差動伝送路を構成する平行に配置された2

50

本の導体の一方であって、グランドに接続されるグランド配線が接続される導体に前記信号パッドが電気的に直接接続され、他方に前記グランドパッドが電気的に直接接続されるように、前記実装部に実装される。

【発明の効果】

【0026】

本技術によれば、回路の大規模化を抑制しつつ、品質の良いデータ伝送を行うことができる。

【図面の簡単な説明】

【0027】

【図1】シングルエンド信号のミリ波をやりとりするミリ波伝送システムの構成例を示す図である。 10

【図2】シングルエンド信号のミリ波をやりとりするミリ波伝送システムの他の構成例を示す図である。

【図3】実装部11がインターポーラーである場合の、そのインターポーラーの構成例を示す平面図である。

【図4】本技術を適用した電子回路の第1実施の形態の構成例を示す斜視図である。

【図5】本技術を適用した電子回路の第1実施の形態の構成例を示す断面図である。

【図6】本技術を適用した電子回路の第2実施の形態の構成例を示す斜視図である。

【図7】本技術を適用した電子回路の第2実施の形態の構成例を示す断面図である。

【図8】差動伝送路を示す断面図である。 20

【図9】差動伝送路としてのコプレーナストリップ線路103を示す斜視図と断面図である。

【図10】本技術を適用した電子回路の第3実施の形態の構成例を示す斜視図である。

【図11】誘電体130を、コプレーナストリップ線路103上に配置する配置パターンの例を説明する図である。

【図12】コプレーナストリップ線路103のインピーダンス $Z_c$ を小さくする調整を行う他の方法を説明する図である。

【図13】コプレーナストリップ線路103のインピーダンス $Z_c$ を小さくする調整を行うさらに他の方法を説明する図である。

【図14】本技術を適用した電子回路の第4実施の形態の構成例を示す斜視図である。 30

【図15】本技術を適用した電子回路の第4実施の形態の構成例を示す断面図である。

【図16】本技術を適用した電子回路の第5実施の形態の構成例を示す斜視図である。

【図17】シミュレーションの結果を示す図である。

【図18】本技術を適用した電子回路の第6実施の形態の構成例を示す斜視図である。

【図19】本技術を適用した電子回路の第6実施の形態の構成例を示す断面図である。

【図20】本技術を適用した電子回路の第7実施の形態の構成例を示す上面図と断面図である。

【図21】シミュレーションの結果を示す図である。

【図22】本技術を適用した電子回路の第8実施の形態の構成例を示す上面図と断面図である。 40

【図23】シミュレーションの結果を示す図である。

【発明を実施するための形態】

【0028】

以下、本技術の実施の形態について説明するが、その前に、前段階の準備として、シングルエンド信号のミリ波をやりとりするミリ波伝送システムについて説明する。

【0029】

[シングルエンド信号のミリ波をやりとりするミリ波伝送システム]

【0030】

図1は、シングルエンド信号のミリ波をやりとりするミリ波伝送システムの構成例を示す図である。 50

## 【0031】

図1において、ミリ波伝送システムは、例えば、ICである電子回路10及び40を有する。

## 【0032】

電子回路10は、データを、ミリ波によって送信する機能を有しており、電子回路40は、データを、ミリ波によって受信する機能を有している。

## 【0033】

電子回路10は、実装部11とミリ波伝送チップ20とを有する。

## 【0034】

実装部11は、半導体チップが実装される、例えば、インターポーヴやプリント基板等の部材(実装部材)であり、平板形状をしている。 10

## 【0035】

平板形状の実装部11の一面である表面には、半導体チップであるミリ波伝送チップ20が実装されており、平板形状の実装部11の他の一面である裏面には、例えば、その全領域や全領域に近い領域に亘って、グランドとなる金属である薄膜状のグランドメタル12が設けられている。

## 【0036】

さらに、実装部11の表面には、ビア13<sub>1</sub>及び13<sub>2</sub>、マイクロストリップ線路14、及び、アンテナ15が形成されている。

## 【0037】

ビア13<sub>1</sub>及び13<sub>2</sub>は、実装部11の裏面のグランドメタル12に接続している。 20

## 【0038】

マイクロストリップ線路14は、不平衡の伝送路であり、実装部11に、帯状に形成されている。帯状のマイクロストリップ線路14の一端は、アンテナ15に接続されている。

## 【0039】

アンテナ15は、例えば、1mm程度のポンディングワイヤで構成される。

## 【0040】

ミリ波伝送チップ20は、例えば、CMOS等で構成され、シングルエンドI/F21と送信部22等を有する。 30

## 【0041】

シングルエンドI/F21は、シングルエンド信号(不平衡の信号)をやりとりするための端子である3つのパッド21<sub>1</sub>、21<sub>2</sub>、及び、21<sub>3</sub>を有する。

## 【0042】

3つのパッド21<sub>1</sub>ないし21<sub>3</sub>のうちの、2つのパッド21<sub>1</sub>及び21<sub>3</sub>は、送信部22のグランド(GND)端子(グランドパッド)であり、ポンディングワイヤによって、ビア13<sub>1</sub>及び13<sub>2</sub>に、それぞれ接続されている。したがって、パッド21<sub>1</sub>は、ビア13<sub>1</sub>を介して、パッド21<sub>3</sub>は、ビア13<sub>2</sub>を介して、それぞれ、実装部11の裏面のグランドメタル12に接続されている。

## 【0043】

3つのパッド21<sub>1</sub>ないし21<sub>3</sub>のうちの、残りのパッド21<sub>2</sub>は、信号がやりとりされる信号端子(信号パッド)であり、パッド21<sub>2</sub>には、送信部22(のアンプ34)の出力が供給される。パッド21<sub>2</sub>は、ポンディングワイヤによって、マイクロストリップ線路14の他端(アンテナ15に接続されていない方の端部)に接続されている。 40

## 【0044】

送信部22は、ミリ波帯の信号(ミリ波)の送信を行う。

## 【0045】

ここで、ミリ波とは、周波数が30ないし300GHz程度、つまり、波長が、1ないし10mm程度の信号である。ミリ波帯の信号によれば、周波数が高いことから、高速のデータレートでのデータ伝送が可能であり、有線通信は勿論、小さなアンテナで、無線通信(ワイヤレ 50

ス传送)を行うことができる。

【0046】

送信部22は、アンプ31、発振器32、ミキサ33、及び、アンプ34を有する。

【0047】

アンプ31には、図示せぬ信号処理回路から、送信対象の送信データが供給される。アンプ31は、そこに供給される送信データのレベルを調整し、ミキサ33に供給する。

【0048】

ここで、送信データとしては、例えば、最大で、11Gbpsのデータレートのデータを採用することができる。

【0049】

発振器32は、発振によって、例えば、56GHz等のミリ波帯のキャリアを発生し、ミキサ33に供給する。

【0050】

ミキサ33は、アンプ31からの送信データと、発振器32からのキャリアとをミキシング(乗算)することにより、発振器32からのキャリアを、送信データに従って変調し、その結果得られる変調信号を、アンプ34に供給する。

【0051】

ここで、送信データに従ってキャリアを変調する変調方式は、特に限定されるものではないが、ここでは、説明を簡単にするために、例えば、振幅変調(ASK(Amplitude Shift Keying))を採用することとする。

【0052】

アンプ34は、ミキサ33からの変調信号を増幅し、その増幅後の変調信号を、シングルエンド信号として出力する。アンプ34が出力するシングルエンド信号である変調信号は、パッド21<sub>2</sub>に供給される。

【0053】

上述したように、パッド21<sub>2</sub>は、ボンディングワイヤによって、マイクロストリップ線路14に接続されており、したがって、アンプ34が出力する変調信号は、シングルエンド信号のまま、マイクロストリップ線路14を伝わり、アンテナ15から、電波として送信される。

【0054】

電子回路40は、実装部41とミリ波伝送チップ50とを有する。

【0055】

実装部41は、実装部11と同様に、平板形状のインターポーザやプリント基板等の部材(実装部材)であり、その一面である表面には、半導体チップであるミリ波伝送チップ50が実装されている。

【0056】

また、実装部41の他の一面である裏面には、実装部11と同様に、その全領域や全領域に近い領域に亘って、グランドとなる金属である薄膜状のグランドメタル42が設けられている。

【0057】

さらに、実装部41の表面には、ビア43<sub>1</sub>及び43<sub>2</sub>、マイクロストリップ線路44、及び、アンテナ45が形成されている。

【0058】

ビア43<sub>1</sub>及び43<sub>2</sub>は、実装部41の裏面のグランドメタル42に接続している。

【0059】

マイクロストリップ線路44は、不平衡の伝送路であり、実装部41に、帯状に形成されている。帯状のマイクロストリップ線路44の一端は、アンテナ45に接続されている。

【0060】

アンテナ45は、例えば、アンテナ15と同様に、1mm程度のボンディングワイヤで構

10

20

30

40

50

成される。

【0061】

ミリ波伝送チップ50は、例えば、ミリ波伝送チップ20と同様に、CMOS等で構成され、シングルエンドI/F51と受信部52等を有する。

【0062】

シングルエンドI/F51は、シングルエンドI/F21と同様に、シングルエンド信号をやりとりするための端子である3つのパッド51<sub>1</sub>、51<sub>2</sub>、及び、51<sub>3</sub>を有する。

【0063】

3つのパッド51<sub>1</sub>ないし51<sub>3</sub>のうちの、2つのパッド51<sub>1</sub>及び51<sub>3</sub>は、受信部52のグランド(GND)端子であり、ボンディングワイヤによって、ビア43<sub>1</sub>及び43<sub>2</sub>に、それぞれ接続されている。したがって、パッド51<sub>1</sub>は、ビア43<sub>1</sub>を介して、パッド51<sub>3</sub>は、ビア43<sub>2</sub>を介して、それぞれ、実装部41の裏面のグランドメタル42に接続されている。

【0064】

3つのパッド51<sub>1</sub>ないし51<sub>3</sub>のうちの、残りのパッド51<sub>2</sub>は、信号がやりとりされる信号端子であり、パッド51<sub>2</sub>は、受信部52(のアンプ61)の入力と接続されている。さらに、パッド51<sub>2</sub>は、ボンディングワイヤによって、マイクロストリップ線路44の他端(アンテナ45に接続されていない方の端部)に接続されている。

【0065】

受信部52は、ミリ波帯の信号(ミリ波)の受信を行う。

【0066】

受信部52は、アンプ61、発振器62、ミキサ63、及び、アンプ64を有する。

【0067】

アンプ61には、マイクロストリップ線路44からパッド52<sub>2</sub>に伝わる変調信号が、シングルエンド信号として供給される。

【0068】

アンプ61は、パッド52<sub>2</sub>からの変調信号を増幅し、発振器62、及び、ミキサ63に供給する。

【0069】

発振器62は、発振によって、アンプ61からの変調信号に同期したキャリアを発生し、ミキサ63に供給する。

【0070】

ミキサ63は、アンプ61からの変調信号と、発振器62からのキャリアとをミキシング(乗算)することにより、アンプ61からの変調信号を、ベースバンド信号に変換し、アンプ64に供給する。

【0071】

アンプ64は、ミキサ63からのベースバンド信号を増幅して出力する。

【0072】

アンプ64が出力するベースバンド信号は、図示せぬLPF(Low Pass Filter)でフィルタリングされ、これにより、送信データ(に対応する周波数成分)が抽出(取得)される。送信データは、図示せぬ信号処理回路に供給されて処理される。

【0073】

以上のように構成されるミリ波伝送システムでは、電子回路10において、送信部22が、ミリ波の変調信号を、シングルエンドI/F21のパッド21<sub>2</sub>から、シングルエンド信号として出力する。

【0074】

パッド21<sub>2</sub>は、ボンディングワイヤによって、マイクロストリップ線路14に接続されており、パッド21<sub>2</sub>から出力される変調信号は、シングルエンド信号のまま、マイクロストリップ線路14を伝わり、アンテナ15から、無線で送信される。

【0075】

10

20

30

40

50

アンテナ 15 から送信された変調信号は、アンテナ 45 で受信され、シングルエンド信号として、マイクロストリップ線路 44 を伝わり、ボンディングワイヤを経由して、シングルエンド I/F 51 のパッド 51<sub>2</sub> に到達する。

【0076】

シングルエンド I/F 51 のパッド 51<sub>2</sub> に到達した変調信号は、受信部 52 で受信され、ベースバンドの信号に復調される。

【0077】

なお、ミリ波伝送チップ 20 には、ミリ波を送信する送信部 22 を設け、ミリ波を送信する受信部を設けていないが、ミリ波伝送チップ 20 には、送信部 22 と、受信部 52 と同様に構成される受信部との両方を設けることが可能である。ミリ波伝送チップ 20 に、送信部 22 と、受信部 52 と同様に構成される受信部との両方を設けることにより、ミリ波伝送チップ 20 では、ミリ波の送信の他、受信も行うことが可能となる。

10

【0078】

同様に、ミリ波伝送チップ 50 には、受信部 52 と、送信部 22 と同様に構成される送信部との両方を設けることが可能である。

【0079】

図 2 は、シングルエンド信号のミリ波をやりとりするミリ波伝送システムの他の構成例を示す図である。

【0080】

なお、図中、図 1 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

20

【0081】

図 2 では、実装部 11 に、ミリ波伝送チップ 20 の他、ミリ波伝送チップ 50 も実装されている。

【0082】

そして、マイクロストリップ線路 14 の一端は、アンテナ 15 ではなく、ボンディングワイヤによって、シングルエンド I/F 51 のパッド 51<sub>2</sub> に接続されている。

【0083】

なお、図 2 では、実装部 11 の表面には、ビア 43<sub>1</sub> 及び 43<sub>2</sub> が形成されており、ビア 43<sub>1</sub> 及び 43<sub>2</sub> は、実装部 11 の裏面のグラウンドメタル 12 に接続している。そして、シングルエンド I/F 51 のパッド 51<sub>1</sub> 及び 51<sub>3</sub> が、ボンディングワイヤによって、ビア 43<sub>1</sub> 及び 43<sub>2</sub> に、それぞれ接続されている。

30

【0084】

以上のように構成されるミリ波伝送システムでは、送信部 22 が、ミリ波の変調信号を、シングルエンド I/F 21 のパッド 21<sub>2</sub> から、シングルエンド信号として出力する。

【0085】

パッド 21<sub>2</sub> は、ボンディングワイヤによって、マイクロストリップ線路 14 に接続されており、パッド 21<sub>2</sub> から出力される変調信号は、シングルエンド信号のまま、マイクロストリップ線路 14 を伝わり、ボンディングワイヤを経由して、シングルエンド I/F 51 のパッド 51<sub>2</sub> に到達する。

40

【0086】

シングルエンド I/F 51 のパッド 51<sub>2</sub> に到達した変調信号は、受信部 52 で受信され、ベースバンドの信号に復調される。

【0087】

ミリ波を送信する送信部 22 や、ミリ波を受信する受信部 52 において、ミリ波をやりとりする I/F は、変調信号等の RF 信号が測定しやすい（ミリ波を測定する測定器のプローブがシングルエンド信号に対応している）、CMOS 回路の回路構成がシンプルになる、低消費電力化を図ることができるといった理由から、シングルエンド I/F（シングルエンド I/F 21 や 51）が採用される。

【0088】

50

しかしながら、シングルエンド信号によるデータ伝送は、差動信号によるデータ伝送に比較して、品質が良くないことがある。

【0089】

すなわち、図1や図2に示したように、インターポーザやプリント基板等の実装部11に、シングルエンド信号を伝送するマイクロストリップ線路14を形成する場合には、理想的には、無限の接地導体が必要となるが、無限の接地導体を設けることは困難であり、その結果、データ伝送の品質が劣化することがある。この点、図1に示したように、実装部41に、マイクロストリップ線路44を形成する場合も、同様である。

【0090】

また、シングルエンド信号によるデータ伝送では、差動信号によるデータ伝送に比較して、不要輻射が多く、さらに、外部(シングルエンド信号が伝送されるマイクロストリップ線路14や44の外部)からのノイズに対する耐性が弱いため、データ伝送の品質が劣化することがある。

【0091】

ここで、図3は、図1の実装部11がインターポーザである場合の、そのインターポーザの構成例を示す平面図である。

【0092】

図3において、インターポーザは、2つの層である第1層70と、第2層(GND層)80とを有する。第1層70及び第2層80は、平板形状をしており、例えば、第2層80は、第1層70の下側に位置する。

【0093】

第1層70には、図1で説明したビア13<sub>1</sub>及び13<sub>2</sub>、マイクロストリップ線路14、及び、アンテナ15が形成されている。

【0094】

さらに、第1層70には、ミリ波伝送チップ20の図示せぬパッドと、ポンディングワイヤによって接続されるランド71が形成されている。

【0095】

第2層80には、グランドメタル12が形成されており、第1層に形成されたビア13<sub>1</sub>及び13<sub>2</sub>は、グランドメタル12に接続している。

【0096】

図3に示すように、インターポーザにおいて、第1層70に、シングルエンド信号を伝送するマイクロストリップ線路14を形成する場合には、グランドメタル12を、広い範囲に亘って形成する必要がある。図3では、第2層80の右側の2/3程度の範囲に、グランドメタル12が形成されており、このような広い範囲に亘って形成されるグランドメタル12は、インターポーザ上の配線を圧迫する。

【0097】

品質の良いデータ伝送を行う方法としては、シングルエンド信号を差動信号に変換して、差動信号によるデータ伝送を行う方法がある。

【0098】

しかしながら、シングルエンド信号と差動信号との変換には、バランが必要であり、ミリ波という短い波長の信号を扱うとはいえ、送信部22や受信部52との比較で、バランを構成するには、大きな素子が必要となる。したがって、バランを実装するのでは、回路が大規模化する。

【0099】

そこで、本技術では、回路の大規模化を抑制しつつ、品質の良いデータ伝送を行うことを可能とする。

【0100】

[第1実施の形態]

【0101】

図4は、本技術を適用した電子回路の第1実施の形態の構成例を示す斜視図であり、図

10

20

30

40

50

5は、図4の電子回路の、シングルエンドI/F111の部分の断面図である。

【0102】

図4及び図5において、電子回路は、実装部101とミリ波伝送チップ110とを有する。

【0103】

実装部101は、例えば、図1の実装部11と同様に、平板形状のインターポーザやプリント基板等の部材（実装部材）であり、半導体チップが実装される。

【0104】

平板形状の実装部101の一面である表面には、半導体チップであるミリ波伝送チップ110が実装されている。

10

【0105】

なお、平板形状の実装部101の他の一面である裏面には、グランドとなる金属である薄膜状のグランドメタルが設けられているが、その図示は省略してある。

【0106】

実装部101の表面には、ランド102<sub>1</sub>及び102<sub>2</sub>、及び、コプレーナストリップ線路103が形成されている。

【0107】

ランド102<sub>1</sub>及び102<sub>2</sub>は、コプレーナストリップ線路103に接続されている。

【0108】

コプレーナストリップ線路103は、差動信号がやりとりされる平衡の伝送路（差動伝送路）であり、実装部101に、平行に形成された2つの帯状の導体103<sub>1</sub>及び103<sub>2</sub>を含んで構成される。

20

【0109】

導体103<sub>1</sub>の一端は、ランド102<sub>1</sub>に接続され、導体103<sub>2</sub>の一端は、ランド102<sub>2</sub>に接続されている。

【0110】

ミリ波伝送チップ110は、例えば、CMOS等で構成され、シングルエンドI/F111等を有する。

【0111】

なお、ミリ波伝送チップ110は、図1の送信部22や受信部52と同様に構成されるRF部を有するが、その図示は、省略してある。

30

【0112】

シングルエンドI/F111は、RF部がシングルエンド信号（不平衡の信号）をやりとりするための端子である3つのパッド111<sub>1</sub>、111<sub>2</sub>、及び、111<sub>3</sub>を有する。

【0113】

ここで、図4において、ランド102<sub>1</sub>及び102<sub>2</sub>、パッド111<sub>1</sub>ないし111<sub>3</sub>、並びに、バンプは、実際には、ミリ波伝送チップ110に隠れて見えないが、図4では、ミリ波伝送チップ110が無色透明であると仮定して、ランド102<sub>1</sub>及び102<sub>2</sub>、パッド111<sub>1</sub>ないし111<sub>3</sub>、並びに、バンプを図示してある。

【0114】

40

3つのパッド111<sub>1</sub>ないし111<sub>3</sub>のうちの、2つのパッド111<sub>1</sub>及び111<sub>3</sub>は、RF部のグランド(GND)端子であり、残りのパッド111<sub>2</sub>は、信号（信号成分）がやりとりされる信号端子である。したがって、RF部では、パッド111<sub>2</sub>から、シングルエンド信号の変調信号が出力され、また、パッド111<sub>2</sub>に供給される信号が、シングルエンド信号として扱われる。

【0115】

図4及び図5では、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>に、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>が、それぞれ、（平衡／不平衡変換を行うバランを介さずに）電気的に直接接続されるように、ミリ波伝送チップ110が、実装部101に実装（例えば、フリップチップ実装）されている。

50

## 【0116】

なお、図5に示すように、ミリ波伝送チップ110は、シリコン121上に、シリコン酸化膜122を形成することにより構成されている。パッド111<sub>1</sub>ないし111<sub>3</sub>は、シリコン121上、又は、シリコン酸化膜122上に形成されている。

## 【0117】

図4及び図5では、導体103<sub>1</sub>とパッド111<sub>1</sub>とが、ランド102<sub>1</sub>及びバンプを介して電気的に直接接続され、導体103<sub>2</sub>とパッド111<sub>2</sub>が、ランド102<sub>2</sub>及びバンプを介して電気的に直接接続されている。

## 【0118】

なお、図4及び図5において、シングルエンドI/F111のグランド端子であるパッド111<sub>3</sub>は、いずれにも接続されていないが、ミリ波伝送チップ110（のRF部）のその他のグランド端子（パッド111<sub>1</sub>や111<sub>3</sub>に接続されている図示せぬグランド端子）は、実装部101に設けられている図示せぬグランドメタルに接続されている。

## 【0119】

ここで、図4及び図5において、シングルエンドI/F111のグランド端子であるパッド111<sub>3</sub>は、実装部101に設けられている図示せぬグランドメタルに接続することができる。

## 【0120】

また、図4及び図5において、シングルエンドI/F111の3つのパッド111<sub>1</sub>ないし111<sub>3</sub>のうちの、パッド111<sub>1</sub>及び111<sub>3</sub>は、いずれもグランド端子であり、パッド111<sub>1</sub>に代えて、パッド111<sub>3</sub>を、導体103<sub>1</sub>に電気的に直接接続することができる。

## 【0121】

図4及び図5の電子回路は、シングルエンドI/F111が設けられたミリ波伝送チップ110を、コプレーナストリップ線路103が形成された実装部101に実装するときに、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>に、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>を、電気的に直接接続させること、すなわち、導体103<sub>1</sub>とパッド111<sub>1</sub>とを、ランド102<sub>1</sub>及びバンプを介して電気的に直接接続するとともに、導体103<sub>2</sub>とパッド111<sub>2</sub>を、ランド102<sub>2</sub>及びバンプを介して電気的に直接接続することで、製造することができる。

## 【0122】

以上のように構成される電子回路では、シングルエンドI/F111から出力される信号については、コプレーナストリップ線路103において、導体103<sub>1</sub>に接続されているパッド111<sub>1</sub>に現れる信号（理想的には、グランドレベル）と、導体103<sub>2</sub>に接続されているパッド111<sub>2</sub>に現れる信号（シングルエンド信号）が、差動信号のコールド側とホット側（ネガティブとポジティブ）の信号として伝送される。

## 【0123】

また、コプレーナストリップ線路103からミリ波伝送チップ110に伝送されてくる差動信号については、ミリ波伝送チップ110において、導体103<sub>2</sub>に接続されているパッド111<sub>2</sub>に現れる信号が、シングルエンド信号として扱われる。

## 【0124】

以上のように、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>に、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>が、それぞれ、電気的に直接接続されるように、ミリ波伝送チップ110が、実装部101に実装されているので、回路の大規模化を抑制しつつ、品質の良いデータ伝送を行うことができる。

## 【0125】

すなわち、図4及び図5の電子回路は、バランが設けられていないので、バランを設ける場合に比較して、回路の大規模化を抑制し、消費電力を低減することができる。

## 【0126】

また、ミリ波伝送チップ110が扱うシングルエンド信号は、コプレーナストリップ線

10

20

30

40

50

路 103 において、差動信号として伝送されるので、品質の良いデータ伝送を行うことができる。

【 0127 】

さらに、コプレーナストリップ線路 103 では、差動信号が伝送されるため、電子回路で発生するコモンモードノイズ（コモンモードの信号）を打ち消すことができる。

【 0128 】

なお、ミリ波伝送チップ 110 からは、信号端子であるパッド 111<sub>2</sub> と、グランド端子である 2 つのパッド 111<sub>1</sub> 及び 111<sub>3</sub> を有するシングルエンド I/F 111 から、シングルエンド信号が出力されるので、そのシングルエンド信号である RF 信号（変調信号）が測定しやすい（ミリ波を測定する測定器のプローブがシングルエンド信号に対応している）、CMOS 回路の回路構成がシンプルになる、低消費電力化を図ることができるといったシングルエンド I/F を採用することの利点をも享受することができる。

【 0129 】

〔 第 2 実施の形態 〕

【 0130 】

図 6 は、本技術を適用した電子回路の第 2 実施の形態の構成例を示す斜視図であり、図 7 は、図 6 の電子回路の、シングルエンド I/F 111 の部分の断面図である。

【 0131 】

なお、図中、図 4 及び図 5 の第 1 実施の形態の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【 0132 】

図 6 及び図 7 の第 2 実施の形態では、シングルエンド I/F 111 が、RF 部がシングルエンド信号をやりとりするための端子として、3 つのパッド 111<sub>1</sub>、111<sub>2</sub>、及び、111<sub>3</sub> ではなく、2 つのパッド 111<sub>1</sub> 及び 111<sub>2</sub> だけを有する点で、図 4 及び図 5 の第 1 実施の形態の場合と相違する。

【 0133 】

シングルエンド I/F 111 が、2 つのパッド 111<sub>1</sub> 及び 111<sub>2</sub> を有する場合も、3 つのパッド 111<sub>1</sub> ないし 111<sub>3</sub> を有する場合と同様に、ミリ波伝送チップ 110 が扱うシングルエンド信号は、コプレーナストリップ線路 103 において、差動信号として伝送される。

【 0134 】

したがって、回路の大規模化を抑制しつつ、品質の良いデータ伝送を行うことができる。

【 0135 】

以上のように、コプレーナストリップ線路 103（を構成する導体 103<sub>1</sub> 及び 103<sub>2</sub>）に、シングルエンド I/F 111（のパッド 111<sub>1</sub> 及び 111<sub>2</sub>）が、電気的に直接接続されるように、ミリ波伝送チップ 110 を、実装部 101 に実装することで、回路の大規模化を抑制しつつ、品質の良いデータ伝送を行うことができるが、差動伝送路であるコプレーナストリップ線路 103 と、シングルエンド信号の I/F であるシングルエンド I/F 111 とを直接接続する場合には、差動伝送路であるコプレーナストリップ線路 103 と、シングルエンド信号の I/F であるシングルエンド I/F 111 とのインピーダンス整合（コプレーナストリップ線路 103 のインピーダンスと、シングルエンド I/F 111 のインピーダンスとの一致性）が問題となることがある。

【 0136 】

すなわち、一般に、差動伝送路のインピーダンスは、シングルエンド信号の I/F のインピーダンスより高く、差動伝送路のインピーダンスと、シングルエンド信号の I/F のインピーダンスとが大きく異なる場合には、インピーダンスの不整合に起因する反射によって、品質の良いデータ伝送が妨げられることがある。

【 0137 】

そこで、差動伝送路のインピーダンス（特性インピーダンス）について説明する。

10

20

30

40

50

## 【0138】

ここで、一般に、差動伝送路のインピーダンスは、例えば、120 程度であり、シングルエンド信号のI/Fのインピーダンスは、例えば、50 程度である。

## 【0139】

[差動伝送路の特性インピーダンス]

## 【0140】

図8は、差動伝送路を示す断面図である。

## 【0141】

図8において、差動伝送路は、平行に配置された2本の棒状の導体が誘電体に囲まれて構成されている。

10

## 【0142】

なお、図8において、差動伝送路を構成する棒状の導体の断面は、円形をしている。

## 【0143】

いま、導体の断面の円形の直径をdと表し、円形の中心どうしの距離（中心距離）をsと表すこととする。さらに、2本の導体の間の、その2本の導体を含まない距離（間隔距離）をs'（=s-d）と表し、差動伝送路を構成する誘電体の誘電率を  $\epsilon$  と表すとともに、透磁率を  $\mu$  と表すこととする。

## 【0144】

図8の差動伝送路の単位長あたりのインダクタンスLとキャパシタンスCは、式（1）と式（2）で、それぞれ表される。

20

## 【0145】

## 【数1】

$$L = \frac{\mu}{\pi} \cosh^{-1} \left( \frac{s}{d} \right)$$

・・・(1)

## 【0146】

## 【数2】

$$C = \frac{\pi \epsilon}{\cosh^{-1} \left( \frac{s}{d} \right)}$$

・・・(2)

## 【0147】

いま、説明を簡単にするために、差動伝送路が無損失であると仮定すると、図8の差動伝送路のインピーダンス（特性インピーダンス） $Z_c$ は、式（1）のインダクタンスLと、式（2）のキャパシタンスCとを用いて、式（3）で表される。

30

## 【0148】

## 【数3】

$$Z_c = \sqrt{\frac{L}{C}} = \frac{1}{\pi} \sqrt{\frac{\mu}{\epsilon}} \cosh^{-1} \left( \frac{s}{d} \right)$$

・・・(3)

## 【0149】

例えば、いま、シングルエンドI/F111のインピーダンスが50 であるとすると、そのようなシングルエンドI/F111とのインピーダンス整合を図るために、式（3）で

40

50

表される図 8 の差動伝送路のインピーダンスを50 Ω 程度とする必要がある。

【0150】

いま、誘電体の比誘電率  $\epsilon_r$  ( $= \epsilon_r / \epsilon_0$  ( $\epsilon_0$  は真空の誘電率)) が、例えば、2.5であるとすると、図 8 の差動伝送路の式 (3) で表されるインピーダンス  $Z_c$  を50 Ω 程度にするには、 $s/d$  を約1.23とする必要がある。

【0151】

$s/d$  を約1.23とするには、導体の断面の円形の直径が、例えば、 $50 \mu m$  であるとすると、その円形の中心どうしの距離 (中心距離)  $s$  を、 $61.5 \mu m$  とする必要があり、その円形どうしの、導体を含まない距離 (間隔距離)  $s'$  ( $= s-d$ ) は、 $11.5 \mu m$  となる。

【0152】

図 9 は、差動伝送路としてのコプレーナストリップ線路 103 を示す斜視図と断面図である。

10

【0153】

コプレーナストリップ線路 103 を構成する棒状の導体 103<sub>1</sub> 及び 103<sub>2</sub> の断面は、略長方形をしている。

【0154】

いま、導体 103<sub>1</sub> 及び 103<sub>2</sub> の断面の長手方向の長さ (幅) を、 $w$  と表し、導体 103<sub>1</sub> と 103<sub>2</sub> との (断面の) 間の、その導体 103<sub>1</sub> 及び 103<sub>2</sub> を含まない距離 (間隔距離) を  $s$  と表すこととする。

【0155】

また、導体 103<sub>1</sub> 及び 103<sub>2</sub> が形成されている、誘電体としての実装部 101 の比誘電率を  $\epsilon_r$  と表し、その実装部 101 の厚み (表面と裏面との距離) を、 $h$  と表すこととする。

20

【0156】

コプレーナストリップ線路 103 のインピーダンス (特性インピーダンス)  $Z_c$  は、式 (4) で表される。

【0157】

【数4】

$$Z_c = \frac{120\pi}{\sqrt{\epsilon_r}} \frac{K(k)}{K(k')}$$

30

··· (4)

【0158】

ここで、式 (4) において、 $\epsilon_r$  は、式 (5) で表される。

【0159】

【数5】

$$\epsilon_r = 1 + \frac{\epsilon_r - 1}{2} \frac{K(k')K(k_1)}{K(k)K(k'_1)}$$

40

··· (5)

【0160】

また、式 (4) 及び式 (5) の  $k$  は、式 (6) で表され、式 (5) の  $k_1$  は、式 (7) で表される。

【0161】

【数6】

$$k = a/b, a = s/2, b = s/2 + w,$$

··· (6)

50

【0162】

【数7】

$$k_1 = \sinh(\pi a/2h)/\sinh(\pi b/2h)$$

. . . (7)

【0163】

さらに、式(4)及び式(5)の $K(k)/K'(k)$ は、式(8)で表される。

【0164】

【数8】

$$\frac{K(k)}{K'(k)} = \begin{cases} \left[ \frac{1}{\pi} \ln \left( 2 \frac{1 + \sqrt{k}}{1 - \sqrt{k}} \right) \right]^{-1} & \text{for } 0 \leq k \leq 0.7 \\ \frac{1}{\pi} \ln \left( 2 \frac{1 + \sqrt{k}}{1 - \sqrt{k}} \right) & \text{for } 0.7 \leq k \leq 1 \end{cases}$$

10

. . . (8)

20

【0165】

また、関数 $K(k')$ と $K'(k)$ 、及び、値 $k$ と $k'$ は、式(9)で示される関係を有する。

【0166】

【数9】

$$K'(k) = K(k'), \quad k' = \sqrt{1 - k^2}$$

. . . (9)

【0167】

なお、値 $k_1$ と $k'_1$ も、値 $k$ と $k'$ と同様の関係を有する。

30

【0168】

いま、実装部101が、例えば、一般的なFR-4基板(ガラスエポキシ基板)であるとすると、実装部101の比誘電率 $\epsilon_r$ は、4.0程度であり、実装部101の厚み $h$ は、1.6mm程度である。

【0169】

そして、導体103<sub>1</sub>及び103<sub>2</sub>の幅 $w$ が、例えば、50 $\mu m$ であるとすると、コプレーナストリップ線路103のインピーダンスを50 $\Omega$ 程度にするには、導体103<sub>1</sub>と103<sub>2</sub>との間の間隔距離 $s$ を、0.23 $\mu m$ 程度にする必要がある。

【0170】

ところで、将来的には、技術の進歩により、導体103<sub>1</sub>と103<sub>2</sub>との間の間隔距離 $s$ を、0.23 $\mu m$ 程度とすることが、容易に可能になると予想されるが、現在の高密度配線の技術では、導体103<sub>1</sub>及び103<sub>2</sub>の幅 $w$ 及び間隔距離 $s$ は、50 $\mu m$ 程度を大きく下回る0.23 $\mu m$ 程度の値とすることは、困難である。

40

【0171】

このため、例えば、導体103<sub>1</sub>及び103<sub>2</sub>の幅 $w$ 及び間隔距離 $s$ として、50 $\mu m$ 程度が採用された場合、コプレーナストリップ線路103のインピーダンスは、シングルエンドI/F111のインピーダンスである50 $\Omega$ よりも数10 $\Omega$ 程度大になり、この場合、コプレーナストリップ線路103とシングルエンドI/F111とのインピーダンスの不整合が問題になることがある。

【0172】

50

## [第3実施の形態]

## 【0173】

そこで、図10は、本技術を適用した電子回路の第3実施の形態の構成例を示す斜視図である。

## 【0174】

なお、図中、図4の第1実施の形態の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

## 【0175】

図10の第3実施の形態では、誘電体130が、コプレーナストリップ線路103上に配置されている点で、図4の場合と相違する。

10

## 【0176】

誘電体130は、実装部101の誘電率よりも大きな誘電率の誘電体（例えば、比誘電率が10程度の誘電体）であり、そのような誘電率の大きな誘電体130が、コプレーナストリップ線路103上に配置されていることにより、式(4)で表されるコプレーナストリップ線路103のインピーダンス $Z_c$ を、誘電体130が配置されていない場合よりも小さくすることができる。

## 【0177】

したがって、誘電体130として、コプレーナストリップ線路103のインピーダンス $Z_c$ を小さくして、コプレーナストリップ線路103とシングルエンドI/F111とのインピーダンスを整合させるような誘電率の誘電体を採用することにより、コプレーナストリップ線路103とシングルエンドI/F111とのインピーダンスを整合させ、インピーダンスの不整合に起因する反射によって、品質の良いデータ伝送が妨げられることを防止することができる。

20

## 【0178】

なお、図10では、誘電体130が、無色透明であると仮定して、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>が、誘電体130を透けて見えるように、導体103<sub>1</sub>及び103<sub>2</sub>を図示してある。

## 【0179】

図11は、誘電体130を、コプレーナストリップ線路103上に配置する配置パターンの例を説明する図である。

30

## 【0180】

なお、図11は、誘電体130がコプレーナストリップ線路103上に配置された電子回路の断面を示している。

## 【0181】

図11Aは、第1の配置パターンを、図11Bは、第2の配置パターンを、図11Cは、第3の配置パターンを、それぞれ示している。

## 【0182】

第1の配置パターン（図11A）では、誘電体130は、コプレーナストリップ線路103の2本の導体103<sub>1</sub>及び103<sub>2</sub>に沿って配置されており、その2本の導体103<sub>1</sub>及び103<sub>2</sub>の一方の導体103<sub>1</sub>から他方の導体103<sub>2</sub>までの全体を覆うことができる幅の誘電体になっている。

40

## 【0183】

第2の配置パターン（図11B）では、誘電体130は、コプレーナストリップ線路103の2本の導体103<sub>1</sub>及び103<sub>2</sub>に沿って配置されており、その2本の導体103<sub>1</sub>及び103<sub>2</sub>の間の、2本の導体103<sub>1</sub>及び103<sub>2</sub>を含む距離と同一の幅を有する誘電体になっている。

## 【0184】

第3の配置パターン（図11C）では、誘電体130は、コプレーナストリップ線路103の2本の導体103<sub>1</sub>及び103<sub>2</sub>に沿って、その2本の導体103<sub>1</sub>及び103<sub>2</sub>の間に配置されており、2本の導体103<sub>1</sub>及び103<sub>2</sub>の間の、2本の導体103<sub>1</sub>及

50

び 1 0 3<sub>2</sub> を含まない距離（間隔距離）と同一の幅を有する誘電体になっている。

【0185】

なお、図10の電子回路では、誘電体130を、コプレーナストリップ線路103上に配置することにより、コプレーナストリップ線路103のインピーダンス $Z_c$ を小さくするように調整して、コプレーナストリップ線路103とシングルエンドI/F111とのインピーダンスの整合を図ることとしたが、コプレーナストリップ線路103のインピーダンス $Z_c$ を小さくする調整は、その他、誘電体130を、コプレーナストリップ線路103上に配置すること以外の方法によって行うことが可能である。

【0186】

図12は、コプレーナストリップ線路103のインピーダンス $Z_c$ を小さくする調整を行う他の方法を説明する図である。

【0187】

すなわち、図12は、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>が形成された実装部101の構成例を示す断面図である。

【0188】

図12では、導体103<sub>1</sub>及び103<sub>2</sub>の厚みを厚くすることで、コプレーナストリップ線路103のキャパシタンスが大になり、その結果、導体103<sub>1</sub>及び103<sub>2</sub>の厚みを厚くしない場合よりも、コプレーナストリップ線路103のインピーダンス $Z_c$ が小さくなるように調整されている。

【0189】

すなわち、導体103<sub>1</sub>及び103<sub>2</sub>の厚みを厚く調整することで、誘電体130を、コプレーナストリップ線路103上に配置しなくても、コプレーナストリップ線路103とシングルエンドI/F111とのインピーダンスの整合を図ることができる。

【0190】

図13は、コプレーナストリップ線路103のインピーダンス $Z_c$ を小さくする調整を行うさらに他の方法を説明する図である。

【0191】

すなわち、図13は、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>が形成された実装部101の構成例を示す断面図と上面図である。

【0192】

図13では、実装部101は、第1層101<sub>1</sub>と第2層101<sub>2</sub>との2層構成になっており、第1層101<sub>1</sub>の表面（上面）に、コプレーナストリップ線路103を構成する、平行に配置された2本の導体103<sub>1</sub>及び103<sub>2</sub>が形成されている。

【0193】

また、第2層101<sub>2</sub>の表面（上面）にも、コプレーナストリップ線路103を構成する、平行に配置された2本の導体131<sub>1</sub>及び131<sub>2</sub>が、2本の導体103<sub>1</sub>及び103<sub>2</sub>とそれぞれ平行に形成されている。

【0194】

そして、平行に配置された第1層101<sub>1</sub>の導体103<sub>1</sub>、及び、第2層101<sub>2</sub>の導体131<sub>1</sub>上には、導体103<sub>1</sub>と導体131<sub>1</sub>とを電気的に接続するピア132<sub>1</sub>が設けられている。

【0195】

同様に、平行に配置された第1層101<sub>1</sub>の導体103<sub>2</sub>と、第2層101<sub>2</sub>の導体131<sub>2</sub>上には、導体103<sub>2</sub>と導体131<sub>2</sub>とを電気的に接続するピア132<sub>2</sub>が設けられている。

【0196】

以上のように、コプレーナストリップ線路103を構成する導体を、いわば多層に構成することによっても、図12の場合と同様に、コプレーナストリップ線路103のキャパシタンスが大になり、その結果、コプレーナストリップ線路103のインピーダンス $Z_c$ を小さくするように調整することができる。

10

20

30

40

50

## 【0197】

なお、図13では、2層に構成された実装部101の第1層101<sub>1</sub>に、コプレーナストリップ線路103を構成する2本の導体103<sub>1</sub>及び103<sub>2</sub>を形成するとともに、第2層101<sub>2</sub>に、コプレーナストリップ線路103を構成する2本の導体131<sub>1</sub>及び131<sub>2</sub>を形成することとしたが、実装部101は、3層以上の構成とし、その3層以上の各層に、コプレーナストリップ線路103を構成する2本の導体を層状に形成し、ビアで、電気的に接続することによって、コプレーナストリップ線路103のインピーダンスZ<sub>c</sub>を小さくすることが可能である。

## 【0198】

また、コプレーナストリップ線路103のインピーダンスZ<sub>c</sub>を小さくする調整は、誘電体130を、コプレーナストリップ線路103上に配置する方法と、図12又は図13で説明した方法とを併用して行うことが可能である。 10

## 【0199】

さらに、コプレーナストリップ線路103のインピーダンスZ<sub>c</sub>を小さくする調整は、図9で説明したように、導体103<sub>1</sub>及び103<sub>2</sub>の間隔距離sを狭くすることによって行うことができる。

## 【0200】

[第4実施の形態]

## 【0201】

図14は、本技術を適用した電子回路の第4実施の形態の構成例を示す斜視図であり、 20 図15は、図14の電子回路の、シングルエンドI/F111の部分の断面図である。

## 【0202】

なお、図中、図4及び図5の第1実施の形態の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

## 【0203】

図14及び図15の第4実施の形態では、実装部101に、ランド102<sub>1</sub>及び102<sub>2</sub>の他、ランド102<sub>3</sub>が設けられている点、及び、スタブ201が設けられている点で、図4及び図5の場合と相違する。

## 【0204】

ここで、図14では、ランド102<sub>1</sub>及び102<sub>2</sub>、パッド111<sub>1</sub>ないし111<sub>3</sub>、並びに、バンプの他、ランド102<sub>3</sub>は、図4の場合と同様に、実際には、ミリ波伝送チップ110に隠れて見えないが、図14では、ミリ波伝送チップ110が無色透明であると仮定して、ランド102<sub>1</sub>ないし102<sub>3</sub>、パッド111<sub>1</sub>ないし111<sub>3</sub>、並びに、バンプを見えるように図示してある。 30

## 【0205】

図4及び図5では、シングルエンドI/F111のグランド端子であるパッド111<sub>3</sub>が、いずれにも接続されていなかったが、図14及び図15では、パッド111<sub>3</sub>とスタブ201とが、ランド102<sub>3</sub>及びバンプを介して接続されている。

## 【0206】

スタブ201は、L字型をした導体になっており、実装部101上に形成されている。 40

## 【0207】

L字型のスタブ201の一端は、コプレーナストリップ線路103を構成する、ランド102<sub>2</sub>及びバンプを介して信号端子としてのパッド111<sub>2</sub>に接続されている導体103<sub>2</sub>に接続されている。

## 【0208】

また、L字型のスタブ201の他端は、ランド103<sub>3</sub>に接続されている。

## 【0209】

ここで、ランド103<sub>3</sub>には、バンプを介して、シングルエンドI/F111の2つのグランド端子であるパッド111<sub>1</sub>及び111<sub>3</sub>のうちの、コプレーナストリップ線路103を構成する導体103<sub>1</sub>に接続されていない方のパッド111<sub>3</sub>に接続されている。 50

## 【0210】

したがって、スタブ201の他端は、グランドに接続されるので、スタブ201は、ショートスタブである。

## 【0211】

また、L字型のスタブ201の長さは、そのスタブ201が接続された導体103<sub>2</sub>で構成されるコプレーナストリップ線路103を介して伝送されるRF信号（ミリ波）の波長の1/4の長さである1/4になっている。

## 【0212】

長さが1/4のショートスタブであるスタブ201は、BPF(Band Pass Filter)として機能し、その結果、低周波のノイズを除去することができ、さらに、コプレーナストリップ線路103におけるコモンモードノイズを低減して、差動モード（ノーマルモード）の通過特性を向上させることができる。10

## 【0213】

また、例えば、電気的なサージが、導体103<sub>2</sub>上に生じた場合に、そのサージを、スタブ201を介して、グランドに逃がすことができるので、ESD(Electro-Static Discharge)耐性を向上させることができる。

## 【0214】

なお、図14及び図15の電子回路は、シングルエンドI/F111が設けられたミリ波伝送チップ110を、コプレーナストリップ線路103及びスタブ201が形成された実装部101に実装するときに、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>に、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>を、それぞれ、電気的に直接接続させるとともに、スタブ201の、導体103<sub>2</sub>と接続されていない方の端部（他端）に、シングルエンドI/F111のパッド111<sub>3</sub>を電気的に直接接続することで、製造することができる。20

## 【0215】

また、ミリ波伝送チップのシングルエンドI/F111において隣り合うパッド111<sub>2</sub>と111<sub>3</sub>との距離は、ミリ波の1/4にとって無視することができる程度の距離であるため、図14において、L字型のスタブ201については、スタブ201全体の長さを、1/4とする他、L字型のスタブ201の、パッド111<sub>2</sub>と111<sub>3</sub>と結ぶ直線に平行な部分を除いた長さを、1/4とすることができる。30

## 【0216】

【第5実施の形態】

## 【0217】

図16は、本技術を適用した電子回路の第5実施の形態の構成例を示す斜視図である。

## 【0218】

なお、図中、図10の第3実施の形態の場合、及び、図14及び図15の第4実施の形態の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

## 【0219】

図16の第5実施の形態では、図10で説明した誘電体130が、コプレーナストリップ線路103上に配置されている点で、図14及び図15の場合と相違する。40

## 【0220】

図10で説明したように、誘電体130は、実装部101の誘電率よりも大きな誘電率の誘電体であり、そのような誘電率の大きな誘電体130が、コプレーナストリップ線路103上に配置されていることにより、式(4)で表されるコプレーナストリップ線路103のインピーダンス $Z_c$ を、誘電体130が配置されていない場合よりも小さくすることができる。

## 【0221】

その結果、コプレーナストリップ線路103とシングルエンドI/F111とのインピーダンスを整合させ、インピーダンスの不整合に起因する反射によって、品質の良いデータ50

伝送が妨げられることを防止することができる。

【0222】

なお、コプレーナストリップ線路103とシングルエンドI/F111とのインピーダンスの整合は、誘電体130を配置する方法の他、例えば、図12や図13で説明した方法等によってとることが可能である。

【0223】

図17は、図16の電子回路について行ったシミュレーションの結果を示す図である。

【0224】

すなわち、図17は、図16の電子回路（以下、スタブ有り回路ともいう）のSパラメータ $S_{21}$ と、図16の電子回路からスタブ201を除去した回路（以下、スタブなし回路ともいう）のSパラメータ $S_{21}$ とを示している。  
10

【0225】

なお、図17において、横軸は、周波数を表し、縦軸は、Sパラメータ $S_{21}$ を表す。

【0226】

また、図17において、実線は、コプレーナストリップ線路103についての差動モード(Diff. Mode)のSパラメータ $S_{21}$ を表し、点線は、コモンモード(Comm. Mode)のSパラメータ $S_{21}$ を表す。

【0227】

さらに、図17において、三角形が、スタブ有り回路のSパラメータ $S_{21}$ を表し、四角形が、スタブなし回路のSパラメータ $S_{21}$ を表す。  
20

【0228】

図17によれば、スタブ有り回路の、差動モードのSパラメータ $S_{21}$ （三角形と実線で示す）が、60GHzを中心とする周波数帯域において、90GHz以上の周波数帯域や30GHz以下の周波数帯域に比較して、大きくなっている。したがって、スタブ201がある場合には、差動モードにおいて、60GHzを中心とする周波数帯域、すなわち、ミリ波帯の通過特性（伝達特性）を向上させることができる。

【0229】

【第6実施の形態】

【0230】

図18は、本技術を適用した電子回路の第6実施の形態の構成例を示す斜視図であり、  
30  
図19は、図18の電子回路の、シングルエンドI/F111の部分の断面図である。

【0231】

なお、図中、図6及び図7の第2実施の形態、図14及び図15の第4実施の形態の場合、図16の第5実施の形態と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【0232】

図18及び図19の第6実施の形態では、図6及び図7の場合と同様に、シングルエンドI/F111が、ミリ波伝送チップ110が内蔵する図示せぬRF部がシングルエンド信号をやりとりするための端子として、3つのパッド $111_1$ ,  $111_2$ 、及び、 $111_3$ ではなく、2つのパッド $111_1$ 及び $111_2$ だけを有する点で、図16の第5実施の形態の場合と相違する。  
40

【0233】

以上のように、図18及び図19の第6実施の形態では、シングルエンドI/F111が、2つのパッド $111_1$ 及び $111_2$ を有するが、グランド端子であるパッド $111_3$ を有していないため、スタブ201の他端は、ミリ波伝送チップ110の他のグランド端子であるパッド211に接続されている。

【0234】

すなわち、図18及び図19では、ミリ波伝送チップ110に設けられている、シングルエンドI/F111を構成するグランド端子であるパッド $111_1$ とは別のグランド端子であるパッド211を図示してある。  
50

## 【0235】

さらに、図18及び図19では、ミリ波伝送チップ110を、実装部101に実装したときに、ミリ波伝送チップ110のパッド211に対応する実装部101上の位置であって、シングルエンドI/F111から比較的離れた位置に形成されているランド212を図示してある。

## 【0236】

図18及び図19の第6実施の形態では、実装部101において、一端が導体103<sub>2</sub>に接続されているL字型のスタブ201の他端が、ランド212に接続されている。

## 【0237】

さらに、図18及び図19の第6実施の形態では、ミリ波伝送チップのパッド211と、実装部101のランド212とは、バンプを介して接続されており、したがって、一端が導体103<sub>2</sub>に接続されているL字型のスタブ201の他端は、ランド212、バンプ、及び、パッド211を介して、グランドに接続される。

## 【0238】

以上のように、一端が導体103<sub>2</sub>に接続されているL字型のスタブ201の他端を、ミリ波伝送チップ110のシングルエンドI/F111を構成しないグランド端子であるパッド211に接続する場合も、一端が導体103<sub>2</sub>に接続されているL字型のスタブ201の他端を、ミリ波伝送チップ110のシングルエンドI/F111を構成するグランド端子であるパッド111<sub>3</sub>に接続する場合(図14、図15、図16)と同様に、コプレーナストリップ線路103上の低周波のノイズを除去し、コモンモードノイズを低減し、差動モードの通過特性を向上させ、ESD耐性を向上させることができる。

## 【0239】

ここで、L字型のスタブ201の長さは、図14及び図15で説明したように、 $1/4$ になっている。

## 【0240】

ミリ波伝送チップ110のシングルエンドI/F111のパッド111<sub>2</sub>と、シングルエンドI/F111を構成しないグランド端子であるパッド211との距離は、シングルエンドI/F111の隣り合うパッド111<sub>2</sub>とパッド111<sub>3</sub>との距離のような、ミリ波の $1/4$ にとって無視することができる程度の距離ではないため、図18において、L字型のスタブ201については、スタブ201全体の長さを、 $1/4$ とする必要がある。

## 【0241】

以上のように、長さが $1/4$ のスタブ201を設けることにより、コモンモードノイズを低減することができるが、コモンモードノイズを他の方法により低減する実施の形態について説明する。

## 【0242】

[第7実施の形態]

## 【0243】

図20は、本技術を適用した電子回路の第7実施の形態の構成例を示す上面図(平面図)と断面図である。

## 【0244】

なお、図中、図16の第5実施の形態と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

## 【0245】

また、図20では(後述する図22でも同様)、上述の第1実施の形態ないし第6実施の形態において図示を省略していた、実装部101の裏面に設けられているグランドメタルを、グランドメタル251として図示してある。

## 【0246】

第7実施の形態では、グランドメタル251としての薄膜の金属は、実装部101の裏面側のうちの、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>と、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>とが接続されている部分に対

10

20

30

40

50

応する領域を少なくとも除く領域に設けられている。

【0247】

したがって、第7実施の形態では、実装部101の裏面側のうちの、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>と、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>とが接続されている部分に対応する領域には、グランドメタル251としての薄膜の金属が存在しない。

【0248】

なお、図20のようなグランドメタル251は、例えば、実装部101の裏面側の全体に薄膜の金属を設け、その後、シングルエンドI/F111のパッド111<sub>1</sub>ないし111<sub>3</sub>に対応する領域を含む矩形状の領域の金属を取り除くことで構成することができる。

10

【0249】

以上のように、実装部101の裏面側のうちの、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>と、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>とが接続されている部分に対応する領域を少なくとも除く領域に、グランドメタル251としての金属を設けることで、すなわち、実装部101の裏面側のうちの、少なくとも、導体103<sub>1</sub>及び103<sub>2</sub>とパッド111<sub>1</sub>及び111<sub>2</sub>とが接続されている部分に対応する領域に、グランドを設けないことで、コプレーナストリップ線路103のコモンモードノイズを抑制することができる。

【0250】

すなわち、図21は、図20の電子回路について行ったシミュレーションの結果を示す図である。

20

【0251】

ここで、図21は、図20の電子回路（以下、グランドなし回路ともいう）のSパラメータS<sub>21</sub>と、図20の電子回路において、実装部101の裏面側の、グランドメタル251が存在しない領域に、グランドとなる金属を設けた回路（以下、グランド有り回路ともいう）のSパラメータS<sub>21</sub>とを示している。

【0252】

なお、図21において、実線は、コプレーナストリップ線路103についての差動モードのSパラメータS<sub>21</sub>を表し、点線は、コモンモードのSパラメータS<sub>21</sub>を表す。

【0253】

30

さらに、図21において、三角形が、グランド有り回路のSパラメータS<sub>21</sub>を表し、四角形が、グランドなし回路のSパラメータS<sub>21</sub>を表す。

【0254】

図21によれば、グランドなし回路の、コモンモードのSパラメータS<sub>21</sub>（四角形と点線で示す）が、50GHzないし100GHz程度のミリ波帯で、グランド有り回路の場合（三角形と点線で示す）よりも小さくなっていること、ミリ波帯のコモンモードノイズを抑制することができることを確認することができる。

【0255】

〔第8実施の形態〕

【0256】

40

図22は、本技術を適用した電子回路の第8実施の形態の構成例を示す上面図（平面図）と断面図である。

【0257】

なお、図中、図16の第5実施の形態、及び、図20の第7実施の形態と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【0258】

図20の第7実施の形態では、グランドメタル251としての薄膜の金属は、実装部101の裏面側のうちの、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>と、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>とが接続されている部分に対応する領域を少なくとも除く領域に設けられていたが、第8実施の形態では、グ

50

ランドメタル251としての薄膜の金属は、実装部101の裏面側のうちの、例えば、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>と、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>とが接続されている部分に対応する領域を含む全体に設けられている。

【0259】

但し、第8実施の形態では、コプレーナストリップ線路103を構成する導体103<sub>1</sub>及び103<sub>2</sub>と、シングルエンドI/F111のパッド111<sub>1</sub>及び111<sub>2</sub>とが接続されている部分を含む、コプレーナストリップ線路103上の一部の領域に、誘電体130よりも誘電率が大の誘電体261が配置されている。

【0260】

すなわち、第8実施の形態では、導体103<sub>1</sub>及び103<sub>2</sub>とパッド111<sub>1</sub>及び111<sub>2</sub>とが接続されている部分を含む、コプレーナストリップ線路103上の一部の領域に、コプレーナストリップ線路103上の他の領域に配置されている誘電体130よりも誘電率が大の誘電体261が配置されている。

【0261】

ここで、誘電体130としては、例えば、比誘電率が10程度の誘電体を採用し、誘電体261としては、例えば、比誘電率が24程度の誘電体（誘電体セラミクス等）を採用することができる。

【0262】

以上のように、コプレーナストリップ線路103とシングルエンドI/F111との接続部分を含む、コプレーナストリップ線路103上の一部の領域に、コプレーナストリップ線路103上の他の領域に配置されている誘電体130よりも誘電率が大の誘電体261を配置することで、コプレーナストリップ線路103のコモンモードノイズを抑制することができる。

【0263】

すなわち、図23は、図22の電子回路について行ったシミュレーションの結果を示す図である。

【0264】

ここで、図23は、図22の電子回路（以下、大誘電体あり回路ともいう）のSパラメータS<sub>21</sub>と、図22の電子回路において、誘電体261の代わりに、誘電体130と同様の誘電体が配置されている回路（以下、大誘電体なし回路ともいう）のSパラメータS<sub>21</sub>とを示している。

【0265】

なお、図23において、実線は、コプレーナストリップ線路103についての差動モードのSパラメータS<sub>21</sub>を表し、点線は、コモンモードのSパラメータS<sub>21</sub>を表す。

【0266】

さらに、図23において、三角形が、大誘電体なし回路のSパラメータS<sub>21</sub>を表し、四角形が、大誘電体有り回路のSパラメータS<sub>21</sub>を表す。

【0267】

図23によれば、大誘電体有り回路の、コモンモードのSパラメータS<sub>21</sub>（四角形と点線で示す）が、25GHzないし80GHz程度のミリ波帯で、大誘電体なし回路の場合（三角形と点線で示す）よりも小さくなっており、ミリ波帯のコモンモードノイズを抑制することができることを確認することができる。

【0268】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0269】

すなわち、本実施の形態では、データを、ミリ波によって伝送することとしたが、データの伝送に使用する周波数帯域は、ミリ波に限定されるものではない。

【0270】

10

20

30

40

50

また、本実施の形態では、差動信号を伝送する差動伝送路として、コプレーナストリップ線路を採用したが、差動伝送路としては、コプレーナストリップ線路以外の伝送路を採用することができる。

【0271】

さらに、ミリ波のやりとりは、無線、及び、有線のいずれによって行うことも可能である。

【0272】

なお、本技術は、以下のような構成をとることができる。

【0273】

[1]

シングルエンド信号がやりとりされるパッドを有するシングルエンドI/Fが設けられた半導体チップと、

差動信号を伝送する差動伝送路が形成されており、前記差動伝送路を構成する導体に、前記シングルエンドI/Fのパッドが、電気的に直接接続されるように、前記半導体チップが実装された実装部と

を備える電子回路。

[2]

前記シングルエンドI/Fは、信号がやりとりされる信号パッドと、グランドに接続されるグランドパットとを有し、

前記差動伝送路は、平行に配置された2本の導体を有し、

前記信号パッドと、前記2本の導体のうちの一方の導体とが接続され、かつ、前記グランドパットと、前記2本の導体のうちの他方の導体とが接続されるように、前記半導体チップが、前記実装部に実装されている

[1]に記載の電子回路。

[3]

誘電体が、前記差動伝送路上に配置されている

[2]に記載の電子回路。

[4]

前記誘電体は、前記シングルエンドI/Fのインピーダンスと、前記差動伝送路のインピーダンスとを整合させる誘電率の誘電体である

[3]に記載の電子回路。

[5]

前記誘電体は、前記実装部の誘電率より大きい誘電率の誘電体である

[3]又は[4]に記載の電子回路。

[6]

前記誘電体は、前記差動伝送路の前記2本の導体に沿って配置されており、前記2本の導体の一方の導体から他方の導体までの全体を覆うことができる幅の誘電体である

[3]ないし[5]のいずれかに記載の電子回路。

[7]

前記誘電体は、前記差動伝送路の前記2本の導体に沿って配置されており、前記2本の導体の間の、前記2本の導体を含む距離と同一の幅を有する誘電体である

[3]ないし[5]のいずれかに記載の電子回路。

[8]

前記誘電体は、前記差動伝送路の前記2本の導体に沿って、前記2本の導体の間に配置されており、前記2本の導体の間の、前記2本の導体を含まない距離と同一の幅を有する誘電体である

[3]ないし[5]のいずれかに記載の電子回路。

[9]

前記差動伝送路の2本の導体は、前記シングルエンドI/Fのインピーダンスと、前記差動伝送路のインピーダンスとを整合させるように、厚みが調整されている

10

20

30

40

50

[ 2 ] に記載の電子回路。

[ 1 0 ]

前記 2 本の導体が、層状に形成されている

[ 2 ] に記載の電子回路。

[ 1 1 ]

前記差動伝送路は、コプレーナストリップ線路である

[ 1 ] ないし [ 1 0 ] のいずれかに記載の電子回路。

[ 1 2 ]

前記シングルエンド信号は、ミリ波帯の信号である

[ 1 ] ないし [ 1 1 ] のいずれかに記載の電子回路。

[ 1 3 ]

シングルエンド信号がやりとりされるパッドを有するシングルエンドI/Fが設けられた半導体チップを、差動信号を伝送する差動伝送路が形成された、前記半導体チップが実装される実装部に実装するときに、前記差動伝送路を構成する導体に、前記シングルエンドI/Fのパッドを、電気的に直接接続させる

電子回路の製造方法。

[ 1 4 ]

差動信号を伝送する差動伝送路が形成され、

前記差動伝送路上に誘電体が配置され、

シングルエンド信号がやりとりされるパッドを有するシングルエンドI/Fが設けられた半導体チップが実装される

実装部材。

[ 1 5 ]

前記シングルエンドI/Fは、信号がやりとりされる信号パッドと、グランドに接続されるグランドパットとを有し、

前記差動伝送路は、平行に配置された 2 本の導体を有し、

前記信号パッドと、前記 2 本の導体のうちの一方の導体とが接続され、かつ、前記グランドパットと、前記 2 本の導体のうちの他方の導体とが接続されるように、前記半導体チップが実装される

[ 1 4 ] に実装部材。

[ 1 6 ]

前記誘電体は、前記シングルエンドI/Fのインピーダンスと、前記差動伝送路のインピーダンスとを整合させる誘電率の誘電体である

[ 1 4 ] 又は [ 1 5 ] に記載の実装部材。

[ 1 7 ]

前記誘電体は、前記実装部の誘電率より大きい誘電率の誘電体である

[ 1 4 ] 又は [ 1 5 ] に記載の実装部材。

[ 1 8 ]

前記差動伝送路は、コプレーナストリップ線路である

[ 1 4 ] ないし [ 1 7 ] のいずれかに記載の実装部材。

[ 1 9 ]

前記シングルエンド信号は、ミリ波帯の信号である

[ 1 4 ] ないし [ 1 8 ] のいずれかに記載の実装部材。

【符号の説明】

【 0 2 7 4 】

1 0 電子回路， 1 1 実装部， 1 2 グランドメタル， 1 3 <sub>1</sub>， 1 3 <sub>2</sub> ピア，  
， 1 4 マイクロストリップ線路， 1 5 アンテナ， 2 0 ミリ波伝送チップ，  
2 1 シングルエンドI/F， 2 1 <sub>1</sub> ないし 2 1 <sub>3</sub> パッド， 2 2 送信部， 3 1  
アンプ， 3 2 発振器， 3 3 ミキサ， 3 4 アンプ， 4 0 電子回路， 4 1  
実装部， 4 2 グランドメタル， 4 3 <sub>1</sub>， 4 3 <sub>2</sub> ピア， 4 4 マイクロストリ

10

20

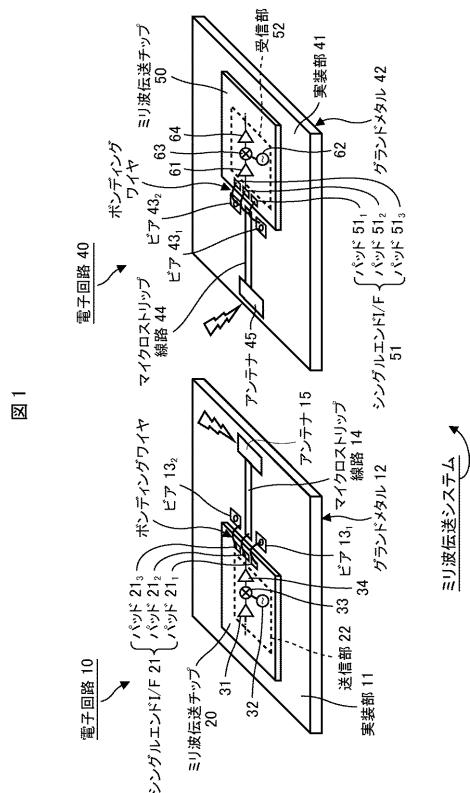
30

40

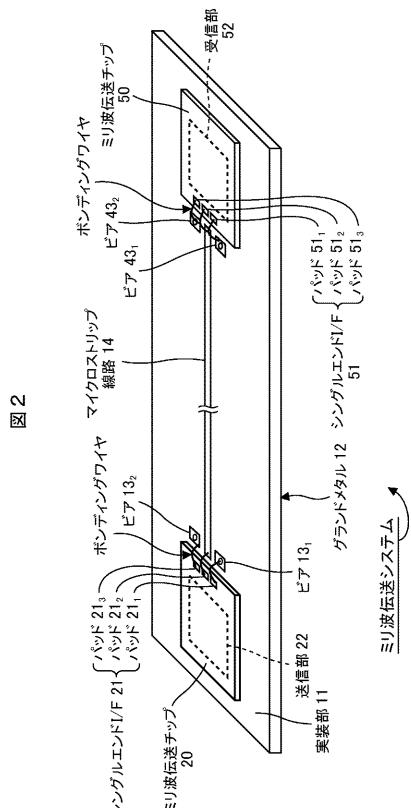
50

ツブ線路, 45 アンテナ, 50 ミリ波伝送チップ, 51 シングルエンドI/F, 51<sub>1</sub> ないし 51<sub>3</sub> パッド, 52 受信部, 61 アンプ, 62 発振器, 63 ミキサ, 64 アンプ, 70 第1層, 80 第2層, 101 実装部, 101<sub>1</sub> 第1層, 101<sub>2</sub> 第2層, 102<sub>1</sub> ないし 102<sub>3</sub> ランド, 103 コブレーナストリップ線路, 103<sub>1</sub>, 103<sub>2</sub> 導体, 110 ミリ波伝送チップ, 111 シングルエンドI/F, 111<sub>1</sub> ないし 111<sub>3</sub> パッド, 121 シリコン, 122 シリコン酸化膜, 130 誘電体, 131<sub>1</sub>, 131<sub>2</sub> 導体, 132<sub>1</sub>, 132<sub>2</sub> ビア, 201 スタブ, 211 パッド, 212 ランド, 251 グランドメタル, 261 誘電体

【図1】



【図2】



【図3】

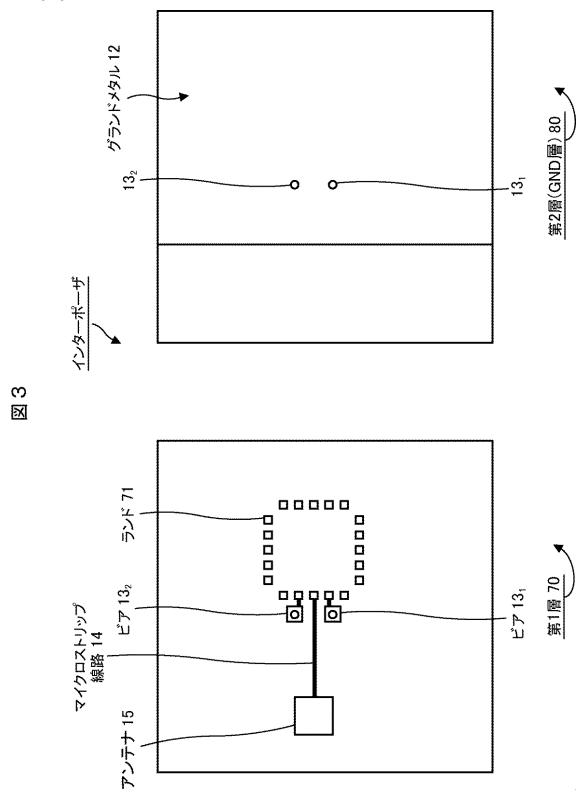


図3

【図4】

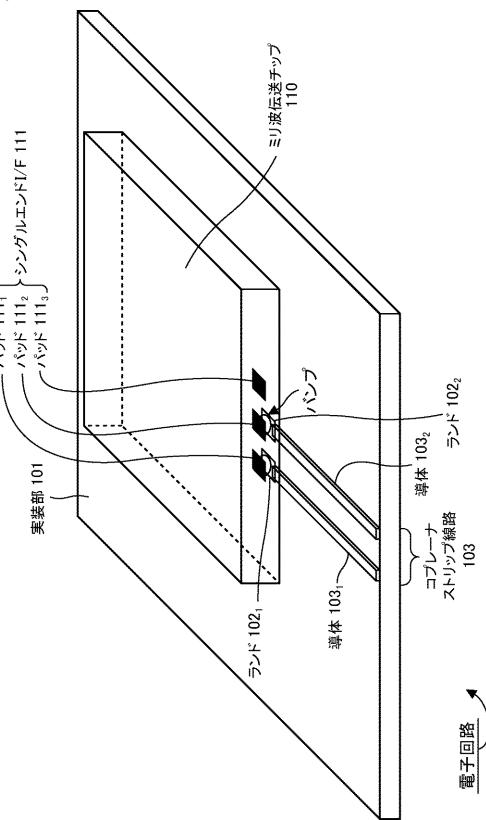


図4

【図5】

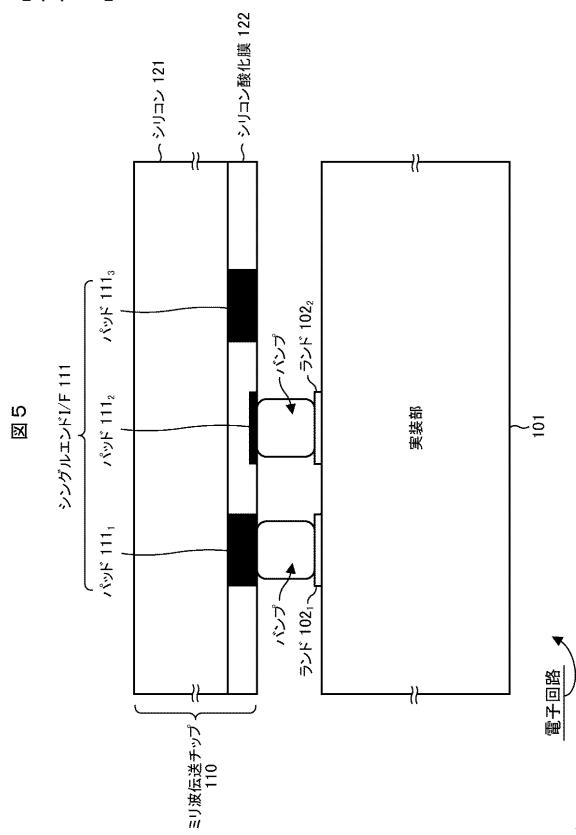


図5

【図6】

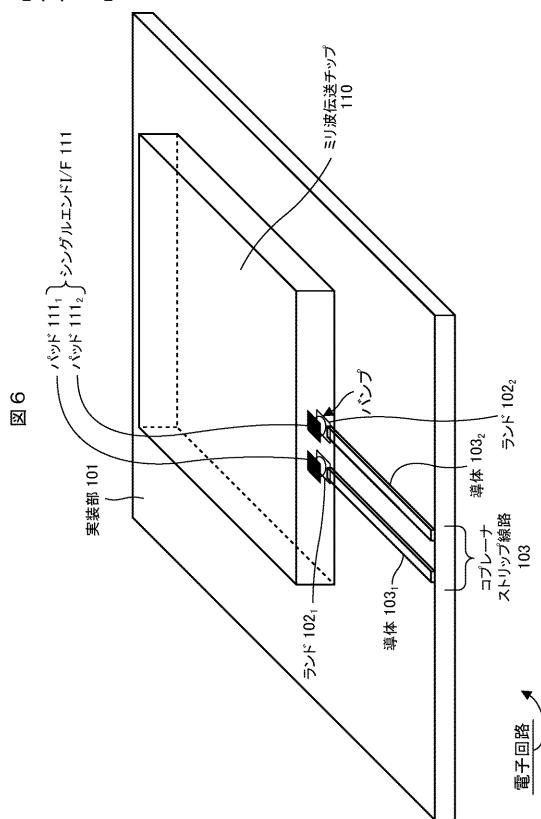
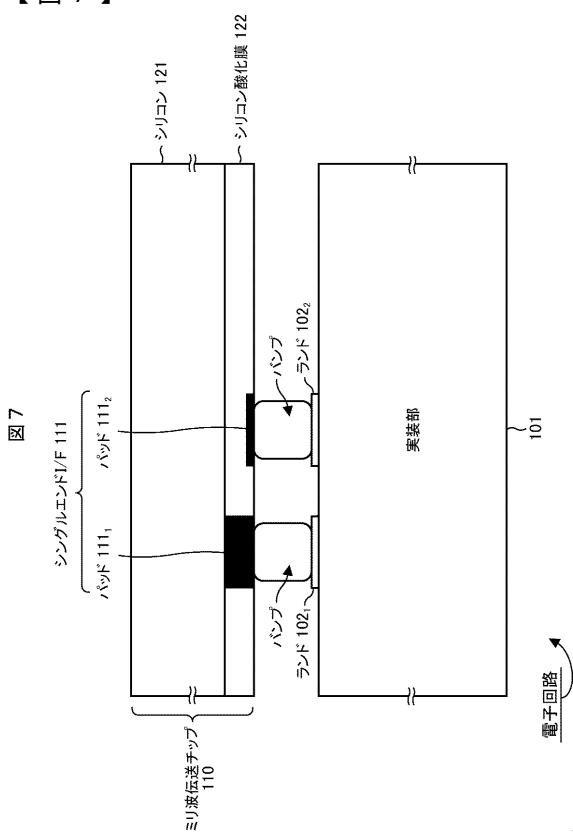
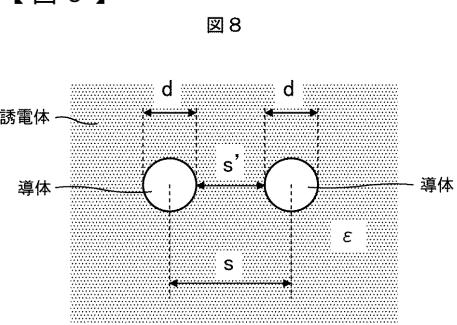


図6

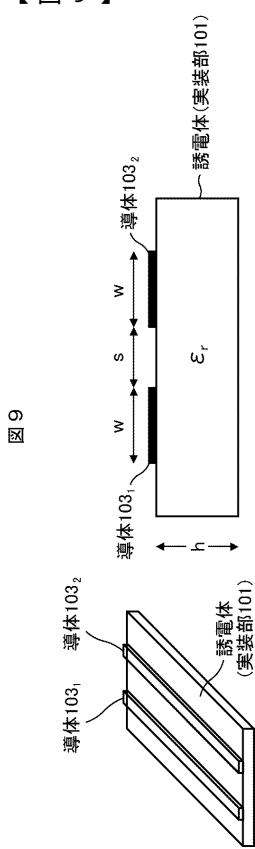
【図7】



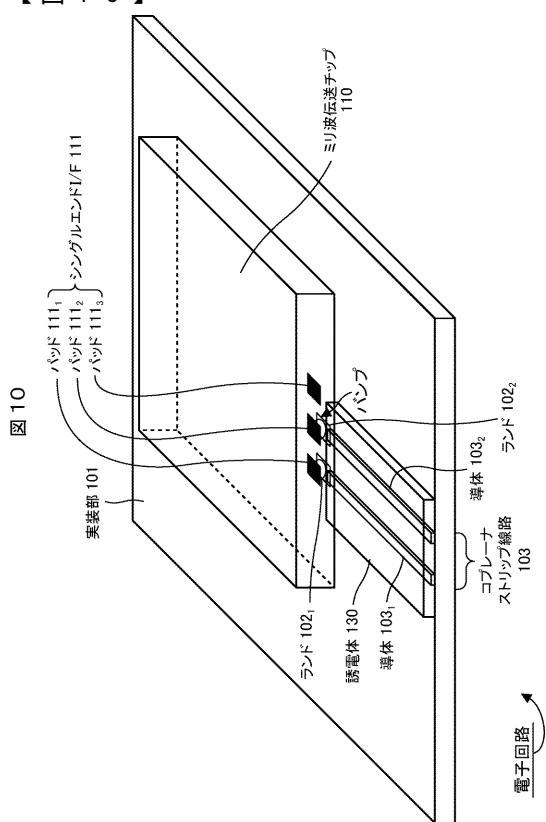
【図8】



【図9】

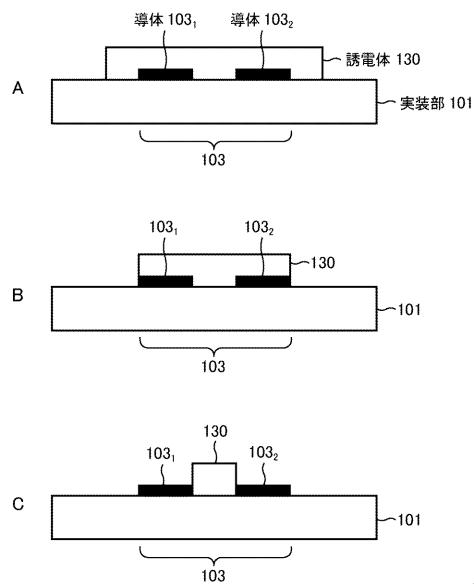


【図10】

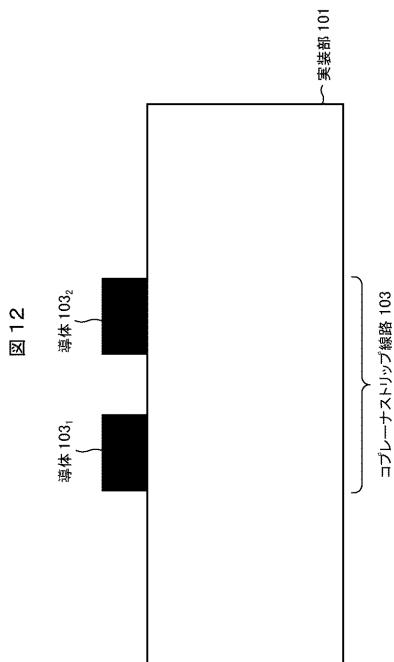


【図 1 1】

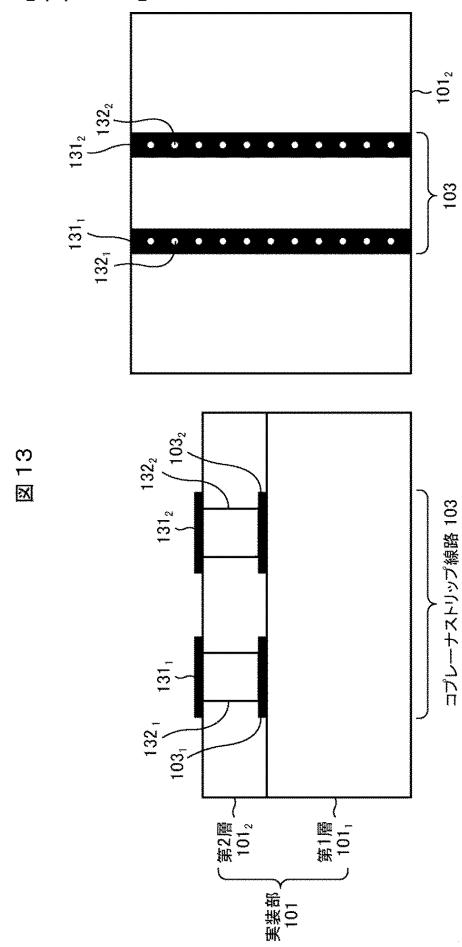
図 11



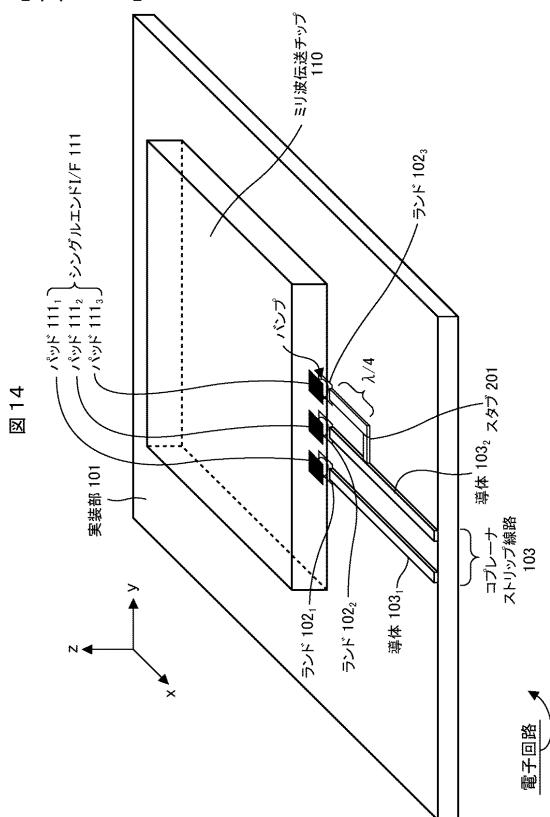
【図 1 2】



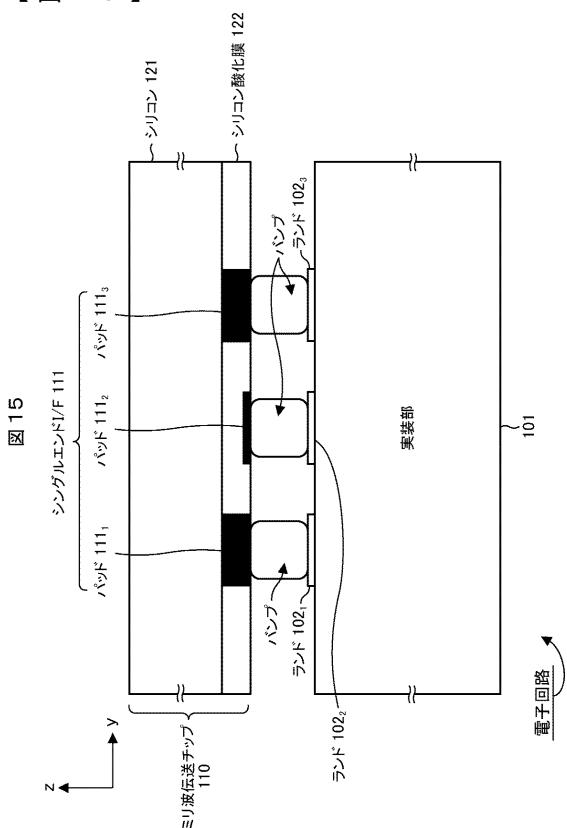
【図 1 3】



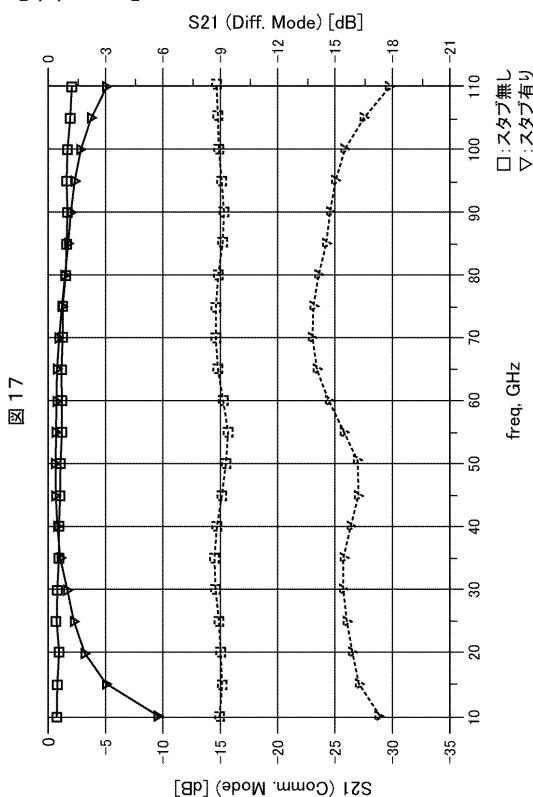
【図 1 4】



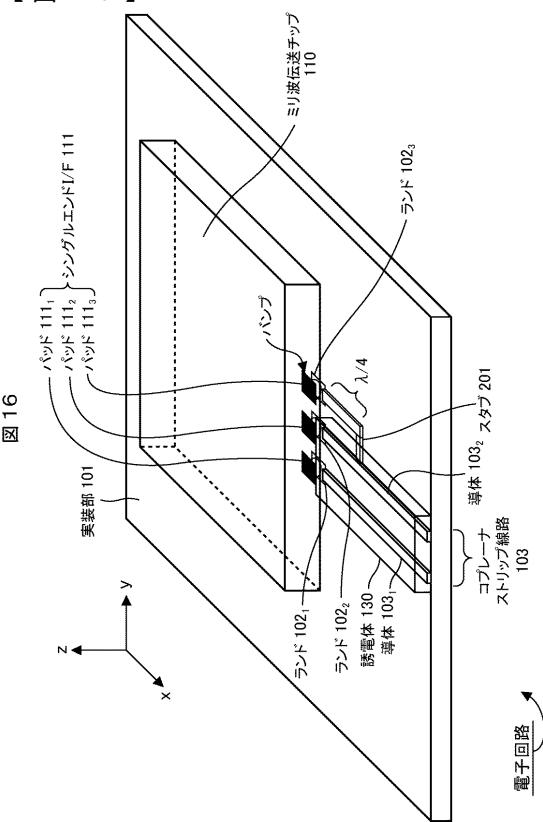
【図 15】



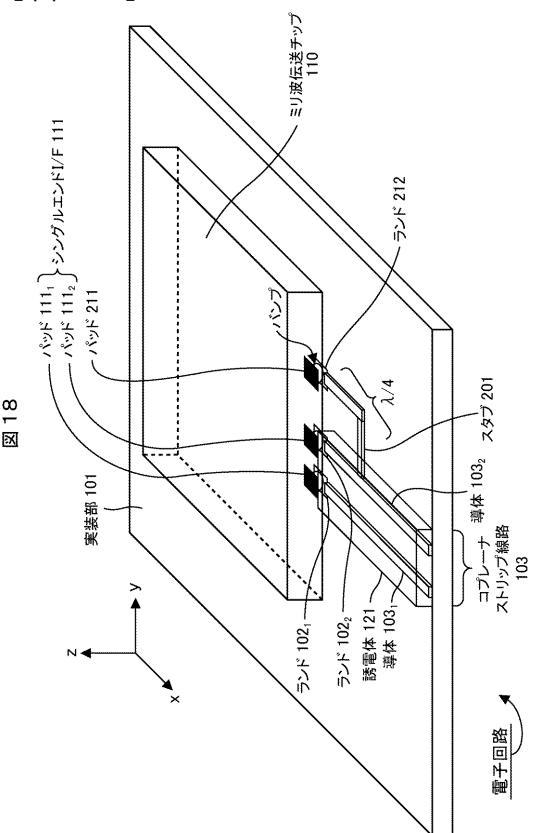
【図 17】



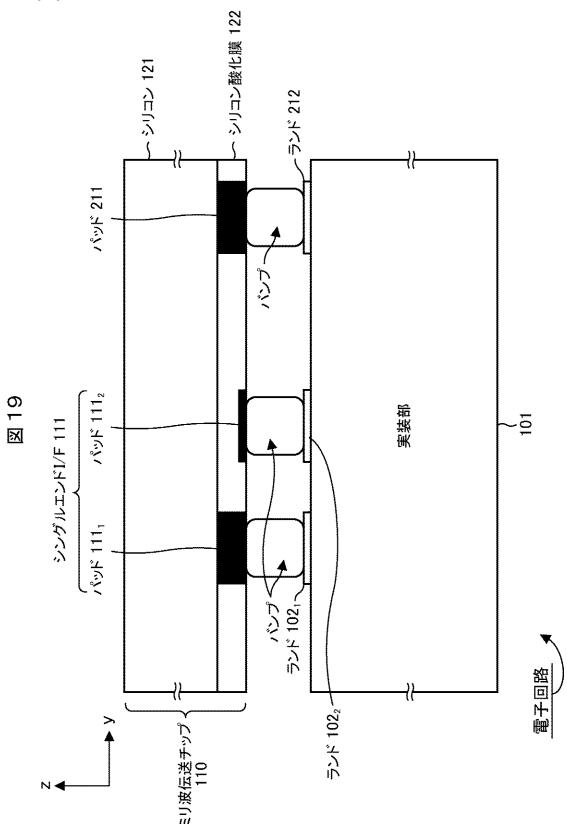
【図 16】



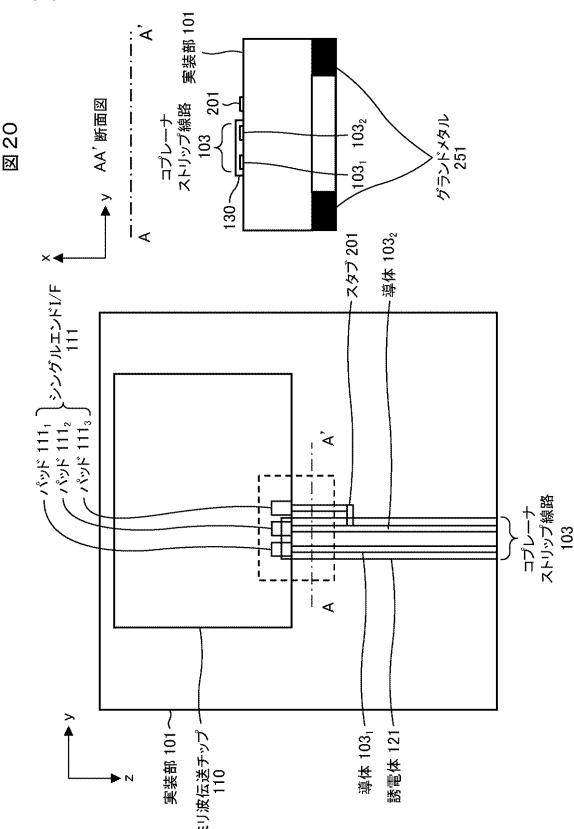
【図 18】



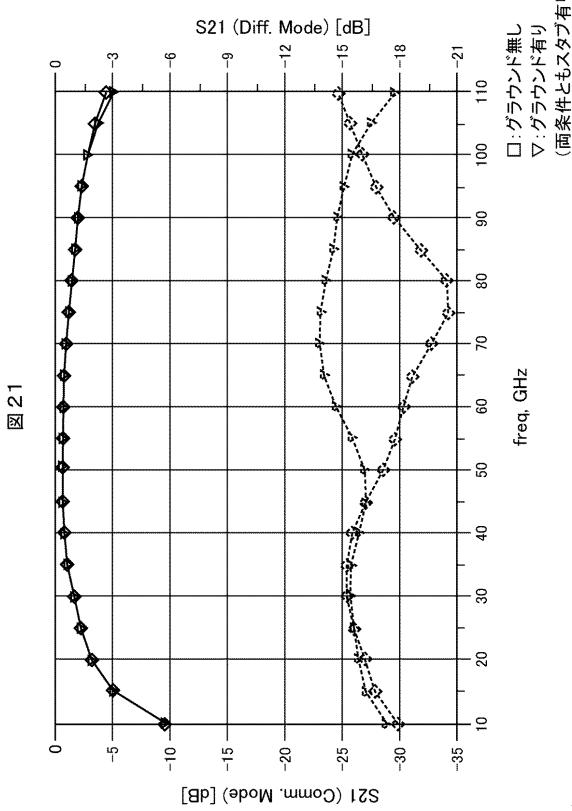
【図 19】



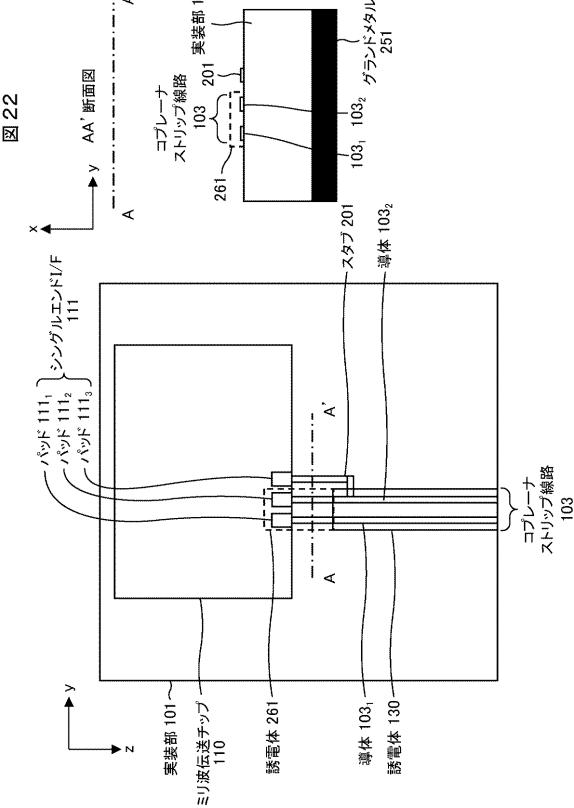
【図 20】



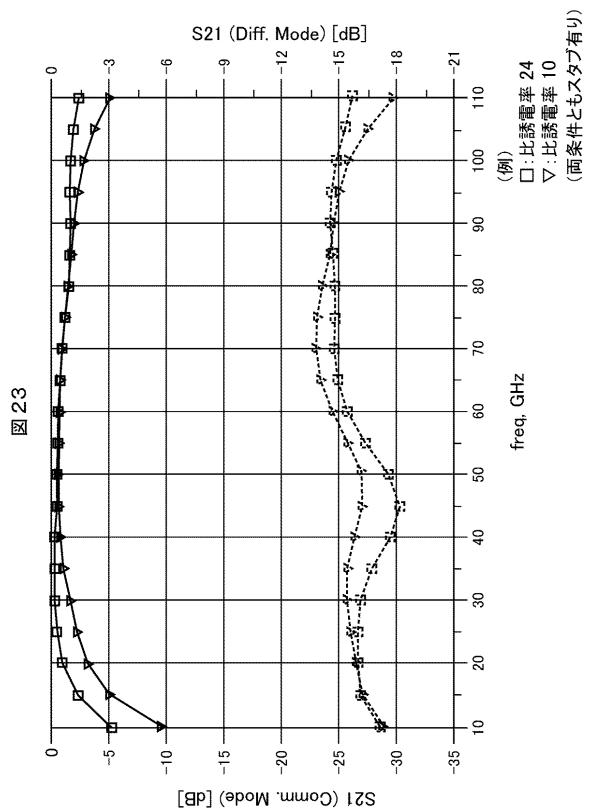
【図 21】



【図 22】



【図 2 3】



---

フロントページの続き

(72)発明者 安仲 健太郎  
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 白井 孝治

(56)参考文献 特開2006-093324 (JP, A)  
特開2004-158553 (JP, A)  
特開2008-294837 (JP, A)  
特開2005-051496 (JP, A)  
特開2004-304134 (JP, A)  
特開2010-114189 (JP, A)  
特開平05-022004 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01P 5/00 ~ 5/107  
H01P 3/00  
H01P 3/08  
H05K 1/02  
H04L 25/00 ~ 25/66