



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년07월09일

(11) 등록번호 10-1416319

(24) 등록일자 2014년07월01일

(51) 국제특허분류(Int. Cl.)

H01L 27/10 (2006.01) G11C 11/4093 (2006.01)

(21) 출원번호 10-2008-0025379

(22) 출원일자 2008년03월19일

심사청구일자 2013년02월21일

(65) 공개번호 10-2009-0100024

(43) 공개일자 2009년09월23일

(56) 선행기술조사문현

US05502667 A

US07102905 B2

US20070079085 A1

JP2005141741 A

전체 청구항 수 : 총 10 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

정희주

경기 용인시 기흥구 사은로126번길 46, 313동 50  
2호 (보라동, 현대모닝사이드1차아파트)

이정배

경기도 용인시 수지구 진산로66번길 10, 509동  
801호 (풍덕천동, 진산마을삼성5차아파트)

(74) 대리인

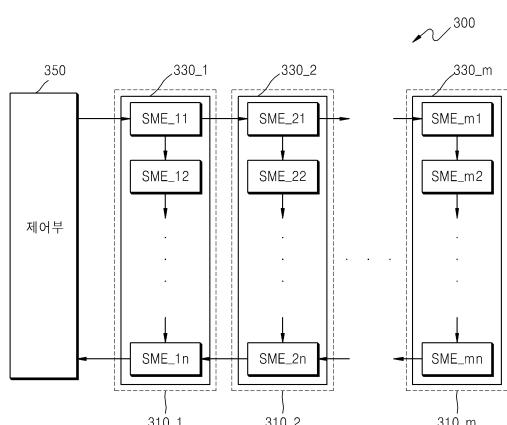
리엔목특허법인

심사관 : 방기인

(54) 발명의 명칭 메모리 칩들이 적층되는 메모리 모듈을 포함하는 반도체메모리 장치

**(57) 요 약**

메모리 칩들이 적층되는 메모리 모듈을 포함하는 반도체 메모리 장치가 개시된다. 상기 반도체 메모리 장치는 제 1 내지 제 m 기판(m은 자연수) 및 상기 각각의 기판에 연결되는 제 1 내지 제 n 인터페이스 칩(n은 자연수) 및 상기 각각의 인터페이스 칩에 수직 방향으로 적층되는 복수의 메모리 칩들을 포함하는 제 1 내지 제 n 적층 메모리를 구비하고, 제 k 인터페이스 칩(k는 1이상 n-1이하의 자연수)은 동일한 기판에 연결된 제 k+1 인터페이스 칩으로 신호를 송신할 수 있다. 상기 반도체 메모리 장치는 상기 메모리 모듈에서 신호를 송수신함에 있어서 전력 소모를 감소시키고 상기 신호가 전송되는 채널의 길이를 감소시킬 수 있는 장점이 있다.

**대 표 도** - 도3

## 특허청구의 범위

### 청구항 1

제1 내지 제m 기판들(m은 자연수);

상기 제1 내지 제m 기판들 각각에 연결되는 제 1 내지 제 n(n은 자연수) 적층 메모리들; 및

상기 제1 내지 제m 기판들 각각에 연결된 상기 제 1 내지 제 n 적층 메모리들을 제어하는 제어부를 구비하고,

상기 제 1 내지 제 n 적층 메모리 각각은 인터페이스 칩과 상기 인터페이스 칩에 수직 방향으로 적층되는 복수의 메모리 칩들을 포함하고,

상기 제 1 내지 제 n 적층 메모리들의 상기 인터페이스 칩 각각은 이웃하는 상기 제 1 내지 제 n 적층 메모리들의 상기 인터페이스 칩과 연결되고,

상기 제어부는 상기 제1 기판의 상기 제1 적층 메모리의 상기 인터페이스 칩과 연결되고, 상기 제어부는 상기 제1 기판의 상기 제n 적층 메모리의 상기 인터페이스 칩과 연결되고,

제 k 인터페이스 칩(k는 1이상 n-1이하의 자연수)은 동일한 기판에 연결된 제 k+1 인터페이스 칩으로 적어도 하나의 커맨드 및 데이터를 포함하는 신호를 송신하고,

상기 제어부는 상기 제 1 기판에 연결된 인터페이스 칩들 중 제1 인터페이스 칩으로 상기 신호를 송신하고, 상기 제 1 기판에 연결된 제 n 인터페이스 칩으로부터 독출 데이터를 수신하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 2

제1항에 있어서,

상기 제어부는 상기 제1 내지 제m 기판들 각각에 연결된 상기 제 1 내지 제 n 적층 메모리들을 제어하고,

상기 제1 기판에 연결된 상기 제 k+1 인터페이스 칩으로 지시하는 상기 제어부는 독출 커맨드를 상기 제1 기판에 연결된 인터페이스 칩들 중 상기 제1 인터페이스 칩으로 송신하고, 상기 독출 커맨드를 상기 제k 인터페이스 칩을 통해 상기 제k+1 인터페이스 칩으로 전달하고, 상기 제어부는 독출 데이터를 상기 제1 기판에 연결된 상기 제 k+1 인터페이스 칩으로부터 상기 제n 인터페이스 칩을 통하여 수신하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 3

제2항에 있어서,

상기 제 k 인터페이스 칩은 제1 신호 모드에서 상기 독출 커맨드를 상기 제k+1 인터페이스 칩으로 송신하고,

상기 제어부는 상기 독출 커맨드를 상기 제1 인터페이스 칩으로 전달하고, 상기 제1 신호 모드와는 다른 제2 신호 모드에서 상기 제n 인터페이스 칩으로부터 상기 독출 데이터를 수신하고,

상기 제어부 및 상기 제1 내지 제n 적층 메모리들은 상기 제1 신호 모드에서의 전력 소모가 상기 제2 신호 모드에서의 전력 소모보다 적은 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 4

제3항에 있어서,

상기 제어부는 상기 제2 신호 모드에서 상기 독출 커맨드를 차동 신호 쌍으로 상기 제 1 인터페이스 칩으로 송신하고, 상기 제 n 인터페이스 칩으로부터 차동 신호쌍으로 상기 독출 데이터를 수신하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 5

제1항에 있어서, 상기 제 k 인터페이스 칩은,

상기 제 k+1 인터페이스 칩과 플라이 바이(fly-by) 형태 또는 데이지 체인(daisy chain) 형태로 연결되는 것을

특징으로 하는 반도체 메모리 장치.

### 청구항 6

제1항에 있어서,

상기 제어부는 상기 제1 내지 제m 기판들 각각에 연결된 상기 제 1 내지 제 n 적층 메모리들을 제어하고,

제a+1 ( $a$ 는 1이상  $m-1$  이하의 자연수) 기판에 연결된 상기 제1 인터페이스 칩으로 지시하는 상기 제어부는 독출 커맨드를 제a 기판에 연결된 상기 제1 인터페이스 칩을 통해 송신하고,

상기 제a 기판에 연결된 상기 제1 인터페이스 칩은 상기 독출 커맨드에 응답하여 상기 제a+1 기판에 연결된 상기 제1 인터페이스 칩으로 상기 독출 커맨드를 전달하고,

상기 제a 기판에 연결된 상기 제n 인터페이스 칩은 상기 제a+1 기판에 연결된 상기 제n 인터페이스 칩으로부터 독출 데이터를 수신하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 7

제 1 내지 제 m 기판들(m은 자연수);

상기 제1 내지 제m 기판들 각각에 연결되는 제 1 내지 제 n(n은 자연수) 적층 메모리들; 및

상기 제1 내지 제m 기판들 각각에 연결된 상기 제 1 내지 제 n 적층 메모리들을 제어하는 제어부를 구비하고,

상기 제 1 내지 제 n 적층 메모리 각각은 인터페이스 칩과 상기 인터페이스 칩에 수직 방향으로 적층되는 복수의 메모리 칩들을 포함하고,

상기 제 1 내지 제 n 적층 메모리들의 상기 인터페이스 칩 각각은 이웃하는 상기 제 1 내지 제 n 적층 메모리들의 상기 인터페이스 칩과 연결되고,

상기 제어부는 상기 제1 기판의 상기 제1 적층 메모리의 제1 인터페이스 칩과 연결되고, 상기 제어부는 상기 제1 기판의 상기 제n 적층 메모리의 제n 인터페이스 칩과 연결되고,

제 k 인터페이스 칩( $k$ 는 1이상  $n-1$ 이하의 자연수)은 동일한 기판에 연결된 제 k+1 인터페이스 칩으로 신호를 상호 교환하고,

상기 제어부는 상기 제 1 기판에 연결된 상기 제 1 인터페이스 칩으로 상기 신호를 상호 교환하여, 상기 제 1 기판이 아닌 다른 기판 상의 상기 적층 메모리들 중 어느 하나로부터 데이터를 수신하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 8

제7항에 있어서,

상기 제 k 인터페이스 칩은 제1 신호 모드에서 상기 제k+1 인터페이스 칩과 신호를 상호 교환하고,

상기 제어부는 상기 제1 신호 모드와는 다른 제2 신호 모드에서 상기 제1 인터페이스 칩과 신호를 상호 교환하고,

상기 제어부 및 상기 제1 내지 제n 적층 메모리들은 상기 제1 신호 모드에서의 전력 소모가 상기 제2 신호 모드에서의 전력 소모보다 적은 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 9

제8항에 있어서,

상기 제어부는 상기 제2 신호 모드에서 상기 제 1 인터페이스 칩으로 차동 신호 쌍의 신호들을 송수신하고, 상기 제 n 인터페이스 칩으로부터 차동 신호쌍으로 독출 데이터를 수신하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 10

제7항에 있어서,

상기 제어부는 상기 제1 내지 제m 기판들 각각에 연결된 상기 제1 내지 제n 적층 메모리들을 제어하고,  
 제a+1 ( $a \geq 1$  이하의 자연수) 기판에 연결된 상기 제1 인터페이스 칩으로 지시하는 상기 제어부는 커맨드를 제a 기판에 연결된 상기 제1 인터페이스 칩을 통해 송신하고,  
 상기 제a 기판에 연결된 상기 제n 인터페이스 칩은 상기 커맨드에 응답하여 상기 제a+1 기판에 연결된 상기 제1 인터페이스 칩으로 상기 커맨드를 전달하고,  
 상기 제a 기판에 연결된 상기 제n 인터페이스 칩은 상기 제a+1 기판에 연결된 상기 제1 인터페이스 칩으로부터 응답 신호를 수신하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 11

삭제

### 청구항 12

삭제

### 청구항 13

삭제

### 청구항 14

삭제

### 청구항 15

삭제

### 청구항 16

삭제

### 청구항 17

삭제

### 청구항 18

삭제

### 청구항 19

삭제

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 메모리 모듈(memory module)에 인터페이스 칩(interface chip) 및 복수의 메모리 칩들이 적층되는 반도체 메모리 장치에 관한 것이다.

#### 배경 기술

[0002] 일반적으로 DRAM(Dynamic Random Access Memory) 등과 같은 메모리 칩들은 고성능 및 대용량화의 실현을 위하여, 복수의 메모리 칩들이 인쇄 회로 기판(PCB : Printed Circuit Board) 상에 탑재되는 메모리 모듈(memory module)의 형태로 컴퓨터 시스템 등에 내장된다.

[0003] 상기 메모리 모듈은 인쇄 회로 기판 한쪽 면에 복수의 메모리 칩들이 연결되는 SIMM(Single In Memory Module)

및 인쇄 회로 기판 양면에 복수의 메모리 칩들이 연결되는 DIMM(Dual In Memory Module) 등으로 구분될 수 있다. FBDIMM(Fully Buffered DIMM)은 상기 DIMM의 한 종류로서, 패킷 프로토콜을 이용한 고속 동작과 용량의 증대를 위하여 개발된 DIMM이다. FBDIMM은 패킷 형태의 직렬 인터페이스(serial interface)를 DRAM 인터페이스로 변환시키는 인터페이스 칩을 구비한다. 상기 인터페이스 칩은 마이크로 프로세서 등과 같은 호스트로부터 인가되는 고속의 패킷을 메모리 커맨드로 변환시키고, 송수신되는 신호들 사이의 인터페이스를 수행하는 유닛으로, 통상적으로 AMB(Advanced Memory Buffer) 칩이라고 한다.

[0004] 도 1은 FBDIMM을 포함하는 종래의 반도체 메모리 장치(100)의 블록도이다.

[0005] 도 1을 참조하면, 반도체 메모리 장치(100)는 컨트롤러(110), 제 1 메모리 모듈(120) 및 제 2 메모리 모듈(130)을 구비한다. 제 1 메모리 모듈(120)은 인터페이스 칩, 즉 AMB 칩(AMB\_1)과 복수의 메모리 칩들(121, 122, ..., 128)이 연결되어 있다. 또한, 제 2 메모리 모듈(130)도 유사하게 AMB 칩(AMB\_1)과 복수의 메모리 칩들(121, 122, ..., 128)이 연결되어 있다. 컨트롤러(110)는 제 1 및 제 2 메모리 모듈(120, 130)과 신호(예를 들어 어드레스, 커맨드 또는 데이터 등)를 송수신한다.

[0006] 컨트롤러(110)가 제 1 메모리 모듈(110)에 관련된 신호를 송신한 경우, AMB 칩(AMB\_1)은 상기 신호를 수신하여 제 1 메모리 모듈(110)의 대응하는 메모리 칩으로 상기 신호를 송신한다. 만약, 컨트롤러(110)가 제 2 메모리 모듈(120)에 관련된 신호를 송신한 경우라면, AMB 칩(AMB\_1)은 상기 수신한 신호를 AMB 칩(AMB\_2)으로 송신하고, AMB 칩(AMB\_2)은 상기 신호를 수신하여 제 2 메모리 모듈(120)의 대응하는 메모리 칩으로 상기 신호를 송신한다.

[0007] 예를 들어, 메모리 칩(123)의 데이터를 리드하는 경우, 컨트롤러(110)는 메모리 칩(123)의 데이터를 리드하라는 리드 명령을 AMB 칩(AMB\_1)으로 송신한다. AMB 칩(AMB\_1)은 상기 리드 명령을 수신하여 메모리 칩(123)으로 송신함으로서 메모리 칩(123)에서는 리드 동작이 수행된다. 상기 리드 동작에 의하여 리드된 데이터는 AMB 칩(AMB\_1)을 통하여 컨트롤러(110)로 전송된다. 만약, 메모리 칩(136)의 데이터를 리드하는 경우, 컨트롤러(110)는 메모리 칩(136)의 데이터를 리드하라는 리드 명령을 AMB 칩(AMB\_1)으로 송신한다. AMB 칩(AMB\_1)은 제 1 메모리 모듈(120)에 관련된 명령이 아니므로, AMB 칩(AMB\_2)으로 상기 명령을 전송한다. AMB 칩(AMB\_2)은 상기 리드 명령을 수신하여 메모리 칩(136)으로 송신함으로서 메모리 칩(136)에서는 리드 동작이 수행된다. 상기 리드 동작에 의하여 리드된 데이터는 AMB 칩(AMB\_2) 및 AMB 칩(AMB\_1)을 통하여 컨트롤러(110)로 전송된다. 상기와 같이 명령 또는 데이터를 전송함에 있어서, 컨트롤러(110)와 AMB 칩(AMB\_1) 사이 및 AMB 칩(AMB\_1)과 AMB 칩(AMB\_2) 사이는 단방향의(unidirectional) 신호 전송이 이루어지고, AMB 칩(AMB\_1 또는 AMB\_2)과 메모리 칩(121, ..., 128 또는 131, ..., 138) 사이는 양방향의(bidirectional) 신호 전송이 이루어진다.

## 발명의 내용

### 해결 하고자 하는 과제

[0008] 본 발명이 해결하고자 하는 과제는 메모리 칩이 적층되는 메모리 모듈(memory module)에서 신호를 송수신함에 있어서 전력 소모를 감소시키고 상기 신호가 전송되는 채널의 길이를 감소시키는 반도체 메모리 장치를 제공하는데 있다.

### 과제 해결수단

[0009] 상기 과제를 달성하기 위한 본 발명의 실시예에 따른 반도체 메모리 장치는 제 1 내지 제 m 기판(m은 자연수) 및 상기 각각의 기판에 연결되는 제 1 내지 제 n 인터페이스 칩(n은 자연수) 및 상기 각각의 인터페이스 칩에 수직 방향으로 적층되는 복수의 메모리 칩들을 포함하는 제 1 내지 제 n 적층 메모리를 구비하고, 제 k 인터페이스 칩(k는 1이상 n-1이하의 자연수)은 동일한 기판에 연결된 제 k+1 인터페이스 칩으로 신호를 송신할 수 있다.

[0010] 상기 반도체 메모리 장치는 상기 각각의 기판에 연결된 제 1 내지 제 n 적층 메모리를 제어하는 제어부를 더 구비하고, 상기 제어부는 상기 제 1 기판에 연결된 제 1 인터페이스 칩으로 신호를 송신하고, 상기 제 1 기판에 연결된 제 n 인터페이스 칩으로부터 신호를 수신하는 것이 바람직하다.

[0011] 상기 제 a 기판(a는 1이상 m-1 이하의 자연수)에 연결된 제 1 인터페이스 칩은 제 a+1 기판에 연결된 제 1 인터페이스 칩으로 신호를 송신하고, 상기 제 a 기판에 연결된 제 n 인터페이스 칩은 상기 제 a+1 기판에 연결된 제 n 인터페이스 칩으로부터 신호를 수신하는 것이 바람직하다.

- [0012] 상기 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 메모리 장치는 제 1 내지 제  $m$  기판( $m$ 은 자연수) 및 상기 각각의 기판에 연결되는 제 1 내지 제  $n$  인터페이스 칩( $n$ 은 자연수) 및 상기 각각의 인터페이스 칩에 수직 방향으로 적층되는 복수의 메모리 칩들을 포함하는 제 1 내지 제  $n$  적층 메모리를 구비하고, 제  $k$  인터페이스 칩( $k$ 는 1이상  $n-1$ 이하의 자연수)은 동일한 기판에 연결된 제  $k+1$  인터페이스 칩과 신호를 송수신할 수 있다.
- [0013] 상기 반도체 메모리 장치는 상기 각각의 기판에 연결되는 제 1 내지 제  $n$  적층 메모리를 제어하는 제어부를 더 구비하고, 상기 제어부는 상기 제 1 기판에 연결된 제 1 인터페이스 칩과 신호를 송수신하는 것이 바람직하다.
- [0014] 상기 제  $a$  기판( $a$ 는 1이상  $m-1$  이하의 자연수)에 연결된 제  $n$  인터페이스 칩은 제  $a+1$  기판에 연결된 제 1 인터페이스 칩과 신호를 송수신하는 것이 바람직하다.
- [0015] 상기 반도체 메모리 장치는 상기 각각의 기판에 연결된 제 1 내지 제  $n$  적층 메모리를 제어하는 제어부를 더 구비하고, 상기 제어부는 상기 제 1 기판에 연결된 제  $i$  인터페이스 칩( $i$ 는 2이상  $n-1$ 이하의 자연수)과 신호를 송수신하는 것이 바람직하다.
- [0016] 상기 제  $a$  기판( $a$ 는 1이상  $m-1$  이하의 자연수)에 연결된 제  $i$  인터페이스 칩은 제  $a+1$  기판에 연결된 제  $i$  인터페이스 칩과 신호를 송수신하는 것이 바람직하다.

## 효과

- [0017] 본 발명에 따른 메모리 칩들이 적층되는 메모리 모듈(memory module)을 포함하는 반도체 메모리 장치는 상기 메모리 모듈에서 신호를 송수신함에 있어서 전력 소모를 감소시키고 상기 신호가 전송되는 채널의 길이를 감소시킬 수 있는 장점이 있다.

## 발명의 실시를 위한 구체적인 내용

- [0018] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- [0019] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0020] 도 2(a)는 본 발명의 실시예에 따른 메모리 모듈(memory module)(200)의 도면이고, 도 2(b)는 본 발명의 다른 실시예에 따른 메모리 모듈(250)의 도면이다.
- [0021] 도 2(a)를 참조하면, 메모리 모듈(200)은 기판(210) 및 적층 메모리(230)를 구비할 수 있다. 기판(210)은 인쇄회로 기판(PCB : Printed Circuit Board)일 수 있다. 적층 메모리(230)는 인터페이스 칩(IF) 및 복수의 메모리 칩들(ME\_1, ME\_2, ME\_3, ME\_4)을 포함할 수 있다. 인터페이스 칩(IF)은 외부에서 인가되는 신호들을 메모리 칩들(ME\_1, ME\_2, ME\_3, ME\_4)에 전송하거나, 메모리 칩들(ME\_1, ME\_2, ME\_3, ME\_4)로부터 수신되는 신호들을 외부로 전송한다. 인터페이스 칩(IF)은 FBDIMM(Fully Buffered Dual In Memory Module)의 경우 AMB(Advanced Memory Buffer) 칩일 수 있다. 메모리 칩들(ME\_1, ME\_2, ME\_3, ME\_4)은 복수의 메모리 셀들로 구성되는 메모리 코어(core)를 구비하는 칩으로서, 예를 들어 DRAM(Dynamic Random Access Memory)으로 구현될 수 있다. 다만, 인터페이스 칩(IF)이 복수의 메모리 셀들로 구성되는 메모리 코어를 구비할 수도 있다. 즉, 인터페이스 칩(IF)은 상기 신호를 전송하는 기능 뿐 아니라 메모리 코어를 구비하여 데이터를 저장하는 기능을 수행할 수도 있다. 이하에서, 인터페이스 칩(IF)은 상기 메모리 코어를 구비하지 않는 경우 뿐 아니라 상기 메모리 코어를 구비하는 경우도 포함한다.

- [0022] 도 2(a)에서는 하나의 인터페이스 칩(IF) 위에 4개의 메모리 칩들(ME\_1, ME\_2, ME\_3, ME\_4)이 적층(stack)되는 경우를 도시하였으나, 적층되는 메모리 칩들의 개수가 변경되어도 본 발명과 동일한 효과를 얻을 수 있음을 당해 기술분야에서 통상의 지식을 가진 자에게 자명한 사항이다.

- [0023] 도 2(b)를 참조하면, 메모리 모듈(250)은 기판(260) 및 적층 메모리(280)를 구비할 수 있다. 도 2(a) 및 도 2(b)를 참조하면, 도 2(b)의 메모리 모듈(250)은 도 2(a)의 메모리 모듈(200)과 달리 기판(260)의 양면에 메모리 칩들이 적층된다. 즉, 기판(260)에 인터페이스 칩(IF)이 적층되고, 인터페이스 칩(IF)의 위에 복수의 메모리 칩들(ME\_1, ME\_2, ME\_3, ME\_4)이 적층되며 인터페이스 칩(IF)의 아래에 복수의 메모리 칩들(ME\_5, ME\_6, ME\_7, ME\_8)이 적층된다. 도 2(a)의 경우와 마찬가지로 상기 적층되는 메모리 칩들의 개수가 변경되어도 본 발명과 동

일한 효과를 얻을 수 있음은 당해 기술분야에서 통상의 지식을 가진 자에게 자명한 사항이다.

[0024] 도 3은 본 발명의 실시예에 따른 반도체 메모리 장치(300)의 블록도이다.

[0025] 도 3을 참조하면, 반도체 메모리 장치(300)는 제 1 내지 제  $m$  메모리 모듈(310\_1, 310\_2, ..., 310\_m) 및 제 어부(350)를 구비할 수 있다. 각각의 제 1 내지 제  $m$  메모리 모듈(310\_1, 310\_2, ..., 310\_m)은 대응하는 제 1 내지 제  $m$  기판(330\_1, 330\_2, ..., 330\_m) 및 대응하는 제 1 내지 제  $n$  적층 메모리(SME\_11, SME\_12, ..., SME\_mn)를 구비할 수 있다. 즉, 제 1 메모리 모듈(310\_1)은 제 1 기판(330\_1) 및 제 1 내지 제  $n$  적층 메모리(SME\_11, SME\_12, ..., SME\_1n)를 구비할 수 있고, 제  $m$  메모리 모듈(310\_m)은 제  $m$  기판(330\_m) 및 제 1 내지 제  $n$  적층 메모리(SME\_m1, SME\_m2, ..., SME\_mn)를 구비할 수 있다. 나머지 메모리 모듈도 동일하게 기판 및 대응하는 제 1 내지 제  $n$  적층 메모리를 구비할 수 있다.

[0026] 각각의 제 1 내지 제  $m$  메모리 모듈(310\_1, 310\_2, ..., 310\_m)에 포함되는 각각의 제 1 내지 제  $n$  적층 메모리(SME\_11, SME\_12, ..., SME\_mn)는 도 2(a) 또는 도 2(b)와 같이 구현될 수 있다. 즉, 제 1 기판(330\_1)에 연결되는 제 1 적층 메모리(SME\_11)는 제 1 기판(330\_1)에 연결되는 제 1 인터페이스 칩 및 상기 제 1 인터페이스 칩에 수직 방향으로 적층되는 복수의 메모리 칩들을 포함할 수 있다. 또한, 제 1 기판(330\_1)에 연결되는 제  $n$  적층 메모리(SME\_1n)는 제 1 기판(330\_1)에 연결되는 제  $n$  인터페이스 칩 및 상기 제  $n$  인터페이스 칩에 수직 방향으로 적층되는 복수의 메모리 칩들을 포함할 수 있다. 나머지 적층 메모리들도 동일하게 인터페이스 칩 및 복수의 메모리 칩들을 포함할 수 있다.

[0027] 제어부(350)는 제 1 내지 제  $m$  메모리 모듈(310\_1, 310\_2, ..., 310\_m)로 신호(예를 들어 어드레스, 커맨드 또는 데이터 등)를 송수신할 수 있다. 즉, 제어부(350)는 상기 각각의 기판에 연결된 상기 제 1 내지 제  $n$  적층 메모리와 상기 신호를 송수신함으로서 상기 제 1 내지 제  $n$  적층 메모리를 제어할 수 있다.

[0028] 제어부(350)는 제 1 기판(330\_1)에 연결된 제 1 적층 메모리(SME\_11)의 인터페이스 칩으로 신호를 송신한다. 상기 인터페이스 칩은 상기 신호가 제 1 메모리 모듈(310\_1)과 관련된 신호인 경우 제 1 기판(330\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 송신한다. 만약, 상기 신호가 제 2 메모리 모듈(310\_2)과 관련된 신호인 경우, 상기 제 1 적층 메모리(SME\_11)의 인터페이스 칩은 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 상기 신호를 송신하지 않고, 제 2 기판(330\_2)에 연결된 제 1 적층 메모리(SME\_21)의 인터페이스 칩으로 송신한다. 제 1 기판(330\_1)에 연결된 제  $n$  적층 메모리(SME\_1n)의 인터페이스 칩은 제어부(350)로 상기 신호를 송신한다.

[0029] 예를 들어, 제 1 기판(330\_1)에 연결된 제 2 적층 메모리(SME\_12)에서 데이터를 리드하고자 하는 경우, 제어부(350)는 제 2 적층 메모리(SME\_12)의 데이터를 리드하라는 리드 명령을 제 1 기판(330\_1)에 연결된 제 1 적층 메모리(SME\_11)의 인터페이스 칩으로 송신한다. 상기 리드 명령은 제 1 메모리 모듈(310\_1)과 관련된 것이므로, 상기 제 1 적층 메모리(SME\_11)의 인터페이스 칩은 제 2 기판(330\_2)에 연결된 제 1 적층 메모리(SME\_21)의 인터페이스 칩으로 상기 리드 명령을 송신하지 않고, 제 1 기판(330\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 상기 리드 명령을 송신한다. 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 상기 리드 명령을 수신하여, 적층된 메모리 칩들 중 대응하는 메모리 칩으로 상기 리드 명령을 송신하고, 상기 메모리 칩은 리드 동작을 수행한다. 상기 리드 동작에 의하여 리드된 데이터는 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 전송되고, 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 상기 리드된 데이터를 제 3 적층 메모리의 인터페이스 칩으로 송신하고, 상기 제 3 적층 메모리의 인터페이스 칩은 상기 리드된 데이터를 제 4 적층 메모리의 인터페이스 칩으로 송신한다. 상기와 같은 단계를 통하여 상기 리드된 데이터는 제  $n$  적층 메모리(SME\_1n)의 인터페이스 칩으로 전송되고, 제  $n$  적층 메모리(SME\_1n)의 인터페이스 칩은 상기 리드된 데이터를 제어부(350)로 전송한다.

[0030] 예를 들어, 제  $m$  기판(330\_m)에 연결된 제  $n$  적층 메모리(SME\_mn)에서 데이터를 리드하고자 하는 경우, 제어부(350)는 제  $n$  적층 메모리(SME\_mn)의 데이터를 리드하라는 리드 명령을 제 1 기판(330\_1)에 연결된 제 1 적층 메모리(SME\_11)의 인터페이스 칩으로 송신한다. 상기 리드 명령이 제  $n$  메모리 모듈(310\_n)과 관련된 것이므로, 상기 제 1 적층 메모리(SME\_11)의 인터페이스 칩은 제 1 기판(330\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 상기 리드 명령을 송신하지 않고, 제 2 기판(330\_2)에 연결된 제 1 적층 메모리(SME\_21)의 인터페이스 칩으로 상기 리드 명령을 송신한다. 마찬가지로, 제 1 적층 메모리(SME\_21)의 인터페이스 칩은 제 3 기판(330\_3)에 연결된 제 1 적층 메모리(SME\_31)의 인터페이스 칩으로 상기 리드 명령을 송신한다. 상기와 같은 단계를 계속 수행하여 상기 리드 명령은 제  $m$  기판(330\_m)에 연결된 제 1 적층 메모리(SME\_m1)의 인터페이스 칩으로 전송된다. 상기 리드 명령은 제  $m$  메모리 모듈(310\_m)의 제  $n$  적층 메모리(SME\_mn)와 관련된 것이므로, 상

기 제 1 적층 메모리(SME\_m1)의 인터페이스 칩은 제 m 기판(330\_m)에 연결된 제 2 적층 메모리(SME\_m2)의 인터페이스 칩으로 상기 리드 명령을 송신한다. 상기와 같은 단계를 계속 수행하여 상기 리드 명령은 제 m 기판(330\_m)에 연결된 제 n 적층 메모리(SME\_mn)의 인터페이스 칩으로 전송된다.

[0031] 제 n 적층 메모리(SME\_mn)의 인터페이스 칩은 상기 리드 명령을 수신하여, 적층된 메모리 칩들 중 대응하는 메모리 칩으로 상기 리드 명령을 송신하고, 상기 메모리 칩은 리드 동작을 수행한다. 상기 리드 동작에 의하여 리드된 데이터는 상기 제 n 적층 메모리(SME\_mn)의 인터페이스 칩으로 전송되고, 상기 제 n 적층 메모리(SME\_mn)의 인터페이스 칩은 상기 리드된 데이터를 제 m-1 기판에 연결된 제 n 적층 메모리의 인터페이스 칩으로 송신하고, 상기 제 m-1 기판에 연결된 제 n 적층 메모리의 인터페이스 칩은 상기 리드된 데이터를 제 m-2 기판에 연결된 제 n 적층 메모리의 인터페이스 칩으로 송신한다. 상기와 같은 단계를 통하여 상기 리드된 데이터는 제 1 기판(330\_1)에 연결된 제 n 적층 메모리(SME\_1n)의 인터페이스 칩으로 전송되고, 제 n 적층 메모리(SME\_1n)의 인터페이스 칩은 상기 리드된 데이터를 제어부(350)로 전송한다.

[0032] 상기와 같이 신호를 전송하는 경우에, 동일한 메모리 모듈 안에서 신호를 전송할 때 소모되는 전력을 감소시켜 반도체 메모리 장치(300)의 전력 소모를 감소시킬 수 있다. 예를 들어, 동일한 메모리 모듈 안에서 신호를 전송하는 경우는 제 1 모드가 적용되고, 제어부(350)와 메모리 모듈간에 신호를 송수신하는 경우 또는 메모리 모듈 간에 신호를 송수신 하는 경우에 제 2 모드가 적용된다고 가정하자. 상기 제 1 모드에서 소모되는 전력을 상기 제 2 모드에서 소모되는 전력보다 작게 함으로서, 반도체 메모리 장치(300)의 전력 소모를 감소시킬 수 있다. 상기 모드의 적용은 레지스터(register)를 이용하여 할 수 있다. 즉, 각각의 적층 메모리는 상기 제 1 모드 및 상기 제 2 모드가 모두 가능하도록 제작하고, 각각의 적층 메모리의 포트에 상기 제 1 모드 또는 상기 제 2 모드 중 하나가 적용되도록 상기 레지스터를 이용하여 상기 제 1 모드 또는 상기 제 2 모드를 선택할 수 있다.

[0033] 예를 들어, 상기 제 1 모드에서는 단일 신호쌍을 송수신하지만 상기 제 2 모드에서는 차동 신호쌍을 송수신한다고 가정하자. 이 경우, 제어부(350)와 제 1 메모리 모듈(310\_1) 간에는 상기 제 2 모드가 적용되어 차동 신호쌍(differential signal)을 송수신하지만, 제 1 메모리 모듈(310\_1)의 제 1 적층 메모리(SME\_11)의 인터페이스 칩과 제 2 적층 메모리(SME\_12)의 인터페이스 칩 사이에는 상기 제 1 모드가 적용되어 단일 신호(single signal)를 송신함으로서, 반도체 메모리 장치(300)의 전력 소모를 감소시킬 수 있다. 마찬가지로, 제어부(350)와 제 1 메모리 모듈(310\_1) 간에는 상기 제 2 모드가 적용되어 차동 신호쌍(differential signal)을 송수신하지만, 메모리 모듈들 사이(예를 들어, 제 1 메모리 모듈(310\_1)과 제 2 메모리 모듈(310\_2) 사이)에는 상기 제 1 모드가 적용되어 단일 신호(single signal)를 송수신함으로서 반도체 메모리 장치(300)의 전력 소모를 감소시킬 수 있다.

[0034] 또 다른 예로, 상기 제 1 모드에서 전송되는 신호의 진폭이 상기 제 2 모드에서 전송되는 신호의 진폭보다 작다고 가정하자. 이 경우, 제 1 메모리 모듈(310\_1)의 제 1 적층 메모리(SME\_11)의 인터페이스 칩에서 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 송신하는 신호의 진폭이 제어부(350)와 제 1 메모리 모듈(310\_1) 간에 송수신하는 신호의 진폭보다 작으므로, 반도체 메모리 장치(300)의 전력 소모를 감소시킬 수 있다. 마찬가지로, 메모리 모듈들 사이(예를 들어, 제 1 메모리 모듈(310\_1)과 제 2 메모리 모듈(310\_2) 사이)에 송수신하는 신호의 진폭이 제어부(350)와 제 1 메모리 모듈(310\_1) 간에 송수신하는 신호의 진폭보다 작으므로 반도체 메모리 장치(300)의 전력 소모를 감소시킬 수 있다.

[0035] 상기 각각의 인터페이스 칩들 간의 연결 혹은 제어부(350)와 인터페이스 칩간의 연결은 테이지 체인(daisy chain) 형태로 할 수 있다. 또한, 동일한 모듈 안의 인터페이스 칩들 간의 연결(예를 들어, 제 1 적층 메모리(SME\_11)의 인터페이스 칩과 제 2 적층 메모리(SME\_12)의 인터페이스 칩 간의 연결)은 상기 테이지 체인 형태뿐 아니라 플라이 바이(fly-by) 형태로 할 수도 있다.

[0036] 도 4는 본 발명의 다른 실시예에 따른 반도체 메모리 장치(400)의 블록도이다.

[0037] 도 3 및 도 4를 참조하면, 반도체 메모리 장치(400)는 제 1 내지 제 m 메모리 모듈(410\_1, 410\_2, ..., 410\_m) 및 제어부(450)를 구비할 수 있다. 제 1 내지 제 m 메모리 모듈(410\_1, 410\_2, ..., 410\_m)은 도 3의 제 1 내지 제 m 메모리 모듈(310\_1, 310\_2, ..., 310\_m)과 유사하게 구현할 수 있으므로 이하에서 상세한 설명은 생략한다.

[0038] 제어부(450)는 제 1 내지 제 m 메모리 모듈(410\_1, 410\_2, ..., 410\_m)로 신호(예를 들어 어드레스, 커맨드 또는 데이터 등)를 송수신할 수 있다. 즉, 제어부(450)는 상기 각각의 기판에 연결된 상기 제 1 내지 제 n 적층 메모리와 상기 신호를 송수신함으로서 상기 제 1 내지 제 n 적층 메모리를 제어할 수 있다.

- [0039] 제어부(450)는 제 1 기판(430\_1)에 연결된 제 1 적층 메모리(SME\_11)의 인터페이스 칩으로 신호를 송신한다. 상기 제 1 적층 메모리(SME\_11)의 인터페이스 칩은 상기 신호를 제 1 기판(430\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 송신한다. 즉, 상기 신호에 대응하는 적층 메모리의 인터페이스 칩으로 상기 신호는 전송되고, 상기 대응하는 적층 메모리에서 출력되는 신호는 상기 전송된 경로와 동일한 경로를 통하여 제어부(450)로 전송된다.
- [0040] 예를 들어, 제 1 기판(430\_1)에 연결된 제 2 적층 메모리(SME\_12)에서 데이터를 리드하고자 하는 경우, 제어부(450)는 제 2 적층 메모리(SME\_12)의 데이터를 리드하라는 리드 명령을 제 1 기판(430\_1)에 연결된 제 1 적층 메모리(SME\_11)의 인터페이스 칩으로 송신한다. 상기 리드 명령은 제 2 적층 메모리(430\_2)와 관련된 것이므로, 상기 제 1 적층 메모리(SME\_11)의 인터페이스 칩은 제 1 기판(430\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 상기 리드 명령을 송신한다. 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 상기 리드 명령을 수신하여, 적층된 메모리 칩들 중 대응하는 메모리 칩으로 상기 리드 명령을 송신하고, 상기 메모리 칩은 리드 동작을 수행한다. 상기 리드 동작에 의하여 리드된 데이터는 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 전송되고, 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 상기 리드된 데이터를 상기 제 1 적층 메모리(SME\_11)의 인터페이스 칩으로 송신하고, 상기 제 1 적층 메모리(SME\_11)의 인터페이스 칩은 상기 리드된 데이터를 제어부(450)로 송신한다.
- [0041] 예를 들어, 제  $m$  기판(430\_m)에 연결된 제  $n$  적층 메모리(SME\_mn)에서 데이터를 리드하고자 하는 경우, 제어부(450)는 제  $n$  적층 메모리(SME\_mn)의 데이터를 리드하라는 리드 명령을 제 1 기판(430\_1)에 연결된 제 1 적층 메모리(SME\_11)의 인터페이스 칩으로 송신한다. 상기 리드 명령이 제  $n$  적층 메모리(SME\_mn)와 관련된 것이므로, 상기 제 1 적층 메모리(SME\_11)의 인터페이스 칩은 제 1 기판(430\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 상기 리드 명령을 송신한다. 마찬가지로, 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 제 3 적층 메모리의 인터페이스 칩으로 상기 리드 명령을 송신한다. 상기와 같은 단계를 계속 수행하여 상기 리드 명령은 제 1 기판(430\_1)에 연결된 제  $n$  적층 메모리(SME\_1n)의 인터페이스 칩으로 전송된다. 상기 제 1 기판(430\_1)에 연결된 제  $n$  적층 메모리(SME\_1n)의 인터페이스 칩은 제 2 기판(430\_2)에 연결된 제 1 적층 메모리(SME\_21)의 인터페이스 칩으로 상기 리드 명령을 전송한다. 상기와 같은 단계를 계속 수행하여 상기 리드 명령은 제  $m$  기판(430\_m)에 연결된 제  $n$  적층 메모리(SME\_mn)의 인터페이스 칩으로 전송된다.
- [0042] 제  $n$  적층 메모리(SME\_mn)의 인터페이스 칩은 상기 리드 명령을 수신하여, 적층된 메모리 칩들 중 대응하는 메모리 칩으로 상기 리드 명령을 송신하고, 상기 메모리 칩은 리드 동작을 수행한다. 상기 리드 동작에 의하여 리드된 데이터는 상기 제  $n$  적층 메모리(SME\_mn)의 인터페이스 칩으로 전송되고, 상기 제  $n$  적층 메모리(SME\_mn)의 인터페이스 칩은 상기 리드된 데이터를 제  $m$  기판(430\_m)에 연결된 제  $n-1$  적층 메모리의 인터페이스 칩으로 송신하고, 제  $m$  기판(430\_m)에 연결된 제  $n-1$  적층 메모리의 인터페이스 칩은 상기 리드된 데이터를 제  $m$  기판(430\_m)에 연결된 제  $n-2$  적층 메모리의 인터페이스 칩으로 송신한다. 상기와 같은 단계를 계속 수행함으로서 상기 리드된 데이터는 상기 리드 명령이 수신된 경로와 동일한 경로를 통하여 제 1 기판(430\_1)에 연결된 제 1 적층 메모리(SME\_11)의 인터페이스 칩으로 전송되고, 제 1 적층 메모리(SME\_11)의 인터페이스 칩은 상기 리드된 데이터를 제어부(450)로 전송한다.
- [0043] 도 5는 본 발명의 또 다른 실시예에 따른 반도체 메모리 장치(500)의 블록도이다.
- [0044] 도 3 내지 도 5를 참조하면, 반도체 메모리 장치(500)는 제 1 내지 제  $m$  메모리 모듈(510\_1, 510\_2, ..., 510\_m) 및 제어부(550)를 구비할 수 있다. 제 1 내지 제  $m$  메모리 모듈(510\_1, 510\_2, ..., 510\_m)은 도 3의 제 1 내지 제  $m$  메모리 모듈(310\_1, 310\_2, ..., 310\_m)과 유사하게 구현할 수 있으므로 이하에서 상세한 설명은 생략한다.
- [0045] 제어부(550)는 제 1 내지 제  $m$  메모리 모듈(510\_1, 510\_2, ..., 510\_m)로 신호(예를 들어 어드레스, 커맨드 또는 데이터 등)를 송수신할 수 있다. 즉, 제어부(550)는 상기 각각의 기판에 연결된 상기 제 1 내지 제  $n$  적층 메모리와 상기 신호를 송수신함으로서 상기 제 1 내지 제  $n$  적층 메모리를 제어할 수 있다.
- [0046] 제어부(550)는 제 1 기판(530\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩과 신호를 송수신한다. 도 5에서는 제어부(550)가 제 1 기판(530\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩과 신호를 송수신하는 경우에 대하여 도시하고 있으나, 제어부(550)가 제 1 적층 메모리(SME\_11) 또는 제  $n$  적층 메모리(SME\_1n)의 인터페이스 칩을 제외한 제 1 기판(530\_1)에 연결된 적층 메모리의 인터페이스 칩과 신호를 송수신하는 경우에도 도 5의 실시예와 동일한 효과를 얻을 수 있음을 당해 기술분야에서 통상의 지식을 가진 자에게 자명한

사항이다.

[0047] 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 상기 신호가 제 1 메모리 모듈(510\_1)과 관련된 신호인 경우 제 1 기판(530\_1)에 연결된 제 1 적층 메모리(SME\_11)의 인터페이스 칩 또는 제 3 적층 메모리(SME\_13)의 인터페이스 칩과 송수신한다. 만약, 상기 신호가 제 2 메모리 모듈(510\_2)과 관련된 신호인 경우, 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 제 2 기판(530\_2)에 연결된 제 2 적층 메모리(SME\_22)의 인터페이스 칩과 송수신한다. 다만, 도 5에서는 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 제 2 기판(530\_2)에 연결된 제 2 적층 메모리(SME\_22)의 인터페이스 칩과 송수신하는 경우에 대하여 도시하고 있으나, 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 제 2 기판(530\_2)에 연결된 다른 적층 메모리의 인터페이스 칩과 송수신하는 경우에도 본 발명과 동일한 효과를 얻을 수 있음을 당해 기술분야에서 통상의 지식을 가진 자에게 자명한 사항이다.

[0048] 예를 들어, 제 1 기판(530\_1)에 연결된 제 3 적층 메모리(SME\_13)에서 데이터를 리드하고자 하는 경우, 제어부(550)는 제 3 적층 메모리(SME\_13)의 데이터를 리드하라는 리드 명령을 제 1 기판(530\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 송신한다. 상기 리드 명령은 제 1 메모리 모듈(510\_1)의 제 3 적층 메모리(SME\_13)와 관련된 것이므로, 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 제 2 기판(530\_2)에 연결된 제 2 적층 메모리(SME\_22)의 인터페이스 칩으로 상기 리드 명령을 송신하지 않고, 제 1 기판(530\_1)에 연결된 제 3 적층 메모리(SME\_13)의 인터페이스 칩은 상기 리드 명령을 수신하여, 적층된 메모리 칩들 중 대응하는 메모리 칩으로 상기 리드 명령을 송신하고, 상기 메모리 칩은 리드 동작을 수행한다. 상기 리드 동작에 의하여 리드된 데이터는 상기 제 3 적층 메모리(SME\_13)의 인터페이스 칩으로 전송되고, 상기 제 3 적층 메모리(SME\_13)의 인터페이스 칩은 상기 리드된 데이터를 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 송신하고, 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 상기 리드된 데이터를 제어부(550)로 송신한다.

[0049] 예를 들어, 제  $m$  기판(530\_m)에 연결된 제  $n$  적층 메모리(SME\_mn)에서 데이터를 리드하고자 하는 경우, 제어부(550)는 제  $n$  적층 메모리(SME\_mn)의 데이터를 리드하라는 리드 명령을 제 1 기판(530\_1)에 연결된 제 1 적층 메모리(SME\_11)의 인터페이스 칩으로 송신한다. 상기 리드 명령이 제  $n$  메모리 모듈(510\_n)과 관련된 것이므로, 상기 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 제 1 기판(530\_1)에 연결된 제 1 적층 메모리(SME\_11) 또는 제 3 적층 메모리(SME\_13)의 인터페이스 칩으로 상기 리드 명령을 송신하지 않고, 제 2 기판(530\_2)에 연결된 제 2 적층 메모리(SME\_22)의 인터페이스 칩으로 상기 리드 명령을 송신한다. 마찬가지로, 제 2 적층 메모리(SME\_22)의 인터페이스 칩은 제 3 기판(530\_3)에 연결된 제 2 적층 메모리(SME\_32)의 인터페이스 칩으로 상기 리드 명령을 송신한다. 상기와 같은 단계를 계속 수행하여 상기 리드 명령은 제  $m$  기판(530\_m)에 연결된 제 2 적층 메모리(SME\_m2)의 인터페이스 칩으로 전송된다. 상기 리드 명령은 제  $m$  메모리 모듈(510\_m)의 제  $n$  적층 메모리(SME\_mn)과 관련된 것이므로, 상기 제 2 적층 메모리(SME\_m2)의 인터페이스 칩은 제 1 적층 메모리(SME\_m1)의 인터페이스 칩으로 상기 리드 명령을 송신하지 않고, 제 3 적층 메모리(SME\_m3)의 인터페이스 칩으로 상기 리드 명령을 송신한다. 상기와 같은 단계를 계속 수행하여 상기 리드 명령은 제  $m$  기판(530\_m)에 연결된 제  $n$  적층 메모리(SME\_mn)의 인터페이스 칩으로 전송된다.

[0050] 제  $n$  적층 메모리(SME\_mn)의 인터페이스 칩은 상기 리드 명령을 수신하여, 적층된 메모리 칩들 중 대응하는 메모리 칩으로 상기 리드 명령을 송신하고, 상기 메모리 칩은 리드 동작을 수행한다. 상기 리드 동작에 의하여 리드된 데이터는 상기 제  $n$  적층 메모리(SME\_mn)의 인터페이스 칩으로 전송되고, 상기 제  $n$  적층 메모리(SME\_mn)의 인터페이스 칩은 상기 리드된 데이터를 제  $m$  기판(430\_m)에 연결된 제  $n-1$  적층 메모리의 인터페이스 칩으로 송신하고, 제  $m$  기판(430\_m)에 연결된 제  $n-1$  적층 메모리의 인터페이스 칩은 상기 리드된 데이터를 제  $m$  기판(430\_m)에 연결된 제  $n-2$  적층 메모리의 인터페이스 칩으로 송신한다. 상기와 같은 단계를 계속 수행하여 상기 리드된 데이터는 제  $m$  기판(530\_m)에 연결된 제 2 적층 메모리(SME\_m2)의 인터페이스 칩으로 전송된다. 상기 제 2 적층 메모리(SME\_m2)의 인터페이스 칩은 상기 리드된 데이터를 제  $m-1$  기판에 연결된 제 2 적층 메모리의 인터페이스 칩으로 송신하고, 상기 제  $m-1$  기판에 연결된 제 2 적층 메모리의 인터페이스 칩은 상기 리드된 데이터를 제  $m-2$  기판에 연결된 제 2 적층 메모리의 인터페이스 칩으로 송신한다. 상기와 같은 단계를 통하여 상기 리드된 데이터는 제 1 기판(530\_1)에 연결된 제 2 적층 메모리(SME\_12)의 인터페이스 칩으로 전송되고, 제 2 적층 메모리(SME\_12)의 인터페이스 칩은 상기 리드된 데이터를 제어부(550)로 전송한다.

[0051] 도 3의 경우와 마찬가지로 도 4 또는 도 5의 실시예에는 동일한 메모리 모듈 안에서 신호를 전송할 때 소모되는 전력을 감소시켜 반도체 메모리 장치(400, 500)의 전력 소모를 감소시킬 수 있다. 즉, 앞서 설명한 바와 같이 동일한 메모리 모듈 안에서 신호를 송수신하는 경우는 상기 제 1 모드를 적용하고, 제어부(450, 550)와 메모리 모듈간에 신호를 송수신하는 경우 또는 메모리 모듈 간에 신호를 송수신하는 경우는 상기 제 2 모드를 적용하

여 반도체 메모리 장치(400, 500)의 전력 소모를 감소시킬 수 있다. 상기 제 1 모드와 상기 제 2 모드의 실시예에 대하여는 이미 설명하였으므로 이하에서 상세한 설명은 생략한다. 상기 각각의 인터페이스 칩들 간의 연결 혹은 제어부(450, 550)와 인터페이스 칩간의 연결은 데이지 체인(daisy chain) 형태로 할 수 있다.

[0052] 도 3 내지 도 5의 각각의 메모리 모듈은 FBDIMM(Fully Buffered Dual In Memory Module)일 수 있다. 이 경우, 상기 제어부와 메모리 모듈간에 신호를 송수신하는 경우 또는 메모리 모듈 간에 신호를 송수신 하는 경우 JEDEC에서 규정한 FBDIMM 프로토콜을 따를 수 있다. 다만, 동일한 메모리 모듈 안에서 신호를 전송하는 경우에는 JEDEC에서 규정한 FBDIMM 프로토콜을 따르는 경우도 있고, 따르지 않을 수도 있다.

[0053] 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 도면의 간단한 설명

[0054] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

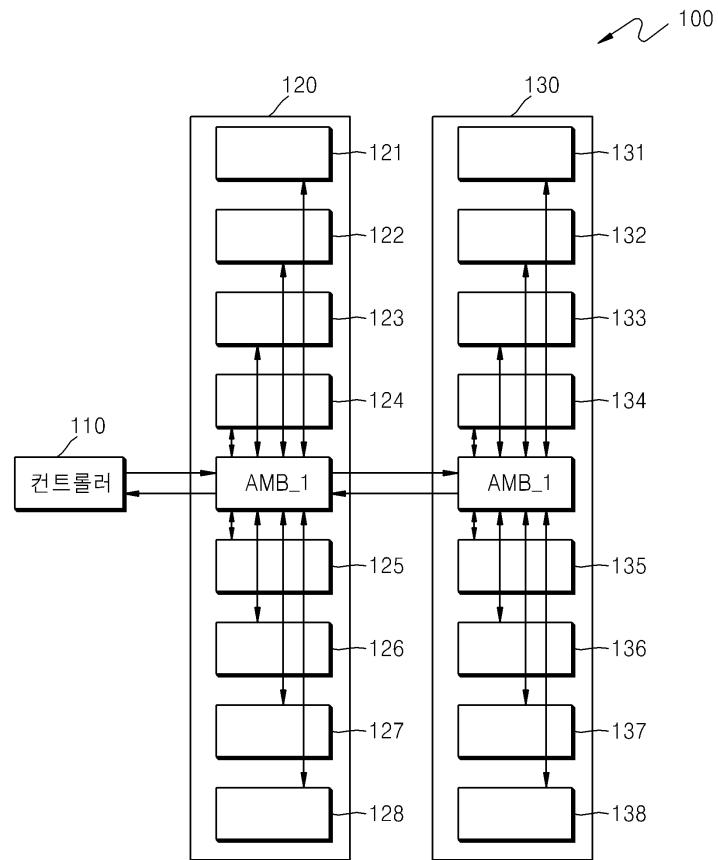
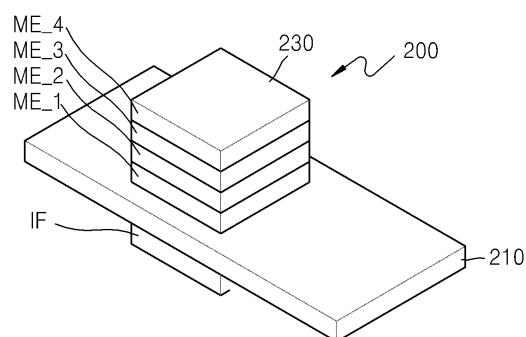
[0055] 도 1은 FBDIMM(Fully Buffered DIMM)을 포함하는 종래의 반도체 메모리 장치의 블록도이다.

[0056] 도 2(a)는 본 발명의 실시예에 따른 메모리 모듈의 도면이고, 도 2(b)는 본 발명의 다른 실시예에 따른 메모리 모듈의 도면이다.

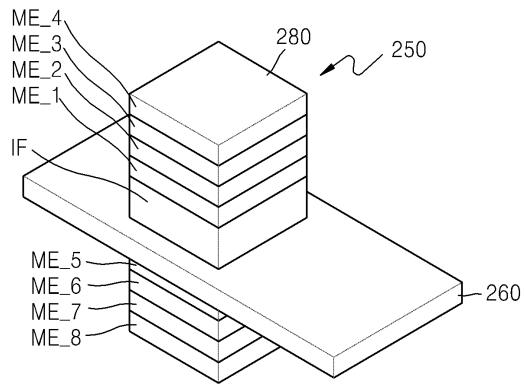
[0057] 도 3은 본 발명의 실시예에 따른 반도체 메모리 장치의 블록도이다.

[0058] 도 4는 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 블록도이다.

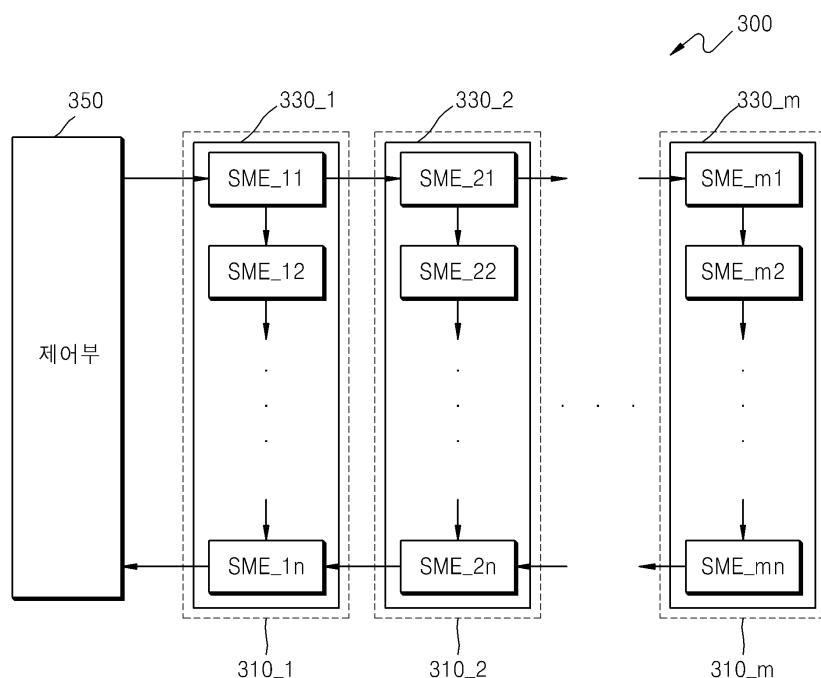
[0059] 도 5는 본 발명의 또 다른 실시예에 따른 반도체 메모리 장치의 블록도이다.

**도면****도면1****도면2a**

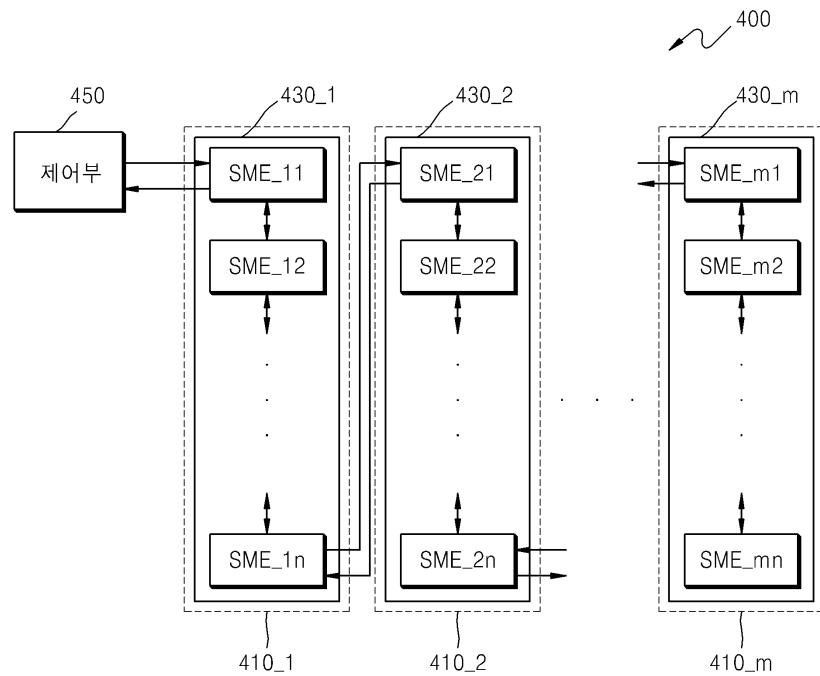
## 도면2b



## 도면3



## 도면4



## 도면5

