

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年11月25日(25.11.2010)

(10) 国際公開番号
WO 2010/134264 A1

- (51) 国際特許分類:
G06F 17/50 (2006.01) H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2010/002881
- (22) 国際出願日: 2010年4月21日(21.04.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-121783 2009年5月20日(20.05.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP). ルネサスエレクトロニクス株式会社(RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小野芳弘 (ONO, Yoshihiro) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP). 渡辺毅 (WATANABE, Takeshi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地ル

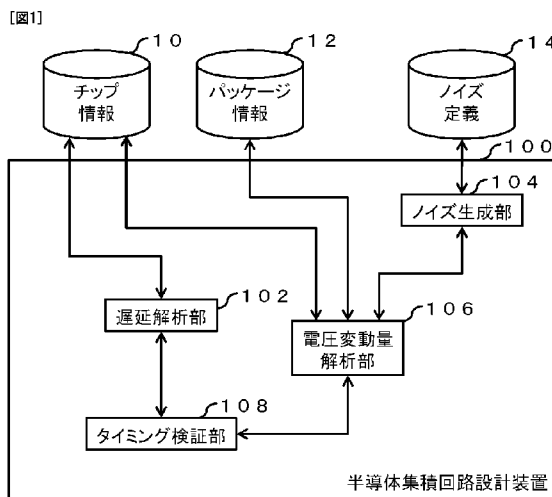
ネサスエレクトロニクス株式会社内 Kanagawa (JP). 土居直史(DOI, Naoshi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 山田逸樹(YAMADA, Itsuki) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 塚越常雄(TSUKAGOSHI, Tsuneo) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP).

- (74) 代理人: 速水進治(HAYAMI, Shinji); 〒1410031 東京都品川区西五反田7-9-2 五反田TGビル9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: DEVICE FOR DESIGNING SEMICONDUCTOR INTEGRATED CIRCUITS, AND DATA PROCESSING METHOD AND CONTROL PROGRAM THEREOF

(54) 発明の名称: 半導体集積回路の設計装置、そのデータ処理方法、およびその制御プログラム



10 CHIP INFORMATION
12 PACKAGE INFORMATION
14 NOISE DEFINITION
100 DEVICE FOR DESIGNING SEMICONDUCTOR INTEGRATED CIRCUITS
102 DELAY ANALYZING UNIT
104 NOISE GENERATING UNIT
106 VOLTAGE-FLUCTUATION-AMOUNT ANALYZING UNIT
108 TIMING VERIFICATION UNIT

(57) Abstract: A device (100) for designing semiconductor integrated circuits is provided with a delay analyzing unit (102) that conducts a static delay analysis of each of the paths of a semiconductor integrated circuit; a noise generating unit (104) that generates noise information based on a prescribed noise definition; a voltage-fluctuation analyzing unit (106) that analyzes the amount of voltage fluctuation in the semiconductor integrated circuit when noise is applied thereto, based on the noise information; and a timing verification unit (108) that makes the delay analyzing unit (102) conduct a static delay analysis based on the amount of voltage fluctuation detected by the analysis, and conducts a timing verification of the actions of the semiconductor integrated circuit based on the results of the static delay analysis. The noise generating unit (104) generates noise information for noise applied with a prescribed timing, and the timing verification unit (108) will conduct timing verification for the noise applied with a prescribed timing.

(57) 要約:

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

半導体集積回路設計装置(100)は、半導体集積回路の各パスの静的遅延解析を行う遅延解析部(102)と、所定のノイズ定義に基づいてノイズ情報を生成するノイズ生成部(104)と、ノイズ情報に基づいてノイズを印加した時の半導体集積回路の電圧変動量を解析する電圧変動量解析部(106)と、解析された電圧変動量に基づいて、遅延解析部(102)に静的遅延解析を行わせ、静的遅延解析の結果に基づいて、半導体集積回路の動作のタイミング検証を行うタイミング検証部(108)と、を備え、ノイズ生成部(104)は、所定の印加タイミングで印加されるノイズのノイズ情報を生成し、タイミング検証部(108)は、所定の印加タイミングで印加されるノイズ毎にタイミング検証を行う。

明 細 書

発明の名称：

半導体集積回路の設計装置、そのデータ処理方法、およびその制御プログラム

技術分野

[0001] 本発明は、半導体集積回路の設計装置、そのデータ処理方法、およびその制御プログラムに関し、特に、半導体集積回路の遅延解析を行う半導体集積回路の設計装置、そのデータ処理方法、およびその制御プログラムに関する。

背景技術

[0002] 半導体集積回路は、演算および演算の制御を行うための論理素子 1（図 1 1）と、論理素子群 3 の動作の同期を取るための順序回路素子 5（フリップフロップとも呼ぶ）（図 1 1 の F F 1、F F 2）とから構成されている。各フリップフロップ 5 には周期的に発振するクロック信号 C L K が供給され、クロック信号 C L K の立ち上がりまたは立ち下がりに応じて、フリップフロップ 5 が保持しているデータを論理素子 1 に供給し、論理素子 1 は供給されたデータを入力として演算および演算の制御を行い、その結果をフリップフロップ 5 に保存する。以上の処理は周期的に変化するクロック信号 C L K の立ち上がりまたは立ち下がりに応じて繰り返される。

[0003] 半導体集積回路の設計工程においては、フリップフロップ 5 に供給されるクロック信号 C L K の遅延解析を行い、回路がクロック信号 C L K を基準にして、正常なタイミングで動作するかをシュミレーションして検証する。

[0004] 半導体集積回路における電源配線の電圧降下を考慮して動作タイミングの検証を行うタイミング検証方法の一例が特許文献 1 に記載されている。特許文献 1 のタイミング検証方法は、半導体チップにおいて許容される電源電圧降下量の最大値を目標の電源電圧降下量として設定し、該目標の電源電圧降下量に基づいてタイミング検証用の電源電圧降下量を算出し、その電源電圧

降下量に対応する遅延変動を考慮した第1タイミング検証を行った後、電源網解析の解析結果により得られたセル毎の電源電圧降下量を前記タイミング検証用の電源電圧降下量と比較し、その値が異なるセルについて電源電圧降下量に応じた遅延変動の見直しをして第2タイミング検証を行う。

[0005] また、ノイズを考慮した論理シミュレーション解析／STA解析を行う半導体設計支援装置の一例が特許文献2に記載されている。特許文献2の半導体設計支援装置は、半導体設計支援装置に電源ノイズ量ライブラリと出力信号変化量ライブラリとを備えており、その電源ノイズ量ライブラリは、入出力部に発生する電源ノイズを解析して得られた電源ノイズデータを格納する。また、出力信号変化量ライブラリは、電源ノイズデータに応答して変化する信号波形を示す出力信号変化データを格納する。この特許文献2に記載の半導体設計支援装置は、電源ノイズに対応する半導体装置の入出力部を示すノイズ対応I/Oレイアウトモデルを生成し、出力信号変化データと、ノイズ対応I/Oレイアウトモデルとに基づいて、半導体装置の動作タイミングを予測する。

[0006] また、特許文献3には、大規模CMOS LSIで問題となる電源電圧降下やグラウンドバウンスをチップの製造前の設計段階で検証することができ、電源配線を最適化するための指標を得ることができ、さらに、電源電圧降下やグラウンドバウンスが引き起こす伝搬遅延マージンを検出することができる論理回路動作検証装置が記載されている。

[0007] 特許文献4には、時系列的な電圧変動情報を遅延シミュレーションに反映させることで、精度の良い遅延シミュレーション結果が得られる半導体集積回路のシミュレーション装置およびシミュレーション方法が記載されている。

[0008] 特許文献5には、電源配線による電圧降下を算出し、各素子種別毎に電圧降下を考慮することで、信頼性の高い遅延計算やタイミング検証を行う半導体集積回路の遅延計算装置およびその方法並びに、タイミング検証装置およびその方法が記載されている。

この他にも、半導体集積回路における電源配線の電圧降下を考慮して動作タイミングの検証を行うタイミング検証方法の例が特許文献6乃至12に記載されている。

先行技術文献

特許文献

- [0009] 特許文献1：特開2004-118802号公報
特許文献2：特開2008-83815号公報
特許文献3：特開2000-148826号公報
特許文献4：特開2000-194732号公報
特許文献5：特開2000-195960号公報
特許文献6：特開2003-271696号公報
特許文献7：特開2005-4268号公報
特許文献8：特開2006-215987号公報
特許文献9：特開2008-250630号公報
特許文献10：特開平6-124318号公報
特許文献11：特開平7-239865号公報
特許文献12：特開平9-54798号公報

発明の概要

- [0010] 上述した上記文献記載の各技術においてはチップが通常の動作をする場合についてのみ考慮されていたため、チップの外部より突発的に印加されるノイズにより電圧が変動する場合には、遅延への影響を考慮に入れることができないという問題点があった。
- [0011] その理由はチップが通常の動作をする場合、図12（a）に示すようにクロック周期に合わせてほぼ等しい電圧変動を繰り返すが、外来ノイズによる電圧変動は図12（b）に示すようにクロック周期とは無関係に発生するためである。
- [0012] 本発明は上記事情に鑑みてなされたものであり、その目的とするところは、チップの外部より印加されるノイズにより電圧が変動する場合にその影響

を考慮して遅延解析を行うことができる半導体集積回路の設計装置、そのデータ処理方法、およびその制御プログラムを提供することにある。

[0013] 本発明の半導体集積回路の設計装置は、半導体集積回路のチップ情報に基づいて、前記半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行う遅延解析手段と、

所定のノイズ定義に基づいて前記半導体集積回路に印加するノイズのノイズ情報を生成するノイズ生成手段と、

前記半導体集積回路の前記チップ情報に基づいて、前記半導体集積回路の所定箇所に前記ノイズ情報に基づいて前記ノイズを印加した時の前記半導体集積回路の電圧変動量を解析する電圧変動量解析手段と、

前記電圧変動量解析手段により解析された前記電圧変動量に基づいて、前記遅延解析手段に前記静的遅延解析を行わせ、前記半導体集積回路の前記各パスの前記静的遅延解析の結果に基づいて、前記半導体集積回路の動作のタイミング検証を行うタイミング検証手段と、を備え、

前記ノイズ生成手段は、所定の印加タイミングで印加されるノイズのノイズ情報を生成し、

前記タイミング検証手段は、前記所定の印加タイミングで印加される前記ノイズ毎に前記タイミング検証を行う。

[0014] 本発明の半導体集積回路の設計装置のデータ処理方法は、半導体集積回路のチップ情報に基づいて、前記半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行い、

所定のノイズ定義に基づいて、前記半導体集積回路に所定の印加タイミングで印加されるノイズのノイズ情報を生成し、

前記半導体集積回路の前記チップ情報に基づいて、前記半導体集積回路の所定箇所に、前記ノイズ情報に基づいて前記ノイズを印加した時の前記半導体集積回路の電圧変動量を解析し、

解析された前記電圧変動量に応じ、前記半導体集積回路の前記チップ情報に基づいて、前記半導体集積回路が有するフリップフロップ間の各パスの静

的遅延解析を行い、

前記所定の印加タイミングで印加される前記ノイズ毎に、前記半導体集積回路の前記各パスの前記静的遅延解析の結果に基づいて、前記半導体集積回路の動作のタイミング検証を行う。

[0015] 本発明の半導体集積回路の設計装置の制御プログラムは、半導体集積回路のチップ情報に基づいて、前記半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行う手順と、

所定のノイズ定義に基づいて前記半導体集積回路に印加する所定のノイズのノイズ情報を生成する手順と、

前記半導体集積回路の前記チップ情報に基づいて、前記半導体集積回路の所定箇所に前記ノイズ情報に基づいて前記ノイズを印加した時の前記半導体集積回路の電圧変動量を解析する手順と、

前記電圧変動量を解析する手順により解析された前記電圧変動量に基づいて、前記静的遅延解析を行う手順に前記静的遅延解析を行わせる手順と、

前記半導体集積回路の前記各パスの前記静的遅延解析の結果に基づいて、前記半導体集積回路の動作のタイミング検証を行う手順と、

所定の印加タイミングで印加されるノイズのノイズ情報を生成する手順と、

前記所定の印加タイミングで印加される前記ノイズ毎に前記タイミング検証を行う手順と、をコンピュータに実行させるためのプログラム。

[0016] なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

[0017] また、本発明の各種の構成要素は、必ずしも個々に独立した存在である必要はなく、複数の構成要素が一個の部材として形成されていること、一つの構成要素が複数の部材で形成されていること、ある構成要素が他の構成要素の一部であること、ある構成要素の一部と他の構成要素の一部とが重複していること、等でもよい。

[0018] また、本発明のデータ処理方法およびコンピュータプログラムには複数の手順を順番に記載してあるが、その記載の順番は複数の手順を実行する順番を限定するものではない。このため、本発明のデータ処理方法およびコンピュータプログラムを実施するときには、その複数の手順の順番は内容的に支障しない範囲で変更することができる。

[0019] さらに、本発明のデータ処理方法およびコンピュータプログラムの複数の手順は個々に相違するタイミングで実行されることに限定されない。このため、ある手順の実行中に他の手順が発生すること、ある手順の実行タイミングと他の手順の実行タイミングとの一部ないし全部が重複していること、等でもよい。

[0020] 本発明によれば、チップの外部より印加されるノイズにより電圧が変動する場合にその影響を考慮して遅延解析を行うことができる半導体集積回路の設計装置、そのデータ処理方法、およびその制御プログラムが提供される。

図面の簡単な説明

[0021] 上述した目的、およびその他の目的、特徴および利点は、以下に述べる好適な実施の形態、およびそれに付随する以下の図面によってさらに明らかになる。

[0022] [図1]本発明の実施の形態に係る半導体集積回路設計装置の構成を示す機能ブロック図である。

[図2]本発明の実施の形態に係る半導体集積回路設計装置で使用されるノイズ定義の一例を示す図である。

[図3]本発明の実施の形態に係る半導体集積回路設計装置の動作の一例を示すフローチャートである。

[図4]本発明の実施の形態に係る半導体集積回路設計装置の構成を示す機能ブロック図である。

[図5]本発明の実施の形態に係る半導体集積回路設計装置のノイズ生成部により生成されるノイズを説明するための図である。

[図6]本発明の実施の形態に係る半導体集積回路設計装置で遅延解析を行う半

導体集積回路のパスを説明するための図である。

[図7]本発明の実施の形態に係る半導体集積回路設計装置の動作の一例を示すフローチャートである。

[図8]本発明の実施の形態に係る半導体集積回路設計装置の構成を示す機能ブロック図である。

[図9]本発明の実施の形態に係る半導体集積回路設計装置におけるパス遅延時間を説明するための図である。

[図10]本発明の実施の形態に係る半導体集積回路設計装置のノイズ生成部により生成されるノイズのノイズ数が削減された場合の一例を説明するための図である。

[図11]基本的な半導体集積回路の構成を示す回路図である。

[図12]半導体集積回路におけるノイズの影響による電圧変動を示す図である。

発明を実施するための形態

[0023] 以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

[0024] (第1の実施の形態)

図1は、本発明の実施形態に係る半導体集積回路設計装置100の構成を示す機能ブロック図である。

本実施形態の半導体集積回路設計装置100は、半導体集積回路（不図示）のチップ情報に基づいて、半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行う遅延解析部102と、所定のノイズ定義に基づいて半導体集積回路に印加するノイズのノイズ情報を生成するノイズ生成部104と、半導体集積回路のチップ情報に基づいて、半導体集積回路の所定箇所にノイズ情報に基づいてノイズを印加した時の半導体集積回路の電圧変動量を解析する電圧変動量解析部106と、電圧変動量解析部106により解析された電圧変動量に基づいて、遅延解析部102に静的遅延解析を行わ

せ、半導体集積回路の各パスの静的遅延解析の結果に基づいて、半導体集積回路の動作のタイミング検証を行うタイミング検証部 108 と、を備え、ノイズ生成部 104 は、所定の印加タイミングで印加されるノイズのノイズ情報を生成し、タイミング検証部 108 は、所定の印加タイミングで印加されるノイズ毎にタイミング検証を行う。

[0025] 本実施形態の半導体集積回路設計装置 100 は、制御装置、記憶装置、入力装置および表示装置からなる一般的なコンピュータにより構成することができる。これらの各部については図示しない。また、上記の各ユニットは、記憶装置に格納されたコンピュータプログラムにより動作する制御装置により、ROM (Read Only Memory)、RAM (Random Access Memory) などの記憶装置上に構築されて制御される。なお、以下の図において、本発明の本質に関わらない部分の構成については省略してあり、図示されていない。

[0026] すなわち、半導体集積回路設計装置 100 の各構成要素は、任意のコンピュータの CPU (Central Processing Unit)、メモリ、メモリにロードされた本図の構成要素を実現するプログラム、そのプログラムを格納するハードディスクなどの記憶ユニット、ネットワーク接続用インタフェースを中心にハードウェアとソフトウェアの任意の組合せによって実現される。そして、その実現方法、装置にはいろいろな変形例があることは、当業者には理解されるところである。以下説明する各図は、ハードウェア単位の構成ではなく、機能単位のブロックを示している。

[0027] 半導体集積回路設計装置 100 は、たとえば、CAD (Computer Aided Design) システムに含むことができる。そして、半導体集積回路設計装置 100 により、半導体集積回路のレイアウト設計時の遅延解析を行う際、外部から印加されるノイズによる電圧の変動を考慮した解析を行うことができる。

[0028] 詳細には、本実施形態の半導体集積回路設計装置 100 は、遅延解析部 102 と、ノイズ生成部 104 と、電圧変動量解析部 106 と、タイミング検証部 108 と、を備える。半導体集積回路設計装置 100 には、チップ情報記憶部 (図中、「チップ情報」と示す) 10、パッケージ情報記憶部 (図中

、「パッケージ情報」と示す) 12、およびノイズ定義記憶部(図中、「ノイズ定義」と示す) 14が接続される。半導体集積回路設計装置100は、チップ情報記憶部10、パッケージ情報記憶部12、およびノイズ定義記憶部14に記憶されている半導体集積回路のチップ情報、パッケージ情報、およびノイズ定義情報をそれぞれ読み込むことができる。

[0029] 各記憶部は、半導体集積回路設計装置100に含まれてもよいし、ネットワークを介して半導体集積回路設計装置100に接続されるサーバ装置に含まれてもよいし、半導体集積回路設計装置100に接続される外部記憶装置に含まれてもよいし、半導体集積回路設計装置100に接続される記録媒体読取装置によりアクセス可能な各種記録媒体に含まれてもよい。

[0030] チップ情報記憶部10に記憶されるチップ情報は、たとえば、半導体集積回路のネットリスト、レイアウト情報、セル遅延ライブラリ、およびテクノロジーライブラリを含む。

[0031] ノイズ定義記憶部14に記憶されるノイズ定義情報は、半導体集積回路に印加するノイズを定義する情報である。たとえば、図2に示すように、ノイズ定義情報で定義されるノイズN0は、時刻t0をノイズ印加開始時刻として、時刻tと電圧Vの関係で表される。図2では、ノイズN0は、典型的な例として台形波を示したが、これに限定されるものではなく、どのようなノイズ波形であってもよい。

[0032] 遅延解析部102は、半導体集積回路の設計時に一般的に使用される遅延解析装置である。遅延解析部102は、半導体集積回路のチップ情報のデータをチップ情報記憶部10から入力し、静的遅延を解析し、そのレポートを出力する。遅延解析部102では、たとえば、レイアウト情報とテクノロジーライブラリからRC抽出を行い、抽出されたRC情報と、ネットリスト、およびセル遅延ライブラリを用いて静的遅延解析を行う。遅延解析部102で遅延解析を行った結果、設計制約条件を満たさないパスが見つかった場合には、セルの再配置および配線をやり直すことで、設計制約条件を満たす回路を設計することが可能になる。なお、遅延解析や、その解析結果のレポート

出力などについては、当業者にとって理解されるところであり、本発明の本質に関わらないので詳細な説明は省略する。

[0033] ノイズ生成部 104 は、ノイズ定義記憶部 14 に記憶される所定のノイズ定義情報（図 2）に基づいて半導体集積回路に印加するノイズのノイズ情報を生成し、後述する電圧変動量解析部 106 に入力する。ノイズ生成部 104 は、クロック周期内のさまざまなタイミングで、ノイズ定義で定義されたノイズを半導体集積回路に印加させるノイズ情報を生成することができる。

[0034] 電圧変動量解析部 106 は、チップ情報記憶部 10 からチップ情報、パッケージ情報記憶部 12 からパッケージ情報、ノイズ生成部 104 からノイズ情報を入力として受け付け、パッケージの所定の箇所、たとえば、電源電圧部（不図示）に、ノイズを印加した場合に、チップ内の各セルの VDD 端子および GND 端子に現れる電圧（VDD および VGN）波形を求める。ここで、パッケージとは、基盤とチップを接続する回路であるが、ここで扱うパッケージはそのうち電源回路を RLC でモデル化したものである。電圧変動量解析部 106 で求められる電圧波形には、回路動作時の通常の電圧変動と、パッケージに印加するノイズによる電圧変動とを含む。

[0035] すなわち、図 12（a）に示したような、クロック周期（C1、C2、C3、...）に合わせて変動するクロック電圧（VCLK）の変動に、ほぼ等しい変動を繰り返す電圧（VDD、VGN）と、図 12（b）に示したようなクロック周期（C1、C2、C3、...）に合わせて変動するクロック電圧（VCLK）の変動とは無関係なタイミングで発生するノイズの影響によって変動する電圧（VDD、VGN）の波形を求めることができる。

[0036] タイミング検証部 108 は、半導体集積回路の設計時に一般的に用いられる回路シミュレータにより行われる。半導体集積回路の各セル間のパスの遅延解析を行う。このとき、各セルの VDD 端子と GND 端子の電圧（VDD および VGN）に、電圧変動量解析部 106 から出力された電圧データを使用する。すなわち、本実施形態において、タイミング検証部 108 は、

電圧変動量解析部 106 から出力された電圧データを用いることで、外部から印加されたノイズの影響を考慮してパスの遅延解析を行うことができる。

[0037] 本実施形態の半導体集積回路設計装置 100 において、CPU が、ハードディスクに記憶されるプログラムをメモリに読み出して実行することにより、上記各ユニットの各機能を実現することができる。

[0038] 本実施形態のコンピュータプログラムは、半導体集積回路設計装置 100 を実現させるためのコンピュータに、半導体集積回路のチップ情報に基づいて、半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行う手順と、所定のノイズ定義に基づいて半導体集積回路に印加する所定のノイズのノイズ情報を生成する手順と、半導体集積回路のチップ情報に基づいて、半導体集積回路の所定箇所にノイズ情報に基づいてノイズを印加した時の半導体集積回路の電圧変動量を解析する手順と、電圧変動量を解析する手順により解析された電圧変動量に基づいて、静的遅延解析を行う手順に静的遅延解析を行わせる手順と、半導体集積回路の各パスの静的遅延解析の結果に基づいて、半導体集積回路の動作のタイミング検証を行う手順と、所定の印加タイミングで印加されるノイズのノイズ情報を生成する手順と、所定の印加タイミングで印加されるノイズ毎にタイミング検証を行う手順と、を実行させるように記述されている。

[0039] なお、半導体集積回路の設計装置の制御プログラムは、コンピュータで読み取り可能な記録媒体に記録されてもよい。

[0040] このように構成された本実施形態の半導体集積回路設計装置 100 の動作について、以下に説明する。

図 3 は、本実施形態の半導体集積回路設計装置 100 の動作の一例を示すフローチャートである。

[0041] 本実施形態の半導体集積回路設計装置 100 のデータ処理方法は、半導体集積回路のチップ情報に基づいて、半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行い、所定のノイズ定義に基づいて、半導体集積回路に所定の印加タイミングで印加されるノイズのノイズ情報を生成し

(ステップS 1 0 1)、半導体集積回路のチップ情報に基づいて、半導体集積回路の所定箇所に、ノイズ情報に基づいてノイズを印加した時の半導体集積回路の電圧変動量を解析し(ステップS 1 0 3)、解析された電圧変動量に応じ、半導体集積回路のチップ情報に基づいて、半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行い(ステップS 1 0 5)、所定の印加タイミングで印加されるノイズ毎に、半導体集積回路の各パスの静的遅延解析の結果に基づいて、半導体集積回路の動作のタイミング検証を行う(ステップS 1 0 7)。

[0042] 詳細には、ノイズ生成部 1 0 4により、所定のノイズ定義に基づいて、ある印加タイミングで印加されるノイズのノイズ情報を生成する(ステップS 1 0 1)。電圧変動量解析部 1 0 6は、ノイズ生成部 1 0 4により生成されたあるタイミングで半導体集積回路に印加されるノイズを、半導体集積回路のある箇所に印加するときの電圧変動を解析する(ステップS 1 0 3)。

[0043] 上述したように、電圧変動量解析部 1 0 6は、チップ情報記憶部 1 0からチップ情報、パッケージ情報記憶部 1 2からパッケージ情報、ノイズ生成部 1 0 4からノイズ情報を入力として受け付ける。そして、電圧変動量解析部 1 0 6は、パッケージの所定の箇所、たとえば、電源電圧部(不図示)に、ノイズを印加した場合に、チップ内の各セルのVDD端子およびGND端子に現れる電圧(VVDDおよびVGND)波形を求め、回路動作時の通常の電圧変動と、外来ノイズの影響を考慮した電圧変動とをタイミング検証部 1 0 8に出力する。なお、電圧変動は電圧降下またはIR(Interconnection Resistance) - d r o pとも呼称される。

[0044] そして、タイミング検証部 1 0 8は、電圧変動量解析部 1 0 6から出力された電圧を用いて、各セルのVDD端子とGND端子に入力し、各セル間のパスの遅延を遅延解析部 1 0 2に解析させ(ステップS 1 0 5)、半導体集積回路の動作のタイミングを検証する(ステップS 1 0 7)。

[0045] 以上説明したように、本発明の実施の形態の半導体集積回路設計装置 1 0 0によれば、外部から印加されるノイズによる影響を考慮した遅延解析を行

うことができる。その理由は、チップの動作による通常の電圧変動量は、クロック周期ごとにほぼ同じであるが、チップ外部から印加される電源ノイズは、いつ発生するかわからない。本実施の形態では、任意のタイミングでチップ外部にノイズを印加することで、いつチップ外部からノイズが印加されても回路が正しく動作できるかを判定することができる。

[0046] (第2の実施の形態)

本実施形態の半導体集積回路設計装置200は、上記実施の形態とは、複数のノイズをクロック周期内で間隔をずらして、半導体集積回路に印加した場合の電圧変動を考慮して遅延解析を行う点で相違する。

[0047] 図4は、本実施形態の半導体集積回路設計装置200の構成を示す機能ブロック図である。本実施形態の半導体集積回路設計装置200は、図1の上記実施形態の半導体集積回路設計装置100と同じ遅延解析部102、ノイズ生成部104、電圧変動量解析部106を含むとともに、ノイズ情報記憶部202(図中、「ノイズ情報」と示す)と、パス抽出部204と、判定部206と、タイミング検証部208と、をさらに備える。

[0048] ノイズ情報記憶部202は、ノイズ生成部104が生成したノイズ情報を記憶する。本実施形態において、ノイズ生成部104は、クロック周期内で間隔をずらして印加される複数のノイズを模擬するノイズ情報を生成し、ノイズ情報記憶部202に記憶する。すなわち、ノイズ生成部104は、半導体集積回路の外部より不定期に印加されるノイズを模擬するようにノイズ情報を生成することができる。

[0049] 電圧変動量解析部106は、ノイズ情報記憶部202に記憶された複数のノイズのノイズ情報を順次読み出して、クロック周期内で間隔をずらして印加されるノイズを模擬することができる。典型的には、図5に示すように、クロック周期CPをn個(nは自然数)に等分し、n個の異なるタイミングで、間隔をずらしながら、n回繰り返して印加されるノイズN_nを模擬することができる。すなわち、電圧変動量解析部106は、図5のノイズN₁から順に、ノイズN₂、...、ノイズN_nについて、順に解析をn回繰り返

し行う。これにより、 n 個の異なるタイミングで印加されたノイズの影響を考慮できることとなる。このように、生成された n 個のノイズは、クロック周期 CP に合わせて変動するクロック電圧 V_{CLK} の変動とは無関係なタイミングで発生するノイズを模擬することができる。

[0050] なお、ノイズ定義記憶部14には、様々なノイズ定義を記憶させておいてもよい。ノイズ定義を変更して、半導体集積回路のタイミング検証を繰り返し実行することができる。たとえば、はじめ低い電圧や波形の波長の短いノイズを用いて検証し、徐々に電圧を高くしたり、波長を長くするなど条件を変更して検証を繰り返すことで、最大ノイズを求めることもできる。また、ノイズを印加する箇所を変更して、検証を繰り返してみてもよい。

[0051] パス抽出部204は、遅延解析部102により解析された結果から、所定の抽出条件に基づいて、半導体集積回路内のセル間の各パスの中から、ノイズの影響により設計制約条件を満たさなくなる可能性のあるパスを抽出する。これらのパスは回路シミュレータであるタイミング検証部208に適用可能な形態で出力される。すなわち、遅延解析部102が求めた配線の抵抗や寄生容量なども含めて出力される。パス抽出方法等についても、本発明の本質に関わらないので詳細な説明は省略する。

[0052] なお、図6に示すようなパスでは、演算および演算の制御を行うための論理素子11（図6では、ANDセルおよびORセルが示されている）が、2つのフリップフロップ15（図6のFF1、FF2）の間に配置されている。本実施形態の半導体集積回路設計装置100において、遅延解析処理、電圧変動量解析処理およびタイミング検証処理等では、パス上の各論理素子11の他の入力端子については、各論理素子11の演算処理をマスクする目的で、ANDセルは常にHighの信号が入力され、ORセルは常にLowの信号が入力される。

[0053] タイミング検証部208は、パス抽出部204によって抽出された各パスについて、電圧変動量解析部106から出力された各ノイズの影響を考慮した電圧データに基づいて、遅延解析部102に遅延解析を行わせる。

[0054] 本実施形態の半導体集積回路設計装置 200 において、タイミング検証部 208 は、ノイズの印加タイミングを、クロック周期 CP 内で間隔をずらし、上記遅延解析を遅延解析部 102 に実行させ、半導体集積回路のタイミング検証を繰り返し実行する。すなわち、ノイズ生成部 104 は、 n 個のノイズ $N_1 \sim N_n$ のノイズ情報を生成し、ノイズ情報記憶部 202 に記憶し、電圧変動量解析部 106 は、ノイズ情報記憶部 202 を参照し、各ノイズ N_i (i は、 $1 \sim n$ の整数) について、電圧変動量解析を順に行う。ノイズ N_i の影響を考慮して解析された電圧変動量に基づいて遅延解析部 102 が遅延解析を行う。このようにノイズ N_i の影響を考慮した解析結果に基づいて、各ノイズ N_i 毎にタイミング検証部 208 がタイミング検証を n 回繰り返し行う。

[0055] 判定部 206 は、タイミング検証部 208 の検証結果に基づいて、半導体集積回路の設計制約条件を満たしているか否かを判定する。判定部 206 は、タイミング検証部 208 により、印加タイミングをクロック周期 CP 内で間隔をずらして検証した複数の結果を集計し、各パスについて n 回実行したタイミング検証の結果を調べ、その全てにおいて設計制約条件を満たしたか、または 1 回でも設計制約条件を満たさなかったかを判定する。

[0056] 設計制約条件は、クロック周期内で半導体集積回路が同期して動作できるための条件である。たとえば、クロック周波数が 200 Hz の場合、クロック周期は 5 ns 秒であるため、図 6 のフリップフロップ 15 間のパスの遅延時間は 5 ns 秒以下とするように設計制約条件は設定される。

[0057] このように構成された本実施形態の半導体集積回路設計装置 200 の動作について、以下に説明する。

図 7 は、本実施形態の半導体集積回路設計装置 200 の動作の一例を示すフローチャートである。本実施形態の半導体集積回路設計装置 200 は、上記実施形態の半導体集積回路設計装置 100 と同じステップ S105 およびステップ S107 を有し、さらに、ステップ S201～ステップ S213 を有する。

- [0058] 図7に示すように、本実施形態では、パス抽出部204が、遅延解析部102から出力された遅延解析結果より、設計制約条件を充足しない可能性のあるパスを抽出する（ステップS201）。そして、ノイズ生成部104が、 n 個のノイズ $N_1 \sim N_n$ のノイズ情報を生成し、ノイズ情報記憶部202に記憶する（ステップS203）。ここで、カウンタ i に1をセットする（ステップS205）。
- [0059] そして、電圧変動量解析部106は、ノイズ情報記憶部202を参照し、各ノイズ N_i について、電圧変動量解析を行う（ステップS207）。タイミング検証部208が、遅延解析部102に、このノイズ N_i の影響を考慮した電圧変動量解析結果に基づいて遅延解析を行わせ（ステップS105）、この解析結果に基づいて、タイミング検証を行う（ステップS107）。そして、カウンタ i をインクリメントする（ステップS209）。 n 個のノイズについて n 回検証が行われたことを確認するために、 i が n より大きいかな否かを判定する（ステップS211）。 i が n より大きくなるまで、ステップS207に戻り、 n 回各ノイズ N_i の影響を考慮したタイミング検証を繰り返す（ステップS211のNO）。
- [0060] n 回タイミング検証が終了した場合（ステップS211のYES）、判定部206が n 個の検証結果を集計し、設計制約条件を満たすかな否かを判定する（ステップS213）。 n 個のノイズについて検証した結果、たとえば、1回でも設計制約条件を満たさなかった場合、そのノイズによる影響が半導体集積回路の動作に及ぶ可能性があることがわかる。これらの結果に基づいて、半導体集積回路のセルの再配置および配線をやり直すことで、外部より印加されるノイズの影響を考慮して、設計制約条件を満たす回路を設計することが可能になる。
- [0061] 以上説明したように、本発明の実施の形態の半導体集積回路設計装置200によれば、さまざまなタイミングでチップ外部から印加されるノイズを想定した解析および検証を行うことで、いつチップ外部からノイズが印加されても、回路が正しく動作できるかを判定することができる。

[0062] (第3の実施の形態)

本実施形態の半導体集積回路設計装置300は、上記実施の形態とは、解析に使用するノイズ数を絞る点で相違する。本実施形態の半導体集積回路設計装置300は、半導体集積回路の各パスの静的遅延解析の結果に基づいて、タイミング検証部208がタイミング検証を繰り返す回数を削減する制御部302をさらに備える。

[0063] 図8は、本実施形態の半導体集積回路設計装置300の構成を示す機能ブロック図である。本実施形態の半導体集積回路設計装置300は、上記実施形態の半導体集積回路設計装置100または半導体集積回路設計装置200と同様な、遅延解析部102と、電圧変動量解析部106と、ノイズ情報記憶部202、パス抽出部204と、判定部206と、タイミング検証部208とを備え、さらに、制御部302と、ノイズ生成部304とを備える。

[0064] 図9に示すように、FF1を出発し、FF2に到着するパスを解析する場合を考え、クロックソースCLKからFF1に信号が伝達される時間を t_1 、FF1からFF2に信号が伝達される時間を t_2 とする。時刻 t_0 にクロックソースCLKから信号が送られた場合、FF2に信号が到着する時刻は $t_1 + t_2$ であり、時刻 t_0 から $t_1 + t_2$ までの時間に印加されたチップ外ノイズのみが、このパスの設計制約充足性に影響する。

[0065] 制御部302は、遅延解析部102から入力される各パスの静的遅延解析の結果に基づいて、クロックソースから各パスの一方のフリップフロップFF1に信号が伝達される第1遅延時間 t_1 と、他方のフリップフロップFF2に伝達される第2遅延時間 t_2 との合計時間を算出し、クロック周期CPの始まりから合計時間 $t_1 + t_2$ 内で、タイミング検証手段がタイミング検証を繰り返すように回数を削減する。

[0066] したがって、本実施形態において、ノイズ生成部304は、制御部302からの指示に従い、遅延解析部102の解析結果に基づいて、図10に示すように、クロック周期CP内の $t_1 + t_2$ までの時間に印加されるノイズのみを生成することができる。これにより、生成するノイズを絞ることができる。

、解析実行速度が改善できる。また、ここでも生成されたノイズは、クロック周期CPに合わせて変動するクロック電圧VCLKの変動とは無関係なタイミングで発生するノイズを模擬することができる。

[0067] 以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

実施例

[0068] 以下に、具体的な実施例を用いて本発明を実施するための最良の形態の構成及び動作を説明する。

あるチップについてノイズ影響を考慮した遅延解析を実施した。静的遅延解析を行う遅延解析部として、Cadence社製Encounter（登録商標）を用い、電圧変動量解析を行う電圧変動量解析部としてApache社製RedHawk（商標）を用い、タイミング検証を行うタイミング検証部としてSPICE（商標）を使用した。

[0069] ノイズ定義を変更しながら何度か遅延解析を実施した。その結果、そのチップが正常に動作する、すなわち、設計制約条件を満たす最大のノイズが判明した。

[0070] 半導体集積回路の設計制約条件は、たとえば、クロック信号の遅延がクロック周期を超えないことなどである。たとえば、クロック周期が1/200ミリ秒（5n秒）の場合、遅延条件は、5n秒以下となる。

[0071] 以上、実施形態および実施例を参照して本願発明を説明したが、本願発明は上記実施形態および実施例に限定されるものではない。本願発明の構成や詳細には、本願発明の範囲内で当業者が理解し得る様々な変更をすることができる。

[0072] この出願は、2009年5月20日に提出された日本出願特願2009-121783号を基礎とする優先権を主張し、その開示の全てをここに取り込む。

請求の範囲

[請求項1]

半導体集積回路のチップ情報に基づいて、前記半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行う遅延解析手段と、

所定のノイズ定義に基づいて前記半導体集積回路に印加するノイズのノイズ情報を生成するノイズ生成手段と、

前記半導体集積回路の前記チップ情報に基づいて、前記半導体集積回路の所定箇所に前記ノイズ情報に基づいて前記ノイズを印加した時の前記半導体集積回路の電圧変動量を解析する電圧変動量解析手段と、

前記電圧変動量解析手段により解析された前記電圧変動量に基づいて、前記遅延解析手段に前記静的遅延解析を行わせ、前記半導体集積回路の前記各パスの前記静的遅延解析の結果に基づいて、前記半導体集積回路の動作のタイミング検証を行うタイミング検証手段と、を備え、

前記ノイズ生成手段は、所定の印加タイミングで印加されるノイズのノイズ情報を生成し、

前記タイミング検証手段は、前記所定の印加タイミングで印加される前記ノイズ毎に前記タイミング検証を行う半導体集積回路の設計装置。

[請求項2]

請求項1に記載の半導体集積回路の設計装置において、

前記タイミング検証手段は、

前記ノイズの前記印加タイミングの間隔を、クロック周期内でずらして、前記半導体集積回路の前記タイミング検証を繰り返し実行する半導体集積回路の設計装置。

[請求項3]

請求項2に記載の半導体集積回路の設計装置において、

前記半導体集積回路の前記各パスの前記静的遅延解析の結果に基づいて、前記タイミング検証手段が前記タイミング検証を繰り返す回数

を削減する制御手段をさらに備える半導体集積回路の設計装置。

[請求項4]

請求項3に記載の半導体集積回路の設計装置において、

前記制御手段は、

前記各パスの前記静的遅延解析の結果に基づいて、クロックソースから前記各パスの一方のフリップフロップに信号が伝達される第1遅延時間と、他方のフリップフロップに伝達される第2遅延時間との合計時間を算出し、前記クロック周期の始まりから前記合計時間内で、前記タイミング検証手段が前記タイミング検証を繰り返すように前記回数を削減する半導体集積回路の設計装置。

[請求項5]

請求項1乃至4いずれかに記載の半導体集積回路の設計装置において、

前記タイミング検証手段の検証結果に基づいて、前記半導体集積回路の設計制約条件を満たしているか否かを判定する判定手段を備える半導体集積回路の設計装置。

[請求項6]

請求項1乃至5いずれかに記載の半導体集積回路の設計装置において、

前記ノイズ定義を変更して、前記半導体集積回路の前記タイミング検証を繰り返し実行する半導体集積回路の設計装置。

[請求項7]

請求項1乃至6いずれかに記載の半導体集積回路の設計装置において、

前記ノイズ生成手段が生成した前記ノイズ情報を記憶するノイズ情報記憶手段を備える半導体集積回路の設計装置。

[請求項8]

請求項1乃至7いずれかに記載の半導体集積回路の設計装置において、

前記ノイズ生成手段は、前記ノイズ情報を、前記半導体集積回路の外部より不定期に印加されるノイズを模擬するように生成する半導体集積回路の設計装置。

[請求項9]

半導体集積回路のチップ情報に基づいて、前記半導体集積回路が有

するフリップフロップ間の各パスの静的遅延解析を行い、

所定のノイズ定義に基づいて、前記半導体集積回路に所定の印加タイミングで印加されるノイズのノイズ情報を生成し、

前記半導体集積回路の前記チップ情報に基づいて、前記半導体集積回路の所定箇所に、前記ノイズ情報に基づいて前記ノイズを印加した時の前記半導体集積回路の電圧変動量を解析し、

解析された前記電圧変動量に応じ、前記半導体集積回路の前記チップ情報に基づいて、前記半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行い、

前記所定の印加タイミングで印加される前記ノイズ毎に、前記半導体集積回路の前記各パスの前記静的遅延解析の結果に基づいて、前記半導体集積回路の動作のタイミング検証を行う半導体集積回路の設計装置のデータ処理方法。

[請求項10] 請求項9に記載の半導体集積回路の設計装置のデータ処理方法において、

前記ノイズの前記印加タイミングの間隔を、クロック周期内でずらして、前記半導体集積回路の前記タイミング検証を繰り返し実行する半導体集積回路の設計装置のデータ処理方法。

[請求項11] 請求項10に記載の半導体集積回路の設計装置のデータ処理方法において、

前記半導体集積回路の前記各パスの前記静的遅延解析の結果に基づいて、前記タイミング検証を繰り返す回数を削減する半導体集積回路の設計装置のデータ処理方法。

[請求項12] 請求項9乃至11いずれかに記載の半導体集積回路の設計装置のデータ処理方法において、

前記ノイズ情報を、前記半導体集積回路の外部より不定期に印加されるノイズを模擬するように生成する半導体集積回路の設計装置のデータ処理方法。

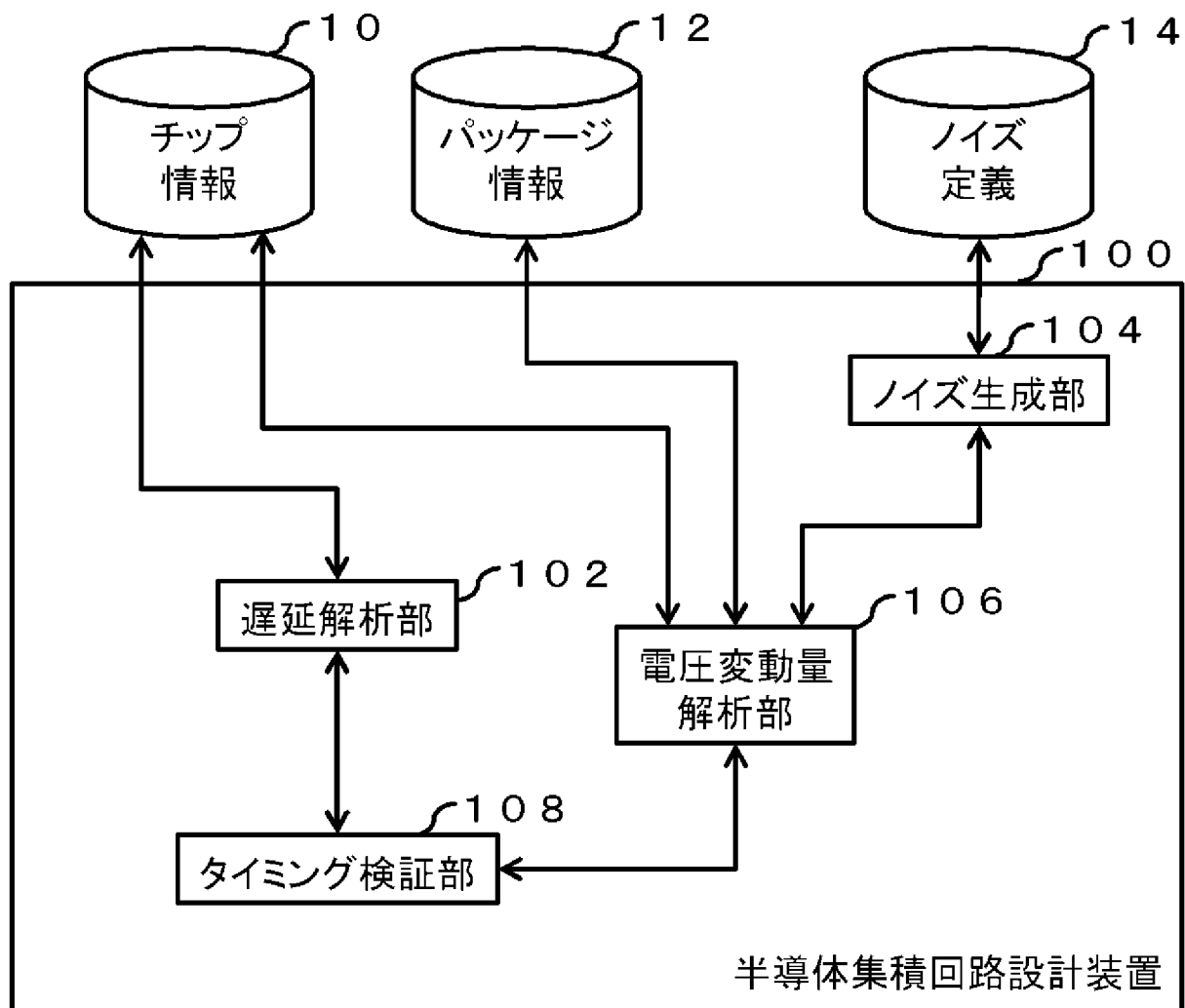
- [請求項13] 半導体集積回路のチップ情報に基づいて、前記半導体集積回路が有するフリップフロップ間の各パスの静的遅延解析を行う手順と、
- 所定のノイズ定義に基づいて前記半導体集積回路に印加する所定のノイズのノイズ情報を生成する手順と、
- 前記半導体集積回路の前記チップ情報に基づいて、前記半導体集積回路の所定箇所に前記ノイズ情報に基づいて前記ノイズを印加した時の前記半導体集積回路の電圧変動量を解析する手順と、
- 前記電圧変動量を解析する手順により解析された前記電圧変動量に基づいて、前記静的遅延解析を行う手順に前記静的遅延解析を行わせる手順と、
- 前記半導体集積回路の前記各パスの前記静的遅延解析の結果に基づいて、前記半導体集積回路の動作のタイミング検証を行う手順と、
- 所定の印加タイミングで印加されるノイズのノイズ情報を生成する手順と、
- 前記所定の印加タイミングで印加される前記ノイズ毎に前記タイミング検証を行う手順と、をコンピュータに実行させるための半導体集積回路の設計装置の制御プログラム。
- [請求項14] 請求項 1 3 に記載の半導体集積回路の設計装置の制御プログラムにおいて、
- 前記ノイズ情報を生成する手順による前記ノイズの前記印加タイミングの間隔を、クロック周期内ですらして、前記半導体集積回路の前記タイミング検証を繰り返し実行する手順をさらにコンピュータに実行させるための半導体集積回路の設計装置の制御プログラム。
- [請求項15] 請求項 1 4 に記載の半導体集積回路の設計装置の制御プログラムにおいて、
- 前記半導体集積回路の前記各パスの前記静的遅延解析の結果に基づいて、前記タイミング検証を繰り返す回数を削減する手順をコンピュータに実行させるための半導体集積回路の設計装置の制御プログラム

。

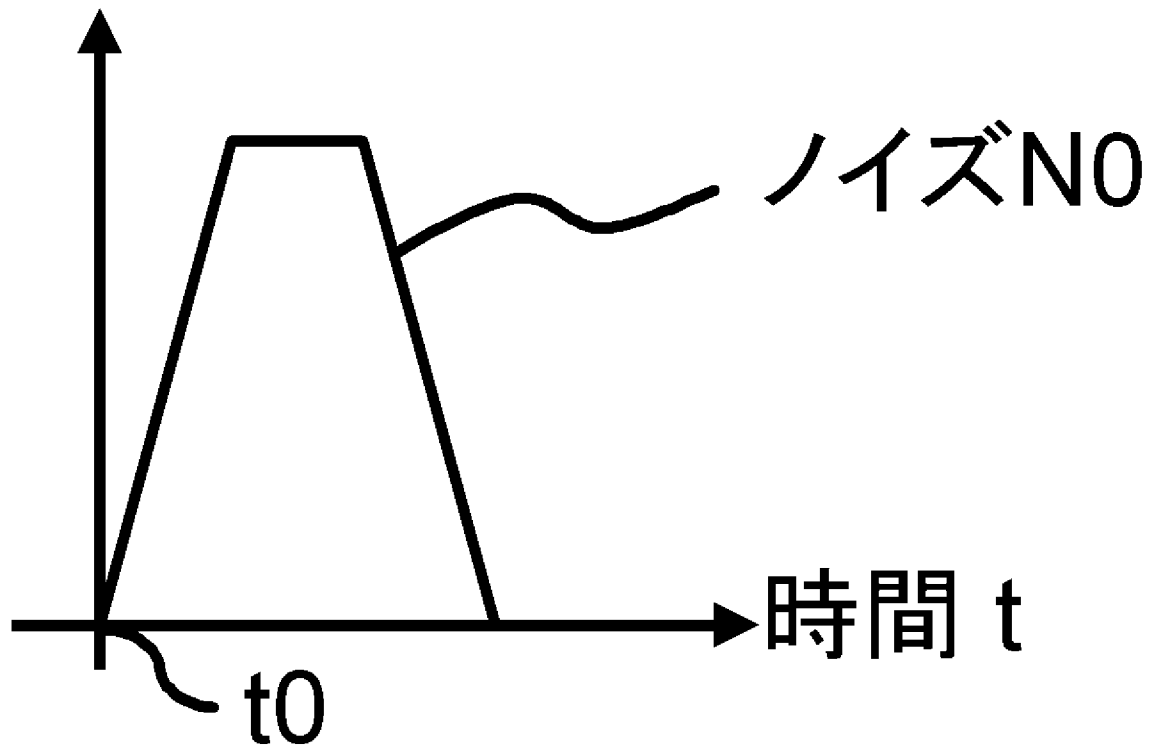
[請求項16] 請求項13乃至15いずれかに記載の半導体集積回路の設計装置の制御プログラムにおいて、

前記ノイズ情報を、前記半導体集積回路の外部より不定期に印加されるノイズを模擬するように生成する手順をコンピュータに実行させるための半導体集積回路の設計装置の制御プログラム。

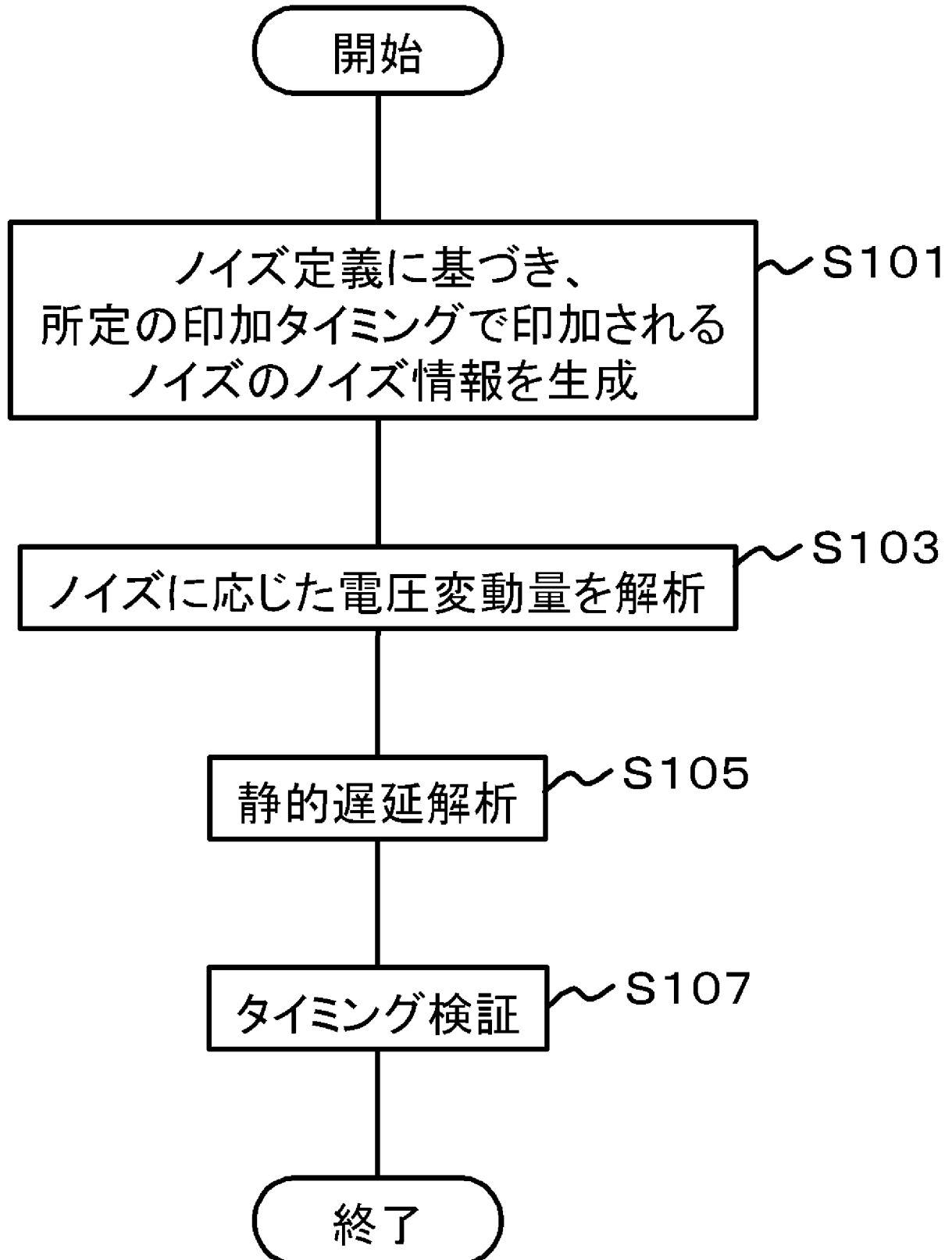
[請求項17] 請求項13乃至16いずれかに記載の半導体集積回路の設計装置の制御プログラムを記録したコンピュータで読み取り可能な記録媒体。



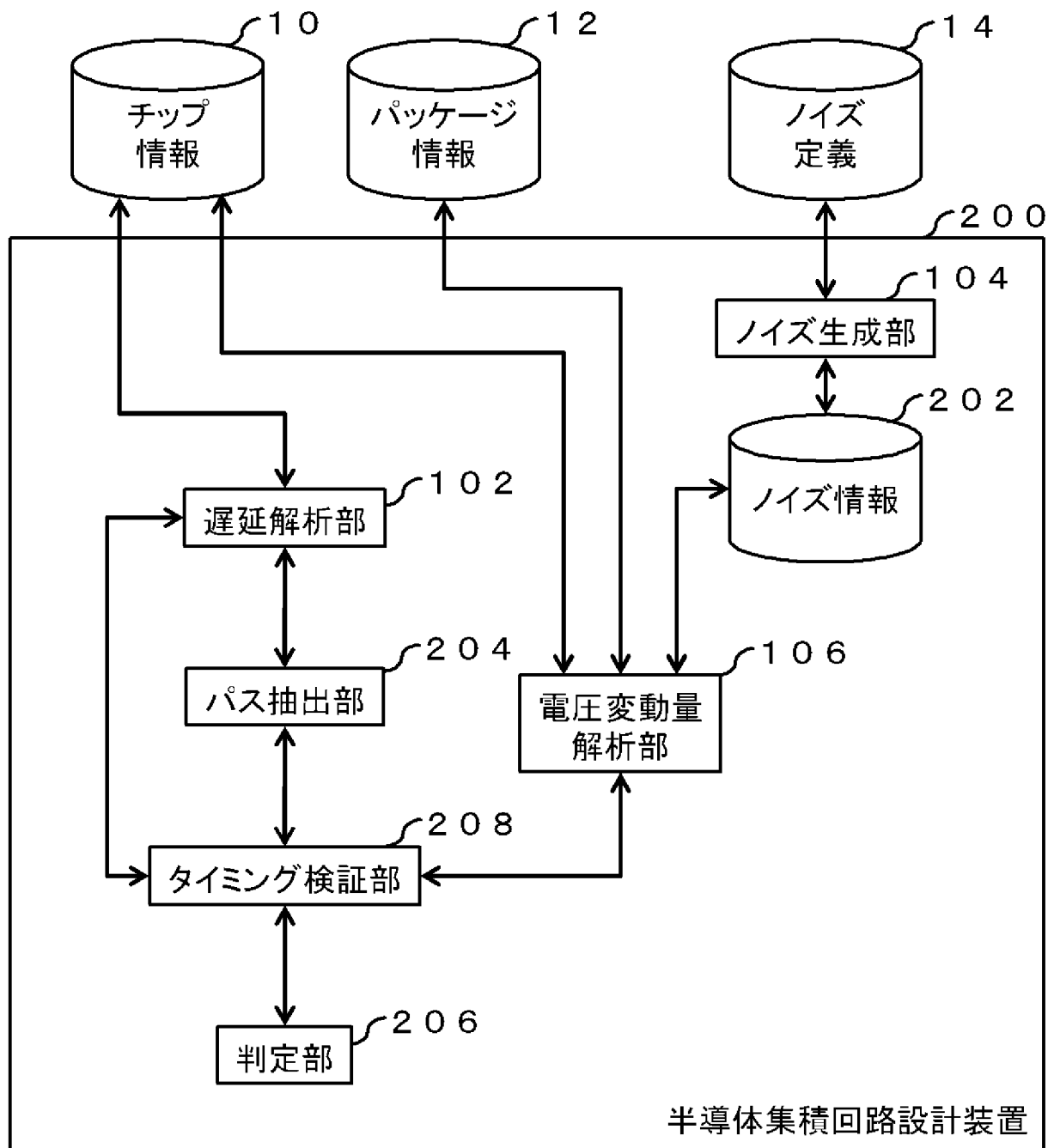
[図2]

電圧 V 

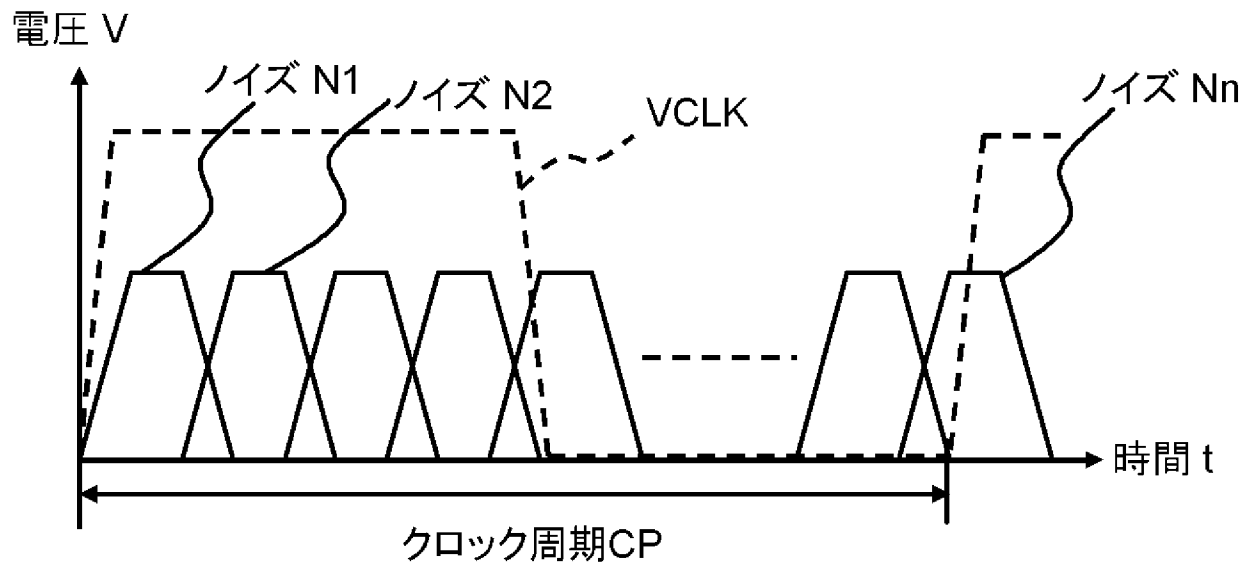
[図3]



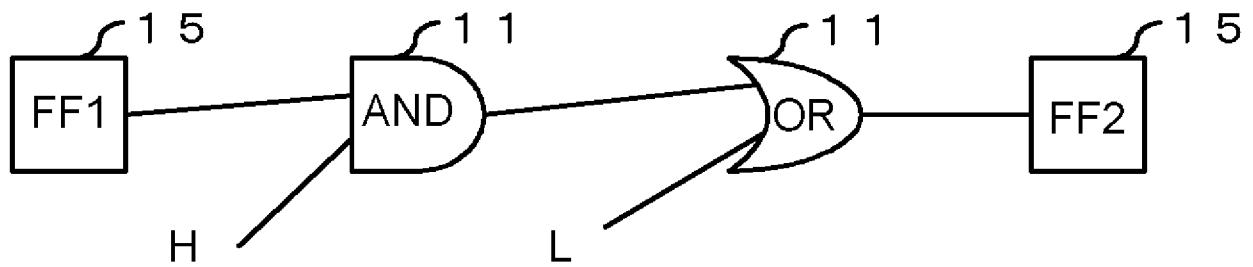
[図4]



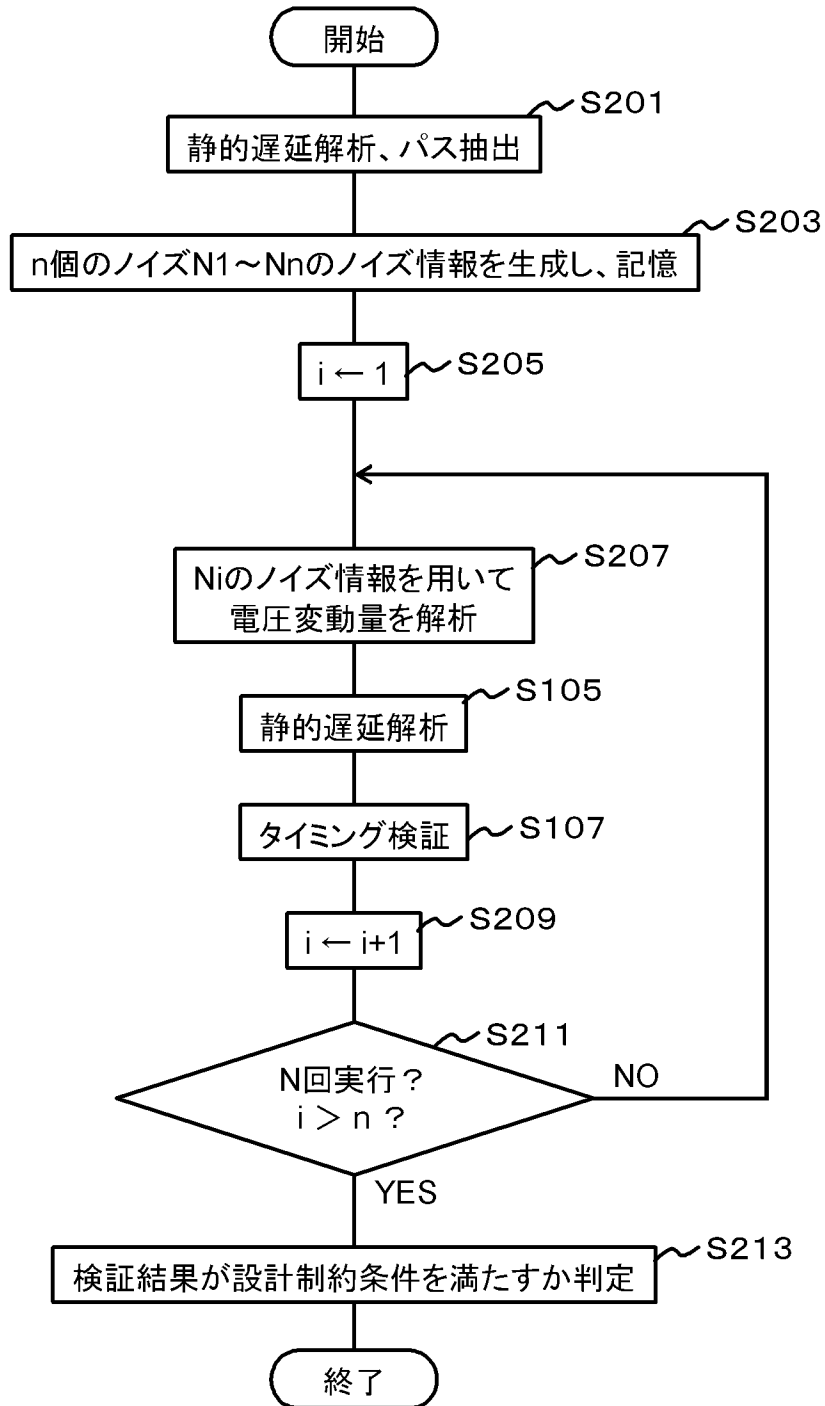
[図5]



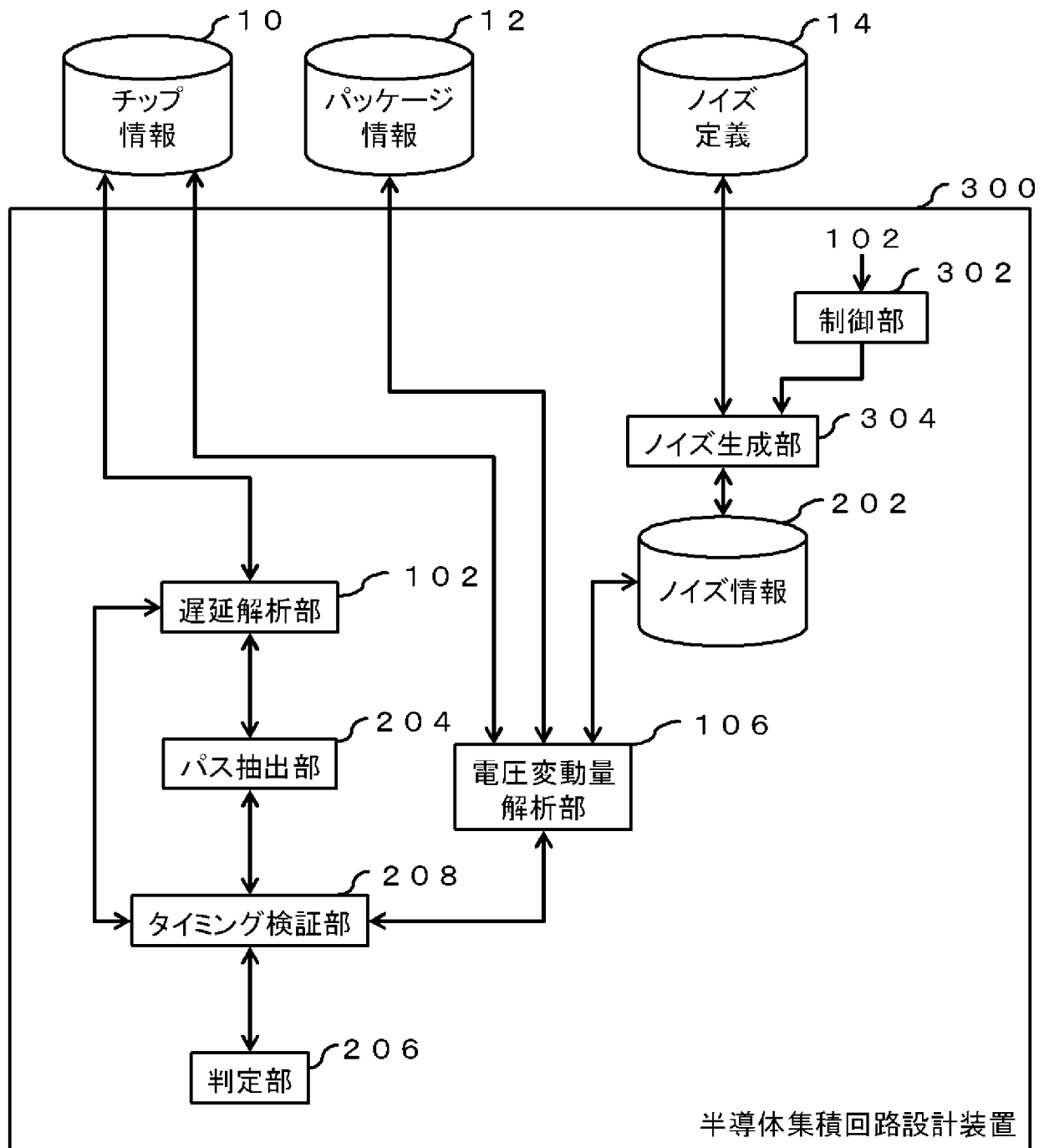
[図6]



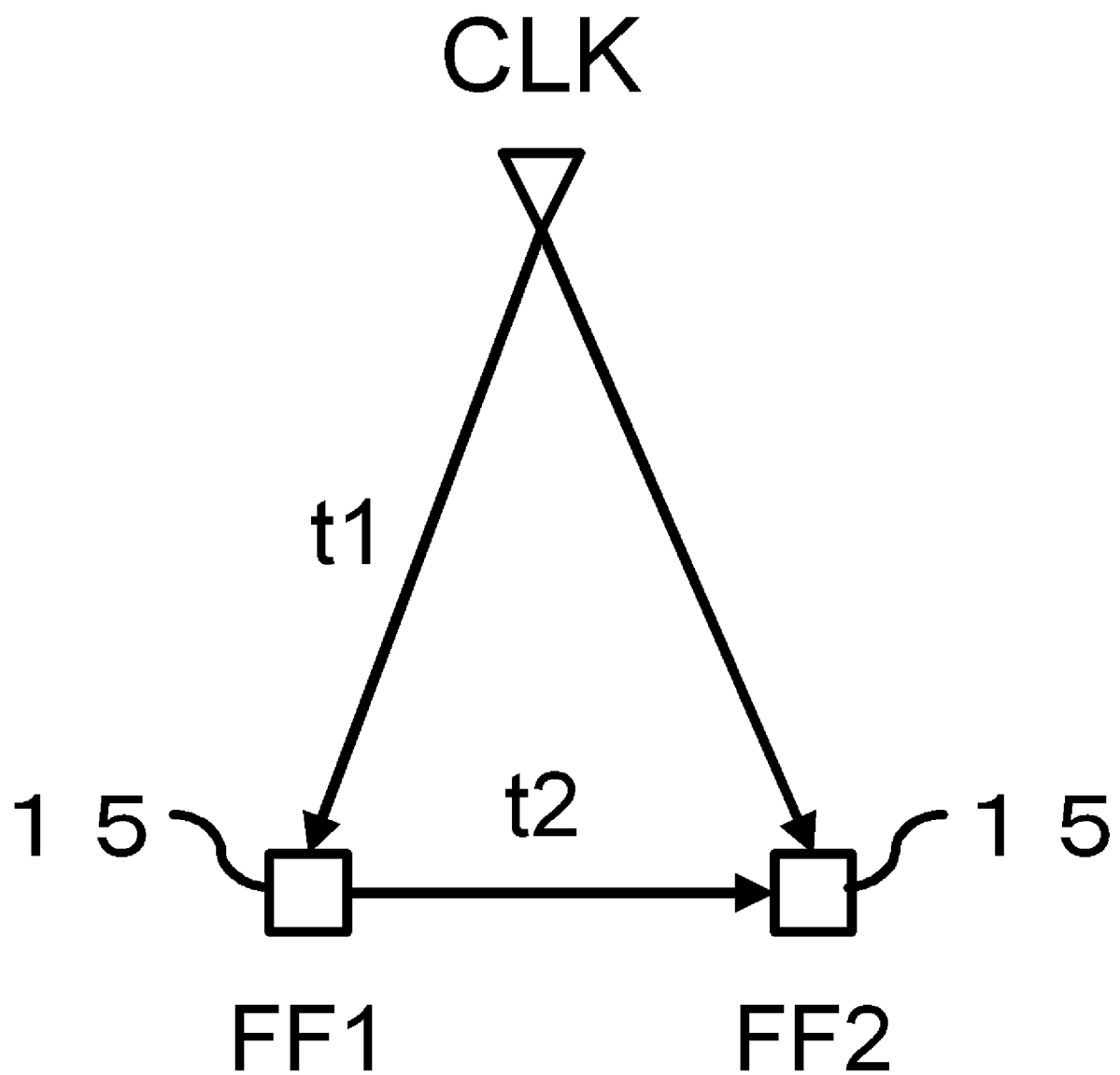
[図7]



[図8]

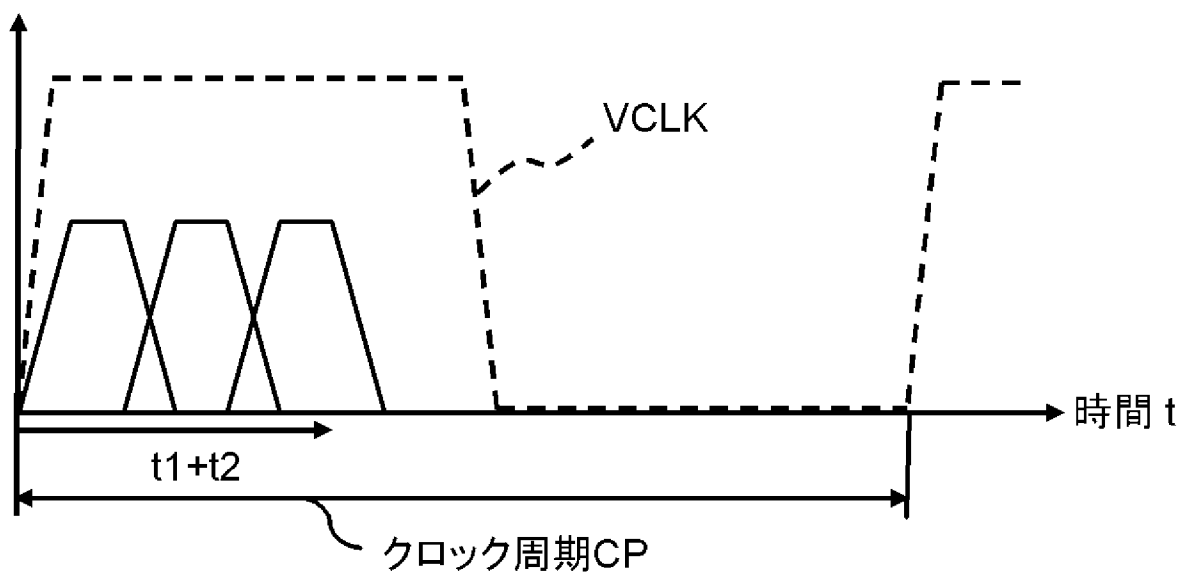


[図9]

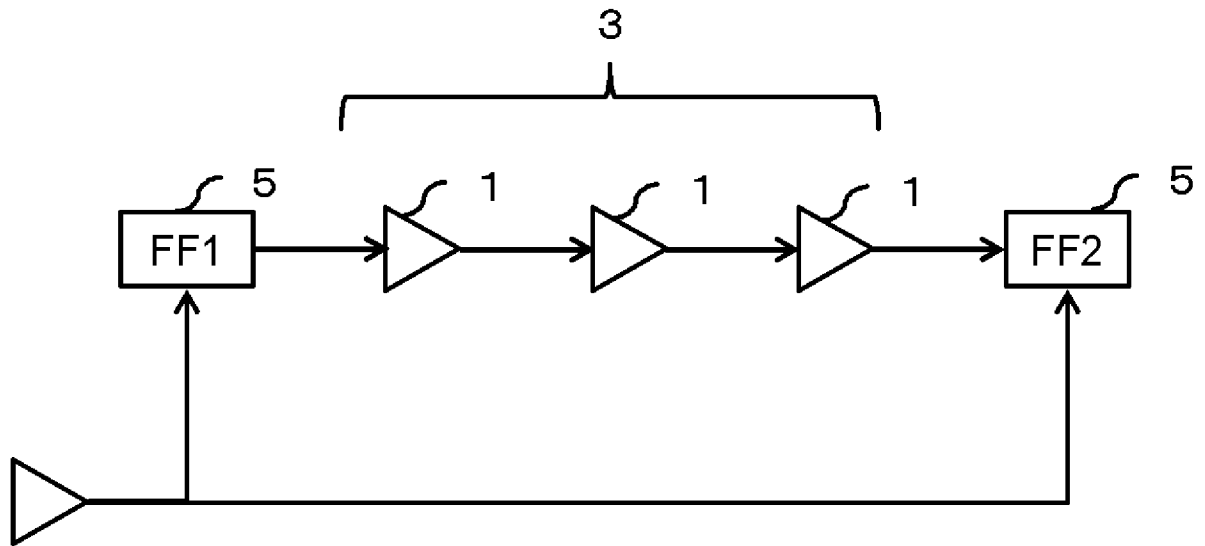


[図10]

電圧 V

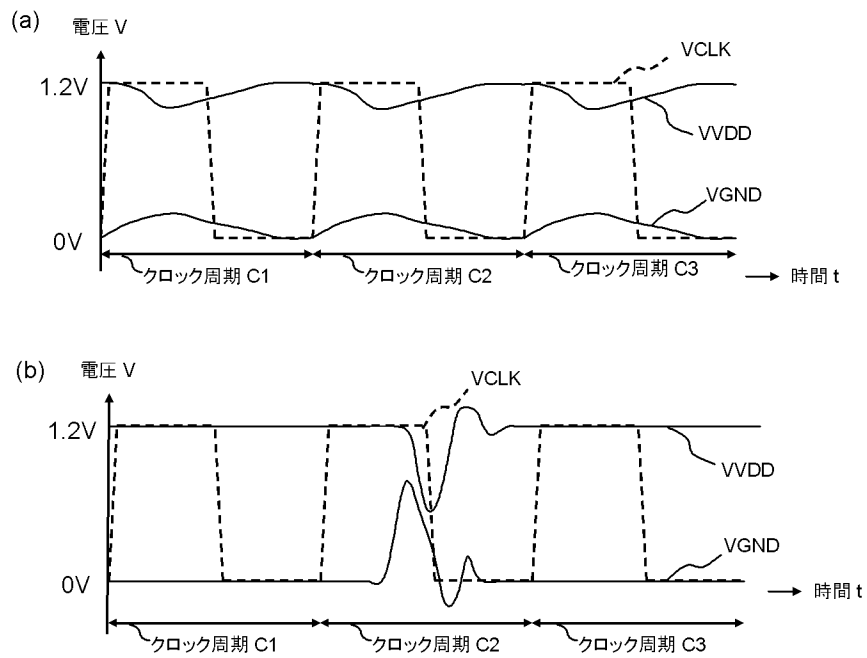


[図11]



CLK

[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002881

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50 (2006.01) i, H01L21/82 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50, H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CiNii, JSTPlus (JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-287666 A (Sharp Corp.), 27 November 2008 (27.11.2008), paragraphs [0071], [0072], [0079] to [0083], [0103]; fig. 1, 6 (Family: none)	1-3, 5-17 4
Y A	JP 2002-270695 A (Matsushita Electric Industrial Co., Ltd.), 20 September 2002 (20.09.2002), paragraphs [0009], [0098], [0104], [0121], [0129]; fig. 1, 4 & US 6810340 B2	1-3, 5-17 4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 May, 2010 (19.05.10)

Date of mailing of the international search report

01 June, 2010 (01.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G06F17/50(2006.01)i, H01L21/82(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F17/50, H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

CiNii, JSTPlus(JDreamII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2008-287666 A（シャープ株式会社）2008. 11. 27, 段落【0071】，【0072】，【0079】－【0083】，【0103】，第1, 6 図 （ファミリーなし）	1-3, 5-17 4
Y A	JP 2002-270695 A（松下電器産業株式会社）2002. 09. 20, 段落【0009】，【0098】，【0104】，【0121】，【0129】，第1, 4 図 & US 6810340 B2	1-3, 5-17 4

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 5 . 2 0 1 0

国際調査報告の発送日

0 1 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

平野 崇

電話番号 03-3581-1101 内線 3531

5 H

3 6 5 7