

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-37726

(P2018-37726A)

(43) 公開日 平成30年3月8日(2018.3.8)

(51) Int.Cl.

H04L 27/00 (2006.01)

F I

H04L 27/00

テーマコード (参考)

C

審査請求 未請求 請求項の数 10 O L (全 27 頁)

(21) 出願番号 特願2016-166884 (P2016-166884)
(22) 出願日 平成28年8月29日 (2016.8.29)

(71) 出願人 000227205
N E Cプラットフォームズ株式会社
神奈川県川崎市高津区北見方二丁目6番1号
(74) 代理人 100109313
弁理士 机 昌彦
(74) 代理人 100124154
弁理士 下坂 直樹
(72) 発明者 向 啓志
東京都港区三田一丁目4番28号
日本電気通信システム株式
会社内
(72) 発明者 齋藤 靖夫
東京都港区三田一丁目4番28号
日本電気通信システム株式
会社内

(54) 【発明の名称】 変換規則導出装置、通信装置、変換規則導出提供方法

(57) 【要約】

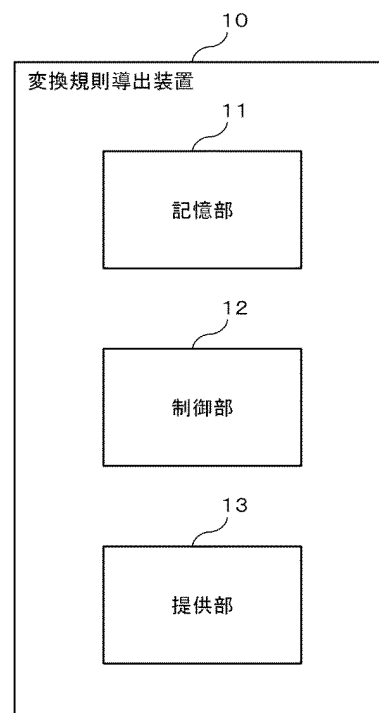
【課題】

様々な変調方式に対応でき、かつ、マッピングに必要な情報量を削減することのできる変換規則導出装置、通信装置、変換規則導出提供方法を提供する。

【解決手段】

制御部12が、記憶部11に記憶されている値に基づいて、信号空間ダイアグラムにおいて、第1のデジタル変調方式における各信号点のうち、第2のデジタル変調方式における信号点と重複する信号点に対応するビット列と、第2のデジタル変調方式において信号点と重複する信号点に対応するビット列とを相互に変換するための変換規則を導出する。提供部13が、制御部12が導出した変換規則を通信装置に提供する。

【選択図】 図20



【特許請求の範囲】**【請求項 1】**

通信装置が対応可能な複数のデジタル変調方式において、各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が前記信号点に対応するビット列に対応付けられて記憶されている記憶手段と、

前記記憶手段に記憶されている前記値に基づいて、前記信号空間ダイアグラムにおいて、第 1 のデジタル変調方式における各信号点のうち、第 2 のデジタル変調方式における信号点と重複する信号点に対応するビット列と、前記第 2 のデジタル変調方式において前記信号点と重複する信号点に対応するビット列とを相互に変換するための変換規則を導出する制御手段と、

10

前記制御手段が導出した前記変換規則を前記通信装置に提供する提供手段と、
を備えたことを特徴とする変換規則導出装置。

【請求項 2】

前記各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値は、前記記憶手段において、対応するビット列をメモリアドレスとする領域に記憶されている、

請求項 1 に記載の変換規則導出装置。

【請求項 3】

前記制御手段は、前記第 1 のデジタル変調方式と前記第 2 のデジタル変調方式とにおける前記信号空間ダイアグラムで互いに重複する信号点のそれぞれに対応するビット列において、値が互いに等しいか否かに基づいて、変換規則を導出する、

20

請求項 1 または請求項 2 に記載の変換規則導出装置。

【請求項 4】

前記制御手段は、前記第 1 のデジタル変調方式と前記第 2 のデジタル変調方式とにおける前記信号空間ダイアグラムで互いに重複する信号点のそれぞれに対応するビット列において、一方のビット列におけるビットと他方のビット列におけるビットとで値が互いに等しい桁がある場合に、一方のビット列における桁の値を他方のビット列における桁に適用する変換規則を導出する、

請求項 3 に記載の変換規則導出装置。

【請求項 5】

前記制御手段は、前記第 1 のデジタル変調方式と前記第 2 のデジタル変調方式とにおける前記信号空間ダイアグラムで互いに重複する信号点のそれぞれに対応するビット列において、一方のビット列におけるビットと他方のビット列におけるビットとで値が互いに等しくない桁がある場合に、一方のビット列における前記桁の値の組合せに、対応する所定の値の組合せを適用する変換規則を導出する、

30

請求項 3 または請求項 4 に記載の変換規則導出装置。

【請求項 6】

信号空間ダイアグラムにおける信号配置に基づき、第 1 のデジタル変調方式の各信号点の値に応じたビット列と、前記各信号点に重複する、第 2 のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に基づいて、前記第 1 のデジタル変調方式に応じた送信用データを前記第 2 のデジタル変調方式に応じた変換後データに変換するデータ変換手段と、

40

前記変換後データに、前記第 2 のデジタル変調方式で変調を施して送信信号を生成する変調手段と、

前記送信信号を送信する送信手段と、
を備えたことを特徴とする通信装置。

【請求項 7】

前記変換規則を導出する変換規則導出装置を含む、
請求項 6 に記載の通信装置。

【請求項 8】

受信した送信信号を前記送信信号に応じた復調方式で変換後データに復調する復調手段

50

と、

信号空間ダイアグラムにおける信号配置に基づき、第1のデジタル変調方式の各信号点の値に応じたビット列と、前記各信号点に重複する、第2のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に基づいて、前記第2のデジタル変調方式に応じた変換後データを前記第1のデジタル変調方式に応じた送信用データに変換するデータ変換手段と、

を備えたことを特徴とする通信装置。

【請求項9】

前記変換規則を導出する変換規則導出装置を含む、
請求項8に記載の通信装置。

10

【請求項10】

通信装置が対応可能な複数のデジタル変調方式において、各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が前記信号点に対応するビット列に対応付けられて記憶されている記憶手段に記憶されている前記値に基づいて、前記信号空間ダイアグラムにおいて、第1のデジタル変調方式における各信号点のうち、第2のデジタル変調方式における信号点と重複する信号点に対応するビット列と、前記第2のデジタル変調方式において前記信号点と重複する信号点に対応するビット列とを相互に変換するための変換規則を導出し、

導出した前記変換規則を前記通信装置に提供する、
ことを特徴とする変換規則導出提供方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、変換規則導出装置、通信装置、変換規則導出提供方法に関する。

【背景技術】

【0002】

デジタル変調を行う通信装置は、複数の多値度の変調方式に対応していることがある。例えば、無線LAN(Local Area Network)の規格であるIEEE(Institute of Electrical and Electronics Engineers)802.11acにおいて、通信装置は、BPSK(Binary Phase Shift Keying)、QPSK(Quadrature Phase Shift Keying)、16QAM(Quadrature Amplitude Modulation)、64QAMおよび256QAMによる変調に対応する必要がある。

30

【0003】

また、ケーブルテレビジョン回線を利用して通信する通信装置が、複数の多値度の変調方式に対応している場合がある。例えば、ケーブルテレビジョン回線を利用した通信方式の規格であるDOCSIS(Data Over Cable Service Interface Specifications)3.1において、通信装置は、下り通信で1024QAM、2048QAMおよび4096QAM、上り通信で128QAM、256QAM、512QAM、1024QAM、2048QAMおよび4096QAMによる変調に対応する必要がある。

40

【0004】

QAMは、I(In-phase)成分とQ(Quadrature)成分とからなる2次元座標系において対応する信号点に、2進数のデータをマッピングする変調方式である。例えば、256QAMでは、2次元座標系(I軸と、Q軸とからなる2次元複素平面座標系)における256個の信号点のいずれかに、8ビットのデータがマッピングされる。

【0005】

特許文献1に記載された発明では、入力されたビット列の所定の位置にビットが追加さ

50

れ、さらに、入力されたビット列の一部または全部のビットの値が反転されることにより、ビット列の変換が行われる。そして、特許文献 1 に記載された発明では、変調方式に対応する信号空間ダイアグラム上のいずれかのシンボルに、変換されたビット列をマッピングするマッピング処理が行われる。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2014 - 143532 号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0007】

特許文献 1 に記載された発明では、ビットの追加操作およびビットの反転操作のみを行い、BPSK、QPSK、16QAM、32QAM、64QAMおよび256QAMに適用可能であるが、128QAM等の特定の 변調方式にも適用可能であることが好ましい。

【0008】

本発明は、上記課題に鑑み、様々な変調方式に対応でき、かつ、マッピングに必要な情報を削減することのできる変換規則導出装置、通信装置、変換規則導出提供方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

20

本発明の変換規則導出装置は、通信装置が対応可能な複数のデジタル変調方式において、各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が前記信号点に対応するビット列に対応付けられて記憶されている記憶手段と、前記記憶手段に記憶されている前記値に基づいて、前記信号空間ダイアグラムにおいて、第 1 のデジタル変調方式における各信号点のうち、第 2 のデジタル変調方式における信号点と重複する信号点に対応するビット列と、前記第 2 のデジタル変調方式において前記信号点と重複する信号点に対応するビット列とを相互に変換するための変換規則を導出する制御手段と、前記制御手段が導出した前記変換規則を前記通信装置に提供する提供手段と、を備える。

【0010】

30

本発明の通信装置は、信号空間ダイアグラムにおける信号配置に基づき、第 1 のデジタル変調方式の各信号点の値に応じたビット列と、前記各信号点に重複する、第 2 のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に基づいて、前記第 1 のデジタル変調方式に応じた送信用データを前記第 2 のデジタル変調方式に応じた変換後データに変換するデータ変換手段と、前記変換後データに、前記第 2 のデジタル変調方式で変調を施して送信信号を生成する変調手段と、前記送信信号を送信する送信手段と、を備える。

【0011】

40

本発明の他の態様の通信装置は、受信した送信信号を前記送信信号に応じた復調方式で変換後データに復調する復調手段と、信号空間ダイアグラムにおける信号配置に基づき、第 1 のデジタル変調方式の各信号点の値に応じたビット列と、前記各信号点に重複する、第 2 のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に基づいて、前記第 2 のデジタル変調方式に応じた変換後データを前記第 1 のデジタル変調方式に応じた送信用データに変換するデータ変換手段と、を備える。

【0012】

50

本発明の変換規則導出提供方法は、通信装置が対応可能な複数のデジタル変調方式において、各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が前記信号点に対応するビット列に対応付けられて記憶されている記憶手段に記憶されている前記値に基づいて、前記信号空間ダイアグラムにおいて、第 1 のデジタル変調方式における各信号点のうち、第 2 のデジタル変調方式における信号点と重複する信号点に対応するビット列と、前記第 2 のデジタル変調方式において前記信号点と重複する信号点に対応するビッ

ト列とを相互に変換するための変換規則を導出し、導出した前記変換規則を前記通信装置に提供する。

【発明の効果】

【0013】

幅広い変調方式に対応でき、かつ、マッピングに必要な情報量を削減できる。

【図面の簡単な説明】

【0014】

【図1】第1の実施形態における通信システムの構成例を示す図である。

【図2】第1の実施形態における変換規則導出装置の構成例を示すブロック図である。

【図3】第1の実施形態における128QAMに応じた信号空間ダイアグラムの一例を示す図である。

10

【図4】第1の実施形態における128QAMの各信号点に応じたビット列の情報の一例を示す図である。

【図5】第1の実施形態における256QAMに応じた信号空間ダイアグラムの一例を示す図である。

【図6】第1の実施形態における256QAMの各信号点に応じたビット列の情報の一例を示す図である。

【図7】第1の実施形態における256QAMに応じた信号点に対応するビット列の情報のうち、128QAMに応じた信号点に対応するビット列と重複するビット列の情報を示す図である。

20

【図8】第1の実施形態における通信装置の構成例を示すブロック図である。

【図9】第1の実施形態において、256QAMに応じたビット列と、128QAMに応じたビット列とを相互に変換するための変換規則の例を示す説明図である。

【図10】第1の実施形態における通信装置の構成例を示すブロック図である。

【図11】第1の実施形態における変換規則導出装置の処理を示すフローチャートである。

【図12】第1の実施形態における通信装置の処理を示すフローチャートである。

【図13】第1の実施形態における256QAMに応じた各信号点のうち、128QAMに応じたデータ(ビット列)がマッピングされる信号点の一例を示す図である。

【図14】第1の実施形態における通信装置の処理を示すフローチャートである。

30

【図15】第1の実施形態において、256QAMに応じたビット列と、64QAMに応じたビット列とを相互に変換するための変換規則の一例を示す図である。

【図16】第1の実施形態において、256QAMに応じたビット列と、32QAMに応じたビット列とを相互に変換するための変換規則の一例を示す図である。

【図17】第1の実施形態において、256QAMに応じたビット列と、16QAMに応じたビット列とを相互に変換するための変換規則の一例を示す図である。

【図18】第1の実施形態において、256QAMに応じたビット列と、QPSKに応じたビット列とを相互に変換するための変換規則の一例を示す図である。

【図19】第2の実施形態における通信システムの構成例を示す図である。

【図20】第3の実施形態における変換規則導出装置の構成例を示すブロック図である。

40

【図21】第4の実施形態における通信装置の構成例を示すブロック図である。

【図22】第5の実施形態における通信装置の構成例を示すブロック図である。

【発明を実施するための形態】

【0015】

< 第1の実施形態 >

図1は、第1の実施形態の通信システム1の構成例を示すブロック図である。通信システム1は、変換規則導出装置100と、送信側の通信装置200と、受信側の通信装置300とを含む。変換規則導出装置100と、通信装置200と、通信装置300とは、互いに通信可能に接続され、例えば、無線伝送路または有線伝送路を介して互いの間で通信が行われる。

50

【 0 0 1 6 】

図 2 は、変換規則導出装置 1 0 0 の構成例を示すブロック図である。図 2 に示すように、変換規則導出装置 1 0 0 は、制御部 1 1 0 と、記憶部 1 2 0 と、出力部 1 3 0 とを含む。

【 0 0 1 7 】

制御部 1 1 0 は、記憶部 1 2 0 に格納されている所定の変調方式に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値に基づき、所定の変調方式に応じたビット列を、別の所定の変調方式に応じたビット列に変換するための変換規則を導出する。

【 0 0 1 8 】

例えば、制御部 1 1 0 は、2 5 6 Q A M のデータに応じたビット列と、1 2 8 Q A M のデータに応じたビット列とを相互に変換するための変換規則を導出する。例えば、制御部 1 1 0 は、1 2 8 Q A M に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が格納されているメモリアドレスに対応するビット列と、2 5 6 Q A M に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が格納されているメモリアドレスに対応するビット列とを比較し、変換規則を導出する。制御部 1 1 0 による変換規則の導出処理の詳細は、後述する。

【 0 0 1 9 】

また、例えば、制御部 1 1 0 は、プログラム制御に従って処理を実行する C P U (C e n t r a l P r o c e s s i n g U n i t) や複数の回路等によって実現される。

【 0 0 2 0 】

記憶部 1 2 0 には、所定の変調方式に応じたデータ (ビット列) をメモリアドレスとした、所定の変調方式に応じた各信号点の位置の I 成分の値および Q 成分の値が格納されている。

【 0 0 2 1 】

図 3 は、1 2 8 Q A M に応じた信号空間ダイアグラムの一例を示す図である。図 4 は、1 2 8 Q A M の各信号点に応じたビット列の情報の一例を示す図である。図 5 は、2 5 6 Q A M に応じた信号空間ダイアグラムの一例を示す図である。図 6 は、2 5 6 Q A M の各信号点に応じたビット列の情報の一例を示す図である。図 7 は、2 5 6 Q A M に応じた信号点に対応するビット列の情報のうち、1 2 8 Q A M に応じた信号点に対応するビット列と重複するビット列の情報を示す図である。

【 0 0 2 2 】

例えば、記憶部 1 2 0 には、図 3 に示すような 1 2 8 Q A M に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が、図 4 に示すような 1 2 8 Q A M の各信号点に応じたビット列のメモリアドレスに格納されている。また、例えば、記憶部 1 2 0 には、図 5 に示すような 2 5 6 Q A M に応じた信号空間ダイアグラム上の各信号点のうち、1 2 8 Q A M の各信号点に応じた位置の I 成分の値および Q 成分の値が、図 7 に示すような 2 5 6 Q A M の各信号点に応じたビット列のメモリアドレスに格納されている。

【 0 0 2 3 】

例えば、図 3 に示されている信号点 1 4 0 は、図 4 に示す 7 ビットのビット列 1 5 0 (“ 0 0 0 0 0 0 1 ”) に対応しており、ビット列 1 5 0 は、信号点 1 4 0 にマッピングされることが示され、記憶部 1 2 0 のメモリアドレス “ 0 0 0 0 0 0 1 ” に、信号点 1 4 0 の位置の I 成分の値および Q 成分の値が格納されている。また、図 5 に示されている信号点 1 8 0 は、図 6 および図 7 に示す 8 ビットのビット列 1 9 0 (“ 0 1 1 0 0 0 1 1 ”) に対応しており、ビット列 1 9 0 は、信号点 1 8 0 にマッピングされることが示され、記憶部 1 2 0 のメモリアドレス “ 0 1 1 0 0 0 1 1 ” に信号点 1 8 0 の位置の I 成分の値および Q 成分の値が格納されている。

【 0 0 2 4 】

なお、記憶部 1 2 0 において、例えば、1 2 8 Q A M に応じた信号空間ダイアグラム上

10

20

30

40

50

の各信号点の位置の I 成分の値および Q 成分の値が格納されている 128 QAM の各信号点に応じたビット列のメモリアドレスと、256 QAM に応じた信号空間ダイアグラム上の各信号点のうち、128 QAM の各信号点に応じた位置の I 成分の値および Q 成分の値が格納されている 256 QAM の各信号点に応じたビット列のメモリアドレスとは、互いに重複しないように設定されている。

【0025】

例えば、128 QAM に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値は、記憶部 120 において、128 QAM の各信号点に応じたビット列の先頭に“00”という2ビットを付加したメモリアドレスに格納されている。例えば、図3に示されている信号点140の位置の I 成分の値および Q 成分の値は、記憶部 120 のメモリアドレス“000000001”に格納されている。

10

【0026】

また、例えば、256 QAM に応じた信号空間ダイアグラム上の各信号点のうち、128 QAM の各信号点に応じた位置の I 成分の値および Q 成分の値は、記憶部 120 において、256 QAM の各信号点に応じたビット列の先頭に“1”という1ビットを付加したメモリアドレスに格納されている。例えば、図5に示されている信号点180の位置の I 成分の値および Q 成分の値は、記憶部 120 のメモリアドレス“101100011”に格納されている。なお、先頭に上記1ビットまたは2ビットが付加された場合に、例えば、制御部 110 は、後述する変換規則を導出する際には、先頭に付加された上記1ビットまたは2ビットを削除する。

20

【0027】

なお、例えば、記憶部 120 には、256 QAM に応じた信号空間ダイアグラム上の各信号点のうち、128 QAM の各信号点に応じた位置の I 成分の値および Q 成分の値のみが格納されていてもよいし、256 QAM に応じた信号空間ダイアグラム上の各信号点に応じた位置の I 成分の値および Q 成分の値が全て格納されていてもよい。

【0028】

また、記憶部 120 には、変数 m と、変数 n とが格納される。ここで、変数 m は、入力された 128 QAM に応じたデータのビット位置を示す。128 QAM に応じたデータは、7ビットであるため、m は 0 以上 6 以下の値である。また、変数 n は、256 QAM に応じたデータのビット位置を示す。256 QAM に応じたデータは、8ビットであるため、n は、0 以上 7 以下の値である。

30

【0029】

なお、各ビット列において、0ビット目が、LSB (Least Significant Bit : 最下位ビット) である。また、128 QAM に応じたデータのビット列において、6ビット目 (m = 6) が、MSB (Most Significant Bit : 最上位ビット) であり、256 QAM に応じたデータのビット列において、7ビット目 (n = 7) が、MSB である。

【0030】

また、記憶部 120 には、制御部 110 が導出した変換規則の情報が格納される。なお、例えば、記憶部 120 は、メモリ等によって実現される。

40

【0031】

出力部 130 は、制御部 110 によって導出された変換規則の情報を送信する。例えば、出力部 130 は、送信機およびアンテナ等によって実現され、通信装置 200 および通信装置 300 に、変換規則の情報を送信する。

【0032】

図8は、通信装置 200 の構成例を示すブロック図である。図8に示すように、通信装置 200 は、制御部 210 と、記憶部 220 と、通信部 230 とを含む。通信装置 200 は、例えば、ケーブルテレビジョン回線等を利用して有線通信を行う通信装置や、無線通信を行う基地局やユーザ端末等の通信装置である。

【0033】

50

記憶部 220 には、所定の変調方式に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が格納されている。また、記憶部 220 には、制御部 210 によって使用される変換規則の情報が格納される。なお、記憶部 220 は、例えば、メモリやハードディスク等によって実現される。

【0034】

例えば、記憶部 220 には、図 5 に示すような 256 QAM に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が、図 6 に示すような 256 QAM の各信号点に対応するビット列のメモリアドレスに格納されている。例えば、図 5 において、信号点 160 は、図 6 に示す 8 ビットのビット列 170 (“00000000”) と対応しており、ビット列 170 は、信号点 160 にマッピングされることを示しており、記憶部 220 のメモリアドレス “00000000” に信号点 160 の I 成分の値および Q 成分の値が格納されている。

【0035】

図 9 は、変換規則の例を示す説明図である。例えば、記憶部 220 には、図 9 に示すような、128 QAM に応じたデータを、256 QAM に応じたデータに変換するための変換規則が格納される。例えば、図 9 には、256 QAM に応じたビットのビット列 “D、y3、y2、C、B、y1、y0、A” と、128 QAM に応じたビットのビット列 “D、x2、x1、C、B、x0、A” とを相互に変換するための変換規則が示されている。なお、図 9 では、128 QAM に応じたビットのビット列が、実線で示した矢印の方向で、256 QAM に応じたビットのビット列に変換される。図 9 に示す変換規則では、128 QAM に応じたビット列および 256 QAM に応じたビット列に含まれる、A、B、C および D に対応する位置のビットの値は、それぞれ同じ値となる。

【0036】

また、128 QAM に応じたビット列に含まれる x0、x1 および x2 に対応する位置におけるそれぞれのビットの値の組合せに応じて、256 QAM に応じたビット列に含まれる y0、y1、y2 および y3 に対応する位置におけるそれぞれのビットの値の組合せが決定される。

【0037】

x0、x1 および x2 に対応する位置のビットの値の組合せと、y0、y1、y2 および y3 に対応する位置のビットの値の組合せとの関係が、図 9 に示す変換規則テーブル 121 に示されている。例えば、128 QAM に応じたビット列に含まれる x0、x1 および x2 に対応する位置のビットの値がすべて “0” の場合（図 9 に示す変換規則テーブル 121 の 2 行目の場合）に、256 QAM に応じたビット列に含まれる y3、y2、y1 および y0 に対応する位置のそれぞれのビットの値が “1”、“1”、“0” および “1” に決定される。

【0038】

制御部 210 は、変調方式を示す制御信号と、記憶部 220 に格納される変換規則の情報とに基づき、通信部 230 から入力された入力データ（ビット列）を変換する。

【0039】

また、制御部 210 は、記憶部 220 に格納されている所定の変調方式に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値に基づき、入力データに対応する信号点にマッピングし、マッピングした信号点の位置の I 成分の値および Q 成分の値を通信部 230 に入力する。例えば、制御部 210 は、入力データのビット列に応じた記憶部 220 のメモリアドレスを参照し、当該参照したメモリアドレスに格納されている信号点の位置の I 成分の値および Q 成分の値を取得し、取得した信号点の位置の I 成分の値および Q 成分の値を通信部 230 に入力する。

【0040】

なお、通信装置 200 は、変調方式を決定する変調方式決定部を含み、制御信号は、変調方式決定部から入力された信号でもよい。また、通信装置 200 とは別の装置が変調方式を決定し、制御信号は、当該別の装置から送信された信号でもよい。

10

20

30

40

50

【 0 0 4 1 】

また、制御部 2 1 0 は、通信部 2 3 0 に、入力データの変調方式を示す情報を入力する。入力データの変調方式を示す情報は、例えば、1 2 8 Q A M に応じた入力データ（ビット列）が 2 5 6 Q A M に応じた入力データ（ビット列）に変換された場合に、1 2 8 Q A M であることを示す情報である。また、入力データの変調方式を示す情報は、例えば、2 5 6 Q A M に応じたデータ（ビット列）が入力されたことによって、制御部 2 1 0 において変換処理が行われなかった場合に、2 5 6 Q A M であることを示す情報である。制御部 2 1 0 は、例えば、プログラム制御に従って処理を実行する C P U や複数の回路等によって実現される。

【 0 0 4 2 】

通信部 2 3 0 は、変換規則導出装置 1 0 0 から送信された変換規則の情報を受信し、記憶部 2 2 0 に変換規則の情報を入力する。また、通信部 2 3 0 は、外部機器等から入力された入力データを制御部 2 1 0 に入力する。また、通信部 2 3 0 は、制御部 2 1 0 から入力された I 成分の値および Q 成分の値に基づき、搬送波を変調し、変調後の搬送波を送信する。また、制御部 2 1 0 から、入力データの変調方式を示す情報が入力された場合に、通信部 2 3 0 は、入力データの変調方式を示す情報を含む変調後の搬送波を送信する。例えば、通信部 2 3 0 は、送信機、受信機およびアンテナ等によって実現される。

【 0 0 4 3 】

例えば、通信装置 2 0 0 が基地局である場合に、通信部 2 3 0 は、変調後の搬送波を通信端末（ユーザ端末等）に送信する。また、通信装置 2 0 0 が通信端末（ユーザ端末等）である場合に、通信部 2 3 0 は、変調後の搬送波を基地局に送信する。

【 0 0 4 4 】

図 1 0 は、通信装置 3 0 0 の構成例を示すブロック図である。図 1 0 に示すように、通信装置 3 0 0 は、制御部 3 1 0 と、記憶部 3 2 0 と、通信部 3 3 0 とを含む。通信装置 3 0 0 は、例えば、ケーブルテレビジョン回線等を利用して有線通信を行う通信装置や、無線通信を行う基地局やユーザ端末等の通信装置である。

【 0 0 4 5 】

記憶部 3 2 0 には、所定の変調方式に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が格納されている。また、記憶部 3 2 0 には、制御部 3 1 0 によって使用される変換規則の情報が格納される。なお、記憶部 3 2 0 は、例えば、メモリやハードディスク等によって実現される。

【 0 0 4 6 】

例えば、記憶部 3 2 0 には、図 5 に示すような 2 5 6 Q A M に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が、図 6 に示すような 2 5 6 Q A M の各信号点に対応するビット列のメモリアドレスに格納されている。例えば、図 5 において、信号点 1 6 0 は、図 6 に示す 8 ビットのビット列 1 7 0 (“ 0 0 0 0 0 0 0 0 ”) と対応しており、ビット列 1 7 0 は、信号点 1 6 0 にマッピングされることを示しており、記憶部 3 2 0 のメモリアドレス “ 0 0 0 0 0 0 0 0 ” に信号点 1 6 0 の I 成分の値および Q 成分の値が格納されている。

【 0 0 4 7 】

また、例えば、記憶部 3 2 0 には、図 9 に示すような、2 5 6 Q A M に応じたデータを、1 2 8 Q A M に応じたデータに変換するための変換規則が格納される。例えば、図 9 には、1 2 8 Q A M に応じたビットのビット列 “ D、x 2、x 1、C、B、x 0、A ” と、2 5 6 Q A M に応じたビットのビット列 “ D、y 3、y 2、C、B、y 1、y 0、A ” とを相互に変換するための変換規則が示されている。なお、図 9 では、2 5 6 Q A M に応じたビットのビット列が、破線で示した矢印の方向で、1 2 8 Q A M に応じたビットのビット列に変換される。図 9 に示す変換規則では、1 2 8 Q A M に応じたビット列および 2 5 6 Q A M に応じたビット列に含まれる、A、B、C および D に対応する位置のビット値は、それぞれ同じ値となる。

【 0 0 4 8 】

また、128QAMに応じたビット列に含まれるx0、x1およびx2に対応する位置におけるそれぞれのビットの値の組合せに応じて、256QAMに応じたビット列に含まれるy0、y1、y2およびy3に対応する位置におけるそれぞれのビットの値の組合せが決定される。

【0049】

x0、x1およびx2に対応する位置のビットの値の組合せと、y0、y1、y2およびy3に対応する位置のビットの値の組合せとの関係が、図9に示す変換規則テーブル121に示されている。例えば、256QAMに応じたビット列に含まれるy3、y2、y1およびy0に対応する位置のそれぞれのビットの値が“1”、“1”、“0”および“1”の場合（図9に示す変換規則テーブル121の2行目の場合）に、128QAMに応じたビット列に含まれるx0、x1およびx2に対応する位置のビットの値がすべて“0”に決定される。

10

【0050】

通信部330は、変換規則導出装置100から送信された変換規則の情報を受信し、記憶部320に変換規則の情報を入力する。また、通信部330は、通信装置200から送信された信号を受信し、制御部310に当該信号を入力する。また、通信部330は、制御部310から入力された通信装置200の入力データを、例えば、セットトップボックス等の外部機器に出力する。例えば、通信部330は、送信機、受信機およびアンテナ等によって実現される。

【0051】

20

例えば、通信装置300が基地局である場合に、通信部330は、変調後の搬送波を通信端末（ユーザ端末等）から受信する。また、通信装置300が通信端末（ユーザ端末等）である場合に、通信部330は、変調後の搬送波を基地局から受信する。

【0052】

通信部330は、受信した信号に、入力データの変調方式を示す情報が含まれているかを判断する。そして、通信部330は、入力データの変調方式を示す情報が含まれていると判断した場合に、制御部310に、変調方式を示す制御信号を入力する。変調方式を示す制御信号は、例えば、通信装置200において、128QAMに応じた入力データ（ビット列）が256QAMに応じた入力データ（ビット列）に変換された場合に、128QAMであることを示す制御信号である。また、変調方式を示す制御信号は、例えば、通信装置200において、128QAMに応じた入力データ（ビット列）が256QAMに応じた入力データ（ビット列）に変換されていない場合に、256QAMであることを示す制御信号である。

30

【0053】

なお、例えば、通信部330が、通信装置300とは別の装置から変調方式を示す信号を受信し、当該変調方式を示す信号に基づき、制御部310に、変調方式を示す制御信号を入力してもよい。例えば、変調方式を示す信号は、128QAMであることを示す信号、または256QAMであることを示す信号である。例えば、通信部330は、128QAMであることを示す信号を受信した場合に、制御部310に、128QAMであることを示す制御信号を入力する。なお、通信装置300とは別の装置によって送信された変調方式を示す制御信号を受信し、受信した制御信号を制御部310に入力する変調方式決定部を通信装置300が備えるように構成されていてもよい。

40

【0054】

制御部310は、通信部330が受信した変調された搬送波を復調する。例えば、制御部310は、通信部330が信号を受信した場合、受信した信号のI成分の値およびQ成分の値を取得する。そして、例えば、制御部310は、受信した信号に施された変調に対応した信号点の位置のI成分の値およびQ成分の値を取得し、このI成分の値およびQ成分の値が格納されている記憶部320のメモリアドレスを参照し、当該メモリアドレスの値を受信したデータ（ビット列）として取得する。

【0055】

50

制御部 310 は、変調方式を示す制御信号が入力された場合に、記憶部 320 に格納される変換規則の情報に基づき、取得した受信データ（ビット列）を通信装置 200 の入力データに変換する。例えば、制御部 310 は、制御信号によって、128QAMであることが示されている場合に、記憶部 320 に格納される図 9 に示す変換規則に基づき、256QAMに応じた受信データ（ビット列）を変換し、128QAMに応じた通信装置 200 の入力データ（ビット列）を取得する。そして、制御部 310 は、取得した通信装置 200 の入力データを通信部 330 に入力する。なお、制御部 310 は、例えば、プログラム制御に従って処理を実行する CPU や複数の回路等によって実現される。

【0056】

図 11 は、変換規則導出装置 100 による変換規則導出の処理を示すフローチャートである。図 11 に示すフローチャートでは、変換規則導出装置 100 は、128QAM に応じたデータのビット列（7 ビット）と、256QAM に応じたデータのビット列（8 ビット）とを相互に変換するための変換規則を導出する。

【0057】

制御部 110 は、変数 m および変数 n の値を 0 に設定し、記憶部 120 に変数 m および変数 n の値を格納する（ステップ S101）。

【0058】

制御部 110 は、128QAM に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が格納されている記憶部 120 のメモリアドレスに対応するビット列と、256QAM に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が格納されている記憶部 120 のメモリアドレスに対応するビット列とを比較する。そして、制御部 110 は、各信号点において、128QAM に応じたビット列の m ビット目の値と、256QAM に応じたビット列の n ビット目の値とが等しいか否かを判断する（ステップ S102）。

【0059】

例えば、制御部 110 は、ステップ S102 の処理で、m = 0 かつ n = 0 の場合、図 3 に示す信号点 140 に対応する、図 4 に示すビット列 150（“00000001”）の 0 ビット目の値と、図 5 に示す信号点 180 に対応する、図 7 に示すビット列 190（“01100011”）の 0 ビット目の値とが等しいか否かを判断する。本例では、制御部 110 は、信号点 140 に対応するビット列 150 の 0 ビット目の値と、信号点 140 と同じ信号点の位置となる信号点 180 に対応するビット列 190 の 0 ビット目の値とが等しいと判断する。

【0060】

制御部 110 は、128QAM に応じたビット列の m ビット目の値と 256QAM に応じたビット列の n ビット目の値とが等しいと判断した場合に（ステップ S102 の YES）、128QAM に応じたビット列の m ビット目の値を 256QAM に応じたビット列の n ビット目に配置する変換規則を導出する（ステップ S103）。そして、制御部 110 は、ステップ S104 の処理に移行する。

【0061】

制御部 110 は、128QAM に応じたビット列の m ビット目の値と 256QAM に応じたビット列の n ビット目の値とが等しくないと判断した場合に（ステップ S102 の NO）、ステップ S104 の処理に移行する。

【0062】

制御部 110 は、ステップ S104 の処理で、m の値が、128QAM に応じたビット列の MSB であるか否かを判断する（ステップ S104）。

【0063】

制御部 110 は、m の値が、128QAM に応じたビット列の MSB でないと判断した場合に（ステップ S104 の NO）、n の値が 256QAM に応じたビット列の MSB であるか否かを判断する（ステップ S105）。

【0064】

10

20

30

40

50

制御部 110 は、 n の値が 256 QAM に応じたビット列の MSB でないと判断した場合に (ステップ S105 の NO)、 n の値に 1 を加算し (ステップ S106)、記憶部 120 に変更後の n の値を格納した後、制御部 110 は、ステップ S102 の処理に移行する。

【0065】

制御部 110 は、 n の値が 256 QAM に応じたビット列の MSB であると判断した場合に (ステップ S105 の YES)、 m の値に 1 を加算し、 n の値を 0 とし (ステップ S107)、記憶部 120 に変更後の m および n の値を格納した後、制御部 110 は、ステップ S102 の処理に移行する。

【0066】

以上の処理を行うことにより、変換規則導出装置 100 は、例えば、図 9 の左上欄に示す 128 QAM に応じたビット列と、右上欄に示す 256 QAM に応じたビット列とにおける A、B、C および D に対応する位置のビットに対する変換規則を導出できる。図 9 に示す例では、128 QAM に応じたビット列における A、B、C および D に対応する位置のビットの値が、256 QAM に応じたビット列における A、B、C および D に対応する位置のビットにそれぞれ配置されることを示している。

【0067】

制御部 110 は、 m の値が、128 QAM に応じたビット列の MSB であると判断した場合に (ステップ S104 の YES)、128 QAM に応じたビット列におけるビットのうち、256 QAM に応じたビット列におけるビットに変換されていないビット値の変換規則を導出する。

【0068】

具体的には、128 QAM に応じたビット列のビットのうち、256 QAM に応じたビット列のビットに変換されていないビットの値の組合せを X とし、256 QAM に応じたビット列のビットのうち、128 QAM に応じたビット列におけるビットの値が配置されていないビットの値の組合せを Y とする。

【0069】

図 9 に示す例の場合、128 QAM に応じたビット列のビットのうち、 x_2 、 x_1 および x_0 に対応する位置の各ビットの値の組合せが X となり、256 QAM に応じたビット列のビットのうち、 y_3 、 y_2 、 y_1 および y_0 に対応する位置の各ビットの値の組合せが Y となる。なお、組合せ X と組合せ Y とは互いに対応し、それぞれ所定の値の組合せに相当する。

【0070】

制御部 110 は、128 QAM に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が格納されている記憶部 120 のメモリアドレスに対応するビット列と、256 QAM に応じた信号空間ダイアグラム上の各信号点の位置の I 成分の値および Q 成分の値が格納されている記憶部 120 のメモリアドレスに対応するビット列とを比較する。そして、制御部 110 は、各信号点において、特定の組合せ X に対し、組合せ Y が同一の値となるか否かを判断する (ステップ S108)。

【0071】

例えば、制御部 110 は、128 QAM に応じた “D00CB0A” (x_2 、 x_1 および x_0 に対応する位置のビットの値がいずれも 0) というビット列に対応する 128 QAM における各信号点と同じ位置になる、256 QAM における各信号点に対応するビット列の Y の値が、すべて同じ値となるか否かを調べる。

【0072】

128 QAM に応じた “D00CB0A” というビット列の場合に、図 4 および図 7 に示すビット列を照らし合わせると、同じ位置になる信号点における 256 QAM に応じたビット列は、すべて “D11CB01A” となる。本例では、 x_2 、 x_1 および x_0 に対応する位置のビットの値がいずれも 0 となる組合せ X の場合に、制御部 110 は、 y_3 、 y_2 、 y_1 および y_0 に対応する位置のそれぞれのビットの値が “1”、“1”、“0”

10

20

30

40

50

および“ 1 ”になる（すなわち、組合せ Y が、“ 1 1 0 1 ”となる）と判断する。よって、図 9 に示す下段の変換規則テーブル 1 2 1 における、2 行目の変換規則が導出される。

【 0 0 7 3 】

制御部 1 1 0 は、組合せ X がとり得るすべての組合せについて、それぞれ対応する組合せ Y が同一の値となるか否かを判断する。本例では、制御部 1 1 0 は、x 2、x 1 および x 0 に対応する位置の合計 3 ビットがとり得る合計 8 通りの組合せ X について、それぞれ対応する組合せ Y が同一の値となるか否かを判断する。

【 0 0 7 4 】

制御部 1 1 0 は、特定の組合せ X に対し、組合せ Y が同一の値となると判断した場合に（ステップ S 1 0 8 の Y E S）、組合せ X および組合せ Y における変換規則を示す変換規則テーブルを導出し、記憶部 1 2 0 に、導出された変換規則テーブルと、ステップ S 1 0 3 で導出された変換規則とを含む変換規則の情報を格納する（ステップ S 1 0 9）。出力部 1 3 0 は、導出された変換規則テーブルと、ステップ S 1 0 3 で導出された変換規則とを含む変換規則の情報を通信装置 2 0 0 および通信装置 3 0 0 に送信し（ステップ S 1 0 9）、処理を終了する。

【 0 0 7 5 】

したがって、図 9 には、1 2 8 Q A M に応じたビット列に含まれる x 2、x 1 および x 0 に対応する位置のビットの値と、2 5 6 Q A M に応じたビット列に含まれる y 3、y 2、y 1 および y 0 に対応する位置のビットの値とを相互に変換するための、変換規則テーブル 1 2 1 を含む変換規則が示されている。例えば、1 2 8 Q A M に応じたビット列に含まれる x 0、x 1 および x 2 に対応する位置のビットの値がすべて“ 0 ”の場合（図 9 に示す変換規則テーブル 1 2 1 の 2 行目の場合）に、2 5 6 Q A M に応じたビット列に含まれる y 3、y 2、y 1 および y 0 に対応する位置のそれぞれのビットの値が“ 1 ”、“ 1 ”、“ 0 ”および“ 1 ”に決定される。

【 0 0 7 6 】

制御部 1 1 0 は、特定の組合せ X に対し、組合せ Y が同一の値とならないと判断した場合に（ステップ S 1 0 8 の N O）、変換規則テーブルを導出せずに、処理を終了する。例えば、制御部 1 1 0 は、特定の組合せ X のいずれか一つについて、組合せ Y が同一の値とならないと判断した場合に、変換規則テーブルを導出せずに、処理を終了する。

【 0 0 7 7 】

図 1 2 は、通信装置 2 0 0 が、変換規則に基づき、所定の変調方式に応じた入力データを、別の所定の変調方式に応じた入力データに変換する場合の処理を示すフローチャートである。図 1 2 には、通信装置 2 0 0 が、基地局である場合を例に処理が示されているが、通信装置 2 0 0 が通信端末（ユーザ端末等）の場合も同様の処理が行われる。また、以下では、通信装置 2 0 0 が、1 2 8 Q A M に応じた入力データを、2 5 6 Q A M に応じた入力データに変換する場合の処理例について説明する。

【 0 0 7 8 】

通信部 2 3 0 は、変換規則導出装置 1 0 0 から送信された変換規則の情報を受信し、記憶部 2 2 0 に変換規則の情報を入力する（ステップ S 2 0 1）。そして、記憶部 2 2 0 には、通信部 2 3 0 から入力された変換規則の情報が格納される。

【 0 0 7 9 】

制御信号によって 1 2 8 Q A M を使用した変調が指定されて、入力データを送信する場合に、制御部 2 1 0 は、変換規則の情報に基づき、入力データを 2 5 6 Q A M に応じたビット列に変換する（ステップ S 2 0 2）。

【 0 0 8 0 】

例えば、制御部 2 1 0 は、入力データを 7 ビットずつに区切り、記憶部 2 2 0 に格納されている変換規則の情報に基づき、7 ビットの入力データを 8 ビットのデータに変換する。例えば、制御部 2 1 0 は、図 9 に示す変換規則に基づき、1 2 8 Q A M に応じた 7 ビットのビット列“ D、x 2、x 1、C、B、x 0、A ”を、2 5 6 Q A M に応じた 8 ビットのビット列“ D、y 3、y 2、C、B、y 1、y 0、A ”に変換する。例えば、制御部

10

20

30

40

50

210は、図9に示す変換規則に基づき、図3に示す信号点140に対応する図4に示すビット列150“0000001”を、図5に示す信号点180に対応する図7に示すビット列190“01100011”に変換する。

【0081】

制御部210は、変換されたビット列と、変換されたビット列に対応するメモリアドレスに格納されている256QAMの信号点の位置のI成分の値およびQ成分の値に基づき、対応する信号点に、変換されたビット列をマッピングする（ステップS203）。そして、制御部210は、マッピングした信号点の位置のI成分の値およびQ成分の値を通信部230に入力する。図13は、256QAMに応じた各信号点のうち、128QAMに応じたデータがマッピングされる信号点の一例を示す図である。例えば、128QAMに応じたデータは、図13に示すように、256QAMに応じた信号点のうち、枠122内の信号点にマッピングされることとなる。図7は、枠122内の各信号点に対応するビット列の情報を示す説明図である。

10

【0082】

通信部230は、マッピングされた信号点の位置のI成分の値およびQ成分の値に基づき、搬送波を変調し、変調後の搬送波を通信装置300に送信する（ステップS204）。

【0083】

なお、制御信号によって256QAMが示されている場合、制御部210は、ビット列を変換しない。

20

【0084】

図14は、通信装置300が、変換規則に基づき、所定の変調方式の受信データを、別の所定の変調方式の受信データに変換する処理を示すフローチャートである。図14には、通信装置300が、基地局である場合を例に処理が示されているが、通信装置300が通信端末（ユーザ端末等）の場合も同様の処理が行われる。また、以下では、通信装置300が、256QAMに応じた受信データを、128QAMに応じた受信データに変換する場合の処理例について説明する。

【0085】

通信部330は、変換規則導出装置100から変換規則の情報を受信し、記憶部320に、変換規則の情報を入力する（ステップS301）。そして、記憶部320には、通信部330から入力された変換規則の情報が格納される。

30

【0086】

通信部330が256QAMに変調された信号を受信した場合に、制御部310は、受信した信号に基づき、受信した信号に含まれるデータがマッピングされた信号点の位置のI成分の値およびQ成分の値を取得する。そして、制御部310は、取得したI成分の値およびQ成分の値に対応する記憶部320のメモリアドレスを参照し、受信した256QAMに応じたデータ（ビット列）として、当該メモリアドレスの値を取得する（ステップS302）。

【0087】

制御信号によって、128QAMであることが示されている場合に、制御部310は、変換規則の情報に基づき、256QAMに応じたデータを、128QAMに応じたデータに変換し、128QAMに応じたデータを取得する（ステップS303）。例えば、制御部310は、図9に示す変換規則に基づき、256QAMに応じた8ビットのビット列“D、y3、y2、C、B、y1、y0、A”を、128QAMに応じた7ビットのビット列“D、x2、x1、C、B、x0、A”に変換する。例えば、制御部310は、図9に示す変換規則に基づき、図5に示す信号点180に対応する図7に示すビット列190“01100011”を変換し、図3に示す信号点140に対応する図4に示すビット列150“0000001”を取得する。なお、制御信号によって、256QAMであることが示されている場合に、制御部310は、ビット列を変換しない。

40

【0088】

50

なお、変換規則導出装置 100 は、通信装置 200 に含まれてもよい。また、変換規則導出装置 100 は、通信装置 300 に含まれてもよい。

【0089】

本実施形態によれば、変換規則導出装置 100 は、128QAM に適用可能な変換規則を導出することができる。したがって、通信装置 200 は、変換規則に基づき、128QAM に応じたビット列を、256QAM に応じたビット列に変換できる。そして、通信装置 200 は、256QAM に応じた信号点の位置の I 成分の値および Q 成分の値を利用して、128QAM に応じた 7 ビットの入力データのマッピングを行うことができる。

【0090】

したがって、通信装置 200 の記憶部 220 に、384 個分の信号点の位置の I 成分の値および Q 成分の値（128QAM に用いられる 128 個分の信号点の位置の I 成分の値および Q 成分の値、および 256QAM に用いられる 256 個分の信号点の位置の I 成分の値および Q 成分の値）が格納される必要がなく、256QAM に用いられる 256 個分の信号点の位置の I 成分の値および Q 成分の値のみが格納されればよく、記憶部 220 に格納される情報量が削減される。ワード数に換算すると、記憶部 220 には、合計 768 ワードの情報が格納される必要があったところ、合計 512 ワードの情報のみが格納されればよいこととなる。

【0091】

同様に、通信装置 300 は、変換規則に基づき、256QAM に応じたビット列を、128QAM に応じたビット列に変換できる。したがって、記憶部 320 には、256QAM に用いられる 256 個分の信号点の位置の I 成分の値および Q 成分の値のみが格納されればよく、記憶部 320 に格納される情報量が削減される。さらに、通信装置 300 は、256QAM に応じた信号点の位置の I 成分の値および Q 成分の値を参照すれば、複数の変調方式に対応可能であり、受信したデータの変調方式に応じて互いに異なる信号点の位置の I 成分の値および Q 成分の値を参照する場合に比べて、参照する情報を選択するための処理負荷を軽減できる。

【0092】

また、本実施形態によれば、変換規則導出装置 100 は、様々な変調方式に対応した変換規則を導出できる。様々な変調方式に対応した変換規則を使用することにより、通信装置 200 および通信装置 300 は、様々な変調方式に対応できる。

【0093】

なお、本実施形態では、変換規則導出装置 100 は、128QAM に応じたデータと 256QAM に応じたデータとを相互に変換するための変換規則を導出したが、他の変調方式に対応した変換規則を導出してもよい。例えば、変換規則導出装置 100 は、128QAM に応じたデータと、64QAM に応じたデータとを相互に変換する変換規則や、64QAM に応じたデータと、32QAM に応じたデータとを相互に変換する変換規則を導出するように構成されていてもよい。

【0094】

また、本実施形態では、変換規則導出装置 100 の制御部 110 は、128QAM に応じたデータと 256QAM に応じたデータとを相互に変換する変換規則のみを導出したが、これに限られない。例えば、制御部 110 は、QPSK、16QAM、32QAM、64QAM、128QAM および 256QAM 等、複数の変調方式に対応した複数の変換規則を導出してもよい。

【0095】

図 15 は、256QAM に応じたデータ（ビット列）と、64QAM に応じたデータ（ビット列）とを相互に変換するための変換規則の一例を示す図である。図 16 は、256QAM に応じたデータ（ビット列）と、32QAM に応じたデータ（ビット列）とを相互に変換するための変換規則の一例を示す図である。図 17 は、256QAM に応じたデータ（ビット列）と、16QAM に応じたデータ（ビット列）とを相互に変換するための変換規則の一例を示す図である。図 18 は、256QAM に応じたデータ（ビット列）と、

QPSKに応じたデータ(ビット列)とを相互に変換するための変換規則の一例を示す図である。図15、図16、図17および図18は、本実施形態の一変形例の説明図である。

【0096】

例えば、制御部110は、図15、図16、図17および図18に示すように、128QAM用の変換規則だけでなく、64QAMに応じたデータ(6ビット)、32QAMに応じたデータ(5ビット)、16QAMに応じたデータ(4ビット)およびQPSKに応じたデータ(2ビット)のそれぞれと、256QAMに応じたデータ(8ビット)とを相互に変換する変換規則を導出してもよい。

【0097】

なお、図15、図16、図17および図18では、64QAMに応じたデータ、32QAMに応じたデータ、16QAMに応じたデータおよびQPSKに応じたデータのそれぞれが、実線で示した矢印の方向で、256QAMに応じたデータに変換される。また、図15、図16、図17および図18では、256QAMに応じたデータが、破線で示した矢印の方向で、64QAMに応じたデータ、32QAMに応じたデータ、16QAMに応じたデータおよびQPSKに応じたデータのそれぞれに変換される。

【0098】

例えば、図15に示す変換規則では、64QAMに応じたビット列および256QAMに応じたビット列に含まれる、A、B、CおよびDに対応する位置のビットの値は、それぞれ同じ値となる。また、64QAMに応じたビット列に含まれるx0およびx1に対応する位置におけるそれぞれのビットの値の組合せに応じて、256QAMに応じたビット列に含まれるy0、y1、y2およびy3に対応する位置におけるそれぞれのビットの値の組合せが決定される。

【0099】

x0およびx1に対応する位置のビットの値の組合せと、y0、y1、y2およびy3に対応する位置のビットの値の組合せとの関係が、変換規則テーブル121に示されている。例えば、64QAMに応じたビット列に含まれるx0およびx1に対応する位置のビットの値がすべて“0”の場合(図15に示す変換規則テーブル121の2行目の場合)に、256QAMに応じたビット列に含まれるy3、y2、y1およびy0に対応する位置のそれぞれのビットの値が“1”、“1”、“1”および“1”に決定される。

【0100】

なお、図18には、所定のビットの位置に所定のビットの値が付加されたり、所定のビットの位置におけるビットの値が削除されたりすることにより、QPSKに応じたビット列と、256QAMに応じたビット列とを相互に変換する変換規則が示されている。

【0101】

したがって、通信装置200および通信装置300のそれぞれの記憶部に、各多値度に応じた信号点の位置のI成分の値およびQ成分の値が格納される必要が無くなり、格納される情報量がさらに削減される。

【0102】

例えば、QPSK、16QAM、32QAM、64QAM、128QAMおよび256QAMに変調できる通信装置は、それぞれの変調方式に用いられる500個分の信号点の位置のI成分の値およびQ成分の値を格納するための記憶容量、すなわち、1000ワード分の記憶容量を確保する必要がある。しかしながら、上述した複数の変換規則の情報が格納されることにより、通信装置は、256QAMに用いられる256個分の信号点の位置のI成分の値およびQ成分の値を格納するための記憶容量、すなわち、512ワード分の記憶容量のみを確保すればよい。すなわち、本変形例では、変調できる多値度数が多く、また、多値度が高位であるほど、通信装置に格納される情報量が削減されるという効果が発揮される。

【0103】

また、変換規則導出装置100の制御部110は、通信装置200および通信装置300

10

20

30

40

50

0 が対応可能な最高位の多値度の変調方式用の変換規則を導出するように構成されていてもよい。

【0104】

例えば、通信装置200が、最高位の多値度の変調方式として、512QAMに対応可能な場合、制御部110は、例えば、512QAMよりも多値度が低位となる変調方式に応じたデータを、512QAMに応じたデータに変換する変換規則を導出するように構成されていてもよい。

【0105】

このように構成されることにより、記憶部220には、最高位の多値度の変換規則の情報のみが格納されることとなり、記憶部220に格納される情報量が削減される。また、制御部110は、複数の変換規則を導出する必要がなくなり、制御部110の処理負荷を低減することもできる。

10

【0106】

なお、通信装置200および通信装置300は、予め通信装置200および通信装置300が対応可能な最高位の多値度の変調方式を示す情報を変換規則導出装置100に送信するように構成されていてもよい。そして、変換規則導出装置100は、対応可能な最高位の多値度の変調方式を示す情報を受信し、制御部110は、受信した最高位の多値度の変調方式を示す情報に基づき、最高位の多値度の変調方式用の変換規則を導出するように構成されていてもよい。

【0107】

また、通信装置200の通信部230および通信装置300の通信部330は、変換規則の導出要求を変換規則導出装置100に送信するように構成されていてもよい。変換規則導出装置100は、当該導出要求に応じて、変換規則を導出するように構成されていてもよい。

20

【0108】

そのような構成によれば、要求があった場合にのみ変換規則導出装置100が変換規則を導出するため、変換規則導出装置100の処理負荷を低減できる。

【0109】

例えば、通信装置200に送信すべき送信データが生じた場合に、通信部230が変換規則導出装置100に導出要求を送信する。また、例えば、通信装置300が通信装置200から信号を受信した場合に、通信部330が変換規則導出装置100に導出要求を送信する。そして、変換規則導出装置100は、当該導出要求を受信し、導出要求に応じて変換規則を導出するように構成されていてもよい。

30

【0110】

< 第2の実施形態 >

図19は、第2の実施形態の通信システム2の構成例を示すブロック図である。

【0111】

通信システム2は、変換規則導出装置100Aと、変換規則導出装置100Bと、送信側の通信装置200と、受信側の通信装置300とを含む。変換規則導出装置100Aおよび通信装置200と、変換規則導出装置100Bおよび通信装置300と、通信装置200および通信装置300とはそれぞれ互いに、無線伝送路または有線伝送路を介して、通信可能に接続されている。

40

【0112】

変換規則導出装置100Aおよび変換規則導出装置100Bの構成は、第1の実施形態の変換規則導出装置100の構成と同様である。また、通信装置200の構成は、第1の実施形態の通信装置200の構成と同様である。また、通信装置300の構成は、第1の実施形態の通信装置300と同様である。

【0113】

変換規則導出装置100Aの出力部130は、導出した変換規則の情報を通信装置200に送信する。また、変換規則導出装置100Bの出力部130は、導出した変換規則の

50

情報を通信装置 3 0 0 に送信する。

【 0 1 1 4 】

本実施形態によれば、複数の通信装置のそれぞれに変換規則導出装置が接続され、それぞれの変換規則導出装置が、導出した変換規則の情報をそれぞれの通信装置に送信することにより、変換規則導出装置の処理負荷を分散できる。

【 0 1 1 5 】

< 第 3 の実施形態 >

図 2 0 は、第 3 の実施形態の変換規則導出装置 1 0 の構成例を示すブロック図である。図 2 0 に示すように、変換規則導出装置 1 0 は、記憶部 1 1 と、制御部 1 2 と、提供部 1 3 とを含む。

10

【 0 1 1 6 】

記憶部 1 1 は、例えば、図 2 に示す第 1 の実施形態における記憶部 1 2 0 に相当する。制御部 1 2 は、例えば、図 2 に示す第 1 の実施形態における制御部 1 1 0 に相当する。提供部 1 3 は、例えば、図 2 に示す第 1 の実施形態における出力部 1 3 0 に相当する。

【 0 1 1 7 】

記憶部 1 1 には、通信装置が対応可能な複数のデジタル変調方式において、各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が当該信号点に対応するビット列に対応付けられて記憶されている。なお、通信装置は、例えば、図 1 に示す第 1 の実施形態における通信装置 2 0 0 や通信装置 3 0 0 に相当する。

【 0 1 1 8 】

制御部 1 2 は、記憶部 1 1 に記憶されている値に基づいて、信号空間ダイアグラムにおいて、第 1 のデジタル変調方式における各信号点のうち、第 2 のデジタル変調方式における信号点と重複する信号点に対応するビット列と、第 2 のデジタル変調方式において当該信号点と重複する信号点に対応するビット列とを相互に変換するための変換規則を導出する。

20

【 0 1 1 9 】

提供部 1 3 は、制御部 1 2 が導出した変換規則を通信装置に提供する。

【 0 1 2 0 】

本実施形態によれば、変換規則導出装置 1 0 には、通信装置が対応可能な複数のデジタル変調方式において、各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が当該信号点に対応するビット列に対応付けられて記憶されている。そして、変換規則導出装置 1 0 は、当該値に基づいて、信号空間ダイアグラムにおいて、第 1 のデジタル変調方式における各信号点のうち、第 2 のデジタル変調方式における信号点と重複する信号点に対応するビット列と、第 2 のデジタル変調方式において当該信号点と重複する信号点に対応するビット列とを相互に変換するための変換規則を導出し、導出した変換規則を通信装置に提供する。したがって、通信装置が、変換規則に基づきビット列を変換できるため、幅広い変調方式に対応でき、かつ、マッピングに必要な情報量を削減できる。

30

【 0 1 2 1 】

< 第 4 の実施形態 >

図 2 1 は、第 4 の実施形態の通信装置 1 4 の構成例を示すブロック図である。図 2 1 に示すように、通信装置 1 4 は、データ変換部 1 5 と、変調部 1 6 と、送信部 1 7 とを含む。

40

【 0 1 2 2 】

データ変換部 1 5 は、例えば、図 8 に示す第 1 の実施形態における制御部 2 1 0 に相当する。変調部 1 6 および送信部 1 7 は、例えば、図 8 に示す第 1 の実施形態における通信部 2 3 0 に相当する。

【 0 1 2 3 】

データ変換部 1 5 は、信号空間ダイアグラムにおける信号配置に基づき、第 1 のデジタル変調方式の各信号点の値に応じたビット列と、当該各信号点に重複する、第 2 のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に

50

基づいて、第 1 のデジタル変調方式に応じた送信用データを第 2 のデジタル変調方式に応じた変換後データに変換する。

【0124】

変調部 16 は、変換後データに、第 2 のデジタル変調方式で変調を施して送信信号を生成する。

【0125】

送信部 17 は、送信信号を送信する。

【0126】

本実施形態によれば、通信装置 14 は、信号空間ダイアグラムにおける信号配置に基づき、第 1 のデジタル変調方式の各信号点の値に応じたビット列と、当該各信号点に重複する、第 2 のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に基づいて、第 1 のデジタル変調方式に応じた送信用データを第 2 のデジタル変調方式に応じた変換後データに変換する。そして、通信装置 14 は、変換後データに、第 2 のデジタル変調方式で変調を施して送信信号を生成し、送信信号を送信する。したがって、通信装置 14 が、変換規則に基づきビット列を変換できるため、幅広い変調方式に対応でき、かつ、マッピングに必要な情報量を削減できる。

【0127】

< 第 5 の実施形態 >

図 22 は、第 5 の実施形態の通信装置 18 の構成例を示すブロック図である。図 22 に示すように、通信装置 18 は、復調部 19 と、データ変換部 20 とを含む。

【0128】

復調部 19 およびデータ変換部 20 は、例えば、図 10 に示す第 1 の実施形態における制御部 310 に相当する。

【0129】

復調部 19 は、受信した送信信号を送信信号に応じた復調方式で変換後データに復調する。

【0130】

データ変換部 20 は、信号空間ダイアグラムにおける信号配置に基づき、第 1 のデジタル変調方式の各信号点の値に応じたビット列と、当該各信号点に重複する、第 2 のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に基づいて、第 2 のデジタル変調方式に応じた変換後データを第 1 のデジタル変調方式に応じた送信用データに変換する。

【0131】

本実施形態によれば、通信装置 18 は、受信した送信信号を送信信号に応じた復調方式で変換後データに復調し、信号空間ダイアグラムにおける信号配置に基づき、第 1 のデジタル変調方式の各信号点の値に応じたビット列と、当該各信号点に重複する、第 2 のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に基づいて、第 2 のデジタル変調方式に応じた変換後データを第 1 のデジタル変調方式に応じた送信用データに変換する。したがって、通信装置 18 が、変換規則に基づきビット列を変換できるため、幅広い変調方式に対応でき、かつ、マッピングに必要な情報量を削減できる。

【0132】

以上、本発明の実施形態を説明したが、本発明は、上記したそれぞれの実施形態に限定されるものではない。本発明は、各実施形態の変形・置換・調整に基づいて実施できる。また、本発明は、各実施形態を任意に組合せて実施することもできる。すなわち、本発明は、本明細書の全ての開示内容、技術的思想に従って実現できる各種変形、修正を含む。なお、各図面に付記した図面参照符号は、理解を助けるための一例として各要素に便宜上付記したものであり、本発明を図示の態様に限定することを意図するものではない。

【0133】

上記の実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下には限

10

20

30

40

50

られない。

【 0 1 3 4 】

(付記 1)

通信装置が対応可能な複数のデジタル変調方式において、各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が前記信号点に対応するビット列に対応付けられて記憶されている記憶手段と、

前記記憶手段に記憶されている前記値に基づいて、前記信号空間ダイアグラムにおいて、第 1 のデジタル変調方式における各信号点のうち、第 2 のデジタル変調方式における信号点と重複する信号点に対応するビット列と、前記第 2 のデジタル変調方式において前記信号点と重複する信号点に対応するビット列とを相互に変換するための変換規則を導出する制御手段と、

前記制御手段が導出した前記変換規則を前記通信装置に提供する提供手段と、
を備えたことを特徴とする変換規則導出装置。

【 0 1 3 5 】

(付記 2)

前記各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値は、前記記憶手段において、対応するビット列をメモリアドレスとする領域に記憶されている、

付記 1 に記載の変換規則導出装置。

【 0 1 3 6 】

(付記 3)

前記制御手段は、前記第 1 のデジタル変調方式と前記第 2 のデジタル変調方式とにおける前記信号空間ダイアグラムで互いに重複する信号点のそれぞれに対応するビット列において、値が互いに等しいか否かに基づいて、変換規則を導出する、

付記 1 または付記 2 に記載の変換規則導出装置。

【 0 1 3 7 】

(付記 4)

前記制御手段は、前記第 1 のデジタル変調方式と前記第 2 のデジタル変調方式とにおける前記信号空間ダイアグラムで互いに重複する信号点のそれぞれに対応するビット列において、一方のビット列におけるビットと他方のビット列におけるビットとで値が互いに等しい桁がある場合に、一方のビット列における桁の値を他方のビット列における桁に適用する変換規則を導出する、

付記 3 に記載の変換規則導出装置。

【 0 1 3 8 】

(付記 5)

前記制御手段は、前記第 1 のデジタル変調方式と前記第 2 のデジタル変調方式とにおける前記信号空間ダイアグラムで互いに重複する信号点のそれぞれに対応するビット列において、一方のビット列におけるビットと他方のビット列におけるビットとで値が互いに等しくない桁がある場合に、一方のビット列における前記桁の値の組合せに、対応する所定の値の組合せを適用する変換規則を導出する、

付記 3 または付記 4 に記載の変換規則導出装置。

【 0 1 3 9 】

(付記 6)

信号空間ダイアグラムにおける信号配置に基づき、第 1 のデジタル変調方式の各信号点の値に応じたビット列と、前記各信号点に重複する、第 2 のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に基づいて、前記第 1 のデジタル変調方式に応じた送信用データを前記第 2 のデジタル変調方式に応じた変換後データに変換するデータ変換手段と、

前記変換後データに、前記第 2 のデジタル変調方式で変調を施して送信信号を生成する変調手段と、

前記送信信号を送信する送信手段と、

10

20

30

40

50

を備えたことを特徴とする通信装置。

【0140】

(付記7)

前記変換規則を導出する変換規則導出装置を含む、
付記6に記載の通信装置。

【0141】

(付記8)

受信した送信信号を前記送信信号に応じた復調方式で変換後データに復調する復調手段と、

信号空間ダイアグラムにおける信号配置に基づき、第1のデジタル変調方式の各信号点の値に応じたビット列と、前記各信号点に重複する、第2のデジタル変調方式における各信号点の値に応じたビット列とを相互に変換するための変換規則に基づいて、前記第2のデジタル変調方式に応じた変換後データを前記第1のデジタル変調方式に応じた送信用データに変換するデータ変換手段と、

を備えたことを特徴とする通信装置。

【0142】

(付記9)

前記変換規則を導出する変換規則導出装置を含む、
付記8に記載の通信装置。

【0143】

(付記10)

通信装置が対応可能な複数のデジタル変調方式において、各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が前記信号点に対応するビット列に対応付けられて記憶されている記憶手段に記憶されている前記値に基づいて、前記信号空間ダイアグラムにおいて、第1のデジタル変調方式における各信号点のうち、第2のデジタル変調方式における信号点と重複する信号点に対応するビット列と、前記第2のデジタル変調方式において前記信号点と重複する信号点に対応するビット列とを相互に変換するための変換規則を導出し、

導出した前記変換規則を前記通信装置に提供する、
ことを特徴とする変換規則導出提供方法。

【0144】

(付記11)

前記各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が対応付けられているビット列は、前記記憶手段におけるメモリアドレスである

付記10に記載の変換規則導出提供方法。

【0145】

(付記12)

コンピュータに、

通信装置が対応可能な複数のデジタル変調方式において、各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が前記信号点に対応するビット列に対応付けられて記憶されている記憶手段に記憶されている前記値に基づいて、前記信号空間ダイアグラムにおいて、第1のデジタル変調方式における各信号点のうち、第2のデジタル変調方式における信号点と重複する信号点に対応するビット列と、前記第2のデジタル変調方式において前記信号点と重複する信号点に対応するビット列とを相互に変換するための変換規則を導出する導出処理と、

導出した前記変換規則を前記通信装置に提供する提供処理とを実行させる
ための変換規則導出提供用プログラム。

【0146】

(付記13)

前記各デジタル変調方式の信号空間ダイアグラムにおける信号点に応じた値が対応付け

10

20

30

40

50

られているビット列は、前記記憶手段におけるメモリアドレスである
付記 12 に記載の変換規則導出提供用プログラム。

【符号の説明】

【0147】

1、2 通信システム

10、100、100A、100B 変換規則導出装置

11、120、220、320 記憶部

12、110 制御部

121 変換規則テーブル

122 枠

13 提供部

130 出力部

14、18、200、300 通信装置

140、160、180 信号点

15、20 データ変換部

150、170、190 ビット列

16 変調部

17 送信部

19 復調部

210、310 制御部

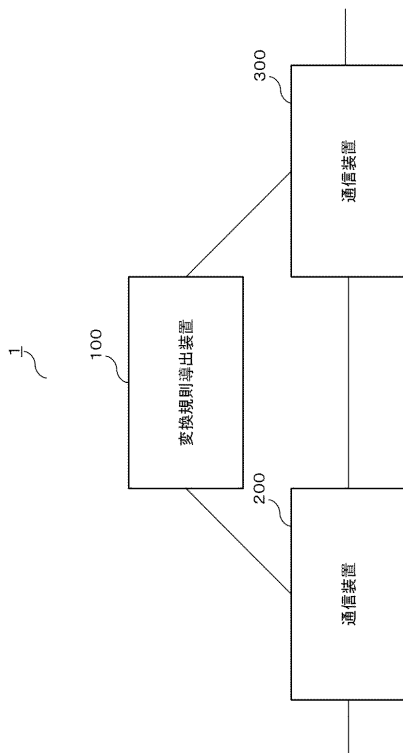
230 通信部

330 通信部

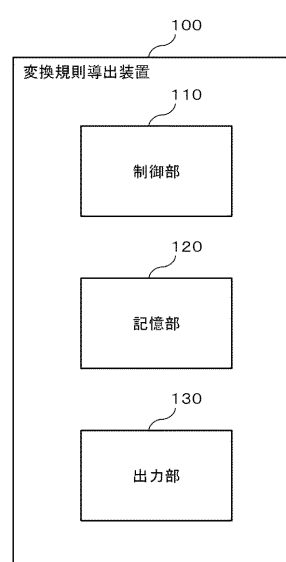
10

20

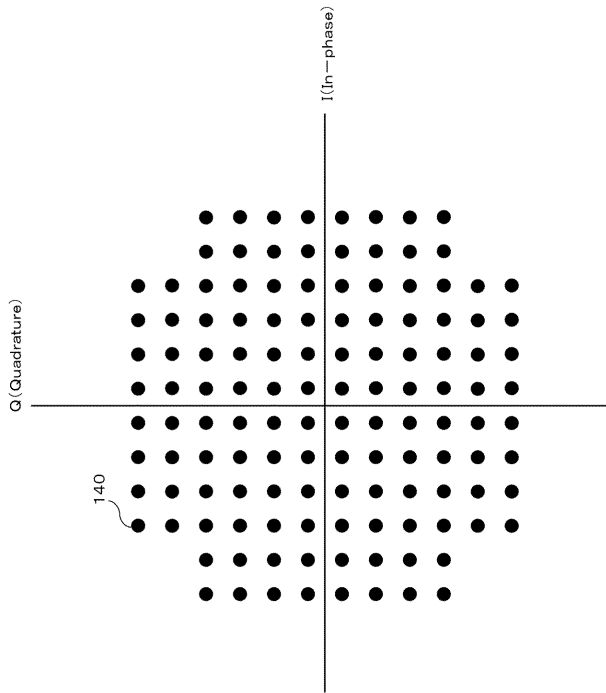
【図 1】



【図 2】



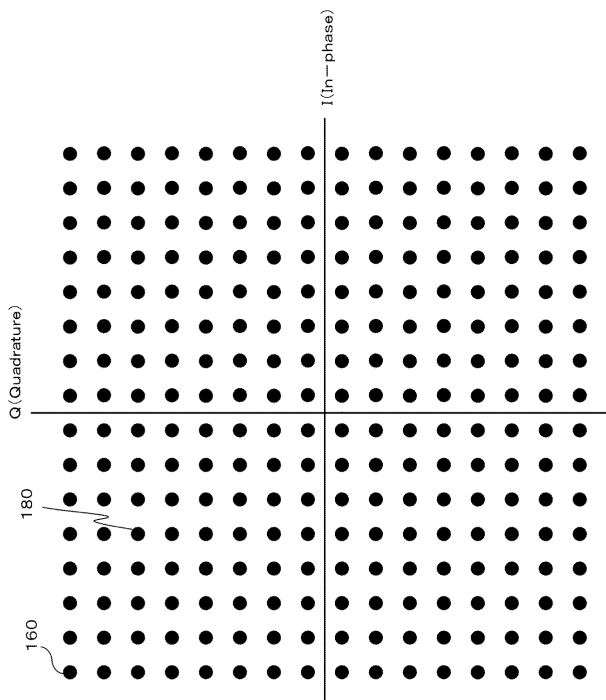
【 図 3 】



【 図 4 】

			0000001	0001001	0001011	0000011	1000011	1001011	1001001	1000001		
			0000000	0001000	0001010	0000010	1000010	1001010	1001000	1000000		
0011000	0010000	0110000	0110000	0111000	0101000	0100000	1000000	1010000	1111000	1110000	1010000	1010000
0011001	0010001	0110001	0110001	0111001	0101001	0100001	1000001	1010001	1111001	1110001	1010001	1010001
0011011	0010011	0110011	0111011	0101011	0100011	1000011	1000011	1101011	1111011	1110011	1010011	1011011
0011010	0010010	0110010	0111010	0101010	0100010	1000010	1000010	1010100	1111010	1110010	1010010	1011010
0011011	0010110	0110110	0111110	0101110	0100110	1000110	1001110	1111110	1111110	1110110	1010110	1011110
0011101	0010101	0110101	0111101	0101101	0100101	1000101	1001101	1111101	1111101	1110101	1010101	1011101
0011100	0010100	0110100	0111100	0101100	0100100	1000100	1001100	1111100	1111100	1110100	1010100	1011100
0000100	0000100	0000100	0000100	0000100	0000100	0000100	0000100	0001100	0001100	0000100		
0000101	0000101	0000101	0000101	0000101	0000101	0000101	0000101	0001101	0001101	0000101		

【 図 5 】



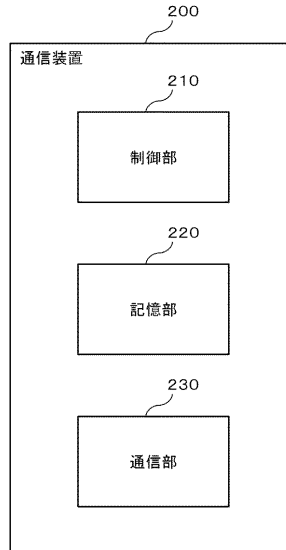
【 図 6 】

[illegible]

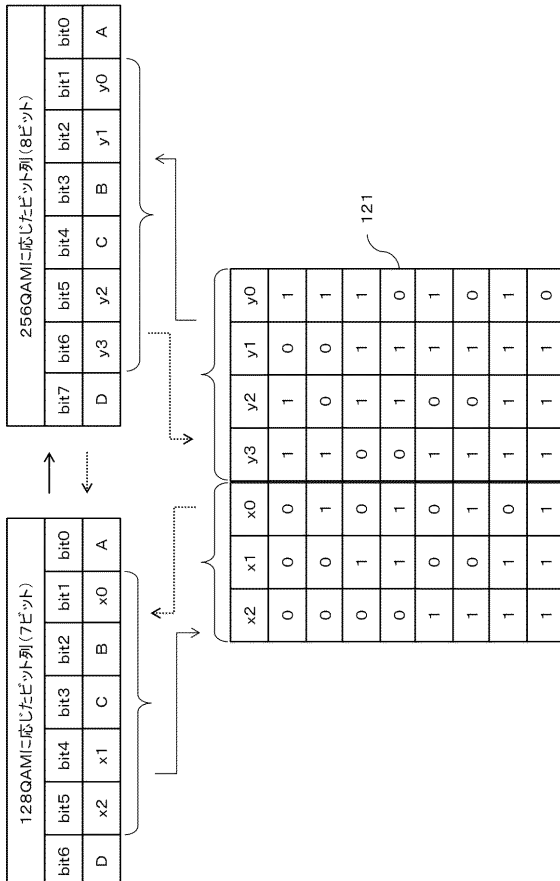
【 図 7 】

[illegible]

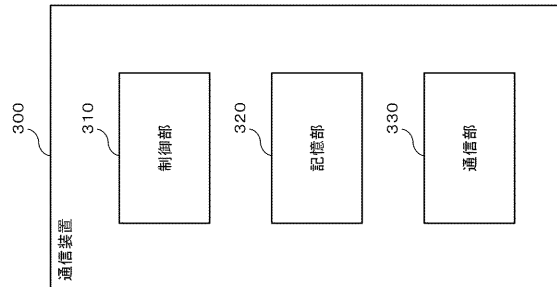
【 図 8 】



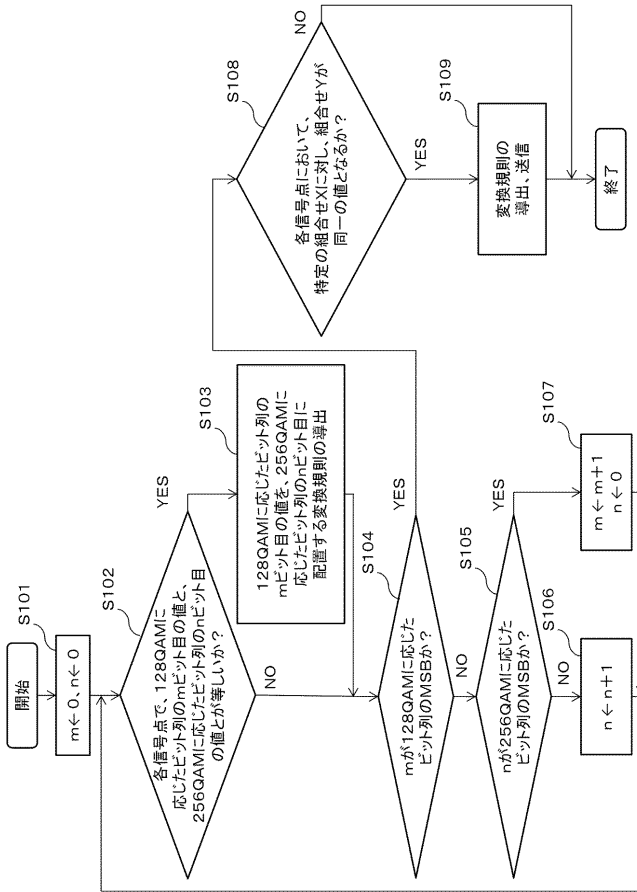
【 図 9 】



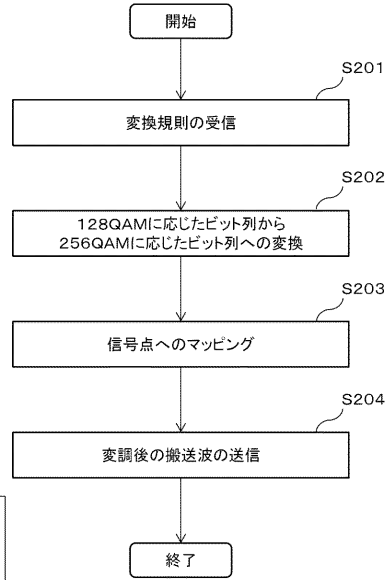
【 図 1 0 】



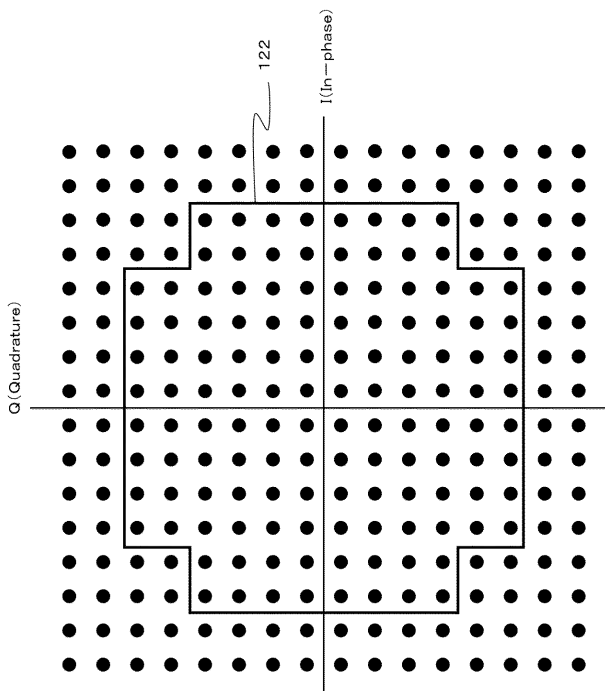
【図 1 1】



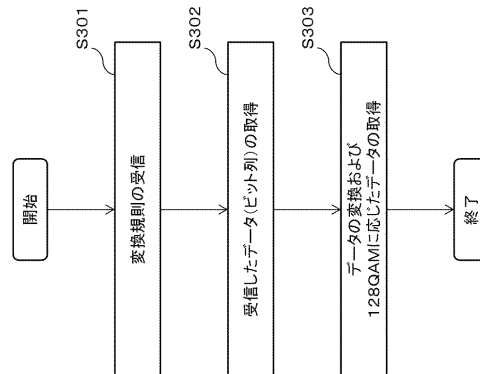
【図 1 2】



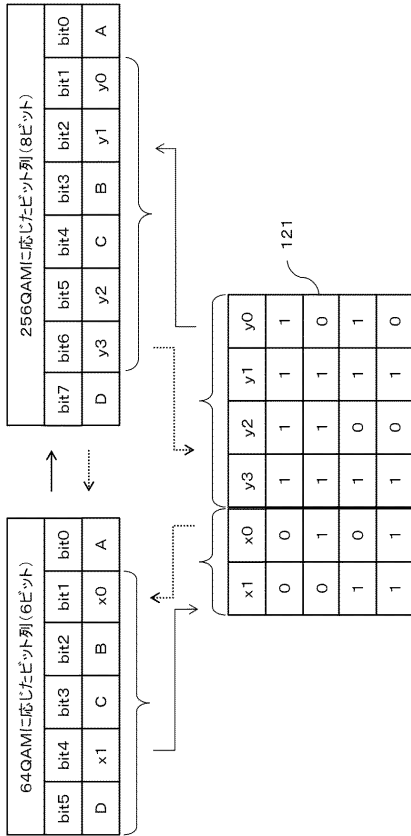
【図 1 3】



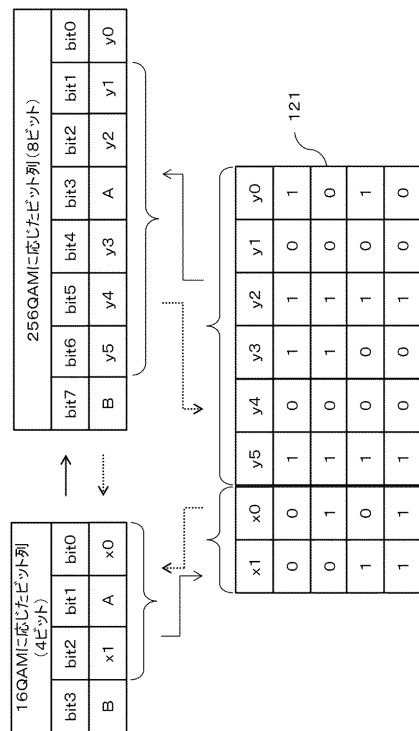
【図 1 4】



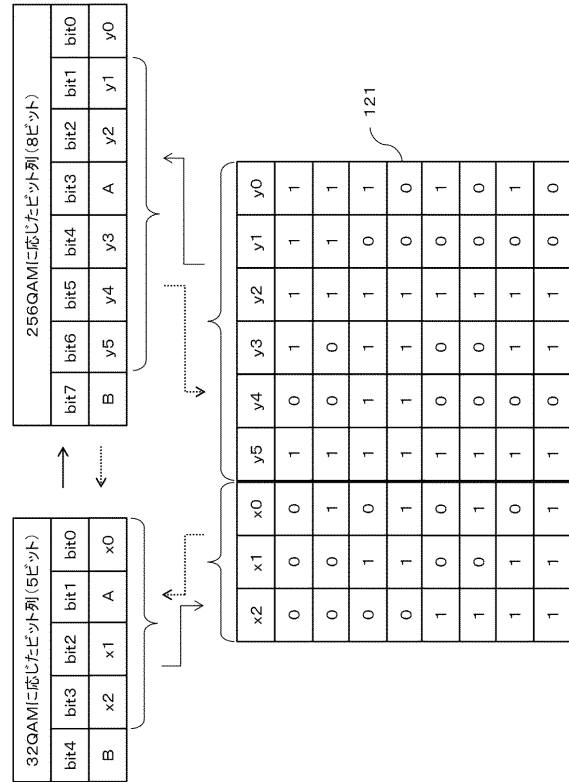
【図 15】



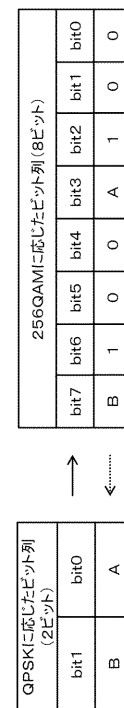
【図 17】



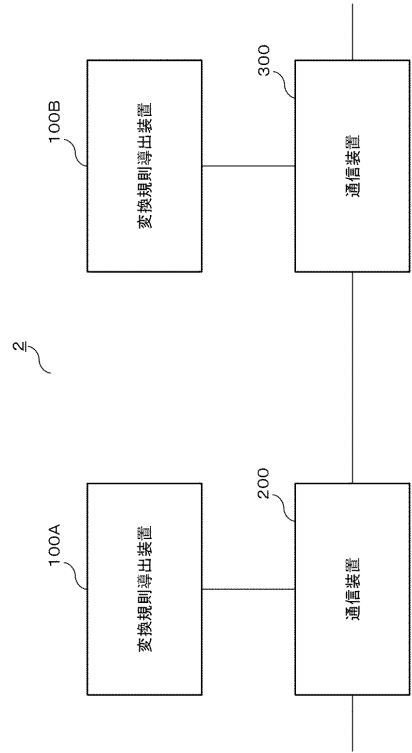
【図 16】



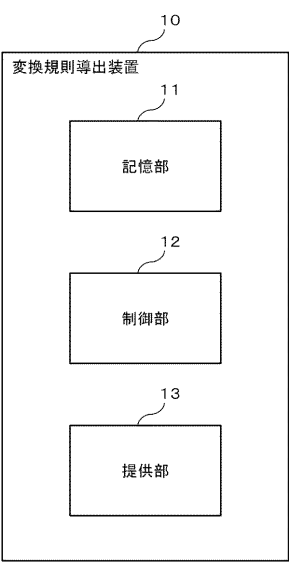
【図 18】



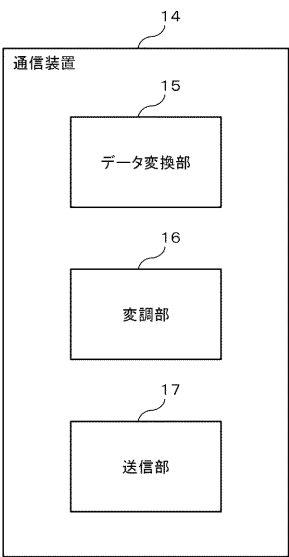
【図 19】



【図 20】



【図 21】



【図 22】

