(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 4 日(04.12.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/192437 A1

(51) 国際特許分類:
H01L 29/06 (2006.01) *H01L 29/78* (2006.01)
H01L 29/12 (2006.01)

(21) 国際出願番号: PCT/JP2014/060379

(22) 国際出願日: 2014 年 4 月 10 日(10.04.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-113869 2013 年 5 月 30 日(30.05.2013) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 増田 健良 (MASUDA, Takeyoshi); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 和田 圭司 (WADA, Keiji); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 日吉 透 (HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

(74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

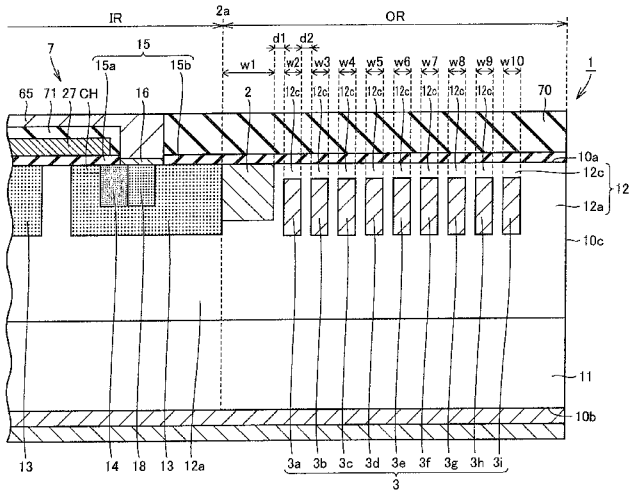
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化珪素半導体装置

FIG.1



(57) Abstract: A silicon carbide semiconductor device (1) is provided with a silicon carbide layer (10) and an insulating layer (15). The silicon carbide layer (10) has a first main surface (10a) and a second main surface (10b) on the opposite side of the first main surface (10a), and is composed of an element region (IR) provided with a semiconductor element section (7), and a termination region (OR) that surrounds the element region (IR) in a plan view. The insulating layer (15) is in contact with the first main surface (10a) of the silicon carbide layer (10). The termination region (OR) includes a guard ring region (3) having a first conductivity type, and a second conductivity type region (12c) that is positioned between the first main surface (10a) and the guard ring region (3), and has a different conductivity type than that of the guard ring region (3). Thus, a silicon carbide semiconductor device (1) capable of reducing variations in a breakdown voltage can be provided.

(57) 要約:

[続葉有]

WO 2014/192437 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

炭化珪素半導体装置（１）は、炭化珪素層（１０）と、絶縁層（１５）とを備えている。炭化珪素層（１０）は、第１の主面（１０ａ）と、第１の主面（１０ａ）と反対側の第２の主面（１０ｂ）とを有し、かつ半導体素子部（７）が設けられた素子領域（ＩＲ）と、平面視において素子領域（ＩＲ）を取り囲む終端領域（ＯＲ）とにより構成されている。絶縁層（１５）は、炭化珪素層（１０）の第１の主面（１０ａ）に接する。終端領域（ＯＲ）は、第１導電型を有するガードリング領域（３）と、第１の主面（１０ａ）とガードリング領域（３）との間に位置し、かつガードリング領域（３）とは異なる導電型を有する第２導電型領域（１２ｃ）とを含む。これにより、耐圧のばらつきを低減可能な炭化珪素半導体装置（１）を提供することができる。

明　細　書

発明の名称 ： 炭化珪素半導体装置

技術分野

[0001] 本発明は、炭化珪素半導体装置に関するものであり、より特定的には、終端領域を有する炭化珪素半導体装置に関するものである。

背景技術

[0002] 近年、ＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）などの半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。炭化珪素は、従来から半導体装置を構成する材料として広く使用されている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

[0003] たとえば特開２００３－１０１０３９号公報（特許文献１）には、リサーフ層の内側に高濃度不純物のガードリング層が形成され、リサーフ層の外側にリサーフ層と同程度の不純物濃度のガードリング層が形成された高耐圧炭化珪素半導体装置が記載されている。これにより、不純物濃度のばらつきやマスクずれなどによる寸法のばらつきがあっても、耐圧の劣化を防ぐことができるとされている。

先行技術文献

特許文献

[0004] 特許文献1：特開２００３－１０１０３９号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特開２００３－１０１０３９号公報に記載の炭化珪素半導体装置は、耐圧のばらつきが十分に低いとはいえなかった。

[0006] 本発明は、上記課題に鑑みてなされたものであり、その目的は、耐圧のばらつきを低減可能な炭化珪素半導体装置を提供することである。

課題を解決するための手段

[0007] 本発明に係る炭化珪素半導体装置は、炭化珪素層と、絶縁層とを備えている。炭化珪素層は、第１の主面と、第１の主面と反対側の第２の主面とを有し、かつ半導体素子部が設けられた素子領域と、平面視において素子領域を取り囲む終端領域とにより構成されている。絶縁層は、炭化珪素層の第１の主面に接する。終端領域は、第１導電型を有するガードリング領域と、第１の主面とガードリング領域との間に位置し、かつガードリング領域とは異なる導電型を有する第２導電型領域とを含む。

発明の効果

[0008] 本発明によれば、耐圧のばらつきを低減可能な炭化珪素半導体装置を提供することができる。

図面の簡単な説明

[0009] [図1]本発明の一実施の形態１に係る炭化珪素半導体装置の構造を概略的に示す断面模式図である。

[図2]本発明の一実施の形態１に係る炭化珪素半導体装置のガードリング領域およびＪＴＥ（Ｊｕｎｃｔｉｏｎ Ｔｅｒｍｉｎａｔｉｏｎ Ｅｘｔｅｎｓｉｏｎ）領域の構造を概略的に示す平面模式図である。

[図3]ガードリング領域における不純物領域とＹ方向の位置との関係を示す図である。

[図4]図３におけるＹ方向の位置を説明するための図である。

[図5]本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第１の工程を概略的に示す断面模式図である。

[図6]本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第２の工程を概略的に示す断面模式図である。

[図7]本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第３の工程を概略的に示す断面模式図である。

[図8]本発明の一実施の形態に係る炭化珪素半導体装置の半導体素子部の構造を概略的に示す断面模式図である。

発明を実施するための形態

[0010] 以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。また、本明細書中の結晶学的記載においては、個別方位を［］、集合方位を＜＞、個別面を（）、集合面を｛｝でそれぞれ示している。また、負の指数については、結晶学上、”－”（バー）を数字の上に付けることになっているが、本明細書中では、数字の前に負の符号を付けている。また角度の記載には、全方位角を３６０度とする系を用いている。

[0011] はじめに、本発明の実施の形態の概要について説明する。

発明者らは、炭化珪素半導体装置の耐圧がばらつく原因について鋭意研究の結果、以下の知見を得て本発明を見出した。ガードリング領域が炭化珪素層の主面に接する構造を有する炭化珪素半導体装置の場合、たとえばアルミニウムなどのアクセプタ不純物が炭化珪素層の主面に対してイオン注入によって導入されることによりガードリング領域が形成される。またイオン注入は、通常、イオン注入深さを変化させた多段注入により行われる。ガードリング領域を一方の主面近くに形成する場合、たとえばイオン注入深さの変動によりガードリング領域のドーズ量が変動する。また炭化珪素層の主面を熱酸化する場合、たとえば熱酸化量のばらつきにより、主面と垂直な方向に沿った熱酸化膜（絶縁層）と炭化珪素層との界面の位置が変動する。そのため、ガードリング領域におけるドーズ量が変動し、炭化珪素半導体装置の耐圧がばらついていた。

[0012] 発明者らは、鋭意研究の結果、ガードリング領域を炭化珪素層の主面から

離間して設け、ガードリング領域と炭化珪素層との間に、ガードリング領域とは異なる導電型の領域を設けることにより、ガードリング領域のドーズ量の変動を低減することができることを見出した。ガードリング領域を炭化珪素層の主面から離間して設けることにより、イオン注入深さが多少変動した場合においても、ガードリング領域のトータルのドーズ量が変動することを抑制することができる。また炭化珪素層の主面が熱酸化されて熱酸化膜が形成される場合、主面の一部が酸化されて二酸化珪素からなる熱酸化膜となる。ガードリング領域が主面から離間して設けられている場合、ガードリング領域の一部が酸化されて二酸化珪素からなる熱酸化膜となることを抑制することができる。それゆえ、ガードリング領域におけるトータルのドーズ量が変動することを抑制することができる。結果として、たとえば熱酸化量の違いにより、主面と垂直な方向に沿った熱酸化膜（絶縁層）と炭化珪素層との界面の位置が変動する場合においても、ガードリング領域のドーズ量が変動することを抑制することができる。つまり、界面の位置の変動に対する耐圧の堅牢性を高めることにより、炭化珪素半導体装置の耐圧のばらつきを低減することができる。

[0013] さらにガードリングにｐ型を用いる場合、ｐ型の炭化珪素の熱酸化膜は、隣接するｎ型の炭化珪素の熱酸化膜に比べて薄くなる傾向がある。したがって、主面にｐ型とｎ型の炭化珪素が露出する場合より、ｐ型の炭化珪素が内部に形成され主面にｎ型の炭化珪素のみが露出している場合の方が、熱酸化膜厚の差が小さくなる。これにより、主面の電界分布が均一化されるので、６００Ｖ以上（より好ましくは１２００Ｖ以上）の高電圧印加時において、電界集中による破壊を抑制する効果は大きい。これはｐ型とｎ型とが反転した場合も同じである。

[0014] （１）実施の形態に係る炭化珪素半導体装置は、炭化珪素層１０と、絶縁層１５とを備えている。炭化珪素層１０は、第１の主面１０ａと、第１の主面１０ａと反対側の第２の主面１０ｂとを有し、かつ半導体素子部７が設けられた素子領域ＩＲと、平面視において素子領域を取り囲む終端領域ＯＲと

により構成されている。絶縁層１５は、炭化珪素層１０の第１の主面１０ａに接する。終端領域ＯＲは、第１導電型を有するガードリング領域３と、第１の主面１０ａとガードリング領域３との間に位置し、かつガードリング領域３とは異なる導電型を有する第２導電型領域１２ｃとを含む。

[0015] 実施の形態に係る炭化珪素半導体装置によれば、終端領域ＯＲは、第１導電型を有するガードリング領域３と、第１の主面１０ａとガードリング領域３との間に位置し、かつガードリング領域３とは異なる導電型を有する第２導電型領域１２ｃとを含む。これにより、炭化珪素半導体装置の耐圧のばらつきを低減することができる。

[0016] （２）上記実施の形態に係る炭化珪素半導体装置において好ましくは、第２導電型領域１２ｃのドーズ量は、ガードリング領域３のドーズ量よりも少ない。第２導電型領域１２ｃがｎ型の導電型を有する場合、第２導電型領域１２ｃのドーズ量はドナーのドーズ量であり、ガードリング領域３のドーズ量はアクセプタのドーズ量である。一方、第２導電型領域１２ｃがｐ型の導電型を有する場合、第２導電型領域１２ｃのドーズ量はアクセプタのドーズ量であり、ガードリング領域３のドーズ量はドナーのドーズ量である。これにより、第２導電型領域１２ｃを十分に空乏化することができる。それゆえ、高電界が半導体素子部に集中して、半導体素子部が破壊されることを抑制することができる。

[0017] （３）上記実施の形態に係る炭化珪素半導体装置において好ましくは、第１の主面１０ａの法線方向に沿ったガードリング領域３の不純物濃度のピーク位置から第１の主面１０ａまでの距離は、０．１μｍ以上１．０μｍ以下である。当該距離が０．１μｍ以上であれば、当該距離が絶縁層１５の厚みよりも大きいため、絶縁層１５の厚みのばらつきによって、ガードリング領域３の一部が酸化されて絶縁層１５となることを抑制することができる。それゆえ、ガードリング領域３のドーズ量が変動することを抑制することができる。また当該距離が１．０μｍ以下であれば、ガードリング領域３をイオン注入によって効率的に形成することができる。

[0018] （４）上記実施の形態に係る炭化珪素半導体装置において好ましくは、ガードリング領域３のドーズ量は、１×１０^{13}ｃｍ$^{-2}$以上である。これにより、炭化珪素半導体装置の耐圧を向上することができる。

[0019] （５）上記実施の形態に係る炭化珪素半導体装置において好ましくは、ガードリング領域３のドーズ量は、炭化珪素層１０と絶縁層１５との界面における固定電荷密度よりも多い。これにより、炭化珪素半導体装置の耐圧のばらつきを抑制することができる。

[0020] （６）上記実施の形態に係る炭化珪素半導体装置において好ましくは、第１導電型はｐ型であり、かつ第２導電型領域はｎ型領域である。これにより、炭化珪素半導体装置の製造しやすさを向上することができる。

[0021] 次に、本発明の実施の形態についてより詳細に説明する。

まず本発明の一実施の形態に係る炭化珪素半導体装置としてのＭＯＳＦＥＴ１の構成について説明する。

[0022] 図１、図２および図８を参照して、ＭＯＳＦＥＴ１は、炭化珪素層１０と、絶縁層１５と、ゲート電極２７と、ソース電極１６と、ドレイン電極２０と、層間絶縁膜７１と、パッド電極６５と、裏面保護電極５０とを主に有する。

[0023] 図１を参照して、ＭＯＳＦＥＴ１の炭化珪素層１０は、素子領域ＩＲ（活性領域）と、素子領域ＩＲの外側に設けられた終端領域ＯＲ（無効領域）とにより構成されている。終端領域ＯＲは、電界緩和領域としてのガードリング領域３およびＪＴＥ領域２とを含む。素子領域ＩＲには半導体素子部７としてのＭＯＳＦＥＴ部が設けられている。半導体素子部７は、ｎ型（第２導電型）を有するドリフト領域１２ａを含む。炭化珪素層１０は、たとえばポリタイプ４Ｈの六方晶炭化珪素からなり、第１の主面１０ａと、第１の主面１０ａと反対の第２の主面１０ｂとを有している。

[0024] 図２を参照して、平面視（第１の主面１０ａの法線方向から見た視野）において、終端領域ＯＲは素子領域ＩＲを取り囲む。図２に示すように、平面視において素子領域ＩＲを取り囲むようにＪＴＥ領域２が配置されている。

ガードリング領域３は、平面視においてＪＴＥ領域２よりも外側に配置され、かつＪＴＥ領域２を取り囲むように配置されている。ガードリング領域３は、ＪＴＥ領域２と離間して設けられている。ガードリング領域３は、複数のガードリング部３ａ～３ｉを有していてもよい。複数のガードリング部３ａ～３ｉの各々は、環形状を有し、互いに隙間を隔てて配置されている。ＪＴＥ領域２の幅Ｗ１はたとえば１５μｍであり、９本のガードリング部３ａ～３ｉの各々の幅Ｗ２～Ｗ１０はたとえば５μｍである。ＪＴＥ領域２とガードリング領域３との間隔ｄ１はたとえば３μｍ程度以上５μｍ程度以下であり、隣り合うガードリング部３ａ～３ｉの間隔ｄ２はたとえば３μｍ程度以上５μｍ程度以下である。また終端領域ＯＲは、ガードリング領域３の外周側に、ｎ型を有するフィールドストップ領域（図示せず）を有していてもよい。

[0025] ＪＴＥ領域２およびガードリング領域３の各々は、ｐ型（第１導電型）を有する。ＪＴＥ領域２およびガードリング領域３の各々に含まれる不純物の濃度は、ボディ領域１３の不純物濃度よりも低い。ＪＴＥ領域２およびガードリング領域３の各々のドーズ量は、たとえば$1\times10^{13}cm^{-2}$以上である。ＪＴＥ領域２の幅Ｗ１は、たとえば１５μｍ以上５５μｍ程度以下であり、第１の主面１０ａの法線方向に沿ったＪＴＥ領域２の寸法は、たとえば０．５μｍ以上０．８μｍ程度以下である。ガードリング領域３は接地されていてもよい。

[0026] 図１に示すように、ガードリング領域３は、炭化珪素層１０の第１の主面１０ａから離間して設けられている。第１の主面１０ａとガードリング領域３との間には、ｎ型を有するｎ型領域１２ｃが配置されている。ガードリング領域３の第１の主面１０ａ側にはｎ型領域１２ｃが配置されており、第２の主面１０ｂ側にはｎ型領域１２ａが配置されている。ガードリング領域３は、第１の主面１０ａの法線方向に沿ってｎ型領域１２ｃとｎ型領域１２ａとに挟まれて設けられており、かつ第１の主面１０ａと平行な方向に沿ってｎ型領域１２ａに挟まれて設けられている。ｎ型領域１２ｃおよびｎ型領域

１２ａの各々の不純物濃度は、たとえば７．５×１０^{15}ｃｍ$^{-3}$程度である。

[0027] 好ましくは、複数のガードリング部３ａ～３ｉの各々は、第１の主面１０ａから離間して設けられており、第１の主面１０ａとガードリング部３ａ～３ｉの各々との間には、ｎ型領域１２ｃが配置されている。ガードリング領域３が１つの場合、ｎ型領域１２ｃのドーズ量は、ガードリング領域３のドーズ量よりも少ない。ガードリング領域３が複数のガードリング部３ａ～３ｉを有する場合、ガードリング領域３が有するガードリング部３ａ～３ｉの各々と対向するｎ型領域１２ｃのドーズ量は、ガードリング部３ａ～３ｉの各々のドーズ量よりも少ない。好ましくは、ガードリング領域３と第１の主面１０ａとに挟まれるｎ型領域１２ｃが空乏化可能なように、ガードリング領域３のドーズ量が決定される。ガードリング領域３のドーズ量は、たとえば１×１０^{13}ｃｍ$^{-2}$程度である。ｎ型領域１２ｃのドーズ量は、たとえば１×１０^{11}ｃｍ$^{-2}$以上１×１０^{12}ｃｍ$^{-2}$以下程度である。

[0028] 図３および図４を参照して、不純物濃度とＹ方向の位置との関係について説明する。図４に示すように、Ｙ方向は、炭化珪素層１０の第１の主面１０ａの法線方向である。第１の主面１０ａを位置０とし、第１の主面１０ａから第２の主面１０ｂに向かう方向を正としている。図３における不純物濃度とは、ガードリング領域３がｐ型を有する場合はアクセプタ濃度を示し、ガードリング領域３がｎ型を有する場合はドナー濃度を示す。ドーズ量は、不純物濃度をＹ方向の位置で積分した量（つまり図３において斜線で示す領域の面積）に対応する。好ましくは、ガードリング領域３のドーズ量は、１×１０^{13}ｃｍ$^{-2}$以上である。ガードリング領域３が複数のガードリング部３ａ～３ｉを有する場合、複数のガードリング部３ａ～３ｉの各々のドーズ量は、１×１０^{13}ｃｍ$^{-2}$以上である。

[0029] 好ましくは、ガードリング領域３のドーズ量は、炭化珪素層１０と絶縁層１５との界面における固定電荷密度よりも多い。当該界面における固定電荷には、最初から存在しているイオンと、界面準位に正孔または電子がトラップされたものとがある。固定電荷は、たとえば絶縁層１５に導入された窒素

または水素などにより生じる。界面準位密度は、たとえば１×１０^{11}ｃｍ$^{-2}$程度である。好ましくは、ガードリング領域３の注入ドーズ量は、界面準位密度の１００倍以上である。固定電荷密度は、たとえば１×１０^{12}ｃｍ$^{-2}$程度である。固定電荷密度は、たとえば高周波Ｃ-Ｖ(Ｃａｐａｃｉｔａｎｃｅ－Ｖｏｌｔａｇｅ)法によって測定可能である。

[0030] 図３に示すように、第１の主面１０ａから離れるにつれてガードリング領域が含む不純物の濃度が高くなり、位置Ｐ１から位置Ｐ２の間において不純物の濃度のピークとなる。Ｙ方向の位置が位置Ｐ２より第２の主面１０ｂ側に移動すると、不純物の濃度は低くなる。第１の主面１０ａから不純物濃度が最初のピークとなる位置Ｐ１までの距離はたとえば０．１μｍであり、第１の主面１０ａから不純物濃度が最後のピークとなる位置Ｐ２までの距離はたとえば１．０μｍである。不純物濃度のピークを示すＹ方向の位置から、第１の主面１０ａまでの距離は、好ましくは０．１μｍ以上１．０μｍ以下程度である。

[0031] 図８を参照して、炭化珪素層１０の素子領域ＩＲの半導体素子部７は、ｎ$^{+}$基板１１と、ドリフト領域１２ａと、ボディ領域１３と、ソース領域１４と、ｐ$^{+}$領域１８とを主に有する。

[0032] ｎ$^{+}$基板１１は、たとえばポリタイプ４Ｈの六方晶炭化珪素からなり導電型がｎ型の基板である。ｎ$^{+}$基板１１は、たとえばＮ（窒素）などの不純物（ドナー）を高濃度で含んでいる。ｎ$^{+}$基板１１に含まれる窒素などの不純物濃度はたとえば１．０×１０^{18}ｃｍ$^{-3}$程度である。

[0033] ドリフト領域１２ａは、たとえばポリタイプ４Ｈの六方晶炭化珪素からなり、ｎ型を有するエピタキシャル層である。ドリフト領域１２ａに含まれる不純物は、たとえば窒素である。ドリフト領域１２ａにおける不純物濃度は、ｎ$^{+}$基板１１における不純物濃度よりも低い。ドリフト領域１２ａに含まれる窒素などの不純物濃度はたとえば７．５×１０^{15}ｃｍ$^{-3}$程度である。好ましくは、ドリフト領域１２ａの厚みＴは１０μｍ程度以上３５μｍ程度以下である。

[0034] ボディ領域１３は、ｎ型とは異なるｐ型を有する領域である。ボディ領域１３に含まれる不純物（アクセプタ）は、たとえばＡｌ（アルミニウム）、Ｂ（ホウ素）などである。好ましくは、ボディ領域１３の表面（つまり第１の主面１０ａ）に含まれるアルミニウムなどの不純物濃度は$１\times１０^{16}ｃｍ^{-3}$程度以上$５\times１０^{17}ｃｍ^{-3}$程度以下である。またボディ領域１３の深部における不純物濃度は$１\times１０^{18}ｃｍ^{-3}$程度である。ボディ領域１３の厚みは、たとえば０．５μｍ程度以上１．０μｍ程度以下である。ボディ領域１３とＪＴＥ領域２とは素子領域ＩＲおよび終端領域ＯＲの境界線２ａにおいて接している。

[0035] ソース領域１４はｎ型を有する領域である。ソース領域１４は、ボディ領域１３によっておよびドリフト領域１２ａと隔てられている。またソース領域１４は、第１の主面１０ａを含み、かつボディ領域１３に取り囲まれるように、ボディ領域１３の内部に形成されている。ソース領域１４は、たとえばＰ（リン）などの不純物を、たとえば$１\times１０^{20}ｃｍ^{-3}$程度の濃度で含んでいる。ソース領域１４に含まれる不純物の濃度は、ドリフト領域１２ａに含まれる不純物の濃度よりも高い。

[0036] $ｐ^{+}$領域１８はｐ型を有する領域である。$ｐ^{+}$領域１８は、ボディ領域１３およびソース領域１４と接して形成されている。$ｐ^{+}$領域１８は、たとえばアルミニウムやホウ素などの不純物を、たとえば$１\times１０^{20}ｃｍ^{-3}$程度の濃度で含んでいる。$ｐ^{+}$領域１８に含まれる不純物の濃度は、ボディ領域１３に含まれる不純物の濃度よりも高い。

[0037] 図１を参照し、絶縁層１５は、ボディ領域１３に形成されるチャネル領域ＣＨと対向する位置に設けられたゲート絶縁膜部１５ａと、炭化珪素層１０の端部１０ｃに露出し、かつＪＴＥ領域２に接する絶縁膜部１５ｂとを含む。ゲート絶縁膜部１５ａは、一方のソース領域１４の上部表面から他方のソース領域１４の上部表面にまで延在するように、ボディ領域１３、ソース領域１４およびドリフト領域１２ａに接して形成されている。絶縁層１５はたとえば二酸化珪素からなっている。絶縁層１５の厚み（第１の主面１０ａの

法線方向に沿った絶縁層１５の寸法）は、たとえば５０ｎｍ程度である。

[0038] ゲート電極２７は、一方のソース領域１４上から他方のソース領域１４上にまで延在するように、ドリフト領域１２ａ、ソース領域およびボディ領域１３と対向し、かつゲート絶縁膜部１５ａに接触して配置されている。ゲート電極２７は、たとえば不純物の添加されたポリシリコン、アルミニウムなどの導電体からなっている。

[0039] ソース電極１６は、ゲート絶縁膜部１５ａ、ソース領域１４およびp^+領域１８と接している。好ましくは、ソース電極１６は、好ましくは、ニッケルおよびシリコンを有する材料からなる。ソース電極１６は、チタン、アルミニウムおよびシリコンを有する材料からなっていてもよい。好ましくは、ソース電極１６はソース領域１４およびp^+領域１８とオーミック接合している。

[0040] ドレイン電極２０は、炭化珪素層１０の第２の主面１０ｂに接触して形成されている。このドレイン電極２０は、たとえば上記ソース電極１６と同様の構成を有していてもよいし、ニッケルなど、n^+基板１１とオーミック接合可能な他の材料からなっていてもよい。これにより、ドレイン電極２０はn^+基板１１と電気的に接続されている。

[0041] パッド電極６５は、ソース電極１６に接し、かつ層間絶縁膜７１を覆うように形成されている。パッド電極６５はたとえばアルミニウムからなる。図１を参照して、パッド電極６５および絶縁膜部１５ｂに接して保護膜７０が形成されている。また、炭化珪素層１０の第２の主面１０ｂと接してドレイン電極２０が配置されている。さらに、ドレイン電極２０に接してたとえばチタン、ニッケル、銀やそれらの合金からなる裏面保護電極５０が配置されている。

[0042] 次にＭＯＳＦＥＴ１の動作について説明する。ゲート電極２７に閾値以下の電圧を与えた状態、すなわちオフ状態では、ゲート絶縁膜部１５ａの直下に位置するボディ領域１３とドリフト領域１２ａとの間が逆バイアスとなり、非導通状態となる。一方、ゲート電極２７に正の電圧を印加していくと、

ボディ領域１３のゲート絶縁膜部１５ａと接触する付近であるチャネル領域ＣＨにおいて、反転層が形成される。その結果、ソース領域１４とドリフト領域１２ａとが電気的に接続され、ソース電極１６とドレイン電極２０との間に電流が流れる。

[0043] 次に、本実施の形態に係るＭＯＳＦＥＴ１の製造方法について説明する。

図５を参照して、まず基板準備工程によって炭化珪素層１０が準備される。具体的には、ポリタイプ４Ｈを有する六方晶炭化珪素からなるn^+基板１１の一方の主面上にエピタキシャル成長によりｎ型領域１２が形成される。エピタキシャル成長は、たとえば原料ガスとしてSiH_4（シラン）とC_3H_8（プロパン）との混合ガスを採用して実施することができる。このとき、不純物として、たとえばＮ（窒素）が導入される。これにより、n^+基板１１に含まれる不純物よりも低い濃度の不純物を含むｎ型領域１２が形成される。以上により、n^+基板１１およびｎ型領域１２を含み、第１の主面１０ａおよび第２の主面１０ｂを有する炭化珪素層１０が形成される。

[0044] 次に、たとえばＣＶＤにより、炭化珪素層１０の第１の主面１０ａ上に二酸化珪素からなる酸化膜が形成される。そして、酸化膜の上にレジストが塗布された後、露光および現像が行なわれ、所望のボディ領域１３の形状に応じた領域に開口を有するレジスト膜が形成される。そして、当該レジスト膜をマスクとして用いて、たとえばＲＩＥ（Ｒｅａｃｔｉｖｅ　Ｉｏｎ　Ｅｔｃｈｉｎｇ；反応性イオンエッチング）により酸化膜が部分的に除去されることによって、ｎ型領域１２上に開口パターンを有する酸化膜からなるマスク層が形成される。

[0045] 次に、イオン注入工程が実施される。図６を参照して、イオン注入工程では、炭化珪素層１０の第１の主面１０ａ対してイオンが注入されることにより、炭化珪素層１０の素子領域ＩＲにボディ領域１３、ソース領域１４およびp^+領域１８が形成され、炭化珪素層１０の終端領域ＯＲに電界緩和領域としてのＪＴＥ領域２およびガードリング領域３が形成される。ガードリング領域３は、複数のガードリング部３ａ～３ｉを有し、複数のガードリング部

３ａ～３ｉの各々は、第１の主面１０ａから離間するように形成される。

[0046] 具体的には、上記レジスト膜を除去した上で、当該マスク層をマスクとして用いて、ＡＩなどの不純物をｎ型領域１２に対してイオン注入することにより、ボディ領域１３が形成される。また、Ｐ（リン）などのｎ型不純物がｎ型領域１２にイオン注入により導入されることによりソース領域１４が形成される。次に、ＡＩ、Ｂなどの不純物がｎ型領域１２にイオン注入により導入されることによりｐ$^{+}$領域１８が形成される。３００℃から５００℃に炭化珪素層１０を加熱してイオン注入が行われてもよい。

[0047] またＡＩなどの不純物をｎ型領域１２に対してイオン注入することにより、ＪＴＥ領域２およびガードリング領域３が形成される。ガードリング領域３は、ＪＴＥ領域２よりも深くに形成されてもよい。ＪＴＥ領域２はボディ領域１３と接するように形成される。好ましくは、ガードリング領域３の注入ドーズ量は、$1\times10^{13}cm^{-2}$以上である。また好ましくは、ガードリング領域３は、第１の主面１０ａの法線方向に沿ったガードリング領域３の不純物濃度のピーク位置から第１の主面１０ａまでの距離が０．１μｍ以上１．０μｍ以下となるように形成される。

[0048] 次に、活性化アニール工程が実施される。上記イオン注入によって導入された不純物を活性化させる熱処理が実施される。具体的には、イオン注入が実施された炭化珪素層１０が、たとえばＡｒ（アルゴン）雰囲気中において１７００℃程度に加熱され、３０分間程度保持される。

[0049] 次に、熱酸化膜形成工程が実施される。具体的には、図７を参照して、イオン注入領域が形成された炭化珪素層１０の第１の主面１０ａが熱酸化される。熱酸化は、たとえば酸素雰囲気中で１３００℃程度に加熱し、４０分間程度保持することにより実施することができる。これにより、炭化珪素層１０の第１の主面１０ａに接して二酸化珪素からなる絶縁層１５が形成される。窒素、ＮＯまたはN_2Oを含む雰囲気中において、絶縁層１５が形成された炭化珪素層１０が、１１００℃から１３００℃に加熱されてもよい。

[0050] 次に、ゲート電極形成工程が実施される。具体的には、図８を参照して、

たとえば導電体であるポリシリコン、アルミニウムなどからなるゲート電極２７が、一方のソース領域１４上から他方のソース領域１４上にまで延在するとともに、絶縁層１５に接触するように形成される。ゲート電極２７の材料としてポリシリコンを採用する場合、当該ポリシリコンは、リンが$1\times10^{20}cm^{-3}$を超える高い濃度で含まれていてもよい。その後、ゲート電極２７を覆うように、たとえば二酸化珪素からなる層間絶縁膜７１が形成される。

[0051] 次に、電極形成工程が実施される。具体的には、図８を参照して、たとえばニッケルおよびシリコンを含む材料からなるソース電極１６がソース領域１４およびp^+領域１８に接して形成される。ソース電極１６は、チタン、アルミニウムおよびシリコンを含む材料であってもよい。ソース電極１６が形成された炭化珪素層１０が１０００℃程度に加熱されることにより、ソース電極１６がシリサイド化し、炭化珪素層１０のソース領域１４およびp^+領域１８とオーミック接合するソース電極１６が形成される。同様に、炭化珪素層１０の第２の主面１０ｂにオーミック接合するドレイン電極２０が形成される。ドレイン電極２０を形成する材料は、ニッケルおよびシリコンを含む材料であってもよいし、チタン、アルミニウムおよびシリコンを含む材料であってもよい。ソース電極１６と接し、たとえばアルミニウムからなるパッド電極６５が形成される。また、たとえばチタン、ニッケルおよび銀を含む裏面保護電極５０が形成される。以上の様に、図１および図８に示すＭＯＳＦＥＴ１が完成する。

[0052] なお、上記実施の形態では、炭化珪素半導体装置の一例としてＭＯＳＦＥＴを例に挙げて説明したが、炭化珪素半導体装置は、ショットキーバリアダイオードなどのダイオードであってもよいし、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）などであってもよい。またＭＯＳＦＥＴは、プレナー型ＭＯＳＦＥＴであってもよいし、トレンチ型ＭＯＳＦＥＴであってもよい。さらに炭化珪素半導体装置は、縦型半導体装置であってもよい。

[0053] また、上記実施の形態では、第１導電型がｐ型であり、かつ第２導電型が

ｎ型であるとして説明したが、第１導電型がｎ型であり、かつ第２導電型がｐ型であってもよい。

[0054] 次に、本実施の形態に係るＭＯＳＦＥＴ１の作用効果について説明する。

本実施の形態に係るＭＯＳＦＥＴ１によれば、終端領域ＯＲは、第１導電型を有するガードリング領域３と、第１の主面１０ａとガードリング領域３との間に位置し、かつガードリング領域３とは異なる導電型を有するｎ型領域１２ｃとを含む。これにより、ＭＯＳＦＥＴ１の耐圧のばらつきを低減することができる。

[0055] また本実施の形態に係るＭＯＳＦＥＴ１によれば、ｎ型領域１２ｃのドーズ量は、ガードリング領域３のドーズ量よりも少ない。これにより、第２導電型領域１２ｃを十分に空乏化することができる。それゆえ、高電界が半導体素子部に集中し、半導体素子部が破壊されることを抑制することができる。

[0056] さらに本実施の形態に係るＭＯＳＦＥＴ１によれば、第１の主面１０ａの法線方向に沿ったガードリング領域３の不純物濃度のピーク位置から第１の主面１０ａまでの距離は、０．１μｍ以上１．０μｍ以下である。当該距離が０．１μｍ以上であれば、当該距離が絶縁層１５の厚みよりも大きいため、絶縁層１５の厚みのばらつきによって、ガードリング領域３の一部が酸化されて絶縁層１５となることを抑制することができる。それゆえ、ガードリング領域３のドーズ量が変動することを抑制することができる。また当該距離が１．０μｍ以下であれば、ガードリング領域３をイオン注入によって効率的に形成することができる。

[0057] さらに本実施の形態に係るＭＯＳＦＥＴ１によれば、ガードリング領域３のドーズ量は、$1\times10^{13}cm^{-2}$以上である。これにより、ＭＯＳＦＥＴ１の耐圧を向上することができる。

[0058] さらに本実施の形態に係るＭＯＳＦＥＴ１によれば、ガードリング領域３のドーズ量は、炭化珪素層１０と絶縁層１５との界面における固定電荷密度よりも多い。これにより、ＭＯＳＦＥＴ１の耐圧のばらつきを抑制すること

ができる。

[0059] さらに本実施の形態に係るＭＯＳＦＥＴ１によれば、第１導電型はｐ型であり、かつ第２導電型領域はｎ型領域である。これにより、ＭＯＳＦＥＴの製造しやすさを向上することができる。

[0060] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0061] １　ＭＯＳＦＥＴ（炭化珪素半導体装置）、２　ＪＴＥ領域、２ａ　境界線、３　ガードリング領域、３ａ～３ｉ　ガードリング部、７　半導体素子部、１０　炭化珪素層、１０ａ　第１の主面、１０ｂ　第２の主面、１０ｃ　端部、１１　基板、１２　ｎ型領域、１２ａ　ドリフト領域（ｎ型領域）、１２ｃ　ｎ型領域（第２導電型領域）、１３　ボディ領域、１４　ソース領域、１５　絶縁層、１５ａ　ゲート絶縁膜部、１５ｂ　絶縁膜部、１６　ソース電極、１８　p^+領域、２０　ドレイン電極、２７　ゲート電極、５０　裏面保護電極、６５　パッド電極、７０　保護膜、７１　層間絶縁膜、ＩＲ　素子領域、ＯＲ　終端領域、Ｔ　厚み、Ｗ１，Ｗ２～Ｗ１０　幅、ｄ１，ｄ２　間隔。

請求の範囲

[請求項1] 第１の主面と、前記第１の主面と反対側の第２の主面とを有し、かつ半導体素子部が設けられた素子領域と、平面視において前記素子領域を取り囲む終端領域とにより構成された炭化珪素層と、

前記炭化珪素層の前記第１の主面に接する絶縁層とを備え、

前記終端領域は、第１導電型を有するガードリング領域と、前記第１の主面と前記ガードリング領域との間に位置し、かつ前記ガードリング領域とは異なる導電型を有する第２導電型領域とを含む、炭化珪素半導体装置。

[請求項2] 前記第２導電型領域のドーズ量は、前記ガードリング領域のドーズ量よりも少ない、請求項１に記載の炭化珪素半導体装置。

[請求項3] 前記第１の主面の法線方向に沿った前記ガードリング領域の不純物濃度のピーク位置から前記第１の主面までの距離は、０．１μｍ以上１．０μｍ以下である、請求項１または２に記載の炭化珪素半導体装置。

[請求項4] 前記ガードリング領域のドーズ量は、$1\times10^{13}cm^{-2}$以上である、請求項１～３のいずれか１項に記載の炭化珪素半導体装置。

[請求項5] 前記ガードリング領域のドーズ量は、前記炭化珪素層と前記絶縁層との界面における固定電荷密度よりも多い、請求項１～４のいずれか１項に記載の炭化珪素半導体装置。

[請求項6] 前記第１導電型はｐ型であり、かつ前記第２導電型領域はｎ型領域である、請求項１～５のいずれか１項に記載の炭化珪素半導体装置。

[図1]

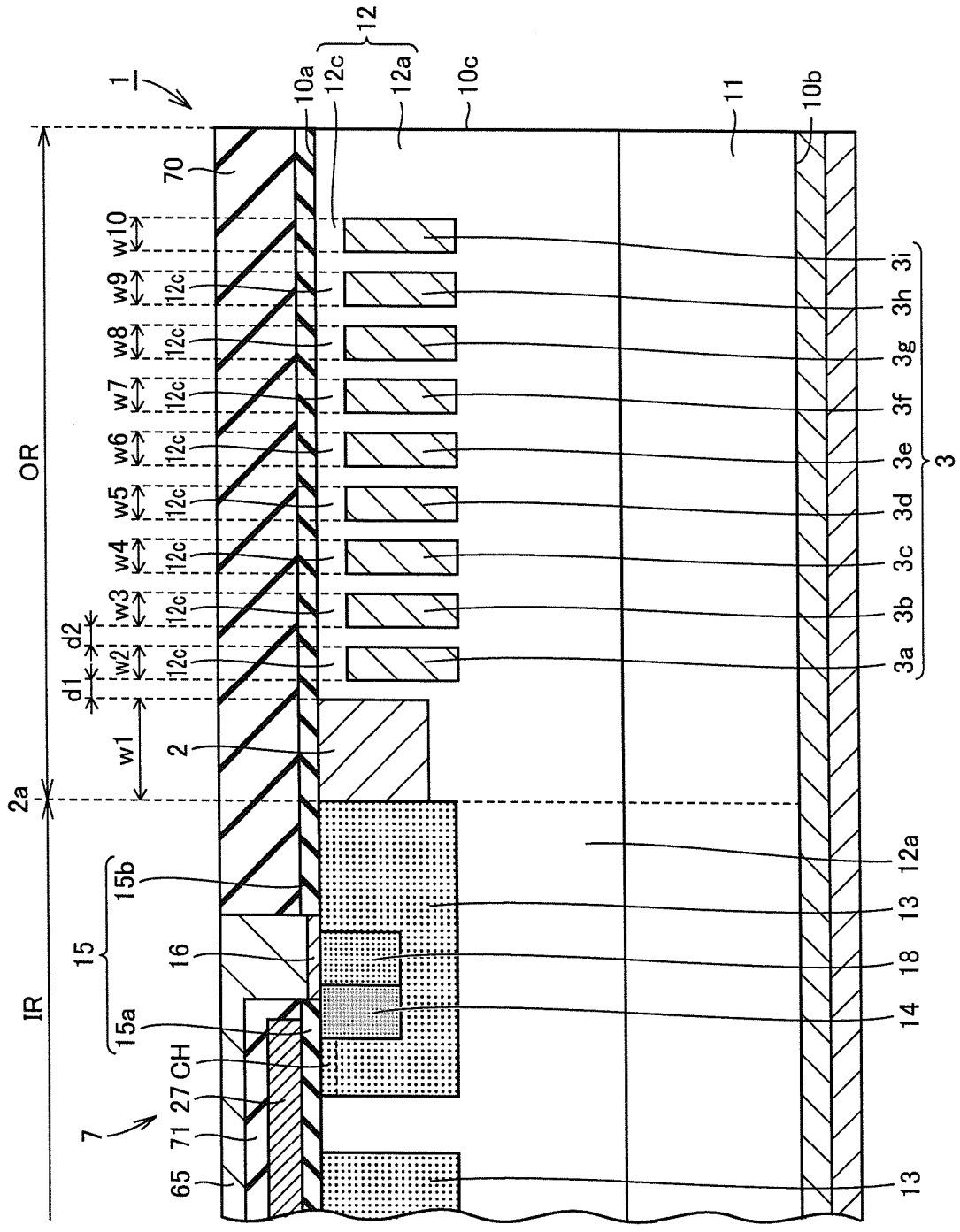
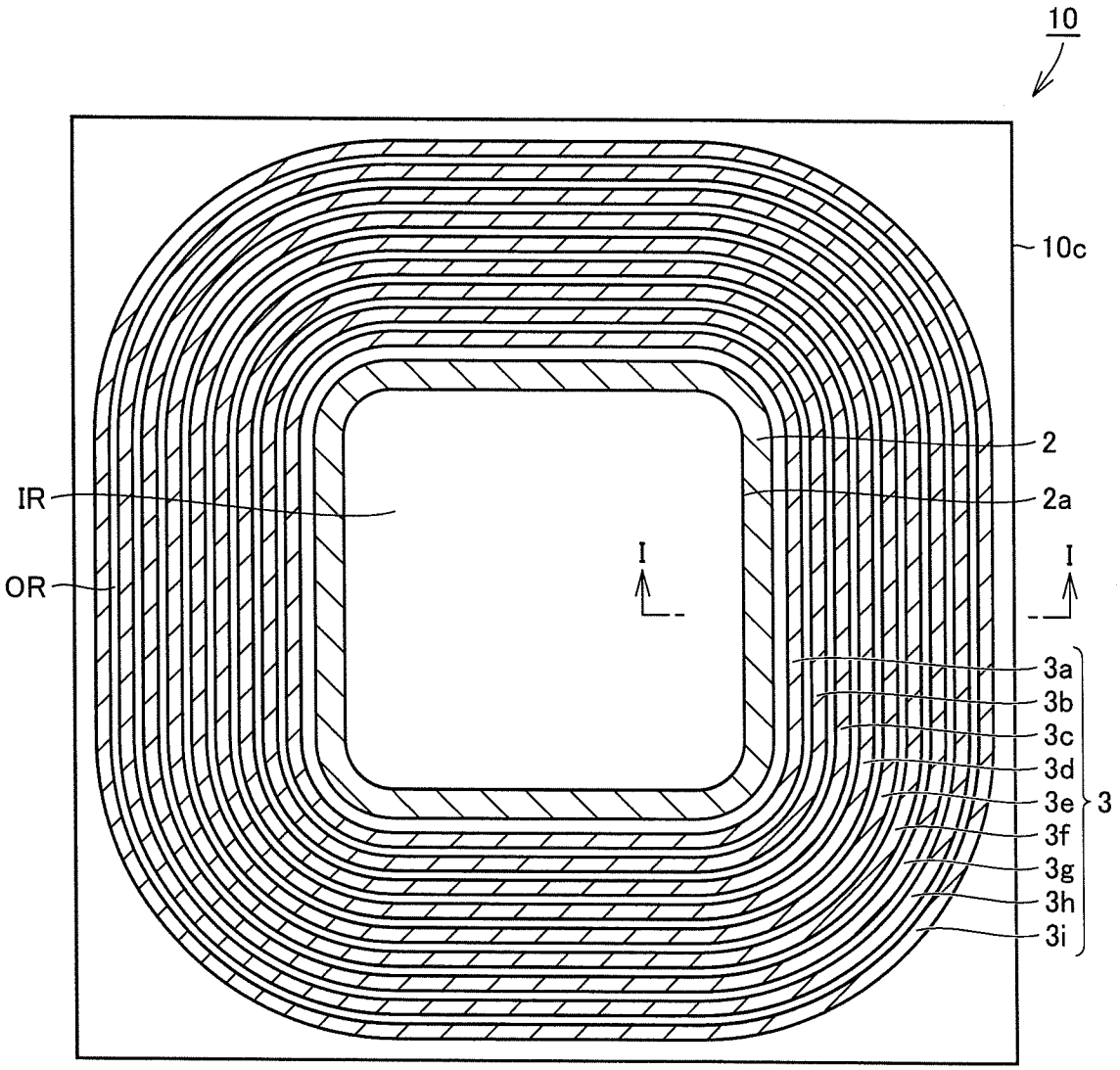

1
10a
12c
12
12a
10c
11
10b
70
w10
w9
w8
w7
w6
w5
w4
w3
w2
d2
d1
w1
2
OR
2a
IR
15b
15
15a
16
CH
27
71
65
7
3i
3h
3g
3f
3e
3d
3c
3b
3a
3
12a
13
18
14
13

FIG.1

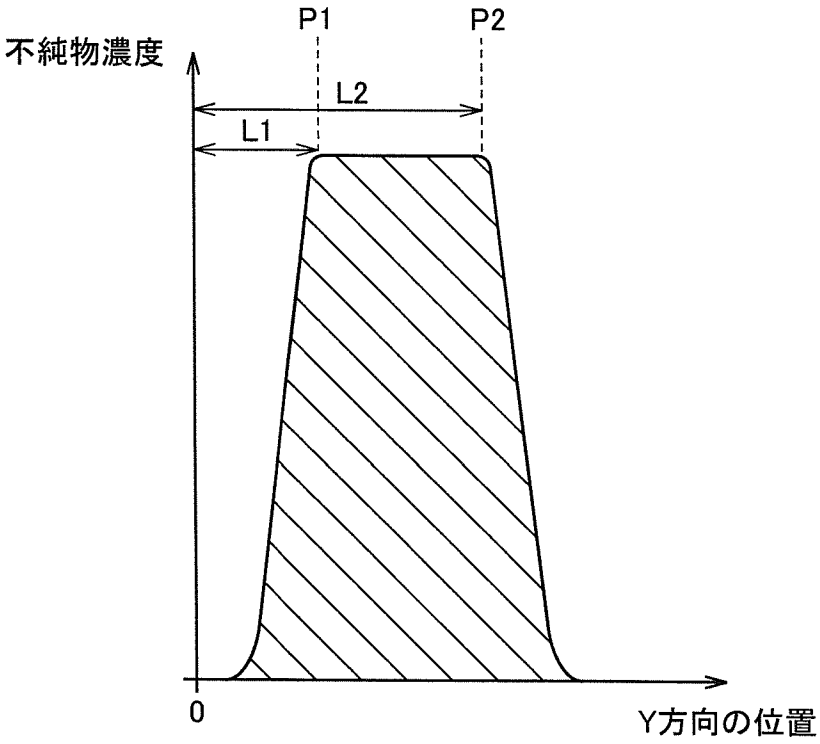
[図2]

FIG.2



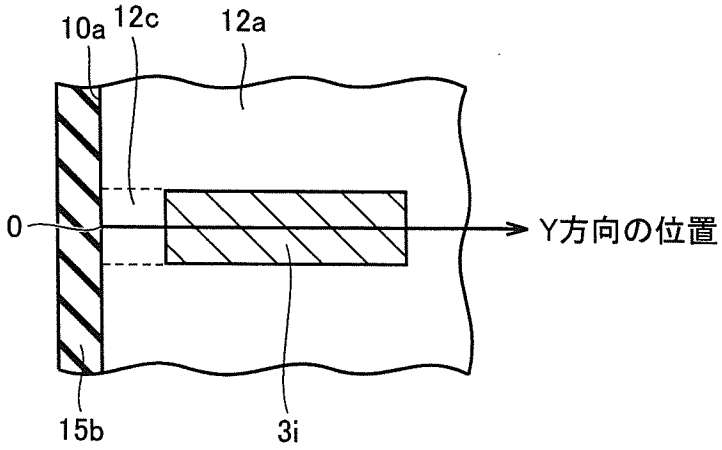
[図3]

FIG.3



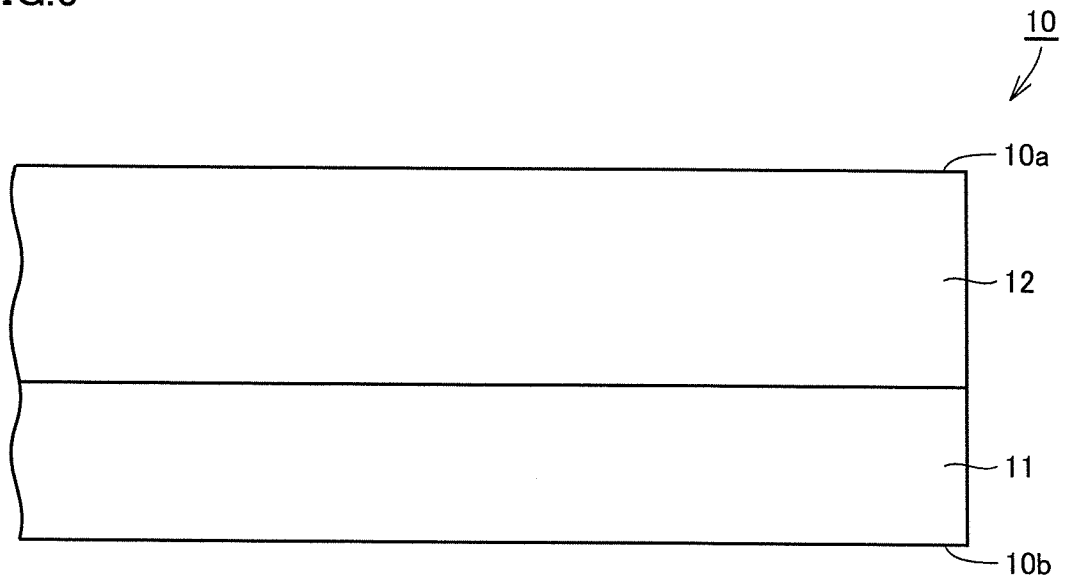
[図4]

FIG.4



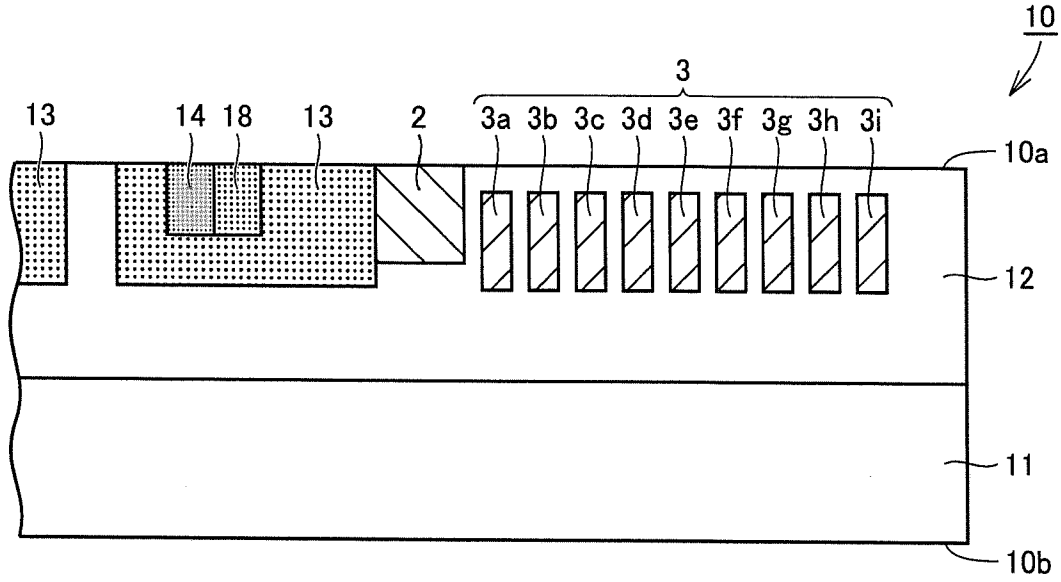
[図5]

FIG.5



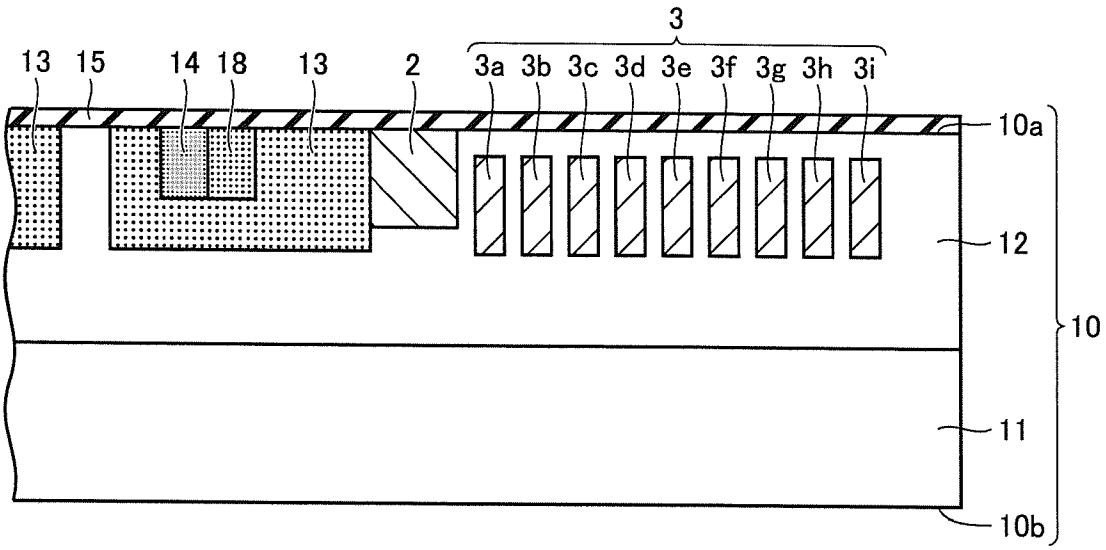
[図6]

FIG.6



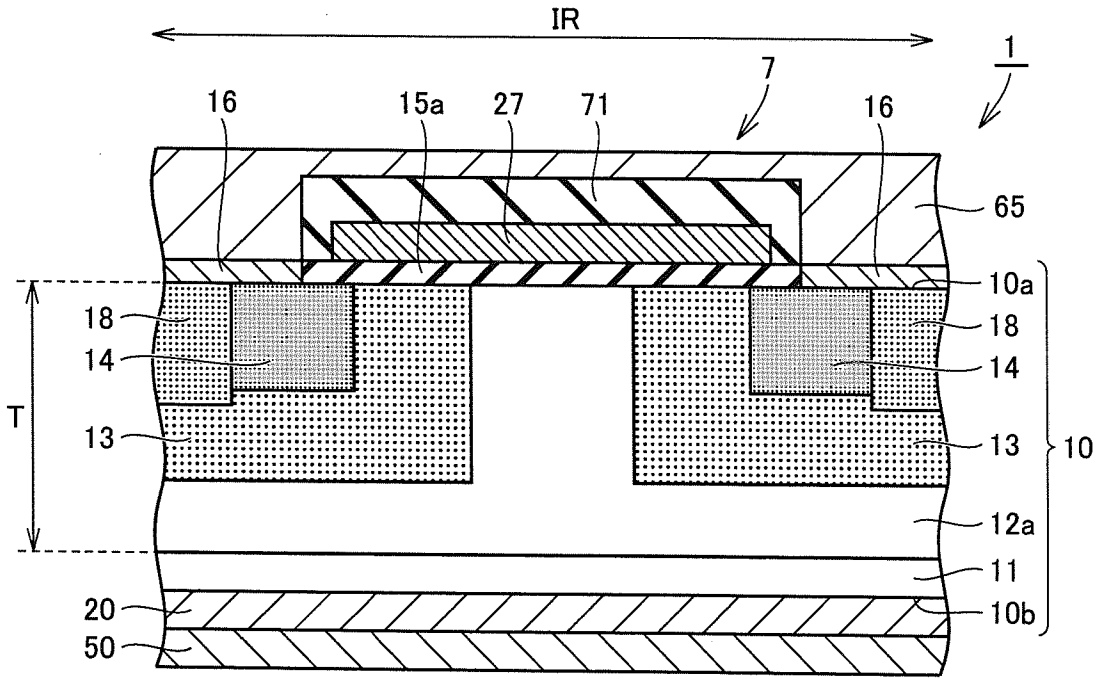
[図7]

FIG.7



[図8]

FIG.8



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/060379

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/06(2006.01)i, *H01L29/12*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/06, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-181805 A (Toshiba Corp.), 15 September 2011 (15.09.2011), paragraphs [0013] to [0022], [0059]; fig. 2 & US 2011/0215418 A1 & CN 102194858 A	1-6
X	JP 2008-4643 A (Toshiba Corp.), 10 January 2008 (10.01.2008), paragraphs [0012] to [0043], [0062] to [0071], [0088]; fig. 10, 22 & US 2007/0272979 A1	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 08 July, 2014 (08.07.14)	Date of mailing of the international search report 22 July, 2014 (22.07.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０６０３７９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/06, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	ＪＰ　２０１１－１８１８０５　Ａ　（株式会社東芝）２０１１．０９．１５、段落【００１３】－【００２２】、【００５９】、図２ ＆　ＵＳ　２０１１／０２１５４１８　Ａ１ ＆　ＣＮ　１０２１９４８５８　Ａ	１－６
X	ＪＰ　２００８－４６４３　Ａ　（株式会社東芝）２００８．０１．１０、段落【００１２】－【００４３】、【００６２】－【００７１】、【００８８】、図１０、２２ ＆　ＵＳ　２００７／０２７２９７９　Ａ１	１－６

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０８．０７．２０１４	２２．０７．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９２７４
工藤　一光
電話番号　０３－３５８１－１１０１　内線　３５１６