(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 106663598 B
(45)授权公告日 2018.08.07

(21)申请号 201680000867.4
(22)申请日 2016.05.23
(65)同一申请的已公布的文献号
申请公布号 CN 106663598 A
(43)申请公布日 2017.05.10
(30)优先权数据
62/165,816 2015.05.22 US
15/051,362 2016.02.23 US
(85)PCT国际申请进入国家阶段日
2016.09.14
(86)PCT国际申请的申请数据
PCT/US2016/033783 2016.05.23
(87)PCT国际申请的公布数据
WO2016/191371 EN 2016.12.01

(73)专利权人 思哲科技株式会社
地址 韩国首尔
(72)发明人 李齐珩 罗栗 金映植 郑宇植
(74)专利代理机构 北京志霖恒远知识产权代理事务所(普通合伙) 11435
代理人 陈姗姗 郭栋梁

(51)Int.Cl.
H01L 21/02(2006.01)
H01L 21/308(2006.01)
审查员 陈龙

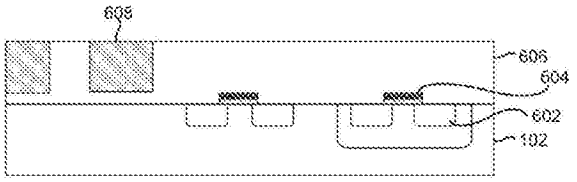
权利要求书2页 说明书9页 附图17页

(54)发明名称

用于去除在外延生长期间形成的核的方法

(57)摘要

用于去除在选择性外延生长工艺期间形成的核的方法包括在具有一个或多个掩膜层的衬底上外延生长一个或多个半导体结构的第一集合。多个半导体结构的第二集合形成在一个或多个掩膜层上。该方法还包括在一个或多个半导体结构的第一集合上形成一个或多个保护层。多个半导体结构的第二集合的至少一个子集从一个或多个保护层暴露。该方法还包括,在一个或多个半导体结构的第一集合上形成一个或多个保护层之后,对多个半导体结构的第二集合的至少一个子集进行刻蚀。



CN 106663598 B

1.用于去除在选择性外延生长工艺期间形成的核的方法，包括：

在具有一个或多个掩膜层的衬底上外延生长一个或多个半导体结构的第一集合，其中，多个半导体结构的第二集合形成在一个或多个掩膜层上；

在所述一个或多个半导体结构的第一集合上形成一个或多个保护层，其中，所述多个半导体结构的第二集合的至少一个子集从所述一个或多个保护层暴露；

在所述一个或多个半导体结构的第一集合上形成所述一个或多个保护层之后，对所述多个半导体结构的第二集合的至少一个子集进行刻蚀；以及，当在具有一个或多个掩膜层的所述衬底上外延生长所述一个或多个半导体结构的第一集合时，在所述一个或多个掩膜层上形成多个半导体颗粒。

2.根据权利要求1所述的方法，包括：

在所述一个或多个保护层形成在所述一个或多个半导体结构的第一集合上之前，放弃对所述多个半导体结构的第二集合的至少一个子集的刻蚀。

3.根据权利要求1所述的方法，包括：

在开始所述衬底上的所述一个或多个半导体结构的第一集合的外延生长之后，放弃对所述多个半导体结构的第二集合的至少一个子集进行的刻蚀，直到在所述一个或多个半导体结构的第一集合上形成所述一个或多个保护层为止。

4.根据权利要求1所述的方法，其中，所述一个或多个半导体结构的第一集合在单个的外延生长工艺中形成。

5.根据权利要求1所述的方法，其中：

所述一个或多个保护层包括一个或多个光刻胶层。

6.根据权利要求1所述的方法，包括：

在形成所述一个或多个保护层之前，至少在所述一个或多个半导体结构的第一集合上沉积一个或多个粘结层。

7.根据权利要求6所述的方法，其中，所述一个或多个粘结层包括六甲基二硅烷和/或低温热氧化物。

8.根据权利要求6所述的方法，包括：

在对所述多个半导体结构的第二集合的至少一个子集进行刻蚀后，去除所述一个或多个粘结层。

9.根据权利要求8所述的方法，其中，所述一个或多个保护层和所述一个或多个粘结层被同时去除。

10.根据权利要求8所述的方法，其中，在去除所述一个或多个粘结层的至少部分后，去除所述一个或多个保护层。

11.根据权利要求1所述的方法，还包括：

在对所述多个半导体结构的第二集合的至少一个子集进行刻蚀后，去除所述一个或多个保护层。

12.根据权利要求1所述的方法，还包括：

在对所述多个半导体结构的第二集合的至少一个子集进行刻蚀后，对所述一个或多个半导体结构的第一集合的至少一个子集进行平坦化。

13.根据权利要求1所述的方法，其中，所述多个半导体结构的第二集合包括所述一个

或多个掩膜层上的一个或多个半导体薄膜。

14.根据权利要求1所述的方法，其中，所述一个或多个半导体结构的第一集合包括IV族材料。

15.根据权利要求1所述的方法，其中，所述一个或多个半导体结构的第一集合包括锗。

16.根据权利要求1所述的方法，其中，所述一个或多个半导体结构的第一集合形成在从所述一个或多个掩膜层暴露的所述衬底的一个或多个区域上。

17.根据权利要求1所述的方法，其中，所述一个或多个半导体结构的第一集合具有晶体结构并且所述多个半导体结构的第二集合具有非晶和/或多晶结构。

18.根据权利要求1所述的方法，其中，所述一个或多个掩膜层包括电介质材料。

19.根据权利要求1所述的方法，其中，所述一个或多个掩膜层包括二氧化硅。

20.根据权利要求1所述的方法，其中，对所述多个半导体结构的第二集合的至少一个子集进行刻蚀包括以第一速率对所述多个半导体结构的第二集合的至少一个子集进行刻蚀并且以低于所述第一速率的第二速率对所述一个或多个掩膜层进行刻蚀。

21.根据权利要求1所述的方法，其中，对所述多个半导体结构的第二集合的至少一个子集进行刻蚀包括放弃对所述一个或多个掩膜层的刻蚀。

22.根据权利要求1所述的方法，其中，所述衬底包括其上的多个半导体器件。

23.根据权利要求22所述的方法，其中，所述多个半导体器件位于所述一个或多个掩膜层下的所述衬底上。

24.根据权利要求22所述的方法，其中，所述衬底包括其上的多个晶体管并且所述一个或多个半导体结构的第一集合中的半导体结构电耦合到所述多个晶体管中的晶体管的源或漏。

25.根据权利要求24所述的方法，其中，所述衬底包括其上的多个互补金属氧化物半导体器件，包括p型金属氧化物半导体晶体管和n型 金属氧化物半导体晶体管。

26.根据权利要求25所述的方法，包括：

将所述一个或多个半导体结构的第一集合中的第一半导体结构电耦合到以下中的一个的源或漏：所述p型金属氧化物半导体晶体管或所述n型金属氧化物半导体晶体管。

27.根据权利要求1所述的方法，其中，所述一个或多个半导体结构的第一集合以及所述多个半导体结构的第二集合被同时形成。

28.根据权利要求1所述的方法，其中，所述一个或多个半导体结构的第一集合中的第一半导体结构大于所述多个半导体结构的第二集合中的第二半导体结构。

29.根据权利要求1所述的方法，包括：

对从所述一个或多个保护层暴露的所述多个半导体结构的第二集合的整个子集进行刻蚀。

用于去除在外延生长期间形成的核的方法

技术领域

[0001] 本申请总体上涉及用于制造半导体器件的方法。更具体地，公开的实施例涉及用于去除外延生长工艺期间在半导体器件上形成的核的方法。

背景技术

[0002] 外延生长是在半导体衬底上创建结晶区的常用方法。然而，在半导体衬底的非期望区域中的半导体结构的形成是不希望的。例如，在半导体衬底的非期望区域生长的任何半导体结构可能不利地影响在衬底上形成的器件的电和/或机械特性。

[0003] 选择性外延生长(SEG)用于在半导体衬底的目标区域上创建结晶区。对于选择性外延生长，半导体衬底覆盖有掩膜材料，暴露底层衬底的某些区域。对于这样的半导体衬底，外延生长主要在半导体衬底的暴露区域上发生，而在掩膜材料上较少地发生。尽管选择性外延生长可以减少外延生长期间掩膜材料上的结构(例如，核或层的形式)的形成，但取决于工艺条件，很多半导体结构仍然可能在外延生长期间形成在掩膜材料上。

[0004] 已经进行了各种尝试来消除掩膜材料上的外延生长结构的形成。例如，已经找到某些生长条件来进一步抑制掩膜材料上的外延生长结构的形成。然而，与规定的生长条件的小的偏差可能容易导致掩膜材料上的外延生长结构更多形成。因此，这样的生长条件的使用受到限制。

发明内容

[0005] 因此，需要去除外延生长期间形成的核的改进的方法。在一些实施例中，该方法对生长条件的变化不那么敏感。因此，这样的改进的方法还允许半导体结构的更快的外延生长，同时减少外延生长期间衬底的非期望区域上的半导体结构的形成。

[0006] 下文中更加详细给出了克服上文描述的限制和缺点的多个实施例。这些实施例提供了器件，以及制造这样的器件的方法。

[0007] 如下文更加详细地描述的，一些实施例涉及用于去除选择性外延生长工艺期间形成的核的方法，包括在具有一个或多个掩膜层的衬底上外延生长一个或多个半导体结构的第一集合。在一个或多个掩膜层上形成多个半导体结构的第二集合。该方法还包括在一个或多个半导体结构的第一集合上形成一个或多个保护层。多个半导体结构的第二集合的至少一个子集从一个或多个保护层暴露。该方法还包括在一个或多个半导体结构的第一集合上形成一个或多个保护层之后，刻蚀多个半导体结构的第二集合的至少一个子集。

[0008] 根据一些实施例，半导体器件包括衬底；位于该衬底上的第一掩膜层区域；以及位于该衬底上的第二掩膜层区域。第一掩膜层区域具有顶面和侧面，并且第二掩膜层区域具有顶面和侧面。半导体器件还包括第一半导体材料类型的外延生长的半导体结构。该外延生长的半导体结构位于第一掩膜层区域的侧面与第二掩膜层区域的侧面之间，并且该外延生长的半导体结构与第一掩膜层区域的侧面和第二掩膜层区域的侧面接触。第一掩膜层区域的顶面以及第二掩膜层区域的顶面不与除位于第一掩膜层区域的侧面与第二掩膜层区

域侧面之间的外延生长的半导体结构之外的第一半导体材料类型的半导体接触。

附图说明

[0009] 为了更好地理解上述的方面以及额外的方面及其实施例，将结合以下附图来参照下文的具体实施方式。

[0010] 图1A-1I是根据一些实施例的半导体衬底的局部截面图。

[0011] 图2A-2C是根据一些实施例的半导体衬底的局部截面图。

[0012] 图3A-3C是根据一些实施例的半导体衬底的局部截面图。

[0013] 图4A-4C是根据一些实施例的半导体衬底的局部截面图。

[0014] 图5A-5E是根据一些实施例的半导体衬底的局部截面图。

[0015] 图6A-6B是根据一些实施例的半导体衬底的局部截面图。

[0016] 图7A-7C是示出了根据一些实施例的去除在选择性外延生长工艺期间形成的核的方法的流程图。

[0017] 图8A-8B是根据一些实施例的刻蚀工艺之前的半导体衬底的扫描电子显微镜(SEM)图像。

[0018] 图9A-9B是根据一些实施例的刻蚀工艺之后的半导体衬底的扫描电子显微镜(SEM)图像。

[0019] 在全部附图中，相似的附图标记指代相对应的部分。

[0020] 除非另外说明，附图不是按比例绘制的。

具体实施方式

[0021] 如上文解释的，非期望区域(例如，掩膜材料上)中的非期望半导体结构的形成可能导致半导体器件的差的电和/或机械特性。已经找到某些生长条件来减少非期望区域中的非期望的半导体结构的形成。

[0022] 例如，在外延生长期间将衬底暴露于刻蚀剂(例如，HCl气体)(例如，通过将HCl气体与沉积气体混合)，从而允许在外延生长期间对非期望半导体结构的刻蚀。通过将刻蚀剂的刻蚀速率保持高于非期望的半导体结构形成的速率并且低于(目标半导体结构的)外延生长的速率，非期望的半导体结构的形成被减少或抑制。然而，刻蚀剂的存在影响外延生长半导体结构的速度。形成目标半导体结构的速率受到刻蚀反应的阻碍，并且由此，比没有刻蚀剂时形成目标半导体结构的速率慢。由此，形成目标半导体结构的降低的速率可能成为整个器件制造工艺中的瓶颈。此外，刻蚀剂的存在影响外延生长的半导体结构的形状。具体地，主导方向上的生长速率与非主导方向上的生长速率的比率被显著增大。例如，在锗外延生长中，(100)是主导生长方向。当主导方向上的生长速率与非主导方向上的生长速率的比率增大时，产生的外延生长的锗结构具有带有(311)斜坡的金字塔形状。由此，刻蚀剂的存在使得获得与金字塔形状不同的形状的半导体结构更有挑战性。此外，如果形成具有带有(311)斜坡的金字塔形状的锗来覆盖某些区域，则锗金字塔的高度可能是高的，这使得获取平坦化的表面(例如，通过使用化学机械平坦化(CMP)工艺)更有挑战性。

[0023] 在另一个实施例中，降低外延生长期间的温度和压力被认为能减少外延生长期间的非期望半导体结构的形成。然而，降低沉积温度降低了生长的半导体结构的结晶度，这导

致半导体器件中的增大的漏电流。降低压力可能导致更低的沉积速率并且增大半导体结构的粗糙度，这将使制造的设备的性能下降。

[0024] 在又一个示例中，增大锗烷气体(GeH_4)的压力有利于平坦的锗岛的生长，但增加了外延生长期间的非期望的半导体结构的形成。类似地，增大氢气(H_2)的压力有利于平坦的锗岛的生长，但增加了外延生长期间的非期望的半导体结构的形成。

[0025] 本文描述了解决以上问题的方法。通过不使用(或使用更少的)刻蚀剂来外延生长半导体结构，半导体结构可以被更快地生长。此外，半导体结构的形状被刻蚀剂更少地影响，这是因为外延生长期间没有(或更少的)刻蚀剂存在。此外，在外延生长期间，压力和/或温度不需要被降低。尽管不使用(或使用更少的)刻蚀剂(并且在正常的压力和温度下)的外延生长将导致非期望区域上(例如，掩膜材料上)的半导体结构的形成，但非期望区域上的这样的半导体结构之后通过刻蚀工艺被去除。由此，可以获得衬底的目标区域中的外延生长的半导体结构，而在非期望区域中没有或者有减少的半导体结构。

[0026] 将参照某些实施例，这些实施例的示例在附图中示出。尽管将结合实施例描述底层的原理，但应该理解的是，这不是要将权利要求的范围仅限制到这些特定实施例。相反，权利要求是要覆盖权利要求范围内的替代、修改和等同。

[0027] 此外，在下面的描述中，阐述了大量的特定细节来提供对本发明的充分理解。然而，对本领域技术人员显而易见的是，本发明可以在没有这些特定细节的情况下实现。在其他实例中，没有详细描述对本领域技术人员公知的方法、过程、部件、以及网络，以避免使底层原理的方面难以理解。

[0028] 还应该理解的是，本文中可能使用术语第一、第二等来描述各种元件，但这些元件不应该被这些术语限制。这些术语仅用于元件间的区分。例如，第一集合可以被称为第二集合，并且类似地，第二集合可以被称为第一集合，而不偏离权利要求的范围。第一集合和第二集合都是集合(例如，半导体结构的集合)，但它们不是同一个集合。

[0029] 在本文的具体实施方式中使用的术语仅出于描述特定实施例的目的并且不是要限制权利要求的范围。如在说明书和所附的权利要求中使用的，单数形式“一”、“一个”、以及“该”旨在也包括复数形式，除非上下文明确地另外指示。还应该理解，本文中使用的术语“和/或”指代并且包含相关联的列举项中的一个或多个的任何和所有可能的组合。还应该理解的是，当在本文中使用时，术语“包括”和/或“包含”指定所述的特征、整数、步骤、操作、元件、和/或部件的存在，但不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、部件、和/或其组合。

[0030] 图1A-1I是根据一些实施例的半导体衬底的局部截面图。

[0031] 图1A示出了衬底102和衬底102上的掩膜层104。尽管在图1A-1I、2A-2C、3A-3C、4A-4C、以及5A-5E中，衬底102被示为晶元，但衬底102可以包括未在图1A-1I、2A-2C、3A-3C、4A-4C、以及5A-5E中示出的额外的特征。在一些实施例中，衬底102包括硅器件(例如，硅互补金属氧化物半导体器件以及通常在前道制程(FEOL)工艺期间形成的任何其他结构)。在一些实施例中，衬底102包括硅器件上的氧化物层(例如，图6A-6B)。

[0032] 在一些实施例中，掩膜层104包括电介质材料(例如，二氧化硅)。在一些实施例中，掩膜层104由电介质材料(例如，二氧化硅)制成。掩膜层104暴露衬底102的一个或多个部分。在一些实施例中，电介质材料沉积在衬底102上并且之后被刻蚀以暴露衬底102的一个

或多个部分。在一些实施例中，衬底102被进一步刻蚀。在一些情况下，该进一步的刻蚀提供了更适于外延生长的表面。

[0033] 图1B示出了半导体结构106(例如，锗岛)被外延生长。锗的外延生长的条件(例如，压力、温度、以及化学成分)是公知的，并且由此，为简洁起见，在本文中省略。然而，如上文解释的，本文描述的方法不要求使用刻蚀剂(例如，HCl气体)来抑制外延生长期间掩膜层104上的半导体结构的生长，尽管不排除使用刻蚀剂。外延生长的条件可以被调节以获得期望的生长曲线。因此，可以定制外延生长的半导体结构的形状。

[0034] 图1B还示出了半导体结构108(例如，颗粒，在本文中也称为核)也在半导体结构106的外延生长期间形成在掩膜层104上。半导体结构108通常具有非晶和/或多晶结构，然而半导体结构106具有晶体结构。

[0035] 图1C示出了半导体结构106继续生长。图1C还示出了额外的半导体结构108形成在掩膜层104上。图8A和8B是锗岛的外延生长之后的衬底的扫描电子显微镜(SEM)图像，将在下文中详细描述。

[0036] 图1D示出了在一些实施例中，半导体结构108聚合形成薄膜110。

[0037] 图1E示出了，可选地，粘结层112被施加(例如，沉积)在衬底102上。在图1E中，粘结层112覆盖半导体结构106以及掩膜层104上的薄膜110。在一些实施例中，粘结层112是低热氧化物。在一些实施例中，粘结层112是六甲基二硅烷(HMDS)。在一些实施例中，粘结层112提高外延生长的半导体结构106与光刻胶之间的粘结性。

[0038] 图1F示出了保护层114(例如，光刻胶层)被施加在衬底102上。在图1F中，保护层114覆盖半导体结构106上的粘结层112的部分。在图1F中，保护层114不覆盖薄膜110(例如，薄膜110从保护层114暴露，尽管薄膜110覆盖有粘结层112)。

[0039] 图1G示出了没有被保护层114覆盖的区域已经被刻蚀。刻蚀的结果是，薄膜110(以及半导体结构106的外延生长期间形成的任何其他不期望的半导体结构)被去除。此外，位于薄膜110上的粘结层112的部分也被去除。在一些实施例中，使用去除薄膜110(以及在半导体结构106的外延生长期间形成的任何其他非期望的半导体结构)比保护层114快的选择性刻蚀工艺(这样的刻蚀工艺被称为具有高的选择性)，以使得当薄膜110和/或在半导体结构106的外延生长期间形成的任何其他非期望的半导体结构被去除时，半导体结构106被保持。在一些实施例中，刻蚀工艺是干法刻蚀工艺(例如，等离子刻蚀、深反应离子刻蚀等)。在一些实施例中，刻蚀工艺是湿法刻蚀工艺(例如，利用液相刻蚀剂来刻蚀)。例如，由Surface Technology System公司制造的先进硅刻蚀设备可以用于选择性刻蚀。

[0040] 图1H示出了保护层114和粘结层112被去除。图9A和9B是去除保护层114之后的衬底的扫描电子显微镜(SEM)图像，将在下文中详细描述。

[0041] 图1I示出了半导体结构106被平坦化(例如，使用CMP工艺)。由于非期望的半导体结构(例如，核108或薄膜110)已经被去除，因此CMP工艺可以被容易地应用。此外，由于半导体结构106的形状可以被调节为具有平坦的顶部，因此，更容易执行CMP工艺。

[0042] 图2A-2C是根据一些实施例的半导体衬底的局部截面图。

[0043] 在图2A-2C中示出的工艺类似于在图1F-1H中示出的那些，除了没有使用可选的粘结层112(图1E)。图2A示出了保护层114被直接施加在图1D中示出的半导体结构106上。

[0044] 图2B示出了没有被保护层114覆盖的区域已经被刻蚀，这类似于上文参照图1G描

述的工艺。刻蚀的结果是，薄膜110(以及在半导体结构106的外延生长期间形成的任何其他非期望的半导体结构)被去除。

[0045] 图2C示出了保护层114被去除，这类似于上文参照图1H描述的工艺。接下来，半导体结构106可以被平坦化，如上文参照图1I描述的。

[0046] 图3A-3C是根据一些实施例的半导体衬底的局部截面图。

[0047] 图3A-3C中示出的工艺与在图1E-1G中示出的那些类似，除了半导体结构108(例如，颗粒)保持分离。

[0048] 图3A示出了粘结层112被施加在半导体结构106以及掩膜层104上的半导体结构108(例如，颗粒)上，这类似于上文参照图1E描述的工艺。

[0049] 图3B示出了保护层114被施加在衬底102上，这类似于上文参照图1F描述的工艺。

[0050] 图3C示出了没有被保护层114覆盖的区域已经被去除，这类似于上文参照图1G描述的工艺。刻蚀的结果是，半导体结构108被去除。此外，位于半导体结构108上的粘结层112的部分也被去除。

[0051] 在一些实施例中，在图3C中示出的半导体衬底如上文参照图1H和1I所描述的被进一步处理。例如，保护层114和粘结层112被去除并且半导体结构106被平坦化以获得图1I中示出的半导体衬底。

[0052] 图4A-4C是根据一些实施例的半导体衬底的局部截面图。

[0053] 图4A-4C中示出的工艺与图2A-2C中示出的那些类似，除了半导体结构108(例如，颗粒)保持分离。

[0054] 图4A示出了保护层114在半导体结构108聚合之前被直接施加在半导体结构106上。

[0055] 图4B示出了没有被保护层114覆盖的区域已经被刻蚀，这类似于上文参照图2B描述的工艺。刻蚀的结果是，半导体结构108被去除。

[0056] 图4C示出了保护层114被去除，这类似于上文参照图2C描述的工艺。接下来，半导体结构106可以被平坦化，如上文参照图1I所描述的。

[0057] 图5A-5E是根据一些实施例的半导体衬底的局部截面图。

[0058] 图5A-5E表明在图1A-1I中示出的工艺可以在单个的半导体衬底上形成多个半导体结构(例如，锗岛)中执行。

[0059] 图5A示出了半导体结构106被外延生长并且半导体结构108在掩膜层104上形成。

[0060] 图5B示出了保护层114被施加在半导体结构106上，同时暴露半导体结构108。

[0061] 图5C示出了半导体结构108通过刻蚀被去除。

[0062] 图5D示出了保护层114被去除。

[0063] 图5E示出了半导体结构106被平坦化(例如，使用CMP工艺)。

[0064] 参照图1A-1I、2A-2C、3A-3C、以及4A-4C描述的某些特征可以类似地被应用于图5A-5E中示出的工艺。例如，在保护层114被施加(或形成)在半导体结构106上之前，粘结层112可以被施加在半导体结构106上。为简洁起见，这样的细节在本文中不再重复。

[0065] 图6A-6B是根据一些实施例的半导体衬底的局部截面图。

[0066] 图6A示出了衬底102包括具有源/漏602和栅604的互补金属氧化物半导体(CMOS)器件。在图6A中，掩膜层606(例如，二氧化硅)在衬底102上形成。在一些实施例中，掩膜层

606包括至少2μm厚度的二氧化硅，以用于在其上生长锗层。二氧化硅的该厚度被发现能提高外延生长的锗的结晶质量。

[0067] 图6B示出了使用上文参照图1A-1I、2A-2C、3A-3C、4A-4C、以及5A-5E描述的工艺来形成半导体结构608(例如，锗)。

[0068] 图7A-7C是示出了根据一些实施例的去除选择性外延生长工艺期间形成的核的方法700。

[0069] 方法700包括(702)在具有一个或多个掩膜层的衬底(例如，硅衬底)上(例如，图1B中的具有掩膜层104的衬底102上)外延生长一个或多个半导体结构(例如，图1B中的半导体结构106)的第一集合。多个半导体结构(例如，图1B中的半导体结构108)的第二集合形成在一个或多个掩膜层上。在一些实施例中，多个半导体结构的第二集合在外延生长一个或多个半导体结构的第一集合的同时被形成。在一些实施例中，一个或多个半导体结构的第一集合中的第一半导体结构大于多个半导体结构的第二集合中的第二半导体结构。在一些实施例中，一个或多个半导体结构是同质外延生长的。在一些实施例中，一个或多个半导体结构是异质外延生长的。

[0070] 在一些实施例中，一个或多个半导体结构的第一集合在单个的外延生长工艺中形成(704)。例如，在图1B-1C中，半导体结构106在单个的外延生长工艺中形成(例如，不是外延生长半导体结构106的一部分，而是刻蚀半导体结构106的一部分，以及外延生长半导体结构106的额外部分)。

[0071] 在一些实施例中，方法700包括(706)在具有一个或多个掩膜层的衬底上外延生长一个或多个半导体结构(例如，图1C中的半导体结构106)的第一集合的同时在一个或多个掩膜层(例如，图1C中的掩膜层104)上形成多个半导体颗粒(例如，图1C中的半导体结构108)。在一些实施例中，多个半导体结构的第二集合包括多个半导体颗粒。

[0072] 在一些实施例中，多个半导体结构的第二集合包括(708)一个或多个掩膜层上的半导体薄膜(例如，图1D中的半导体薄膜110)。在一些实施例中，多个半导体结构的第二集合包括一个或多个掩膜层上的一个或多个半导体薄膜。

[0073] 在一些实施例中，一个或多个半导体结构的第一集合包括(710)IV族材料(例如，硅、锗、SiGe等)。在一些实施例中，一个或多个半导体结构的第一集合包括一个或多个III-V族材料(例如，GaAs、InGaAs等)。

[0074] 在一些实施例中，一个或多个半导体结构的第一集合包括(712)锗。

[0075] 在一些实施例中，一个或多个半导体结构的第一集合形成(714)在从一个或多个掩膜层暴露(例如，没有被一个或多个掩膜层覆盖)的衬底的一个或多个区域上。例如，在图5A中，半导体结构106形成在从掩膜层104暴露的衬底的区域上。

[0076] 在一些实施例中，一个或多个半导体结构的第一集合具有(716)晶体结构而多个半导体结构的第二集合具有非晶和/或多晶结构。例如，参见图8，其示出了一个或多个半导体结构(例如，锗岛)的第一集合具有晶体结构而半导体结构的第二集合具有非晶和/或多晶结构。

[0077] 在一些实施例中，一个或多个掩膜层包括(718)电介质材料。

[0078] 在一些实施例中，一个或多个掩膜层包括(720)二氧化硅。

[0079] 方法700还包括(722，图7B)在一个或多个半导体结构的第一集合上形成一个或多

个保护层(例如,图1F中的保护层114,例如一个或多个光刻胶层)。多个半导体结构的第二集合的至少一个子集从一个或多个保护层中暴露。例如,在图1F中,薄膜110从保护层114暴露。在一些实施例中,一个或多个保护层与一个或多个半导体结构的第一集合直接接触(例如,图2A)。在一些实施例中,一个或多个中间层(例如,一个或多个粘结层,例如六甲基二硅烷(HMDS)或低温热氧化物)位于一个或多个半导体结构的第一集合与一个或多个保护层之间(例如,图1F)。

[0080] 在一些实施例中,方法700包括(724)在一个或多个保护层形成在一个或多个半导体结构的第一集合上之前放弃对多个半导体结构的第二集合的至少一个子集的刻蚀。例如,在一些实施例中,直到一个或多个保护层在一个或多个半导体结构上形成之后,多个半导体结构的第二集合才被刻蚀,以保护一个或多个半导体结构免于刻蚀工艺。

[0081] 在一些实施例中,方法700包括(726)在开始衬底上的一个或多个半导体结构的第一集合的外延生长之后,放弃对多个半导体结构的第二集合的至少一个子集的刻蚀,直到一个或多个保护层形成在一个或多个半导体结构的第一集合上。例如,在一个或多个半导体结构的第一集合的外延生长期间,对多个半导体结构的第二集合的至少一个子集的刻蚀被放弃。在一些实施例中,在开始衬底上的一个或多个半导体结构的第一集合的外延生长之后并且在一个或多个半导体结构上形成一个或多个保护层之前,对多个半导体结构的至少一个子集的刻蚀被放弃。

[0082] 在一些实施例中,一个或多个保护层包括(728)一个或多个光刻胶层。在一些实施例中,一个或多个保护层是一个或多个光刻胶层。

[0083] 在一些实施例中,方法700包括(730)在形成一个或多个保护层之前,至少在一个或多个半导体结构的第一集合上沉积一个或多个粘结层。例如,如图1E-1F中所示的,在保护层114被施加之前,粘结层112被施加在半导体结构106上。在一些实施例中,一个或多个粘结层至少被沉积在一个或多个半导体结构的第一集合上。

[0084] 在一些实施例中,一个或多个粘结层包括(732)六甲基二硅烷和/或低温热氧化物。

[0085] 在一些实施例中,所述方法包括,在刻蚀多个半导体结构的第二集合的至少一个子集后,去除一个或多个粘结层。在一些实施例中,一个或多个保护层以及一个或多个粘结层被同时去除。在一些实施例中,在去除一个或多个粘结层之后去除一个或多个保护层。

[0086] 在一些实施例中,衬底包括硅。在一些实施例中,衬底是硅衬底。

[0087] 在一些实施例中,衬底包括(734)其上的多个半导体器件(例如,图6A-6B)。例如,在外延生长一个或多个半导体结构的第一集合之前,衬底可以包括多个晶体管。

[0088] 在一些实施例中,衬底包括多个晶体管并且一个或多个半导体结构的第一集合中的半导体结构电耦合到多个晶体管中的晶体管的源或漏。

[0089] 在一些实施例中,衬底包括(736)其上的多个互补金属氧化物半导体(CMOS)器件(例如,图6A-6B)。

[0090] 在一些实施例中,衬底包括其上的多个互补金属氧化物半导体器件,包括p型金属氧化物半导体晶体管和n型金属氧化物半导体晶体管。在一些实施例中,该方法包括将一个或多个半导体结构的第一集合中的半导体结构电耦合到以下中的一个的源或漏:p型金属氧化物半导体晶体管或n型金属氧化物半导体晶体管。

[0091] 在一些实施例中，多个半导体器件位于(738)一个或多个掩膜层下的衬底上。例如，在图6A-6B中，半导体器件(例如，晶体管)位于掩膜层606下。在一些实施例中，多个半导体器件位于衬底的前道制程(FEOL)区域中。

[0092] 方法700还包括(740，图7C)，在一个或多个半导体结构的第一集合上形成一个或多个保护层之后，对多个半导体结构的第二集合的至少一个子集进行刻蚀。例如，在图1F-1G中，由于刻蚀工艺，薄膜110被去除。在一些实施例中，从一个或多个光刻胶层暴露的多个半导体结构的至少一个子集被完全刻蚀(例如，去除)。在一些实施例中，从一个或多个光刻胶层暴露的多个半导体结构的至少一个子集被至少部分刻蚀(例如，去除)。在一些实施例中，从一个或多个光刻胶层暴露的多个半导体结构的至少一个子集的一个或多个半导体结构被刻蚀(例如，去除)。在一些实施例中，形成在一个或多个掩膜层上的多个半导体结构的整个第二集合被刻蚀(例如，去除)。

[0093] 在一些实施例中，该方法包括对从一个或多个保护层暴露的多个半导体结构的第二集合的整个子集进行刻蚀。

[0094] 在一些实施例中，方法700包括(742)，在对多个半导体结构的第二集合的至少一个子集进行刻蚀后，去除一个或多个保护层(例如，图1H)和/或对一个或多个半导体结构的第一集合的至少一个子集进行平坦化(例如，使用化学机械平坦化)。在一些实施例中，方法700包括，在对多个半导体结构的第二集合的至少一个子集进行刻蚀后，去除一个或多个保护层。在一些实施例中，方法700包括，在对多个半导体结构的第二集合的至少一个子集进行刻蚀后，对一个或多个半导体结构的第一集合的至少一个子集进行平坦化。例如，在图1I中，半导体结构106被平坦化。

[0095] 在一些实施例中，对多个半导体结构的第二集合的至少一个子集进行刻蚀包括(744)以第一速率对多个半导体结构的第二集合的至少一个子集进行刻蚀并且以低于第一速率的第二速率对一个或多个掩膜层进行刻蚀。例如，在图1F-1G中，薄膜110被刻蚀得比掩膜层104和保护层114快。在一些实施例中，对多个半导体结构的第二集合的至少一个子集进行刻蚀包括对多个半导体结构的第二集合的至少一个子集进行刻蚀而不对一个或多个掩膜层进行刻蚀。在一些实施例中，图1F中示出的薄膜110被刻蚀而掩膜层104和保护层114没有被刻蚀。

[0096] 在一些实施例中，对多个半导体结构的第二集合的至少一个子集进行刻蚀包括放弃对一个或多个掩膜层进行刻蚀。

[0097] 在一些实施例中，对多个半导体结构的第二集合的至少一个子集进行刻蚀包括(744)以第一速率对多个半导体结构的第二集合的至少一个子集进行刻蚀并且以低于第一速率的第三速率对一个或多个半导体结构的第一集合的至少一个子集进行刻蚀。例如，在图1F-1G中，薄膜110被刻蚀得比半导体结构106快。在一些实施例中，对多个半导体结构的第二集合的至少一个子集进行刻蚀包括对多个半导体结构的第二集合的至少一个子集进行刻蚀而不对一个或多个半导体结构的第一集合进行刻蚀。在一些实施例中，在图1F中示出的薄膜110被刻蚀，而半导体结构106没有被刻蚀(例如，这是因为半导体结构106被保护层114保护)。

[0098] 参照图7A-7C描述的方法700的某些特征可以被应用于在图1A-1I、2A-2C、3A-3C、4A-4C、5A-5E、以及6A-6B中示出的工艺。为简洁起见，这些细节不在重复。

[0099] 图8A-8B是根据一些实施例的刻蚀工艺之前的半导体衬底的扫描电子显微镜(SEM)图像。

[0100] 在图8A和8B中示出的是与图1C相对应的半导体衬底的俯视图。

[0101] 图8A示出了与图1C中的半导体结构106相对应的锗岛(在刻蚀过程之前)。此外,半导体结构的第二集合形成在掩膜层上的锗岛周围。

[0102] 图8B是半导体衬底的缩小视图。在图8B中示出了多个锗岛和在掩膜层上形成的半导体结构的第二集合。

[0103] 图9A-9B是根据一些实施例的刻蚀工艺之后的半导体衬底的扫描电子显微镜(SEM)图像。

[0104] 图9A是与图1H中的半导体结构106相对应的锗岛(刻蚀工艺之后)。图9A示出了掩膜层上的锗岛周围没有半导体结构的第二集合。

[0105] 图9B是半导体衬底的缩小视图。图9B中示出了没有半导体结构的第二集合的多个锗岛。

[0106] 因此,图9A-9B示出了描述的方法在去除形成在一个或多个掩膜层上的半导体结构的第二集合中的有效性。

[0107] 出于解释的目的,已经参照特定实施例描述了前述内容。然而,上文的示例性讨论不是要穷尽本发明或者将本发明限制到公开的确切形式。根据以上教导,许多修改和变形是可能的。选择并描述了实施例以便于更好地解释本发明的原理及其实际应用,从而使得本领域其他技术人员能够更好地利用本发明和各种实施例,适合于所考虑的具体用途进行各种修改。

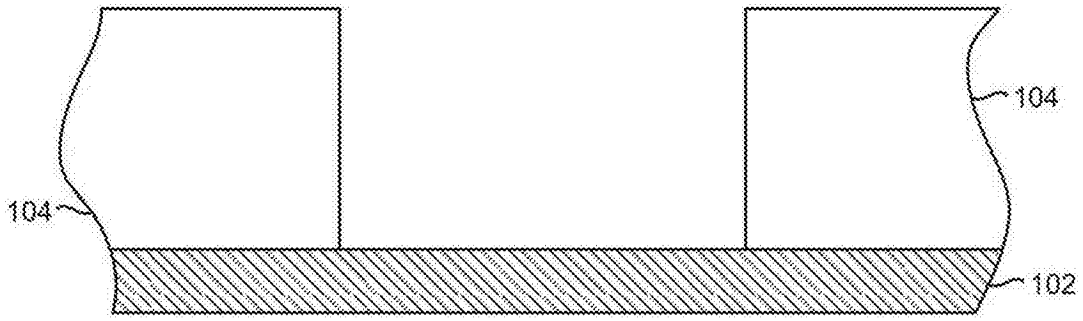


图1A

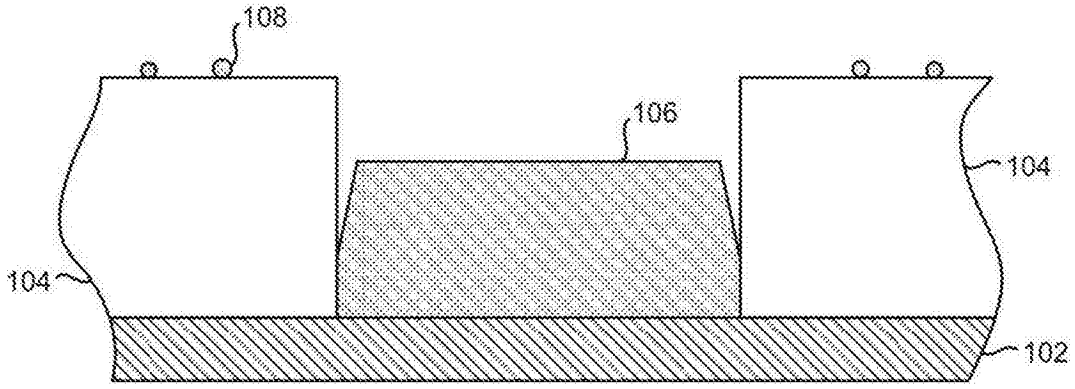


图1B

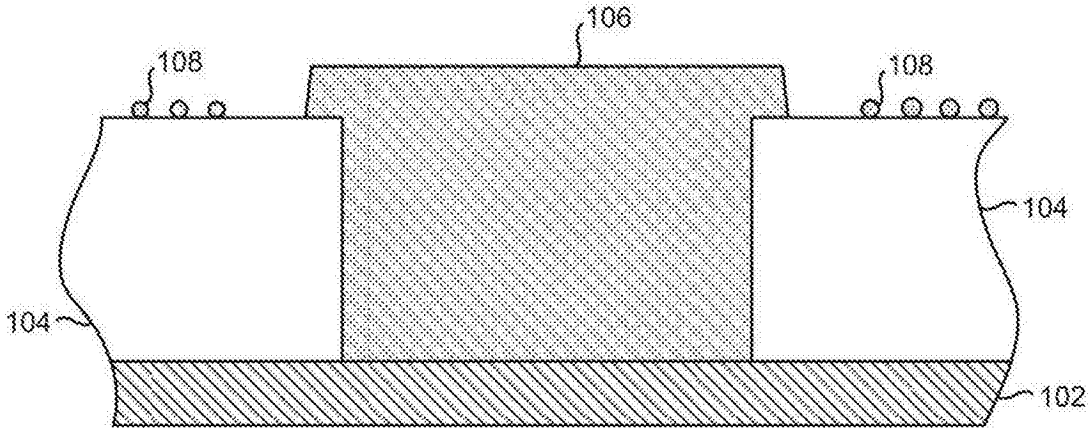


图1C

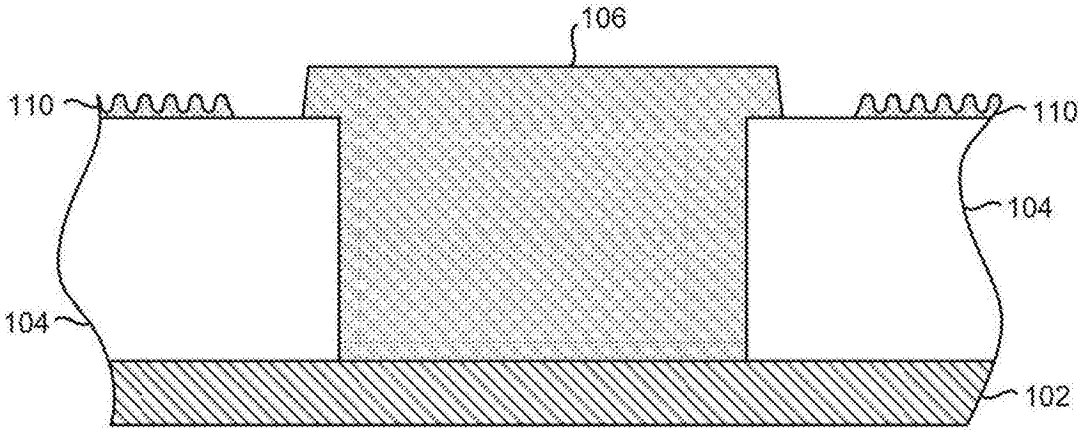

106
110
110
104
104
102

图1D

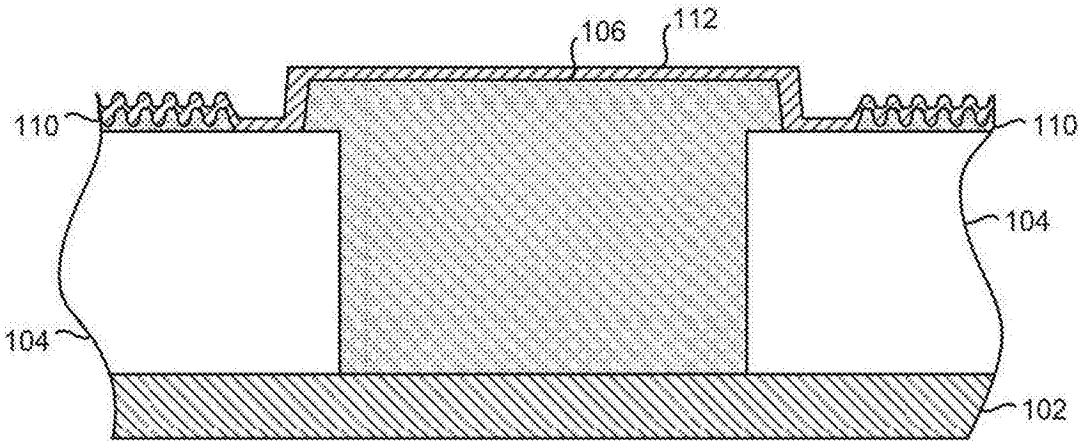

106
112
110
110
104
104
102

图1E

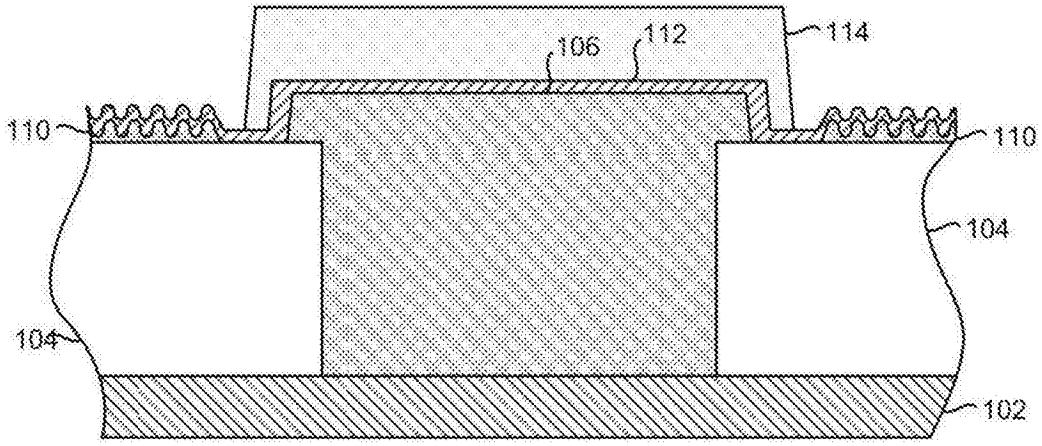

106
112
114
110
110
104
104
102

图1F

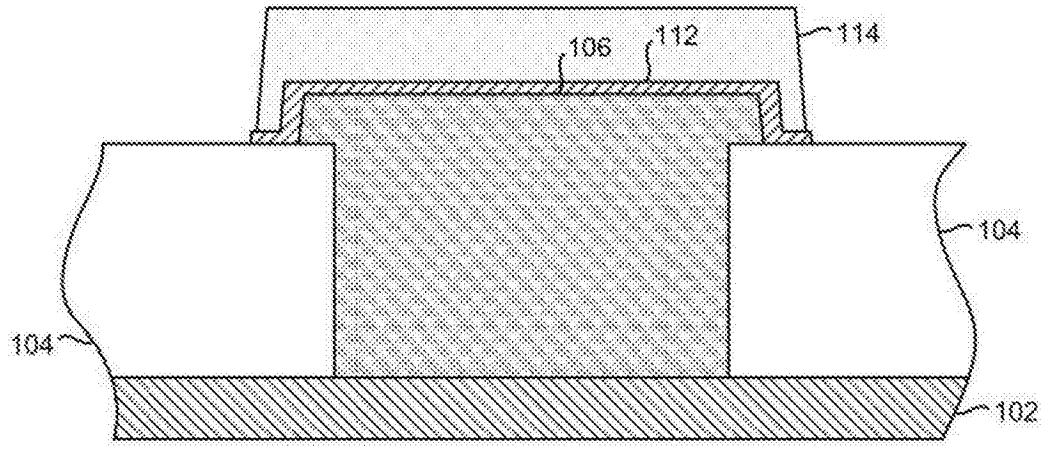


图1G

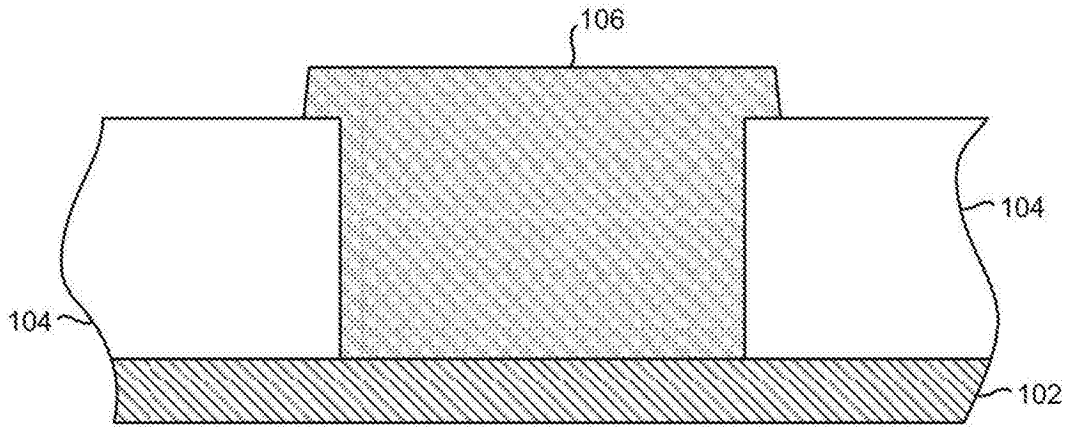


图1H

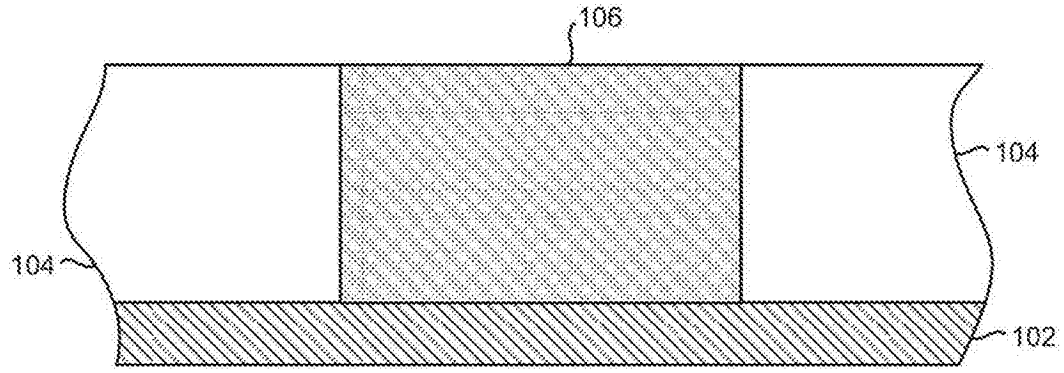


图1I

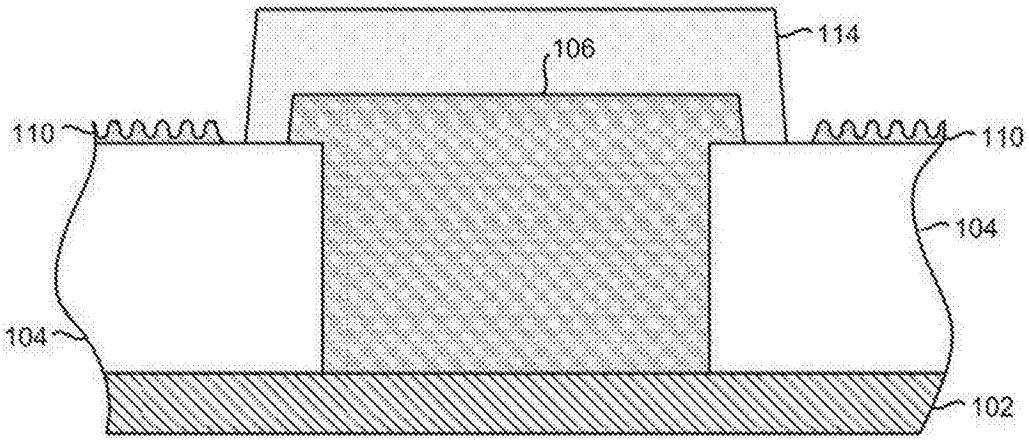


图2A

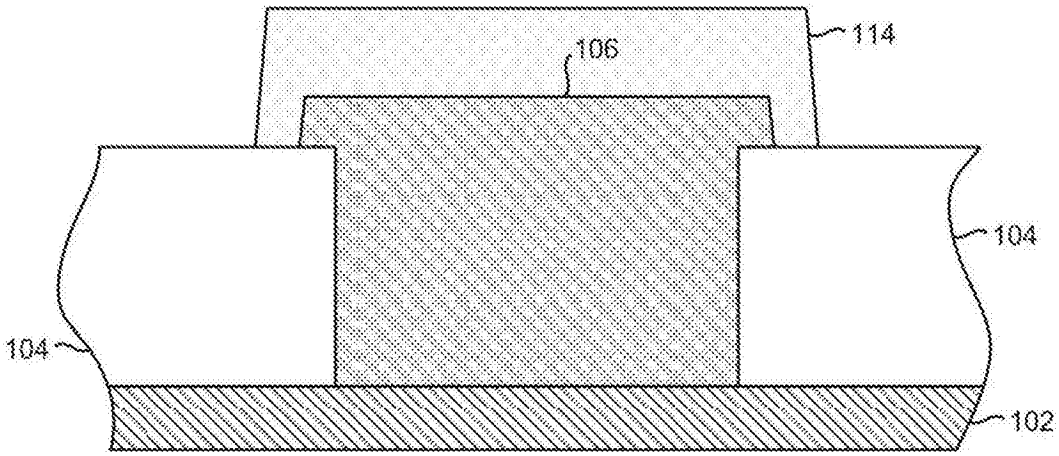


图2B

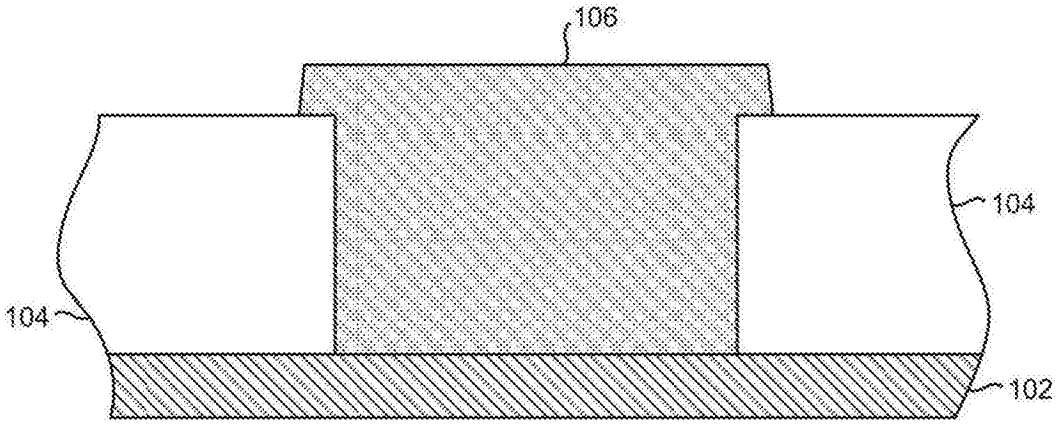


图2C

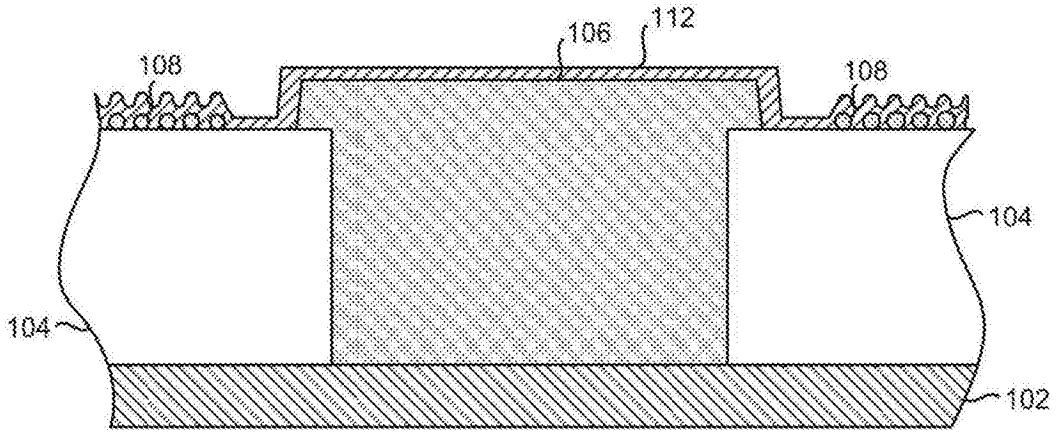

106
112
108
108
104
104
102

图3A

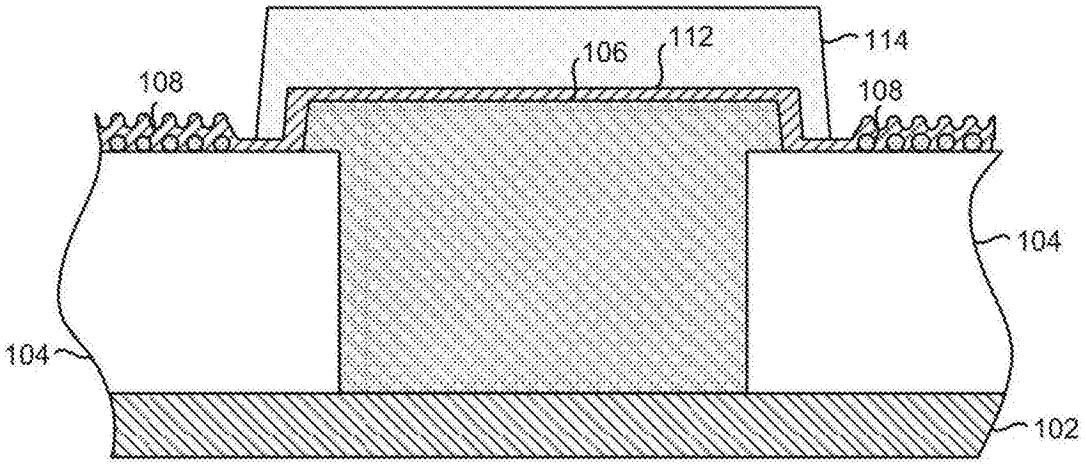

114
106
112
108
108
104
104
102

图3B

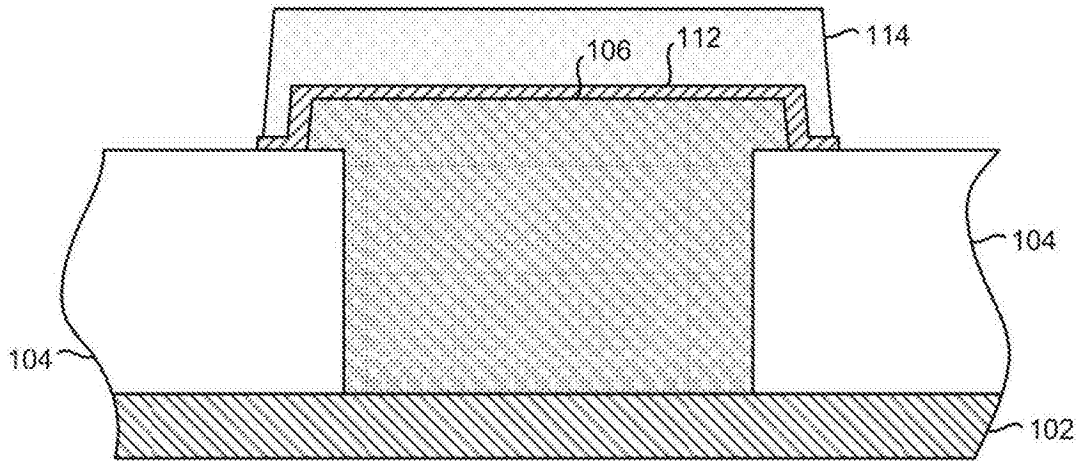

114
106
112
104
104
102

图3C

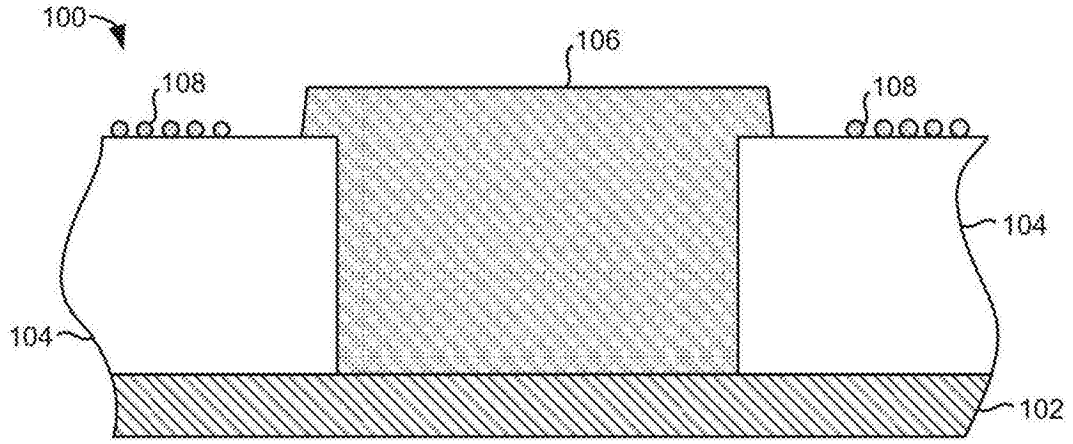

100
106
108
108
104
104
102

图4A

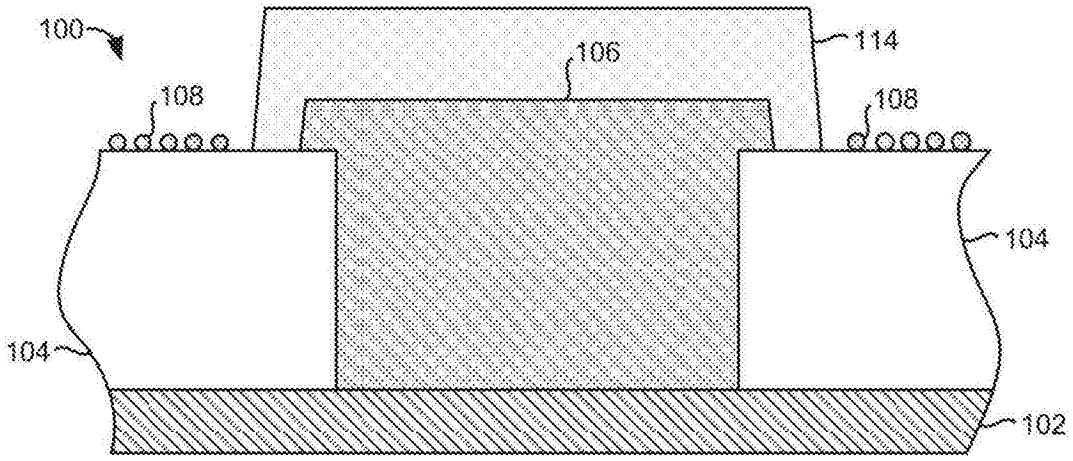

100
114
106
108
108
104
104
102

图4B

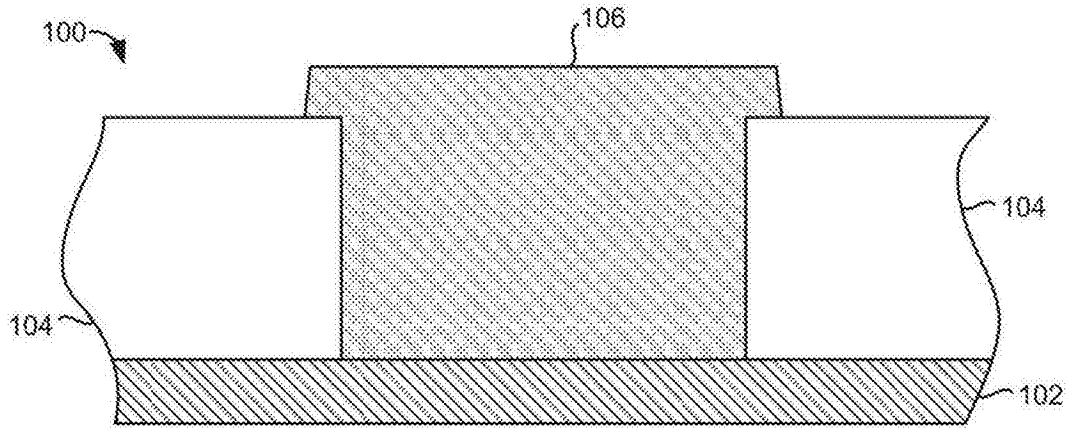

100
106
104
104
102

图4C

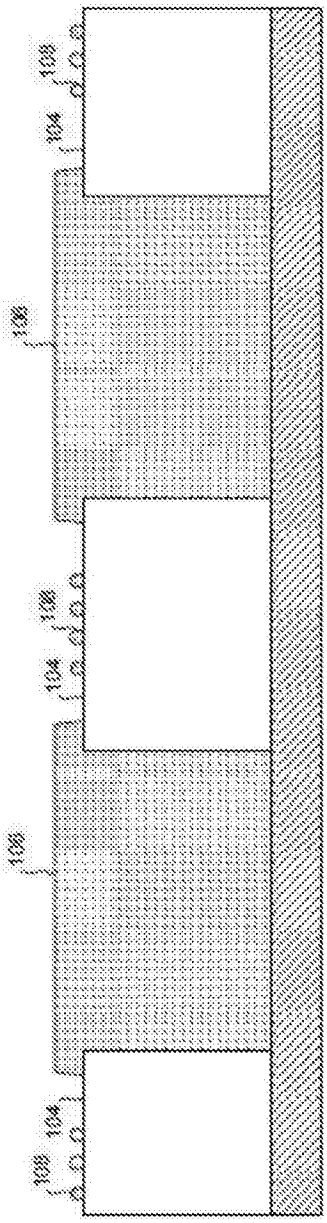


图5A

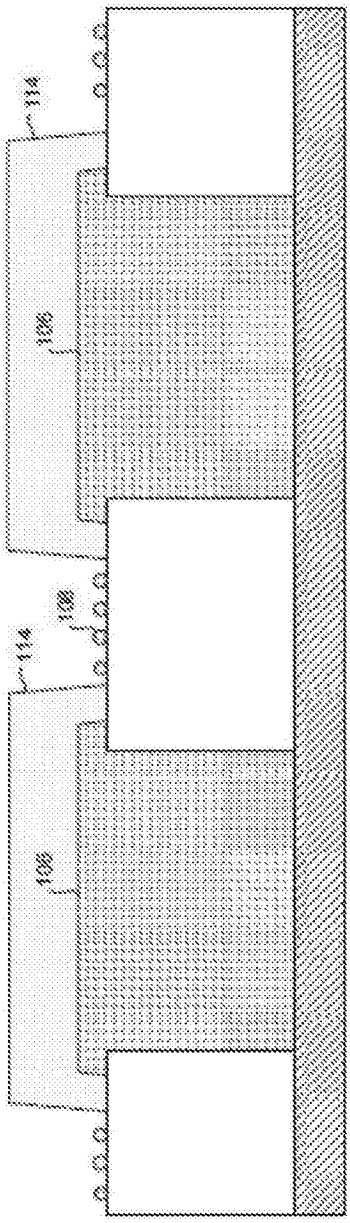


图5B

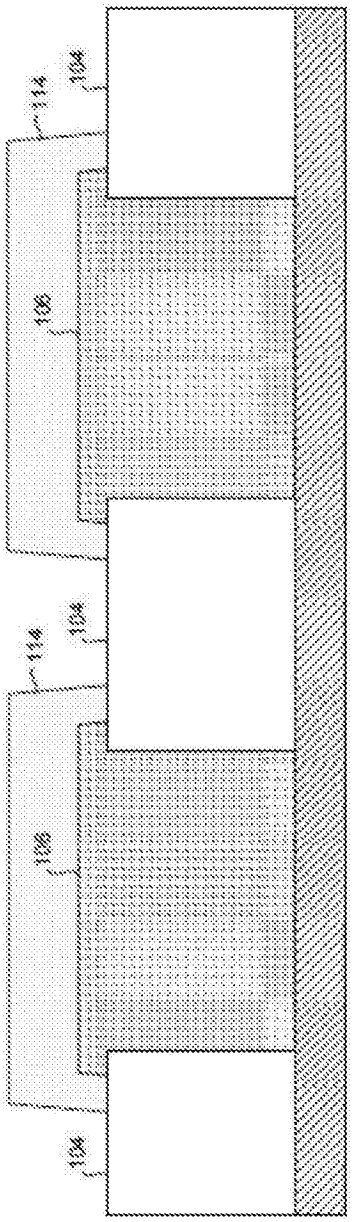


图5C

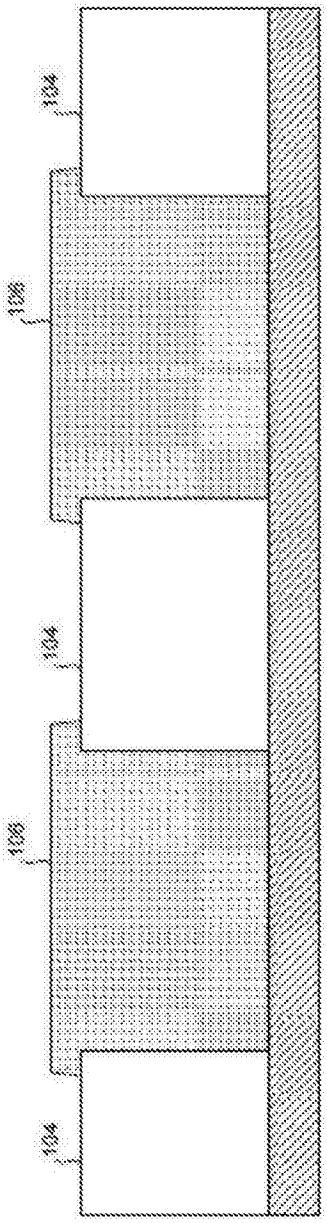


图5D

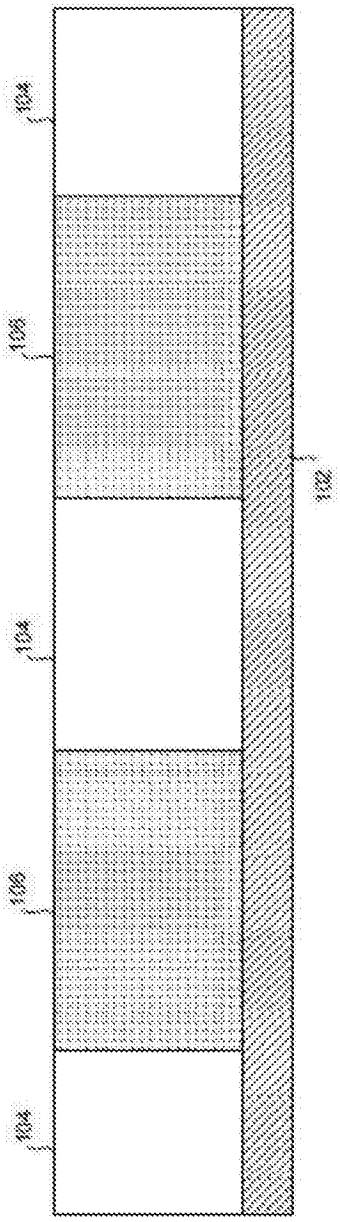


图5E

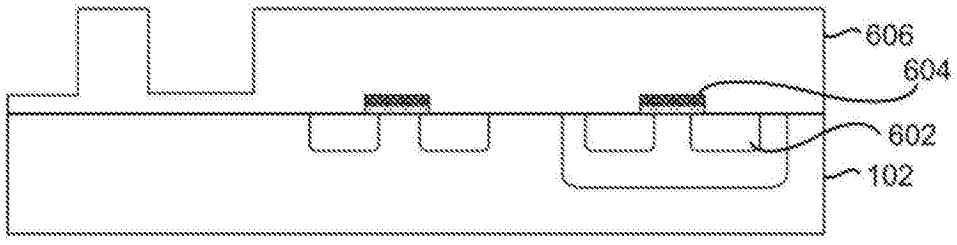


图6A

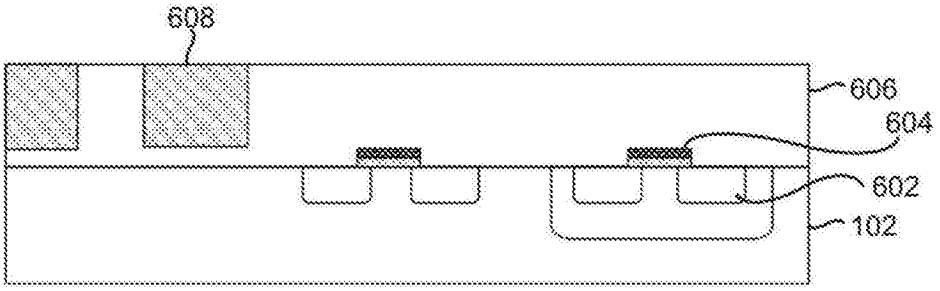


图6B


700
702在具有一个或多个掩膜层的衬底上外延生长一个或多个半导体结构的第一集合。多个半导体结构的第二集合形成在一个或多个掩膜层上。
704一个或多个半导体结构的第一集合在单个的外延生长工艺中形成
706在具有一个或多个掩膜层的衬底上外延生长一个或多个半导体结构的第一集合的同时在一个或多个掩膜层上形成多个半导体颗粒
708多个半导体结构的第二集合包括一个或多个掩膜层上的半导体薄膜
710一个或多个半导体结构的第一集合包括IV族材料
712一个或多个半导体结构的第一集合包括锗
714一个或多个半导体结构的第一集合形成在从一个或多个掩膜层暴露的衬底的一个或多个区域上
716一个或多个半导体结构的第一集合具有晶体结构而多个半导体结构的第二集合具有非晶和/或多晶结构
718一个或多个掩膜层包括电介质材料
720一个或多个掩膜层包括二氧化硅
A

图7A

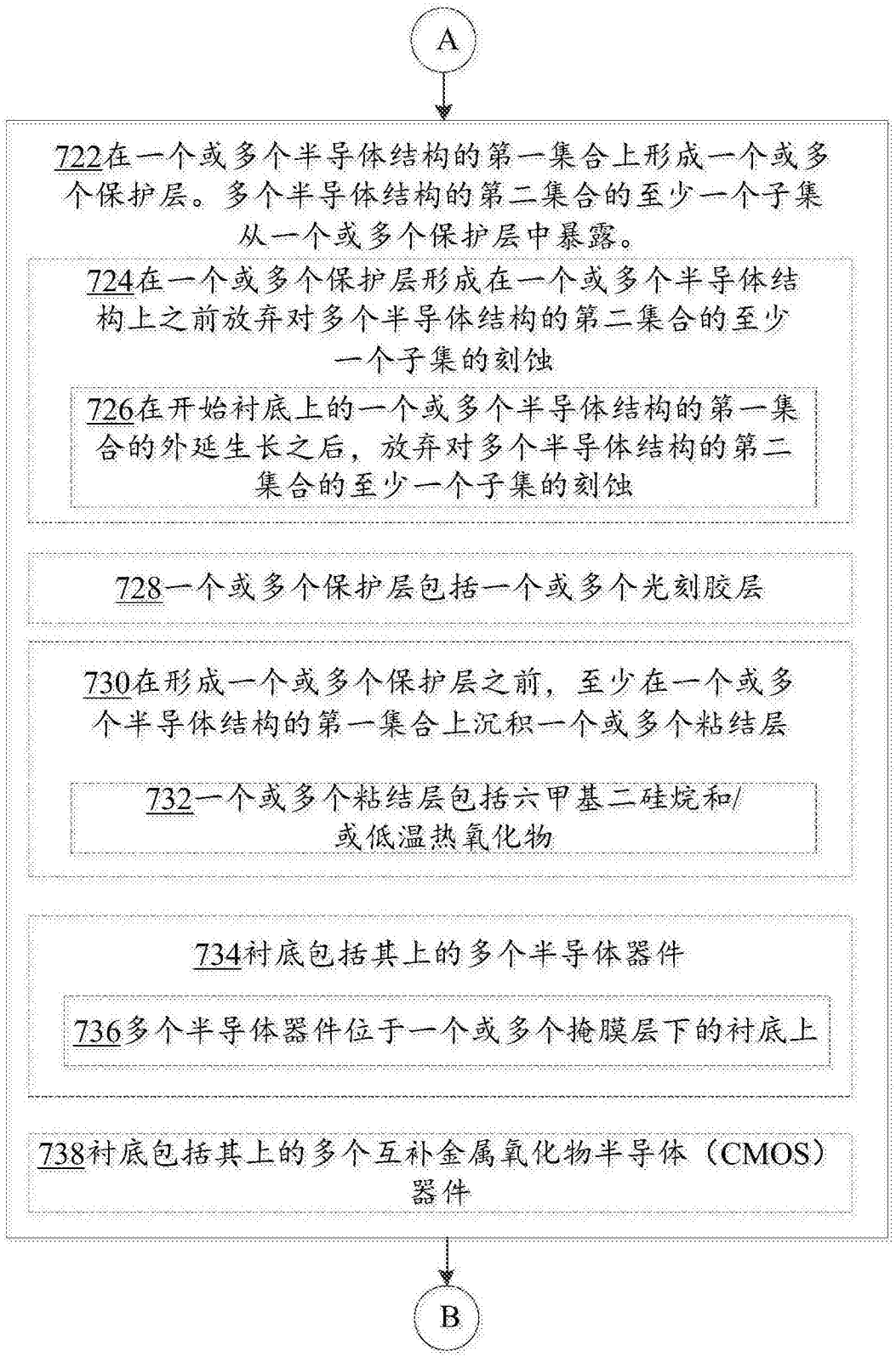

A
722在一个或多个半导体结构的第一集合上形成一个或多个保护层。多个半导体结构的第二集合的至少一个子集从一个或多个保护层中暴露。
724在一个或多个保护层形成在一个或多个半导体结构上之前放弃对多个半导体结构的第二集合的至少一个子集的刻蚀
726在开始衬底上的一个或多个半导体结构的第一集合的外延生长之后，放弃对多个半导体结构的第二集合的至少一个子集的刻蚀
728一个或多个保护层包括一个或多个光刻胶层
730在形成一个或多个保护层之前，至少在一个或多个半导体结构的第一集合上沉积一个或多个粘结层
732一个或多个粘结层包括六甲基二硅烷和/或低温热氧化物
734衬底包括其上的多个半导体器件
736多个半导体器件位于一个或多个掩膜层下的衬底上
738衬底包括其上的多个互补金属氧化物半导体（CMOS）器件
B

图7B

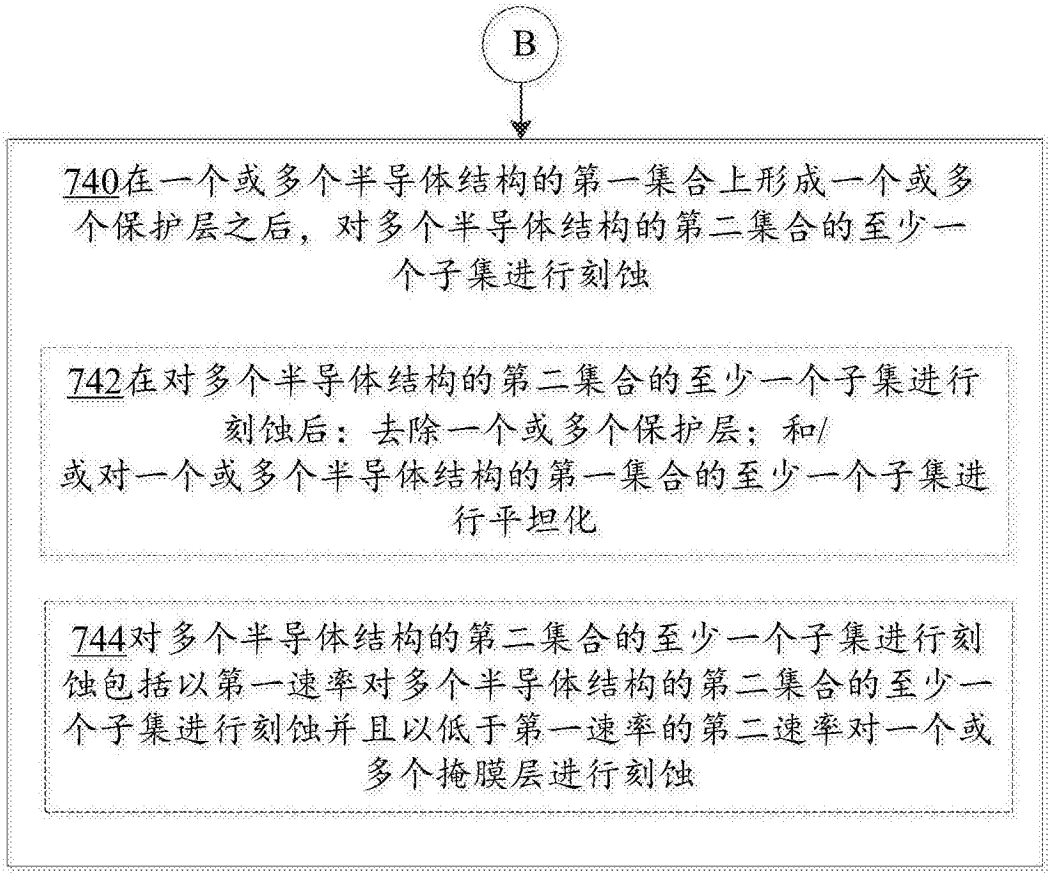

B
740在一个或多个半导体结构的第一集合上形成一个或多个保护层之后，对多个半导体结构的第二集合的至少一个子集进行刻蚀
742在对多个半导体结构的第二集合的至少一个子集进行刻蚀后：去除一个或多个保护层；和/或对一个或多个半导体结构的第一集合的至少一个子集进行平坦化
744对多个半导体结构的第二集合的至少一个子集进行刻蚀包括以第一速率对多个半导体结构的第二集合的至少一个子集进行刻蚀并且以低于第一速率的第二速率对一个或多个掩膜层进行刻蚀

图7C

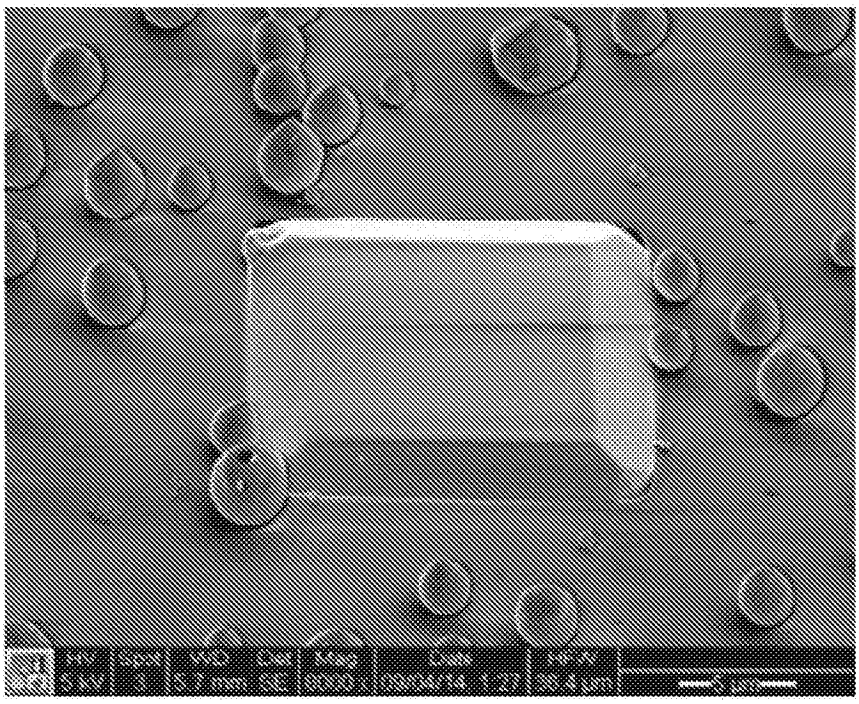


图8A

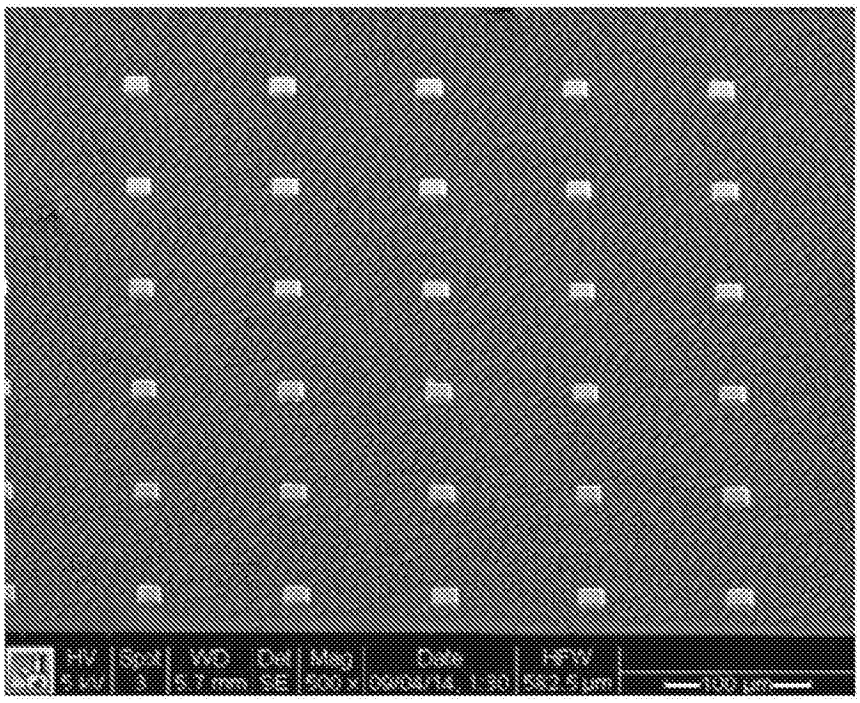


图8B

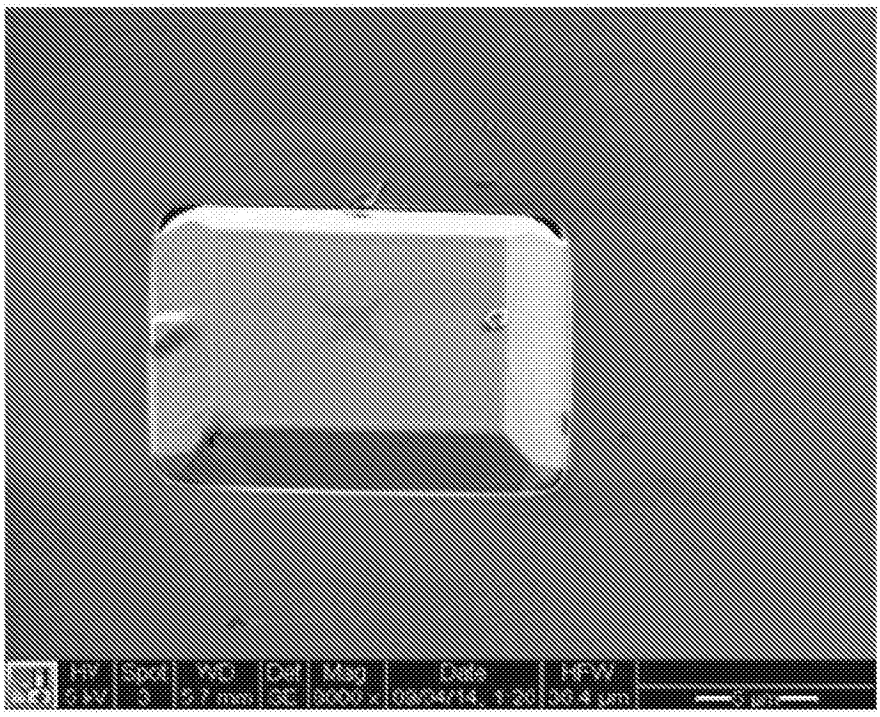


图9A

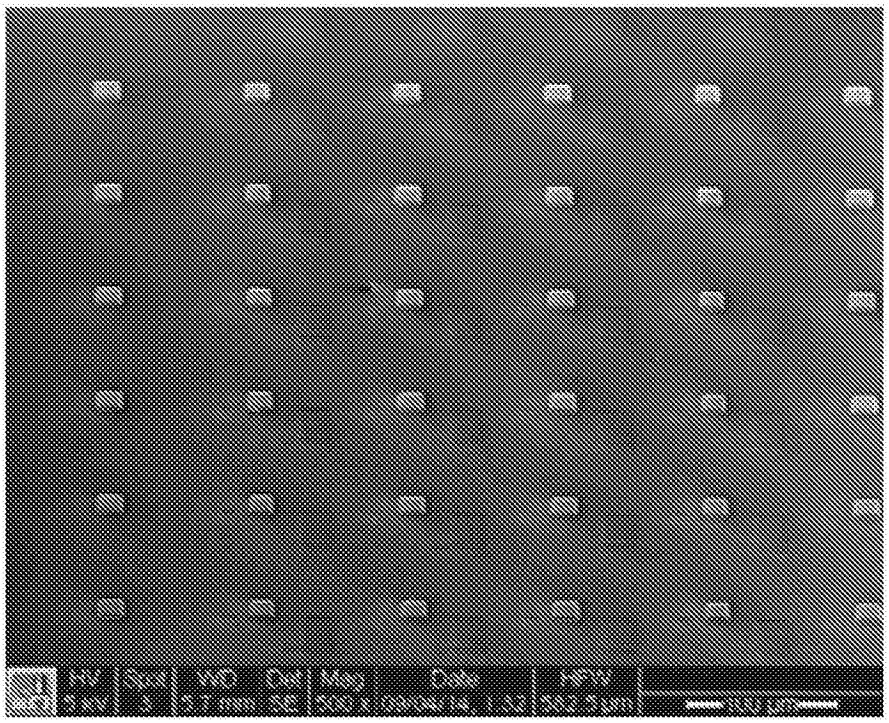


图9B