



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98123879.3

[43] 授权公告日 2003 年 5 月 21 日

[11] 授权公告号 CN 1109307C

[22] 申请日 1998.11.6 [21] 申请号 98123879.3

[30] 优先权

[32] 1997.11.6 [33] FR [31] 9713949

[71] 专利权人 阿尔卡塔尔公司

地址 法国巴黎

[72] 发明人 让·埃吉恩·格佐 玛塞·奥利夫
波那德·巴里斯

[56] 参考文献

EP0320607A2 1989.06.21 G06F15/16

EP0646876A1 1995.04.05 G06F15/16

US5386517 1995.01.31 G06F5/06

审查员 丁文勃

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

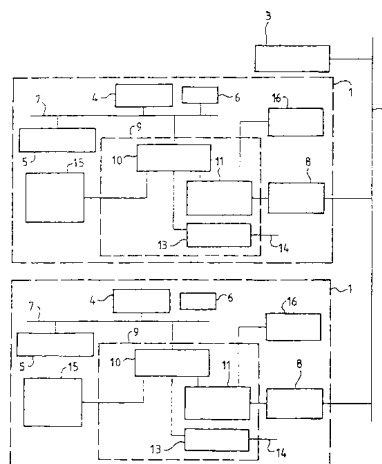
代理人 郭思宇

权利要求书 2 页 说明书 11 页 附图 3 页

[54] 发明名称 在处理器单元之间交换数据的系统

[57] 摘要

用于在“代理”数据处理器单元之间交换数据的系统，该系统包括诸如由所述单元共用的外部多导线交换总线互连的处理器，总线的共享由仲裁器协调。每一单元具有存储装置，其中数据以有组织的方式存储在预定地址，使得数据能够按要求读和/或写。由所述单元的数据存储装置构成对所有所述单元共用、并对所有它们通过交换总线可访问的分布式的交换存储器组合体。每一单元包括由交换存储器构成的组合体装置的一部分，交换存储器可由单元的处理器装置通过交换总线访问。



1.用于在称为“代理”单元的数据处理器单元(1)之间交换数据的系统,该系统包括诸如由所述单元共用的外部多导线交换总线(2)互连的处理器(4)的处理器装置,总线的共享由仲裁器(3)协调,每一单元包括:

用于至少是暂时存储以有组织的方式保存在预定地址的数据的装置(5, 6, 15),使得数据能够按要求写和/或读,由所述单元形成的组合体包含数据存储装置,数据存储单元构成在所述单元(1)之间共享、对所有所述单元共用、并可由它们通过交换总线(2)访问的交换存储器组合体;每一单元(1)以交换存储器(15)的形式包括所述组合体的存储装置的一部分,通过交换总线交换存储器对单元的处理器装置(4)和其它单元的处理器装置都是可访问的;

每一单元中用于局部处理器总线和交换存储器并用于交换总线的接口装置(10, 11),该接口装置被互连以便在由单元的交换存储器构成的存储装置(15)、所述单元的处理器装置(4)、以及其它单元的处理器装置之间,通过所述其它单元与之连接的交换总线(2)交换数据;

该交换系统的特征在于,它包括每一单元中交换存储器(15)和交换总线(2)之间的中间存储装置(10, 11),所述装置由快速访问缓冲存储器构成,单元的处理器(4)能够以其自身的时钟速率对其进行访问,且其它单元能够以这时控制所述交换总线的时钟速率对其进行访问;以及

特征还在于,每一单元包括用于产生第一时钟信号的装置(16)用于通过交换总线向其它单元进行传送,并且装置(16)还用于恢复来自交换总线的第二时钟信号,以产生用于对适合从另一单元向所述单元以第二时钟信号的速率进行传送的数据进行局部运算的第三时钟信号。

2.根据权利要求1的系统,其特征在于将形成交换存储器组合体的交换存储器(15)以逻辑方式组织成块,将所述块单独分配给具体由单元和单元组成的诸单元。

3.根据权利要求1或2的系统,其特征在于交换存储器组合体中的一个单元的交换存储器(15)的地址是由该单元(1)相对于其它单元沿交换总线(2)

的位置定义的。

4.根据权利要求1或2的系统,其特征在于数据交换是由当时请求进行数据传送并在当时由仲裁器(3)授予了交换总线(2)的主控权的单元(1)在其中主动发起的,并且只要交换总线忙信号的状态或其中的状态变化使之成为可能,它就施加由此产生的第一时钟信号,当所述单元确实是总线的主控时,交换总线忙信号暂时由某一单元产生要使用的所述第一时钟信号,以便为了在交换存储器组合体的至少一个交换存储器(15)中进行读操作和写操作通过交换总线(2)发送由多位组成的至少一个数据项。

5.根据权利要求4的系统,其特征在于,至少是由暂时成为所述交换总线主控的单元通过交换总线传送的第一数据项,包含对应于这时为数据传送的目的所施加的交易类型的控制信号特征的位。

6.根据权利要求4的系统,其特征在于,在数据正在由所述主控单元传送时,分别当所述目标单元的数据接收容量已经暂时不足时,或当所述目标单元不能接纳数据时,等待信号或停止信号能够由数据目标单元传送到主控单元。

在处理器单元之间交换数据的系统

技术领域

本发明涉及用于在称为“代理单元”的数据处理单元之间交换数据的系统，其处理器由公共总线互连以形成一组合体，诸如远程通信交换中的呼叫处理组合体，或具有多个单元的可能需要适应彼此之间大量数据交换业务的任何其它组合体。

背景技术

如众所周知，用于计算数据和处理数据的日益提高的性能的现有手段导致正在安装的应用程序引起以日益加大的速度传输和处理日益增加的数据量。特别地，处理器正在使用日益提高的时钟频率，例如当前大约是 200 MHz，但是由于与物理上的限制有关的原因，这种时钟频率不能被可连接到处理器的输入/输出端口类型的传输链路所接受。一般的规则是，只要给定的组合体中的处理器单元的处理器能够相互通信，就准备采用更低的时钟频率用于它们之间的交换数据。因而，必须提供一些特别的措施，以便最大程度地保障处理器的处理能力实际上不会受到处理器彼此之间通信手段能力不足的限制。

具体来说，有一种源于 IEEE 称为“对于 Futurebus+ 的 IEEE 标准”的关于处理器单元之间互连总线并由 IEEE 颁发的标准。然而，因为该标准追求一般化，很难获得简单易行在有时已经相当复杂的子组合体中集成的物理实现。这种实现上的困难不仅影响到总线本身，而且影响到用于通向被服务的单元的连接所需的连接器，以及总线的交换组件。这特别是与包含在总线中的大量并行链路相关，与各种组件所需的性能水平相关，并与总线周围组成的子组合体及通过其服务的单元的操作有关的限制相关。

文献 EP 0 646 876 描述了用于在称为“代理单元”的数据处理器单元之间交换数据的一个系统，其中处理器由公共总线互连成包含多个单元的组合体，以期它们能够适应彼此之间高水平的数据交换业务。数据处理器单元包括处理器装置，诸如由各单元共用的外部交换总线互连的处理器，总线由仲裁器(arbitrator)协调共享。每一单元具有至少是暂时存储数据的存储装置，按有组织的方式、以预定的地址使数据能够按要求写入和/或读

出。数据存储装置构成了分布在所述单元之间、对所有单元共用的、且由所有单元通过交换总线可访问的交换存储器组合体，每一单元以交换存储器的形式具有所述组合体的存储装置的一部分，该部分首先可由该单元的处理装置访问，并其次可由其它单元的处理装置通过交换总线访问。

然而，该文献没有涉及在从一个单元向另一单元传输数据时引起的传输和同步化问题。本发明的目的就是为了解决这些问题。

发明内容

本发明提供了用于在称为“代理”单元的数据处理器单元之间交换数据的系统，该系统包括处理装置，诸如通过所述各单元共用的外部多线交换总线与由仲裁器协调共享的总线互连的处理器，每一单元包括：

用于至少暂时存储数据的装置，数据是以有组织的方式保存在预定的地址，使数据能够按需要被写入和/或读出，由所述单元形成的组合体包括构成交换存储器组合体的数据存储装置，交换存储器组合体在所述单元之间共享、为所有所述单元共用、并且它们全部通过交换总线可访问；每一单元以交换存储器的形式包含所述组合体的存储装置的一部分，这可由该单元的处理装置和其它单元的处理装置通过交换总线进行访问；

每一单元中用于局部处理器总线和交换存储器、及用于交换总线的接口装置，该接口装置被互连以便在由单元的交换存储器组成的存储装置、所述单元的处理装置、以及其它单元的处理装置之间通过所述其它单元与之连接的交换总线交换数据；

该交换系统的特征在于，它包含每一单元中交换存储器和交换总线之间的中间存储装置，所述装置由快速访问缓冲存储器构成，单元的处理装置能够以其自身的时钟速率对其访问，且其它单元能够以这时控制所述交换总线的时钟速率对其访问；以及

每一单元包括用于产生通过交换总线向其它单元传输的第一时钟信号的装置，以及用于从交换总线恢复第二时钟信号以便产生第三时钟信号的装置，第三时钟信号为适用于以第二时钟信号速率从其它单元向所述单元传输的数据的局部操作。

以这种方式为特征的数据交换系统，使单元能够启动交易处理，通过总线使用其自身的时钟发送，其时钟信号由接收单元用于暂时在中间存储装置中存储交易数据。该数据继而通过局部时钟使用，特别是用来在共享存储器中存储数据。各单元时钟之间的同步是不需要的。该系统能够以高

达 50 MHz 到 83 MHz 量级的传送频率、通过总长大约为 50 cm 的底板总线工作。

附图说明

本发明、其特征、及其优点在以下参照附图给出的说明中更为详细地描述。

图 1 是由公共总线互连的数据处理器单元组合体的框图。

图 2 是表示处理器单元的交换存储器组成的图示。

图 3 是概览任何两个处理器单元之间提供的各种链接的图示。

图 4 是关于由单元传输数据组的一组简化的时序图 4A 到 4F。

图 5 是关于重新启动传输的单元操作的一组简化的时序图 5A 到 5F。

图 6 是关于由一个单元执行的读操作的一组简化的时序图 6A 到 6G。

具体实施方式

图 1 所示的组合体包括代理的数据处理单元 1，它们通过称为代理间交换总线的多线总线 2 与由仲裁器 3 协调的共享总线互连。该组合体在这图中是孤立表示的，但是作为一般的规律，它形成更大的组合体的一部分，例如以上提及的远程通信交换。

在这种情形下，处理器单元包括其它链接，例如把它们与其它设备单元互连的另一总线，但这不直接关系到本发明的目的，因而这里没有示出。

如上所述，每一处理器单元通常围绕至少一个认为是高性能的处理器 4 组成，所述处理器至少有一个称为“专用”存储器的存储器 5，适用于按传统的方式暂时和/或永久性存储数据，例如组织成程序数据的数据，或已经处理过的数据或通常有组织的待处理的数据。

在图 1 所示的实施例中，可以看到用于按已知方式加速各种处理操作的高速缓冲存储器 6。存储器 5 和 6 与处理器 4 通过该领域中通常称为“处理器”总线的总线 7 进行通信。

总线 7 也用于处理器单元 1 的处理器 4 和与同一交换总线 2 连接的一个或多个其它单元 1 之间交换数据，具有发送/接收模块 8 的每一单元 1 使其能够通过所述交换总线发送和接受。接口电路 9 插入在发送/接收模块 8 和处理器总线 7 之间，并特别包含“处理器总线”接口 10、“代理间交换”总线接口 11、和“局部”总线接口 13。在所示实施例中，局部总线接口 13 使数据能够由包含所述总线的单元的处理器通过局部总线 14 交换，并通

过交换总线 2 由其它单元的处理器交换。举例来说, 总线 14 服务于与单元 1 连接并与其交换数据的设备(未示出)的一个或多个装置, 例如一个或多个电话设备(未示出), 或服务于网络接入装置, 例如给出对令牌环网络或某些其它类型的网络的接入。

接口 10、11、和 13 用来保证交换操作发生在子组合体之间, 在这些组合体之间接口通过施加控制结构被插入, 通常是控制着这些子组合体的处理器或控制器型的控制结构, 并如同这一领域中通常那样, 接口根据需要有选择地与子组合体连接。处理器总线 7 设计为适用于相对高的数据速率, 于是为此它以高频例如 66 MHz 接收时钟信号, 并实际上做成尽可能的短。

交换总线 2 设计为使信息处理器单元 1 能够与对话配合, 例如允许处理器或对偶型操作, 并为此它们共享其组成元件分布在单元 1 之中的“交换”存储器组合体。该总线更特别设计为允许与快速处理器相容的数据速率, 例如以大约 50 MHz 时钟速率传输。

如总线传输中通常那样, 按确定的方式组织数据, 且每一数据项包括多位, 其某些或全部的位与附加位一同对应于适当的数据, 例如用于寻址, 用于传输的每一数据项例如有 32 数据位, 32 地址位, 和用于奇偶校验、有效性检验、交易特征等目的的附加位。

在给定意向数据发送速率下, 由于业内专业人员所知的原因, 连接到交换总线 2 的单元 1 的数目必须受到限制, 在以下所述的实施例中所指的数目例如在 2 到 10 的范围内, 并同样必须对总线的长度有限制, 这种总线例如是以多层板卡实现的, 并例如延伸到大约 30 厘米长。

如本领域通常那样, 每一代理单元 1 安装在与多层底板板卡连接的装有交换总线 2 的一个板卡上。举例来说, 发送器/接收器模块 8 是使用底板传输接收逻辑电路(BTL)组件实现的, 这些组件在它们之间共享在单元 1 之间及所述单元与仲裁器 3 之间已经传输或将要传输的信号。信号基于功能准则在各种发送/接收模块的组件之间共享。在优选实施例中, 提供了与识别目标单元和用于单元之间要由单个 BTL 组件处理的调用的交易类型相关的信号, 以便使请求能够更快的被处理。提供了一种已知的机制, 使来自发送/接收模块 8 和到达组成该模块的 BTL 组件的信号再同步, 以便使数据

同步恢复，而不论涉及到什么模块组件。

如上所述，数据在两个单元 1 之间通过称为“交换存储器”的存储器组合体交换，组合体组成的元件分布在单元之间，这样每一单元有其自己由标号 15 所示的“交换”存储器。

由交换总线 2、其仲裁器 3、及与其连接的单元 1 构成的组合体的组织，使能够由单元的交换存储器 15 构成的存储器组合体有共享的编址，并使交换总线能够仲裁及在单元之间交换数据。这些交换了对写入存储器组合体的操作，从存储器组合体读出的操作，以及可能还有辅助操作量，例如“锁存”操作或“代理之间中断产生”操作。

如上所述，读操作的问题在于，交换总线上数据发送速度比处理器可执行的转移速度要慢。然而，写操作的问题目前比较小，因为能够为要在交换总线上传输的数据提供由处理器提供的快速访问缓冲存储器的速度，缓冲存储器是作为处理器和交换总线之间的传输中介。

根据本发明，这样的设置使导致写操作的处理器行为最大化，同时使导致读出操作行为最小化。这样的设置对于拥有其它单元必须的或有用的信息的单元能够尽快交换信息，从而使对应于从其它单元请求这种信息的读操作最小化。

为此，每一单元的交换存储器 15 由所有可访问交换总线 2 的代理共享，并从而对所有与该总线连接的单元 1 中的所有处理器 4 是可见的，每一代理在每一其它单元的交换存储器 15 中有存储器区，该区由软件分配到对应于所述代理的单元。

在这里所述的实施例中，给出对每一代理保留的存储器区访问的地址由代理的物理位置定义，或更为精确地，相对于其它单元 1 与之对应的单元 1 的位置定义，其它单元 1 由所述单元构成的组合体中交换总线 2 服务。

举例来说，对于在 4 千兆字节地址域中交换存储器的全局寻址保留 1 千兆字节存储器空间，例如 1 千兆字节空间由按 32 位寻址定义的两位 A_0 和 A_1 定义。

例如，每一代理对其保留了大小在 8 兆字节到 64 兆字节范围的一个交换存储器区，且在以上定义的存储器空间中有每一高达 64 兆字节的十六个逻辑寻址块的空间。

这种情形下代理不多于十个，每一代理具有分配给它的逻辑寻址块，如上所述，作为其相对于其它代理的物理位置的函数。对每一代理可用的物理交换存储器置于代理可用的逻辑块的头部。

其它逻辑寻址块构成虚拟交换存储器块，并特别为局部访问中的寻址服务，用于对一个组的广播寻址，并用于对一般广播的寻址。它们可由附加的代理选择使用。

每一代理具有其可用的局部寻址，这种寻址可仅由所述代理的单元 1 的处理器执行。

广播可以是一般的并可从一个代理的单元 1 向所有其它代理进行，并还可以是成组的广播，这种情形下广播从一个单元向预定的其它单元组进行。一个给定的单元可能属于一个以上的组。

在这一例子中选择为位 A_2, A_3, A_4, A_5 的块的地址位在此认为可能是对应于或者分配给特定的单元 1 的块的一个地址，例如图 2 中的地址 0000，0001，0101，和 1001，或者在单元中局部分配给交换存储器 15 的一个块的地址，诸如地址 1010，或者用于一般广播的块地址，诸如 1111，或者用于分组广播的地址诸如 1011。这种情形下，提供诸如 1010 局部块地址，以便使由单元的每一处理器 4 实现的交换软件能够使用同一地址与单元的交换存储器 15 通信，而不论所述单元相对于其它单元沿交换总线的位置如何。

举例来说，一个代理可以使用对应于所述单元的块地址，或使用局部块地址或使用单元所属的分组的广播地址，可能是一般的广播分组，而不必通过单元与之连接的交换总线 2，对与之对应的单元 1 的交换存储器 15 进行访问。

作出的设置使单元能够通过交换总线，对代理地址及对一般广播地址或交换存储器组合体的分组广播地址，进行写访问。然而，读取只能局部进行，特别是从单元的交换存储器中的一般广播地址或分组广播地址，假设单元是对应分组的一部分，且这不是通过交换总线进行。

如上所述，对交换总线 2 的访问是在仲裁器 3 的控制之下发生的，并假设仲裁在这种情形下是以通常的方式借助于为这一目的而设计的市售的组件进行的，因而这里无需对此详细说明，因为这仅间接涉及本发明的主

题。

在一个实施例中，仲裁过程设计为非同步的，并导致仲裁器 3 接收要暂时保存交换总线的请求，这一请求是由单元根据它们各方面要求产生的。为其需求寻求保留总线的每一“请求调用”单元 1 产生其自身的异步总线请求信号 BR，该信号通过单独的导线链接传输给仲裁器 3，以便从其接收总线让与信号 BG，类似地按单独方式传输。这种总线让与信号 BG 由仲裁器 3 按来自所属各单元的各总线请求信号到达顺序，发送给第一个请求调用单元。这时或者如果如 BUSY 信号的特征状态所指总线是空闲的，或者一旦交换总线已经由先前为其主控并先前使用该总线的单元所释放，则接收总线让与信号 BG 的单元变为交换总线 2 的暂时的主控，所述释放是由先前主控单元根据未来主控单元而产生的 BUSY 信号的状态改变指示的。这时已经变为主控的单元 1 删除其请求，使能够在其余的请求调用单元之间继续进行仲裁过程。

数据是在暂时为总线主控的单元 1 的控制下通过交换总线 2 传输的，该单元 1 具有为此用途的“交换”时钟电路 16。各单元中的每一时钟电路 16 具有给定频率的各个发送时钟，这些时钟最好对所有的单元相同，并具有用于恢复操纵从其它单元接收的数据的时钟频率的时钟恢复模块。这里所述的实施例中，由单元 1 所提供的暂时为交换总线 2 主控的时钟信号由与之通信的单元 1 接收，所述单元使它们按所述信号同步化。这特别的作用是使每一单元 1 能够适应于由于它们沿交换总线各个位置不同传输长度引起的分散状态。

对于标记为 1 和 1' 的两个这种单元，在图 3 中示意表示出通过交换总线 2 在单元之间传输数据所需的链接。形成交换总线 2 的各种链接使其端部与特定的终接电路 17 和 17' 连接，例如由 FUTUREBUS FB1651 组件构成的链接，这些组件包含可被采样的双向缓冲寄存器，并能并行处理一定的信号。这种情形下，假设这些终接电路 17 为信号转移的目的在每一单元 1 中实现，诸如图 3 的单元 1 和 1'。这种情形下，信号如下：

- n 数据信号 D；
- m 相应的地址信号 A，其中具体的实施例中 n 等于 32 而 m 等于 30；
- p 数据写使能信号 BE，例如 p 等于 4，因为该数据位被分组为 8 位

字节;

●q描述所请求的交易类型的控制信号 CTRL, 例如 q 等于 4 并使数据的写和读可被识别, 其中数据由字组和功能或位置特征按可分或不可分方式分组, 例如按 32 位的字;

●r 奇偶检验信号 PAR, 至少与某些其它被传输的信号相关、并特别与使能信号 BE 相关;

●由主控单元 1 的发送时钟产生的时钟信号 CLK, 对地址信号、q 控制信号 CTRL、及与上述信号相关的奇偶信号的发送定时标, 当写入时所述信号还对 n 数据信号、p 数据使得信号、及对应的奇偶检验信号定时标, 所述时钟信号通过总线与所述各种信号一同发送;

●使总线在接收时同步化的时钟信号 CLKD, 所述信号对应于由总线主控发送的时钟信号 CLK 的接收电平; 以及

●当其接收的能力暂时处于变为不充分的危险时, 并当所述单元不能处理数据时, 由目标单元分别发送的等待信号 WAIT 和停止信号 HALT。

每一单元 1 或 1' 产生与单元相关的标记为 CLK 或 CLK' 的发送时钟信号, 且每一单元通过请求信号 BR 或 BR' 与仲裁器通信, 如上所述所述仲裁器响应各个让与信号 BG 或 BG'。当前请求信号 BRX 还传输到该单元, 并特别是传输到交换总线的当前主控单元, 以便通知它是否存在从某一其它单元来的请求。

写操作以由代理单元产生的发送时钟速率在交换存储器组合体中进行, 交换总线 2 的主控刚刚由仲裁器 3 授予该代理单元(在时序图 4A 中假设是单元 1), 在时序图 4A 中所述时钟标记为 CLK1。如上所述, 正是 BUSY 信号状态的变化指示了交换总线 2 可用, 并使得写操作可以开始。由一单元发送用于写操作的同步信号 CLK 是由单元 1 提供的时钟信号 CLK1 构成的, 该单元在 BUSY 信号状态一旦使这成为可能时变为交换总线的主控, BUSY 信号状态的变化示于时序图 4B 中。例如可以在 BUSY 信号状态改变后时钟信号 CLK 出现之前, 提供对应于时钟信号一个周期的延时。

目标单元例如 1' 对同步时钟信号 CLKD 的接收, 由所述单元用于向位于处理器总线和交换存储器接口 10, 以及代理间交换总线接口 11 中的缓冲存储器写入数据。例如使用通常的时钟恢复电路获得时钟 CLKD。在目

标单元的接收部分中先入先出(FIFO)型缓冲存储器的存在,使得从发送单元 1 接收的信号能够为这种恢复所使用,这些信号存储到缓冲存储器,等待对交换存储器的访问变为可行。

如时序图 4E 所示,这时通过为所述位在交换总线 2 中保留的并行连接由目标单元 1' 并行接收地址位 A、数据位 D、发送的数据使能位 BE、以及奇偶检验位 PAR,且它们按对应于交易的意向类型的分组接收,诸如数据分组 i1。诸如 i1、i2、i3、和 i4 这样的多个数据分组可被不间断顺序地传输,如果它们在发送单元 1 中等待,且所述单元已经收到不提供 WAIT 或 HALT 信号。如上所述, WAIT 信号由这时正在接收的一个单元传输到处于发送过程的单元,这情形是,如果发送单元继续发送新的数据,则所述接收单元的接收数据存储能力处于变为暂时饱和的危险。故这时发送中有一个暂停,以便让发出 WAIT 信号的目标单元赶上。

时序图 5A 到 5F 示出过程受到 WAIT 信号状态变化的影响的操作例子,其中 WAIT 信号在这种情形下是异步型的。

如时序图 5A 到 5F 所示,只要由不再过载的目标单元释放之后的 WAIT 信号转为复位状态,这时作为交换总线 2 的主控并已保持 BUSY 信号的单元继续先前中断的写操作。假设写操作的这一重新开始发生在 WAIT 信号状态改变后的一个时钟周期。

如果由引起 WAIT 信号再次改变状态的目标单元请求发送新的中断,则状态的改变再次传送给交换总线 2 的当前主控的单元,该单元再次停止发送最近的数据分组中新的当前数据,诸如在所述例子中紧跟在分组 i1 和 i2 之后的分组 i3。在这里所考虑的实施例,数据分组 i3 继续被产生,但是它不再由目标单元考虑,这样只要也是从主控单元收到的控制信号 CTRL 不再是请求写操作的功能代码,而是现在对应于非操(NOP)作功能代码,通知所有的目标单元,不要考虑当前正被发送的数据组。

如上所述,当 WAIT 信号由先前过载的目标单元释放之后转为其复位状态时,通过再次发送最近发送的数据组,现在作为交换总线主控的单元继续先前中断的写操作,这种情形下是在发送任何其它分组 i4 之前的伴有 NOP 功能的分组 i3。在这种情形下如通常那样也可以提供监控程序,以防止在硬件或软件故障情形下,交换总线 2 被与之连接的单元之一阻塞。

信号 **BRX** 还使得暂时为主控的单元能够继续作为交换总线的主控，但是这时对总线的主控没有其它请求未决。特别是，这使得单元能够继续单独作为交换总线 2 的主控达很长时间，而无需仲裁器 3 的无意义的干涉，例如当从主控单元下载时，或如果数据速率偶发变慢。

写单元的最大数据速率是指在交换总线 2 上仲裁周期与数据传输周期之间不重叠。为确定最小时间和最大可能时间而要考虑的整个时间对应于交换总线所占用的时间、使目标单元在新的的主控时钟上重新同步化所需的时间、新的主控为准备对应于第一数据项的位分组的一个时钟周期、及用于发送所述第一数据项的一个主控时钟周期之和。顺序发送的每一新的数据项又添加一个主控时钟周期。取决于单元沿交换总线的位置，必须在最小和最大时间之间有一种分散。应当看到，由于以突发发送数据的可能性，负载越大，则数据传输的性能越高，因为随负载的增加数据速率逐渐增加对数据负载的适应。

用于写操作的交换总线最大数据速率按对应的方式确定，即为确定最小和最大可能时间所要考虑的整个时间等于 **BUSY** 信号释放时间、重新同步化时间、为准备对应于第一数据项的位分组的一个主控时钟周期、及顺序发送的每数据项的一个时钟周期之和。

从交换存储器组合体读取也以由作为当前交换总线 2 主控的代理单元产生的发送时钟 **CKL1** 的速率进行，在时序图 6A 中也假设所述单元为单元 1。如时序图 6B 所示，只要由 **BUSY** 信号的状态或其状态的改变使其成为可能，这主控单元发出对应于如时序图 6C 所示的读指令控制信号 **CTRL**，及如时序图 6D 所示的定义读出地址 **adr** 的信号 **A**。这种情形下，读出命令之后紧随 **NOP** 代码序列，直到从所请求的读操作获得结果。

假设读操作发生在交换存储器，则由目标单元从主控单元收到的同步化和时钟信号 **CLKD** 由目标单元用来恢复读命令，及在目标单元的交换存储器 15 中要对其执行的读操作的地址。如时序图 6E 到 6G 所示，这时与来自单元 1' 的时钟 **CLK** 的同步化信号 **CLK'** 一同，对应于在交换存储器 15 中确定的地址找到的数据的数据信号 **D**，及对应的总线使能信号 **BE** 由读命令的目标单元发出。在所述实施例中，通过读操作在数据地址所获得的数据在通过其传输的交换总线的导线上呈现一个时钟周期。由目标单元

所提供的同步化信号的数目是由主控单元所作的请求交易类型的函数，例如如果已经请求读出单个 32 位字，则为值 0010 的 4 位 CTRL 代码，或如果要读出的是两个 32 位字，则值 0011 的 4 位 CTRL 代码，等等。

在优选实施例中，所作的设置使只是从所有等待发送的写操作已经执行时起，读出请求能够由暂时为主控单元的单元实现。类似地，在直到交换存储器中来自交换总线 2 的所有的写操作已经执行之前，目标单元不能从交换存储器读出。

读单元的最大数据速率要求考虑对以下各时间求和所获得的总和时：捕获交换总线所需的时间、同步化时间、准备对应于读请求的位分组的一个主控时钟周期、用于发送所述位分组的一个时钟周期、用于与伴随它的信号一同传输所述位分组所需的时间、用于由已向其发送请求的单元恢复读请求所需的时间、再同步化时间、对交换存储器进行访问的总线仲裁时间(未示出)、读取包含在交换存储器中数据项所需的时间、处理控制器执行读操作所需的时间、对目标的发送时钟 CLK 重新同步化所需的时间、传输数据项及伴随信号所需的时间、以及备选地主控单元使构成数据项的位分组重新同步化所需的时间。

图1

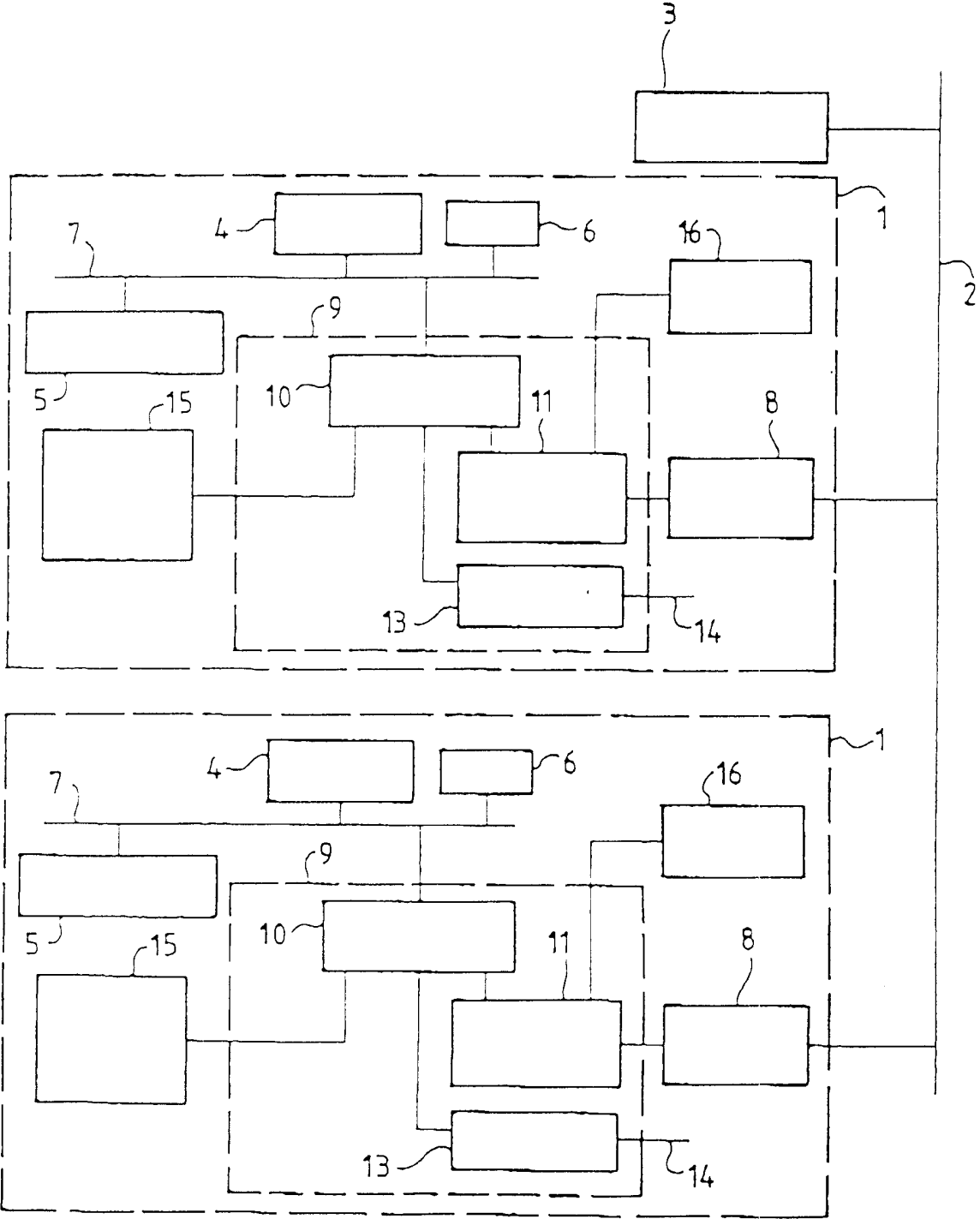


图2

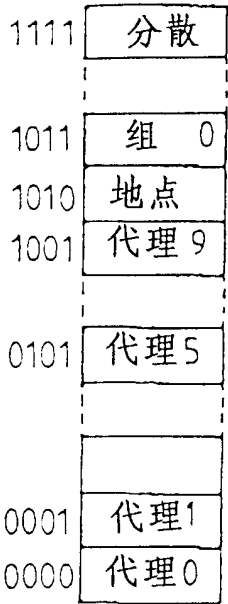


图3

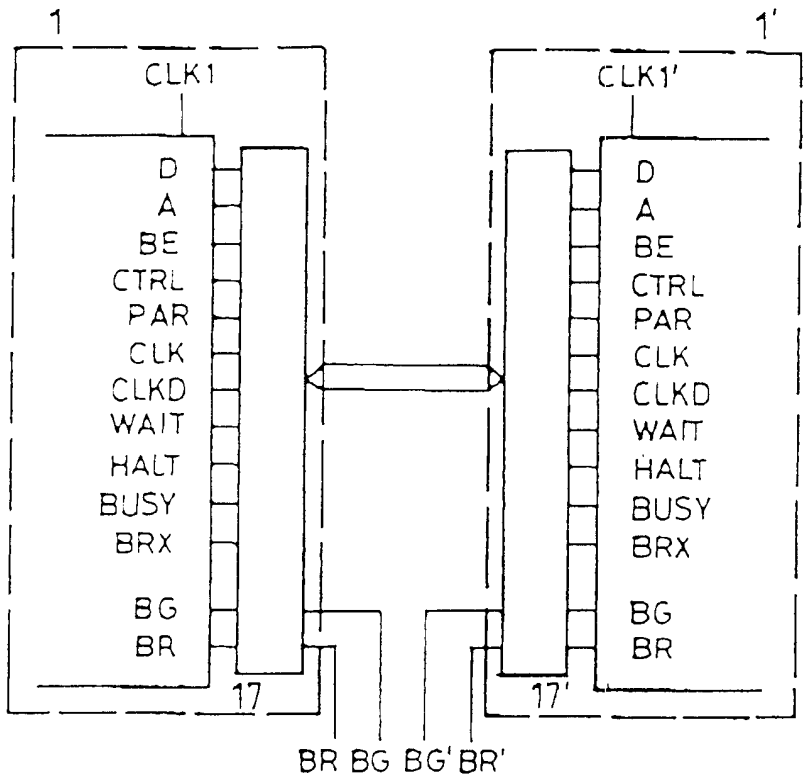


图4A



图4B



图4C



图4D



图4E

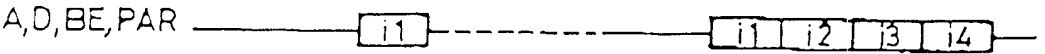


图4F



