



(12) 发明专利

(10) 授权公告号 CN 107078725 B

(45) 授权公告日 2021.02.26

(21) 申请号 201580060654.6

(22) 申请日 2015.11.09

(65) 同一申请的已公布的文献号  
申请公布号 CN 107078725 A

(43) 申请公布日 2017.08.18

(30) 优先权数据  
14/538,036 2014.11.11 US

(85) PCT国际申请进入国家阶段日  
2017.05.08

(86) PCT国际申请的申请数据  
PCT/US2015/059665 2015.11.09

(87) PCT国际申请的公布数据  
W02016/077192 EN 2016.05.19

(73) 专利权人 密克罗奇普技术公司

地址 美国亚利桑那州

(72) 发明人 布赖恩·克里斯

(74) 专利代理机构 北京律盟知识产权代理有限  
责任公司 11287

代理人 沈锦华

(51) Int.Cl.  
H03K 4/06 (2006.01)  
H03K 7/08 (2006.01)  
H03M 1/82 (2006.01)

(56) 对比文件  
US 2014266833 A1, 2014.09.18

审查员 胡永志

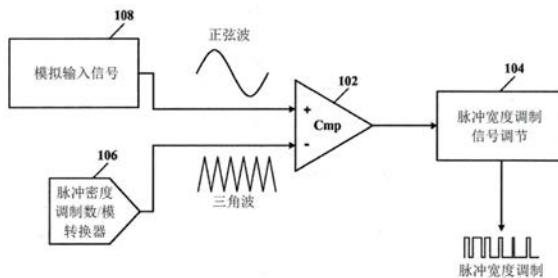
权利要求书2页 说明书6页 附图5页

(54) 发明名称

具有三角波产生的脉冲密度调制数/模转换器

(57) 摘要

相位累加器式样电路产生输出脉冲流。所述脉冲流的密度相对于由加法器的位宽度支持的最大值而与输入数据值成比例。所述输出脉冲密度表示所要输出电压。可利用电阻器-电容器RC低通滤波器对所述脉冲流进行滤波以产生模拟电压。较快时钟速率支持对减少电路成本的较小输出滤波器的使用。此电路提供三角波产生,其中DAC输出以介于用户规定最大振幅值与最小振幅值之间的用户规定速率(斜率)斜升及斜降。升高及降低的三角波斜变速率(升高及降低的斜率)可为不同且独立的或相同的。



1. 一种具有三角波产生的脉冲密度调制数/模转换器,其包括:  
脉冲密度调制产生器,其具有输入;及;  
低通滤波器,其耦合到所述脉冲密度调制产生器的输出;及  
三角波产生器,其具有提供代表三角波形的数字值到所述脉冲密度调制产生器的所述输入的输出,其中所述脉冲密度调制产生器的输出脉冲序列由所述三角波产生器所产生的所述数字值确定且所述低通滤波器输出所述三角波形。
2. 根据权利要求1所述的脉冲密度调制数/模转换器,其中所述三角波产生器包括加法器以及累加器以单调增加数字值直到达到最大数字值为止,接着单调减小数字值直到达到最小数字值为止。
3. 根据权利要求2所述的脉冲密度调制数/模转换器,其中所述单调增加的数字值从所述最小数字值变为所述最大数字值且所述单调减小的数字值从所述最大数字值变为所述最小数字值,其中所述最大数字值和所述最小数字值存储在各自的寄存器中。
4. 根据权利要求3所述的脉冲密度调制数/模转换器,其中脉冲密度调制数/模转换器经配置以重复所述单调增加的数字值及所述单调减小的数字值。
5. 根据权利要求2所述的脉冲密度调制数/模转换器,其中所述最大数字值是可编程的。
6. 根据权利要求2所述的脉冲密度调制数/模转换器,其中所述最小数字值是可编程的。
7. 根据权利要求2所述的脉冲密度调制数/模转换器,其中所述单调增加的数字值的改变速率是可编程的。
8. 根据权利要求2所述的脉冲密度调制数/模转换器,其中所述单调减小的数字值的改变速率是可编程的。
9. 根据权利要求1所述的脉冲密度调制数/模转换器,其中来自所述脉冲密度调制产生器的脉冲密度与所述数字值成比例。
10. 根据权利要求1所述的脉冲密度调制数/模转换器,其中所述三角波形为模拟的。
11. 根据权利要求2所述的脉冲密度调制数/模转换器,其中所述单调增加的数字值的改变速率确定所述三角波形的正斜率。
12. 根据权利要求2所述的脉冲密度调制数/模转换器,其中所述单调减小的数字值的改变速率确定所述三角波形的负斜率。
13. 根据权利要求2所述的脉冲密度调制数/模转换器,其中所述最大数字值确定所述三角波形的最大振幅。
14. 根据权利要求2所述的脉冲密度调制数/模转换器,其中所述最小数字值确定所述三角波形的最小振幅。
15. 根据权利要求1所述的脉冲密度调制数/模转换器,其中所述脉冲密度调制产生器包括:  
累加器;  
递增寄存器;  
加法器,其具有耦合到所述累加器的输入的输出、耦合到所述递增寄存器的输出的第一输入及耦合到所述累加器的输出的第二输入;及

触发器,其具有耦合到来自所述加法器的进位输出的输入。

16. 根据权利要求1所述的脉冲密度调制数/模转换器,其中所述低通滤波器具有至少一个极。

17. 根据权利要求1所述的脉冲密度调制数/模转换器,其中所述低通滤波器包括至少一个电阻器及至少一个电容器。

18. 根据权利要求1所述的脉冲密度调制数/模转换器,其中所述三角波产生器包括:

斜率累加器;

高值比较器,其耦合到所述斜率累加器的输出;

低值比较器,其耦合到所述斜率累加器的所述输出;

加法器;

斜率寄存器,其具有耦合到所述加法器的输入的输入;及

控制逻辑,其中所述数字值是由所述三角波产生器提供。

19. 根据权利要求1所述的脉冲密度调制数/模转换器,其进一步包括用于选择大于正常的斜率值以致使所述低通滤波器快速地跟踪斜率方向的改变的第一斜率步阶多路复用器与控制逻辑。

20. 根据权利要求1所述的脉冲密度调制数/模转换器,其中所述脉冲密度调制产生器、低通滤波器及三角波产生器提供于混合信号集成电路中。

21. 根据权利要求20所述的脉冲密度调制数/模转换器,其中所述混合信号集成电路是微控制器。

22. 根据权利要求20所述的脉冲密度调制数/模转换器,其中所述混合信号集成电路选自以下各项组成的群组:微处理器、数字信号处理器、专用集成电路及可编程逻辑阵列。

23. 一种用于将模拟波形转换为脉冲宽度调制脉冲串的系统,所述系统包括:

模拟比较器,其具有第一输入,所述第一输入耦合到模拟信号;及

第二输入,其耦合到根据权利要求1-22中任一权利要求所述的脉冲密度调制数/模转换器,其中来自所述模拟比较器的输出包括表示所述模拟信号的脉冲宽度调制脉冲串。

## 具有三角波产生的脉冲密度调制数/模转换器

### 技术领域

[0001] 本发明涉及脉冲宽度调制 (PWM) 音频应用,且更特定来说,涉及一种数/模转换器 (DAC),其包括斜率与脉冲密度调制 (PDM) 产生器、消隐与延迟逻辑及低通滤波器且提供用于将模拟波形转换为数字PWM脉冲串的三角波产生。

### 背景技术

[0002] 所有类别D调制技术将关于音频信号的信息编码为脉冲流。一般来说,脉冲宽度与音频信号的振幅有联系,且脉冲的频谱包含所要音频。最常见调制技术是脉冲宽度调制 (PWM)。概念性地,PWM将输入音频信号与以固定载波频率运行的三角形或斜升与斜降波形进行比较。此在所述载波频率下形成脉冲流。在载波频率的每一周期内,PWM脉冲的工作比与音频信号的振幅成比例。PWM是具有吸引力的,因为其允许数百千赫的PWM载波频率下的100dB或更佳音频带SNR足够低以限制输出级中的切换损耗。而且,许多PWM调制器在高达接近100%调制下是稳定的,从而在概念上准许高输出功率高达过载点。因此,期望利用给定模拟输入信号调整三角波的振幅(高度)及斜率以实现PWM调制器的最优性能。

### 发明内容

[0003] 因此,需要一种自动产生具有参数(例如斜变速率及电压电平)的三角形波形的脉冲密度调制 (PDM) 数/模转换器 (DAC),所述参数可由用户在所述PDM DAC的数字逻辑中设定。

[0004] 根据一实施例,一种具有三角波产生的脉冲密度调制数/模转换器 (PDM DAC) 可包括:脉冲密度调制 (PDM) 产生器;低通滤波器,其耦合到所述PDM产生器的输出;及三角波产生器,其具有可耦合到所述PDM产生器的输出,其中所述PDM产生器的所述输出可由所述三角波产生器所产生的数字值确定。

[0005] 根据另一实施例,所述三角波产生器可产生单调增加的数字值直到可达到最大数字值为止,接着其可产生单调减小的数字值直到可达到最小数字值为止。根据另一实施例,所述单调增加的数字值可从所述最小数字值变为所述最大数字值,且所述单调减小的数字值可从所述最大数字值变为所述最小数字值。根据另一实施例,所述单调增加的数字值及所述单调减小的数字值可重复。根据另一实施例,所述最大数字值可为可编程的。根据另一实施例,所述最小数字值可为可编程的。根据另一实施例,所述单调增加的数字值的改变速率可为可编程的。根据另一实施例,所述单调减小的数字值的改变速率可为可编程的。

[0006] 根据另一实施例,来自所述PDM产生器的脉冲密度可与所述数字值成比例。根据另一实施例,来自所述低通滤波器的输出可提供模拟三角波。根据另一实施例,所述单调增加的数字值的改变速率可确定模拟三角波形的正斜率。根据另一实施例,所述单调减小的数字值的所述改变速率可确定所述模拟三角波形的负斜率。根据另一实施例,所述最大数字值可确定所述模拟三角波形的最大振幅。根据另一实施例,所述最小数字值可确定所述模拟三角波形的最小振幅。

[0007] 根据另一实施例,所述PDM产生器可包括:累加器;递增寄存器;加法器,其具有耦合到所述累加器的输入的输出、耦合到所述递增寄存器的输出的第一输入及耦合到所述累加器的输出的第二输入;及触发器,其具有耦合到来自所述加法器的进位输出的输入。根据另一实施例,所述低通滤波器可具有至少一个极。根据另一实施例,所述低通滤波器可包括至少一个电阻器及至少一个电容器。

[0008] 根据另一实施例,三角波产生器可包括:斜率累加器;高值比较器,其耦合到所述斜率累加器的输出;低值比较器,其耦合到所述斜率累加器的所述输出;加法器;斜率寄存器,其具有耦合到所述加法器的输入的输出;及控制逻辑,其中所述数字值可由所述三角波产生器提供。根据另一实施例,可提供用于选择大于正常的斜率值以致使所述低通滤波器快速地跟踪斜率方向的改变的第一斜率步阶多路复用器与控制逻辑。根据另一实施例,所述PDM产生器、低通滤波器及三角波产生器可提供于混合信号集成电路中。根据另一实施例,所述混合信号集成电路可是微控制器。根据另一实施例,所述混合信号集成电路可选自由以下各项组成的群组:微处理器、数字信号处理器、专用集成电路(ASIC)及可编程逻辑阵列(PLA)。

[0009] 根据另一实施例,一种用于将模拟波形转换为脉冲宽度调制(PWM)脉冲串的系统可包括:模拟比较器,其具有第一输入,所述第一输入耦合到模拟信号;及第二输入,其耦合到所述PDM DAC,所述PDM DAC可包括:脉冲密度调制(PDM)产生器;低通滤波器,其耦合到所述PDM产生器的输出;及三角波产生器,其具有耦合到所述PDM产生器的输出,其中所述PDM产生器的所述输出可由所述三角波产生器所产生的数字值确定且来自所述模拟比较器的输出可包括表示所述模拟信号的PWM脉冲串。

## 附图说明

[0010] 可通过参考联合附图进行的以下描述而获取对本发明的更完全理解,在所述附图中:

[0011] 图1图解说明根据本发明的教导的包括具有三角波形输出的PDM DAC、比较器及PWM信号调节的用于数字音频PWM应用的电路的示意性框图;

[0012] 图2图解说明展示根据本发明的教导的使用图1中所展示的电路的三角波数字音频PWM应用的时序关系的示意性曲线图;

[0013] 图3图解说明根据本发明的特定实例性实施例的经简化PDM DAC的示意性框图;

[0014] 图4图解说明根据本发明的特定实例性实施例的结合图3的PDM DAC一起使用以提供重复发生的周期性三角波形输出的斜率产生器的示意性框图;及

[0015] 图5图解说明根据本发明的特定实例性实施例的三角波模式控制逻辑的示意性框图。

[0016] 虽然本发明易于做出各种修改及替代形式,但已在图式中展示并在本文中详细描述其特定实例性实施例。然而,应理解,本文对特定实例性实施例的描述并非打算将本发明限制于本文中所揭示的特定形式,而是相反,本发明将涵盖如由所附权利要求书界定的所有修改及等效形式。

## 具体实施方式

[0017] 具有三角波产生的PDM DAC提供用以产生到模拟比较器的三角波参考电压的低成本方式,所述模拟比较器用于产生表示模拟信号的时变振幅的数字脉冲宽度调制(PDM)脉冲串。具有三角波产生的PDM DAC基本上是数字设计,因此当移动到新过程技术时,设计移植(porting)并非问题。其大数字内容随过程缩放而良好地缩放。在本文中,将可互换地使用“三角波”及“三角波形”。三角波是因其三角形形状而命名的非正弦波形。其是周期性分段线性连续实函数。在物理学中,波是伴随着能量转移行进穿过物质或空间的干扰或振荡。

[0018] 根据本发明的各种实施例,相位累加器式样电路产生输出脉冲流。所述脉冲流的密度相对于由加法器的位宽度支持的最大值而与输入数据值成比例。输出脉冲密度表示所要输出电压。可利用电阻器-电容器(RC)低通滤波器对脉冲流进行滤波以产生模拟电压。较快时钟速率支持对减少电路成本的较小输出滤波器的使用。此电路提供三角波产生,其中DAC输出以介于用户规定最大振幅值与最小振幅值之间的用户规定速率(斜率)斜升及斜降。升高及降低的三角波斜变速率(升高及降低的斜率)可为不同且独立的或相同的。

[0019] 现在参考图式,示意性地图解说明特定实例性实施例的细节。图式中,将由相似编号表示相似元件,且将由带有不同小写字母后缀的相似编号表示类似元件。

[0020] 参考图1,描绘根据本发明的教示的包括具有三角波形输出的PDM DAC、比较器及PWM信号调节的用于数字音频PWM应用的电路的示意性框图。PDM DAC 106提供具有可选择周期、高及低振幅以及斜升及斜降(斜率)速率(所有均是用户可选择的)的三角波形。参考图2,描绘展示根据本发明的教示的使用图1中所展示的电路的三角波数字音频PWM应用的时序关系的示意性曲线图。在图1及2中所展示的实例中,音频输入及三角形波两者均以0伏特为中心,使得针对零(0)伏特下的模拟音频输入,PWM输出脉冲的工作比是大约50%。针对大振幅正输入,其较接近于100%,且针对大振幅负输入,其较接近于百分之零。如果音频振幅超过三角波的振幅,那么全调制发生(100%接通或关断脉冲宽度),其中脉冲串停止切换,且个别周期内的工作比是百分之零(0%)或者100%。

[0021] 参考图3,描绘根据本发明的特定实例性实施例的经简化PDM DAC的示意性框图。整体由编号106表示的PDM DAC可包括PDM产生器300及低通滤波器350。PDM产生器300可包括累加器寄存器310、递增值(DAC值)寄存器318、加法器(求和器)314、第一多路复用器322、第二多路复用器324、DAClow SFR寄存器332、DACLO寄存器328、DACDAT SFR寄存器330、DACHI寄存器326及D锁存器320。加法器(求和器)314产生具有与递增值寄存器318中的值成比例的速率下的脉冲输出的溢位进位输出(CO)信号316。CO信号316耦合到锁存器320的D输入。D锁存器320的Q输出可耦合到低通滤波器(例如,电阻器R1、R2以及电容器C1及C2形成的(RC)低通滤波器350)。图3中所展示的低通滤波器350是双极RC低通滤波器,但在本文中可使用并预期任一类型的低通滤波器。

[0022] 累加器寄存器310及加法器314不断地将来自递增值寄存器318的递增值加到加法器314中的累加和。针对非零输入值,所述累加和将最终溢位,其中此溢位可经由来自加法器314的CO信号316指示。发生溢位的速率与来自递增值寄存器318的递增值对加法器314可处置的最大值的大小相关。举例来说,12位加法器314具有0xFFF的最大输出。如果到加法器314的输入、累加器值及输入值超过0xFFF,那么产生CO信号316。输入值越大,可越频繁地产生CO信号316。接着可利用低通滤波器350对来自CO信号316的所得脉冲流进行滤波。来自低

通滤波器350的所得模拟输出电压与来自递增值寄存器318的数据输入递增值成比例。低通滤波器350可是整个PDM DAC 106的主要“成本”。对PDM DAC 106使用较高时钟速率允许在低通滤波器350中使用较少组件,因此减少其成本。较高时钟速率也支持较高转换速度,从而使PDM DAC 106可用于较宽广范围的应用。然而,较高时钟速率的使用也将增加PDM DAC 106的电流消耗。预期且在本发明的范围内,任一低通滤波器电路设计可用于对D锁存器320的Q输出进行滤波以产生模拟电压信号,并且电路设计领域中且受益于本发明的技术人员可能容易地设计此低通滤波器电路。

[0023] SFR (特殊功能寄存器) DACLOW 332及DACDAT 330是存储如由用户的软件规定的所要DAC电压设定的输入寄存器。DACLO 328及DACHI 326寄存器将用户的设定从处理器时钟域中的SFR寄存器传送到PDM DAC的高速时钟域。在三角波形产生的上升或下降部分期间,多路复用器324选择如由控制逻辑规定的DACLO 328或者DACHI326。多路复用器322选择来自多路复用器324的数据或者来自斜率累加器458的数据。在三角波形操作期间,多路复用器322总是选择来自斜率累加器458的数据。在三角波产生中,经由多路复用器460将由多路复用器324选择的数据发送到斜率累加器458的输入。来自DACLO 328寄存器的低数据用于在三角波的向上斜率部分的开始时将斜率累加器458初始化。来自DACHI 326寄存器的高数据用于在三角波的向下斜率部分的开始时将斜率累加器458初始化。

[0024] 参考图4,描绘根据本发明的特定实例性实施例的结合图3的PDM DAC一起使用以提供重复发生的周期性三角波形输出的斜率产生器的示意性框图。在周期性三角波形产生(三角波模式)期间,将到PDM DAC 106的输入数据值以线性、用户规定速率重复地增加/减小直到过程终止为止。三角波模式是单调增加及单调减小的斜率的重复循环,其是自动控制的且其不依赖于外部控制信号。整体由编号400表示的三角波产生器提供三角波形产生,其中PDM DAC 106输出以介于用户规定最大振幅值与最小振幅值之间的用户规定速率斜升及斜降。在三角形波形产生模式中,累加器电路改变方向以达到另一极限值,斜率产生器400将不断地在正斜率与负斜率之间改变。

[0025] 图4展示计算中间数据值以使PDM DAC 106能够在PDM DAC 106从一个规定值移动到另一规定值时产生受控斜率的电路。此电路可以一半的PDM时钟产生器频率(例如,标称250MHz)来操作。用于产生重复发生的周期性三角波形的斜率产生器400可包括斜率累加器458、加法器462、斜率输入寄存器464、斜率相等比较器452及454、二补数产生器470、缩放多路复用器467以及多路复用器460及466。斜率产生器400的功能是:使DAC数据值以用户定义速率递增/递减以达到所要终点值。针对三角波产生,斜率产生器400形成三角波函数。来自用户的斜率输入数据规定斜率电路的每迭代的递增/递减量。此电路可为(举例来说但不限于)16位宽以提供预期斜率持续时间内的足够分辨率及DAC数据值。针对负斜率,可在输入到斜率加法器462之前将斜率输入值转换为二补数负值以便支持负斜率。

[0026] 控制逻辑456具有许多目的,但针对三角波产生,图5中所展示的电路(元件570、572、574、576、578、580、582、584、586)是对控制逻辑456的详细描述。所述控制逻辑经由波方向触发器582定义方向(三角波形的向上或向下)。波方向触发器582的控制逻辑输出通过经由多路复用器466及“异或”门468的对真实或补数三角波斜率递增/递减值的选择来控制将使斜率累加器458递增还是递减。SLPCON SFR寄存器472存储用户的规定正斜率递增速率,而二补数电路470产生负斜率递减速率。多路复用器466基于控制逻辑456中的波方向触

发器582的输出而选择正递增值或者负递增(递减)值。多路复用器467可用于在斜率过程的开始时提供初始跳跃(initial jump)以减少滤波器350的响应中的滞后。”异或”门468的目的是:为用户提供对控制电路的极性的超控(反转)的选项以便使三角波形替代向下而向上且接着替代向上方向而向下。一些应用可能期望波形沿着三角波形在高状态或者低状态上开始。

[0027] 参考图5,描绘根据本发明的特定实例性实施例的三角波模式控制逻辑的示意性框图。波方向触发器582在每一上升或下降边缘序列的结束时交替。波方向触发器582为斜率产生器选择递增/递减值,且其选择适当数字比较器452、454(图4)来终止斜率上升或下降。可分别经由DACDAT寄存器330及DACLOW寄存器332(图3)规定波形的高点及低点。三角波形的斜率可由SLPDAT寄存器472(图4)规定。

[0028] 可经由SLPCON寄存器472控制三角波的上升与下降时间及频率。斜率过程的第一时钟循环可选择经缩放值而非规定值以提供对DAC轨迹的瞬时DAC响应。针对斜率过程的所有后续时钟循环,斜率产生器使用来自SLPCON寄存器472的规定数据值以使DAC数据值递增/递减。三角波模式在数字音频应用中是有用的,其中经由使用三角波参考信号(参见图1)的模拟比较器而对模拟输入信号进行取样。在应用启动时:DAC输出电压是零。启用DAC(DACON=1),设定TWME位(TWME=1),启用斜率函数(SLOPEN=1)。可由到XOR门468的输入的PSE信号选择斜率的极性。所述PSE信号可源自SLPCON寄存器472中的位。

[0029] 三角波函数是“4”步阶过程:经清除波方向触发器582选择DACDAT寄存器330作为斜率最大极限值。可将斜率方向设定为正。选择DACHIGEQ数字比较器452作为终止循环的上升边缘部分的信号。斜率累加器458在值上增加直到断言来自DACHIGEQ比较器452的输出为止。设定波方向触发器582。波方向触发器582选择DACLO寄存器328作为斜率最小极限值。将斜率方向设定为负。选择DACLOLEQ比较器454作为终止所述循环的下降边缘部分的信号。斜率累加器458在值上减小直到断言来自DACLOLEQ比较器454的DACLOLEQ信号为止。清除波方向触发器582。所述循环重复。DACDAT寄存器330及DACLO寄存器328规定三角波形的最大值及最小值。DAT寄存器330规定三角波形的斜升及斜降速率。

[0030] 可针对斜率或斜变过程的第一迭代断言FSS信号。接着,FSS信号可选择大于正常的斜率递增/递减值(例如,16 $\times$ )来提供DAC电压的足够改变以使低通滤波器350能够瞬时地跟踪所要斜率以便快速地使模拟低通滤波器350跟踪预期斜率函数。DAC值的此小步阶改变形成帮助低通滤波器350做出响应的电压差分。在斜率过程(包含三角波区段)的第一时钟循环上,可断言来自NOR门586的输出的波方向改变信号(图5)。可将所述波方向改变信号与斜率模式开始信号进行OR运算以产生控制缩放多路复用器467(图4)的FSS(第一步阶缩放)信号。

[0031] 在斜率产生器400超过DACDAT寄存器330中的高DAC值或低于DACLOW寄存器332中的低DAC值时设定且清除波方向触发器582。波方向触发器582在斜率斜升到正极限值及接着斜降到负极限值时交替。只要启用三角波模式(TWME=1),循环便重复。为了快速地使模拟滤波器跟踪预期斜率函数,斜率过程的第一循环可使用16 $\times$ 缩放递增/递减值(未展示)。DAC值的此小步阶改变形成帮助滤波器做出响应的电压差分。在斜率过程的第一时钟循环上,断言来自”异或”门586的输出的波方向改变信号。

[0032] 前述电路功能(例如,PDM产生器、低通滤波器及三角波产生器)可提供于混合信号

集成电路(例如,微控制器、微处理器、数字信号处理器、专用集成电路(ASIC)、可编程逻辑阵列(PLA)等等)中。

[0033] 在由布莱恩克里斯(Bryan Kris)、安德里亚斯瑞特(Andreas Reiter)及蒂博风斗(Tibor Futo)于2014年3月10日提出申请的标题为“具有斜率补偿功能的脉冲密度数/模转换器(Pulse Density Digital-to-Analog Converter with Slope Compensation Function)”的序列号为14/202,420的共同拥有的美国专利申请案中更完全地揭示关于PDM DAC的额外背景信息;且所述美国专利申请案特此出于所有目的而以引用方式并入本文中。

[0034] 虽然已通过参考本发明的实例性实施例来描绘、描述及界定本发明的实施例,但此些参考并不暗示对本发明的限制,且不应推断出存在此限制。如相关技术领域中且受益于本发明的技术人员将会想到,所揭示的标的物能够在形式及功能上具有大量修改、变更及等效形式。本发明的所描绘及描述的实施例仅是实例,而并非是对本发明的范围的穷尽性说明。

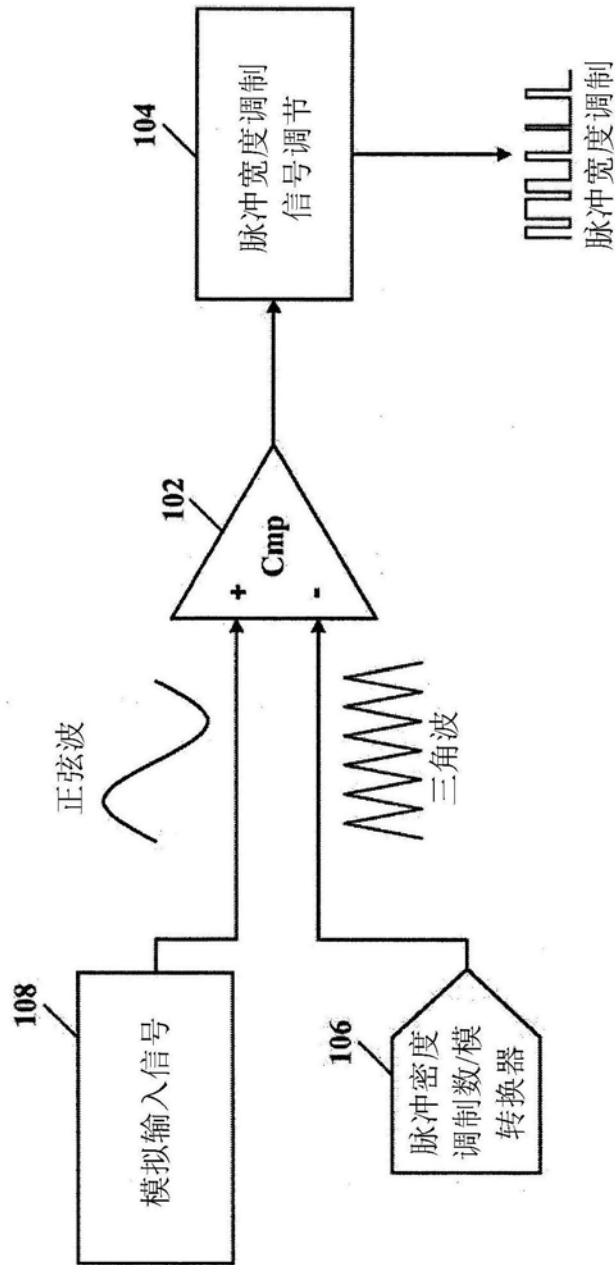


图1







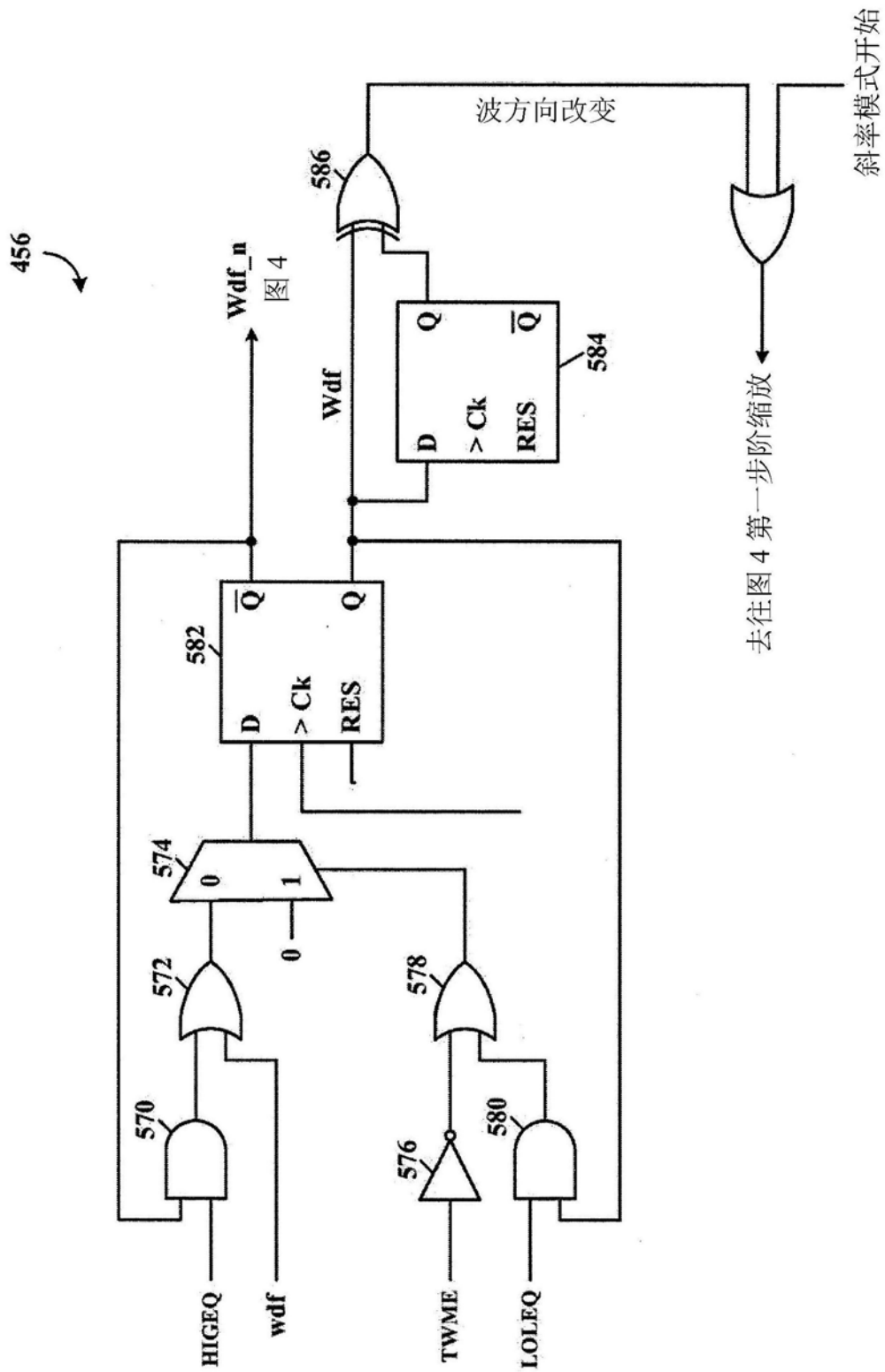


图5