

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/8258

H01S 5/026 H01L 21/20



[12] 发明专利申请公开说明书

[21] 申请号 01804799.8

[43] 公开日 2003 年 2 月 19 日

[11] 公开号 CN 1398430A

[22] 申请日 2001.2.8 [21] 申请号 01804799.8

[30] 优先权

[32] 2000. 2. 10 [33] US [31] 09/502,023

[86] 国际申请 PCT/US01/04208 2001.2.8

[87] 国际公布 WO01/59835 英 2001.8.16

[85] 进入国家阶段日期 2002.8.9

[71] 申请人 摩托罗拉公司

地址 美国伊利诺斯

[72] 发明人 珈玛尔·拉丹尼

拉文德兰斯·德鲁帕德

林迪·L·西尔特

科特·W·埃森贝瑟

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

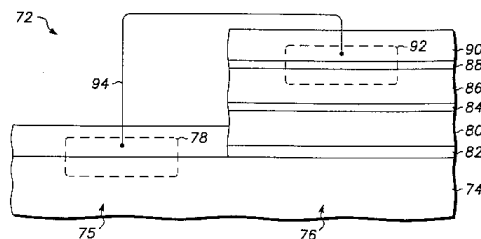
代理人 李德山

权利要求书 3 页 说明书 22 页 附图 8 页

[54] 发明名称 半导体器件

[57] 摘要

通过首先在硅晶片(22)上生长调节缓冲层(24),可以生长化合物半导体材料的高质量外延层,覆盖大硅晶片。调节缓冲层是由氧化硅无定形中间层(28)与硅晶片分开的单晶氧化物层。无定形中间层消除应变,并使得高质量单晶氧化物调节缓冲层能够生长。调节缓冲层与下伏硅晶片和上覆单晶化合物半导体层(26)均为晶格匹配。在调节缓冲层和下伏硅衬底之间的任何晶格失配由无定形界面层来处理。半导体器件可以在单晶化合物半导体层和硅中形成。半导体器件(56、68、78、92)可以在单晶化合物半导体层和硅中形成。



ISSN 1008-4274

- 1.一种半导体器件, 包括:
包括有第一区和第二区的第一单晶半导体层;
至少部分设在所述第一区内的电学半导体元件;
覆盖着所述第二区的第二单晶化合物半导体层; 以及
至少部分设在所述第二单晶化合物半导体层内的第二半导体元件。
- 2.如权利要求1所述的半导体器件, 还包括设在所述第一区和所述第二单晶化合物半导体区之间的单晶氧化物层。
- 3.如权利要求2所述的半导体器件, 还包括有源半导体元件和所述第二半导体元件之间的电互连。
- 4.如权利要求2所述的半导体器件, 其中所述第一单晶半导体层包括硅, 所述单晶氧化物层包括选自碱土金属钛酸盐、碱土金属锆酸盐以及碱土金属铪酸盐的一种材料。
- 5.如权利要求1所述的半导体器件, 还包括有源半导体元件和第二半导体元件之间的电互连。
- 6.一种集成电路, 包括:
第一调节缓冲层;
覆盖着所述第一调节缓冲层的第一单晶半导体层;
覆盖着所述第一单晶半导体层的第二调节缓冲层; 以及
覆盖着所述第二调节缓冲层的第二单晶半导体层。
- 7.如权利要求6所述的集成电路, 其中:
所述第一和第二单晶半导体层之一是单晶化合物半导体层; 以及
所述第一和第二单晶半导体层中的另一个是单晶IV族半导体层。
- 8.如权利要求6所述的集成电路, 其中:
所述第一单晶半导体层具有相对于第一调节缓冲层的晶体取向旋转大致 45° 的晶体取向;

所述第二调节缓冲层具有相对于第一单晶半导体层的晶体取向旋转大致 45° 的晶体取向；并且

所述第二单晶半导体层具有相对于第二调节缓冲层的晶体取向旋转大致 45° 的晶体取向。

9.如权利要求6所述的集成电路，其中：

所述第一调节缓冲层以及所述第一单晶半导体层具有不大于约2.0%的晶格失配，并且所述第一单晶半导体层的厚度至少约为20nm；并且

所述第二调节缓冲层和所述第二单晶半导体层具有不大于约2.0%的晶格失配，并且所述第二单晶半导体层的厚度至少约为20nm。

10.如权利要求6所述的集成电路，还包括位于在所述第一调节缓冲层下面的单晶IV族衬底。

11.一种集成电路，包括：

调节缓冲层；以及

有源器件，其中所有的有源器件至少部分位于单晶化合物半导体层之中或在其之上，并且该单晶化合物半导体层覆盖着调节缓冲层。

12.如权利要求11所述的集成电路，其中：

该集成电路包括有电子元件；

所述电子元件包括有源器件和至少一个其它元件；并且

所有电子元件至少部分位于单晶化合物半导体层之中或在其之上，该单晶化合物半导体层覆盖着调节缓冲层。

13.如权利要求11所述的集成电路，其中所述化合物半导体层具有相对于调节缓冲层的晶体取向旋转大致 45° 的晶体取向。

14.如权利要求11所述的集成电路，还包括位于调节缓冲层下面的单晶IV族半导体衬底。

15.如权利要求14所述的集成电路，其中所述单晶IV族半导体衬底至少约为300毫米宽。

16.如权利要求14所述的集成电路，其中所述半导体缓冲层具有相对于所述单晶IV族半导体衬底的晶体取向旋转大致 45° 的晶体取向。

17.如权利要求14所述的集成电路，其中该集成电路具有选自以下特征的一个特征：

调节缓冲层具有相对于单晶IV族半导体衬底的晶体取向旋转大致45°的晶体取向；

调节缓冲层和单晶IV族半导体衬底具有不大于约2.0%的晶格失配，并且调节缓冲层的厚度至少约为20nm。

18.如权利要求14所述的集成电路，其中：

所述调节缓冲层具有相对于单晶IV族半导体衬底的晶体取向旋转大致45°的晶体取向；并且

所述调节缓冲层和单晶IV族半导体衬底具有不大于约2.0%的晶格失配，并且所述调节缓冲层的厚度至少约为20nm。

19.如权利要求11所述的集成电路，其中所述调节缓冲层和单晶化合物半导体层具有不大于约2.0%的晶格失配，并且所述单晶化合物半导体层的厚度至少约为20nm。

半导体器件

技术领域

本发明总体上涉及一种半导体器件，更具体的说涉及一种化合物半导体器件以及半导体器件的用途，还涉及包括单晶化合物半导体材料的集成电路。

背景技术

大部分半导体分立器件和集成电路是由硅制成的，这至少部分是因为能够得到廉价和高质量的单晶硅衬底。其它半导体材料例如所谓的化合物半导体材料具有的物理特性包括与硅相比更宽的带隙和/或更高的迁移率，或者使得这些材料适用于一定类型半导体器件的直接带隙。不幸的是，化合物半导体材料通常比硅贵很多，并且不能获得与硅一样大的晶片。砷化镓(GaAs)是最容易获得的化合物半导体材料，它只能获得约150毫米(mm)以下直径的晶片。相反，硅晶片可以达到约300mm，普遍可以得到的为200mm。150mm的GaAs晶片比它们的硅等同物贵许多倍。其它化合物半导体材料的晶片更不容易获得，并且比GaAs更贵。

由于化合物半导体材料的理想特性，并且由于它们通常的高额成本以及不容易得到大的尺寸，所以多年来一直致力于在异质衬底上生长化合物半导体材料的薄膜。但是为了实现化合物半导体材料的最佳特性，需要高晶体质量的单晶膜。例如已经尝试在锗、硅和各种绝缘体上生长单晶化合物半导体材料层。这些努力通常是不成功的，因为在基质晶体和生长晶体之间的晶格失配导致所得到的化合物半导体材料薄膜的晶体质量较低。

如果能够以低成本获得高质量单晶化合物半导体材料的大面积薄膜，则可以以这种膜有效地制造各种半导体器件，成本与在化合物半导体材料大晶片上或在化合物半导体材料大晶片上该材料的外延膜中

制造这种器件的成本相比较低。另外，如果高质量单晶化合物半导体材料的薄膜可以在大晶片（bulk wafer）例如硅晶片上实现，就可以获得利用了硅和化合物半导体材料两者优点的集成器件结构。

因此需要一种半导体器件，它能够提供优于其它单晶材料的高质量单晶化合物半导体膜。

附图说明

本发明以实施例的方式进行描述，并且不限于附图，在这些附图中类似的附图标记表示相似的元件。

图1、2、4、5示意性地显示出根据本发明各个实施方案的器件结构的截面图；

图3用曲线图显示出可得到的最大膜厚与基质晶体和生长晶体覆盖层间的晶格失配之间的关系；

图6是通讯装置的一部分的方框图；

图7-11为部分集成电路的截面图，该集成电路包括一个化合物半导体部分、一个双极部分以及一个MOS部分；并且

图12-18为另一个集成电路的一部分的截面图，该集成电路包括半导体激光器和MOS晶体管。

普通技术人员会理解，在图中图示的元件是为了简化和清楚起见，不必按照比例来画出。例如图中一些元件的尺寸可以相对于其它元件放大，以有助于理解本发明的实施方案。

具体实施方式

图1示意性地显示出根据本发明的一个实施方案的一部分半导体结构20的截面图。半导体结构20包括一个单晶衬底22、包含单晶材料的调节缓冲层（accommodating buffer layer）24以及单晶化合物半导体材料层26。在本文中，“单晶”具有在半导体工业中通常使用的含义。该词指的是单晶体或基本是单晶体的材料，并且包括具有例如在硅或锗或硅锗混合物衬底中通常发现的位错等少量缺陷的那些材料，所述材料还具有在半导体工业中通常发现的这种材料的外延层。

根据本发明的一个实施方案，结构20也包括位于衬底22和调节缓冲层24之间的无定形中间层28。结构20可以还包括位于调节缓冲层和化合物半导体层26之间的模板层（**template layer**）30。如以下所详细描述，模板层有助于引发化合物半导体层在调节缓冲层上的生长。无定形中间层有助于释放调节缓冲层中的应变，这样就有助于高晶体质量的调节缓冲层的生长。

根据本发明的一个实施方案，衬底22是单晶半导体晶片，优选是大直径的。该晶片是由周期表中第IV族的材料、优选是IVA族的材料制成。IV族半导体材料的示例包括硅、锗、硅锗混合物、硅碳混合物和硅锗碳混合物等。优选的衬底22是含有硅或锗的晶片，最优选是如在半导体工业使用的高质量单晶硅晶片。调节缓冲层24优选外延地生长在下伏衬底上的单晶氧化物或氮化物材料。根据本发明的一个实施方案，无定形中间层28在层24生长期间通过衬底22的氧化作用而生长在衬底22上位于衬底22和生长调节缓冲层24之间的界面处。无定形中间层用于释放在单晶调节缓冲层中因为衬底和缓冲层的晶格常数差异而可能产生的应变。在这里所使用的晶格常数指的是在表面的平面中所测量出的在晶格的各原子之间的距离。如果这种应变没有被无定形中间层所释放，则该应变会导致调节缓冲层的晶体结构缺陷。调节缓冲层晶体结构中的缺陷又会使得难以在单晶化合物半导体层26中获得高质量的晶体结构。

调节缓冲层24优选是根据其与下伏衬底和上覆化合物半导体材料的结晶相容性（**crystalline compatibility**）来选择的单晶氧化物或氮化物材料。例如，该材料可以是其晶格结构与衬底以及与随后覆盖的半导体材料相匹配的氧化物或氮化物。适合作调节缓冲层的材料包括金属氧化物，例如碱土金属钛酸盐、碱土金属锆酸盐、碱土金属钪酸盐、碱土金属钽酸盐、碱土金属钽酸盐、碱土金属钽酸盐、碱土金属钽酸盐、碱土金属钽酸盐、碱土金属锡基钙钛矿（**alkaline earth metal tin-based perovskites**）、铝酸镧、镧钪氧化物以及氧化钆。另外，各种氮化物例如氮化镓、氮化铝和氮化硼也可以用于调节缓冲层。这些材料中的大多数都是绝缘

体，但是例如钽酸铯是导体。一般来说，这些材料是金属氧化物或金属氮化物，更具体地说，这些金属氧化物或氮化物通常包括至少两种不同的金属元素。在一些特定用途中，金属氧化物或氮化物可以包括三种或更多不同的金属元素。

无定形中间层28优选是通过衬底22表面的氧化作用形成的氧化物，更优选的是由氧化硅构成。层28的厚度足以释放因为衬底22和调节缓冲层24之间晶格常数不匹配而导致的应变。通常层28的厚度大致在0.5-5nm的范围内。

层26的化合物半导体材料可以根据特定半导体结构的需要而选自下列化合物中的任何一种：IIIA和VA族元素（III-V半导体化合物）、混合的III-V族化合物、II族（A或B）和VIA族元素（II-VI半导体化合物），以及混合的II-VI族化合物。示例包括砷化镓（GaAs）、砷化镓铟（GaInAs）、砷化镓铝（GaAlAs）、磷化铟（InP）、硫化镉（CdS）、碲化镉汞（CdHgTe）、硒化锌（ZnSe）、硒化硫锌（Zinc sulfur selenide, ZnSSe）等。适合的模板材料在选定位置通过化学键结合在调节缓冲层的表面上，并提供用于随后化合物半导体层26的外延生长的成核位置。模板30的适当材料如下所述。

图2显示出根据本发明再一个实施方案的一部分半导体结构40的截面图。结构40类似于前述半导体结构20，但是在调节缓冲层24和单晶化合物半导体材料层26之间还设置了附加缓冲层32。具体地说，附加缓冲层32位于模板层30和上覆化合物半导体材料层之间。由半导体或化合物半导体材料形成的附加缓冲层用于在调节缓冲层的晶格常数与上覆单晶化合物半导体材料层之间不能充分匹配时提供晶格补偿。

以下非限制性的示例实施例阐述了可以用于根据本发明不同实施方案的结构20和结构40的材料的各种组合。这些实施例只作为示例之用，本发明不限于这些示例性实施例。

实施例1

根据本发明的一个实施方案，单晶衬底22是沿着(100)方向取向的硅衬底。该硅衬底可以是例如在制造互补金属氧化物半导体(CMOS)集成电路中通常使用的直径约为200-300nm的硅衬底。根据本发明的这个实施方案，调节缓冲层24是 $\text{Sr}_z\text{Ba}_{1-z}\text{TiO}_3$ 单晶层，其中z是0-1，无定形中间层是在硅衬底和调节缓冲层之间的界面处形成的氧化硅(SiO_x)层。对z值进行选择，以获得一个或多个与随后形成的层26的对应晶格常数密切匹配的晶格常数。调节缓冲层厚度可以约是2-100纳米(nm)，优选的厚度是约10nm。通常，希望调节缓冲层的厚度足以将化合物半导体层与衬底隔离，以获得理想的电学和光学性能。大于100nm的层厚度通常很少能提供更多的优点，但是成本却不必要的增加；但是如果需要可以制造较厚的层。氧化硅无定形中间层的厚度约为0.5-5nm，优选的厚度是1.5-2.5nm。

根据该实施方案，化合物半导体材料层26是砷化镓(GaAs)或砷化铝镓(AlGaAs)层，厚度是约1nm-约100 μm ，优选厚度是约0.5 μm -10 μm 。厚度通常取决于所制备的层的应用。为了便于砷化镓或砷化铝镓在单晶氧化物上的外延生长，通过覆盖氧化物层而形成一个模板层。模板层优选是Ti-As、Sr-O-As、Sr-Ga-O或Sr-Al-O的1-10个单层。作为优选实施例，Ti-As和Sr-Ga-O的1-2个单层已经表明能成功生长GaAs层。

实施例2

根据本发明的再一个实施方案，单晶衬底22是如上所述的硅衬底。调节缓冲层是立方晶相或斜方晶相的锶或钡的锆酸盐或铪酸盐单晶氧化物，氧化硅无定形中间层在硅衬底和调节缓冲层之间的界面处形成。调节缓冲层的厚度是约2-100nm，优选是至少5nm，以确保足够的结晶和表面质量，它由单晶 SrZrO_3 、 BaZrO_3 、 SrHfO_3 、 BaSnO_3 或 BaHfO_3 形成。例如 BaZrO_3 单晶氧化物层可以在约700摄氏度生长。所形成的氧化物晶体的晶格结构相对于衬底硅晶格结构表现出45度的旋转。

这些锆酸盐或铪酸盐材料形成的调节缓冲层适合于在磷化铟(InP)系统中生长化合物半导体材料。化合物半导体材料可以是例如

磷化铟 (InP) 或砷化铟镓 (InGaAs), 厚度约为1.0nm-10 μ m。适合于这种结构的模板是锆-砷 (Zr-As)、锆-磷 (Zr-P)、铪-砷 (Hf-As)、铪-磷 (Hf-P)、锶-氧-砷 (Sr-O-As)、锶-氧-磷 (Sr-O-P)、钡-氧-砷 (Ba-O-As)、铟-锶-氧 (In-Sr-O)、或钡-氧-磷 (Ba-O-P) 的1-10个单层, 优选是这些材料之一的1-2个单层。举例来说, 对于锆酸钡调节缓冲层来说, 表面是锆的1-2个单层, 然后沉积砷的1-2个单层, 以形成Zr-As模板。然后来自磷化铟系统的化合物半导体材料的单晶层在该模板层上生长。所得到的化合物半导体材料的晶格结构相对于调节缓冲层晶格结构表现出45度的旋转, 并且与(100) InP的晶格失配小于2.5%, 优选小于1.0%。

实施例3

根据本发明的再一个实施方案, 提供一种结构, 它适合于覆盖硅衬底的II-VI族材料外延膜的生长。该衬底优选是上述硅晶片。适合的调节缓冲层材料是 $Sr_xBa_{1-x}TiO_3$, 其中x是0-1, 厚度约为2-100nm, 优选是5-15nm。II-VI族化合物半导体材料可以是例如硒化锌 (ZnSe) 或硒化硫锌 (ZnSSe)。适合于这种材料系统的模板包括锌-氧 (Zn-O) 的1-10个单层, 然后是过量的锌的1-2个单层, 然后在表面上对锌进行硒化。或者模板可以是例如锶-硫 (Sr-S), 然后是ZnSeS。

实施例4

本发明的该实施方案是图2所示结构40的示例。衬底22、单晶氧化物层24以及单晶化合物半导体材料层26可以与上述实施例1类似。另外, 附加缓冲层32用于减轻可能因为调节缓冲层的晶格和单晶半导体材料的晶格的不匹配而导致的任何应变。缓冲层32可以是磷砷化镓 ($GaAs_xP_{1-x}$) 或磷化铟镓 ($In_yGa_{1-y}P$) 应变补偿超晶格 (strain compensated superlattice)。在磷砷化镓超晶格中x为0-1, 在磷化铟镓超晶格中y为0-1。通过根据情况改变x或y的值, 晶格常数会从底部至顶部穿过超晶格而变化, 形成下伏氧化物和上覆化合物半导体材料之间晶格常数的匹配。超晶格的厚度约为50-500nm, 优选的厚度是200-100nm。这种结构的模板可以与实施例1所述的相同。或者, 缓

冲层可以是单晶锗层，厚度是1 - 50nm，优选约为2 - 20nm。在使用锗缓冲层时，可以使用锗 - 锶 (Ge-Sr) 或锗 - 钛 (Ge-Ti) 模板层，厚度约为1个单层。该氧化物层被覆盖了锶的单层或钛的单层，以作为随后单晶锗沉积的成核位置。锶或钛单层提供了锗的第一单层可以键连的成核位置。

实施例5

该实施例也阐释可用于图2所示结构40的材料。衬底材料22、调节缓冲层24、单晶化合物半导体材料层26以及模板层30可以与上述实施例2类似。另外，在调节缓冲层和上覆单晶化合物半导体材料层之间插入一个缓冲层32。该缓冲层，即又一种单晶半导体材料可以是例如砷化镓 (InGaAs) 的渐变层，其中镓组分在0 - 47%之间变化。该缓冲层优选的厚度约为10 - 30nm。使缓冲层的组成从GaAs到InGaAs变化用来提供下伏单晶氧化物材料和上覆单晶化合物半导体材料层之间的晶格匹配。如果在调节缓冲层24和单晶化合物半导体材料层26之间存在晶格失配，这种缓冲层就特别有用。

再参考图1和2，衬底22是单晶衬底，例如单晶硅衬底。单晶衬底的晶体结构以晶格常数和晶格取向为特征。类似地，调节缓冲层24也是单晶材料，该单晶材料的晶格也以晶格常数和晶格取向为特征。调节缓冲层和单晶衬底的晶格常数必须严格匹配，或者必须是这样，即在一个晶格取向相对于另一个晶格取向旋转时可实现晶格常数的基本匹配。在这里，“基本相等”和“基本匹配”表示晶格常数之间存在足够的相似性，从而允许高质量的晶体层在下伏层上生长。

图3通过曲线图显示出高晶体质量的生长晶体层可实现的厚度与基质晶体和生长晶体晶格常数间的不匹配之间的函数关系。曲线42表示高晶体质量材料的边界。曲线42右面的区域表示易于成为多晶体的层。在没有晶格失配的情况中，理论上可以在基质晶体上生长出无限厚的高质量外延层。随着在晶格常数中不匹配的增加，可以获得的高质量晶体层的厚度迅速降低。作为参考点，例如，如果基质晶体和生

长晶体之间晶格常数不匹配高于约2%，则不能获得超过约20nm的单晶外延层。

根据本发明的一个实施方案，衬底22是(100)或(111)取向的单晶硅晶片，并且调节缓冲层24是钛酸锶钡层。这两种材料之间晶格常数的基本匹配是通过将钛酸盐材料的晶体取向相对于硅衬底晶片的晶体取向旋转45°而获得的。在该结构中包含无定形中间层24（在此实施例中是氧化硅层）用来减少在钛酸盐单晶层中可能因为基质硅晶片和生长的钛酸盐层之间的不匹配而导致的应变。结果，根据本发明的一个实施方案，可以获得高质量的厚单晶钛酸盐层。

仍然参考图1和2，层26是外延生长的单晶化合物半导体材料层，该晶体材料也以晶体晶格常数和晶体取向为特征。为了在这种外延生长层中获得高晶体质量，调节缓冲层必须具有高晶体质量。另外，为了在层26中获得高晶体质量，希望基质晶体（在这种情况下是单晶调节缓冲层）与生长晶体之间的晶体晶格常数基本匹配。利用适当选择的材料，通过生长晶体的晶体取向相对于基质晶体的晶体取向的旋转，可以获得晶格常数的基本匹配。如果生长晶体是砷化镓、砷化铝镓、硒化锌、或硒化硫锌并且调节缓冲层是单晶 $\text{Sr}_x\text{Ba}_{1-x}\text{TiO}_3$ ，则可以实现两种材料之间晶体晶格常数的基本匹配，其中生长层的晶体取向相对于基质单晶氧化物的取向旋转45°。同样，如果基质材料是锶或钡的钨酸盐或者锶或钡的钨酸盐或氧化钡锡，并且化合物半导体层是磷化铟或砷化镓铟或砷化铝铟，通过将生长晶体层的取向相对于基质氧化物晶体的取向旋转45°，可以获得晶体晶格常数的基本匹配。在一些情况中，基质氧化物和生长的化合物半导体层之间的晶体半导体缓冲层可以用来减少在生长的单晶化合物半导体层中因为晶格常数的微小差异而可能产生的应变。因此可以在生长的单晶化合物半导体层中获得较好的晶体质量。

以下实施例阐述了根据本发明的一个实施方案用于制造半导体结构例如图1和2所示结构的工艺。该工艺一开始提供包括硅或锗的单晶半导体衬底。根据本发明的优选实施方案，半导体衬底是具有(100)取

向的硅晶片。衬底的取向优选在晶轴上或至多偏离晶轴约 0.5° 。至少部分半导体衬底具有裸露的表面，但是该衬底的其它部分如下所述可围绕着其它结构。“裸露”一词在本文中表示该部分衬底中的表面已经被清洁从而除去了任何氧化物、杂质或外来物质。众所周知，裸露的硅具有高反应性，易于形成天然氧化物。“裸露”的含义包括这种天然氧化物。也可以有意在半导体衬底上生长出薄的氧化硅，但是这种生长的氧化物对于本发明的工艺不是必要的。为了外延生长出覆盖该单晶衬底的单晶氧化物层，必须首先除去天然氧化物层以将下伏衬底的晶体结构暴露出来。以下过程优选通过分子束外延附生（molecular beam epitaxy, MBE）来进行。可以通过在MBE设备中首先热沉积薄薄的一层铯来除去天然氧化物。然后将该衬底加热至约为 750° ，以使得铯与天然氧化硅层反应。铯用来减少氧化硅以留下没有硅氧化物的表面。所得到的具有有序的 2×1 结构的表面包括铯、氧和硅。该有序的 2×1 结构形成用于单晶氧化物覆盖层的有序生长的模板。该模板具有必要的化学和物理性能，以为覆盖层的晶体生长成核。

根据本发明的可选实施方案，天然氧化硅可以被转化，并且可以通过在低温下利用MBE将氧化铯沉积到衬底表面上并随后将衬底加热至约 750° 而加工衬底表面，以用于单晶氧化层生长。在这个温度下，在氧化铯和天然氧化硅之间发生固态反应，从而导致天然氧化硅的减少并留下有序的 2×1 结构，其衬底表面残留有铯、氧和硅。同样，这形成用于随后有序单晶氧化物层生长的模板。

在从衬底表面除去氧化硅之后，根据本发明的一个实施方案，将衬底冷却到约 $400 - 600^\circ\text{C}$ 的温度，通过分子束外延附生在模板层上生长钛酸铯层。通过打开MBE设备中的遮挡板（shutter）以暴露出铯、钛和氧源从而开始MBE过程。铯和钛的比例大致为1: 1。氧分压一开始设定为最小值，从而使化学计量的钛酸铯以大约 $0.3-0.5\text{nm}/\text{分钟}$ 的速度生长。在钛酸铯开始生长之后，将氧分压提高至最初的最小值之上。氧的过压导致无定形氧化硅层在下伏衬底和正在生长的钛酸铯层之间的界面处生长。氧化硅层的生长其原因在于氧通过正在生长的钛

酸铈层扩散至所述界面处，在该界面处，氧与硅在下伏衬底的表面处反应。钛酸铈生长成为有序的单晶，并且晶体取向相对于下伏衬底的有序 2×1 晶体结构旋转 45° 。由于硅衬底和生长的晶体之间晶格常数的微小不匹配而可能存在于钛酸铈层中的应变在无定形氧化硅中间层中被释放。

在钛酸铈层生长到所需厚度之后，用模板层将单晶钛酸铈盖住，该模板层有助于所需化合物半导体材料的外延层的随后的生长。为了砷化镓外延层的随后生长，可以通过利用1-2个钛单层、1-2个钛-氧单层或1-2个铈-氧单层来终止生长，从而压盖钛酸铈单晶层的MBE生长。在该压盖层形成之后，沉积砷以形成Ti-As键、Ti-O-As键或Sr-O-As键。这其中的任何一个都可以形成适合用于砷化镓单晶层的沉积和形成的模板。在该模板形成之后，将镓引入与砷进行反应，从而形成砷化镓。或者，可以将镓沉积在压盖层上，以形成Sr-O-Ga键，将砷引入和镓形成GaAs。

图2所示结构可以利用上述方法形成，但是还包括附加缓冲层沉积步骤。在沉积单晶化合物半导体层之前，形成覆盖模板层的缓冲层。如果缓冲层是化合物半导体超晶格，可以通过例如MBE来将这种超晶格沉积在上述模板上。如果缓冲层是锗层，则上述工艺应当改为用铈或钛的最终层压盖钛酸铈单晶层，然后通过沉积锗而使其与铈或钛反应。然后将锗缓冲层直接沉积在该模板上。

上述工艺阐述了用于通过分子束外延附生形成包括硅衬底、单晶钛酸铈调节缓冲层以及单晶砷化镓化合物半导体层的半导体结构的方法。该过程可以通过化学汽相淀积(CVD)、金属有机化学汽相淀积(MOCVD)、迁移增强外延附生(migration enhanced epitaxy, MEE)、原子层外延附生(atomic layer epitaxy, ALE)等方法来进行。另外，通过类似的方法，可以生长其它的单晶调节缓冲层，例如碱土金属钛酸盐、锆酸盐、铪酸盐、钽酸盐、钽酸盐、钽酸盐、钽酸盐和铌酸盐，碱土金属锡基钙钛矿，铝酸镧，氧化镧钪，以及氧化钪。另外，通过类似的

方法例如MBE，可以沉积其它III-V和II-VI族单晶化合物半导体层，覆盖所述单晶氧化物调节缓冲层。

化合物半导体材料和单晶氧化物调节缓冲层的每个变型采用了适当的模板，用于引发化合物半导体层的生长。例如，如果调节缓冲层是碱土金属锆酸盐，该氧化物可以由薄的锆层所压盖。沉积锆之后可以沉积与锆反应的砷或磷，作为分别沉积砷化铟镓、砷化铟铝或磷化铟的前体。类似地，如果单晶氧化物调节缓冲层是碱土金属铪酸盐，该氧化物层可以由铪的薄层所压盖。沉积铪之后，沉积与铪反应的砷或磷，作为分别生长砷化铟镓、砷化铟铝或磷化铟层的前体。类似地，钛酸铯可以压盖有铯或铯与氧层，钛酸钡可以覆盖有钡或钡与氧层。这些沉积的每一种之后可以沉积与覆盖材料反应的砷或磷，形成用于包括砷化铟镓、砷化铟铝或磷化铟的化合物半导体材料层的沉积的模板。

图4示意性地显示出本发明再一实施方案的器件结构50的截面图。器件结构50包括单晶半导体衬底52，优选是单晶硅晶片。单晶半导体衬底52包括两个区53和54。在区53中形成总体上由虚线表示的电学半导体元件56。电气元件56可以是电阻、电容、有源半导体元件例如二极管或晶体管或集成电路例如CMOS集成电路。例如电学半导体元件56可以是CMOS集成电路，用来执行数字信号处理或硅集成电路适合的另一个功能。区域53中的电学半导体元件可以通过在半导体工业中众所周知的且广泛采用的传统半导体加工来形成。绝缘材料层58例如二氧化硅层等可以覆盖在电学半导体元件56上。

从区域54的表面除去在区域53中半导体元件56的加工期间可能已经形成或沉积的绝缘材料58和任何其它层，以在该区域形成裸露的硅表面。众所周知，裸露的硅表面是非常有活性的，在裸露表面上会立刻形成天然氧化硅层。将钡或钡和氧层沉积到区域54的表面上的天然氧化物层上，并与该氧化表面反应，从而形成第一模板层(未示出)。根据本发明的一个实施方案，通过分子束外延附生方法形成一单晶氧化物层60来覆盖模板层。将包括钡、钛和氧的反应剂沉积到模板层上，

以形成单晶氧化物层。在沉积的初始阶段，氧分压保持在与钡和钛反应以形成单晶钛酸钡层60所需最小值接近的值上。然后升高氧分压，以提供氧的过压，使得氧扩散穿过正在生长的单晶氧化物层。扩散穿过钛酸钡的氧与硅在区域54的表面反应，从而在第二区域上并且在硅衬底和单晶氧化物之间的界面处形成氧化硅的无定形层62。

根据本发明的一个实施方案，通过沉积第二模板层64来终止沉积单晶氧化物层60的步骤，该第二模板层64可以是钛、钡、钡和氧或钛和氧的1-10个单层。然后通过分子束外延附生方法沉积覆盖第二模板层的单晶化合物半导体材料层66。通过将砷层沉积到模板上来开始层66的沉积。该初始步骤之后沉积镓和砷以形成单晶砷化镓。或者，可以在上述实施例中用铟代替钡。

根据本发明的再一个实施方案，在化合物半导体层66中形成总体上由虚线表示的半导体元件68。半导体元件68可以通过在砷化镓或其它III-V族化合物半导体材料器件的制造中通常采用的加工步骤来形成。半导体元件68可以是任何有源或无源元件，优选是半导体激光器、发光二极管、光电检测器、异质结双极晶体管(HBT)、高频MESFET、或其它利用了化合物半导体材料的物理性质优点的元件。可以形成由70示意性表示的金属导体以电连接元件68和元件56，从而实现包括至少一个形成在衬底中的元件和形成在单晶化合物半导体材料层中的器件的集成器件。作为形成在硅衬底52上并且具有钛酸钡(或铟)层60以及砷化镓层66的结构，尽管示意性地描述了结构50，但是可以采用在本发明中其它地方所描述的其它衬底、单晶氧化物层和其它化合物半导体层来制造类似的器件。

图5表示根据本发明另一个实施方案的半导体结构72。结构72包括单晶半导体衬底74，例如单晶硅晶片，它包括区域75和76。在区域75中利用半导体工业中通常使用的硅器件加工技术来形成由虚线示意性所示的电气元件78。利用与上述类似的步骤，形成单晶氧化物层80和中间无定形氧化硅层82，覆盖衬底74的区域76。形成模板层84和随后的单晶半导体层86，覆盖单晶氧化物层80。根据本发明的再一实施方

案，采用与形成层80类似的步骤，形成附加单晶氧化物层88，覆盖层86，并采用与形成层86类似的步骤，形成附加的单晶半导体层90，覆盖单晶氧化物层88。根据本发明的一个实施方案，层86和层90中的至少一个由化合物半导体材料形成。

在单晶半导体层86中至少部分形成由虚线92概括表示的半导体元件。根据本发明的一个实施方案，半导体元件92包括具有部分由单晶氧化物层88形成的栅极介质的场效应晶体管。另外，单晶半导体层92可以用于实施场效应晶体管的门电极。根据本发明的一个实施方案，单晶半导体层86由III-V族化合物形成，并且半导体元件92是射频放大器，它利用了III-V族材料的高迁移率特性。根据本发明的再一个实施方案，由线94示意性表示的电连接使元件78和92相互电连接。因此结构72将利用了两种单晶半导体材料独特性能的元素集成在一起。

在图6-18中通过更具体的实施例阐述了其它集成电路和系统。图6的简化方框图说明了具有信号收发部件101、集成电路102、输出单元103以及输入单元104的通讯设备100。信号收发部件的示例包括天线、调制解调器或者用于将信息或数据发送给外部单元或从外部单元发出的其它部件。此处收发一词表示可以与通讯设备之间只接收、只发送或同时接收和发送信号的信号收发部件。输出单元103可以包括显示器、监视器、扬声器等。输入单元可以包括麦克风、键盘等。要注意的是，在该可选实施方案中，输出单元103和输入单元104可以由单个单元例如存储器等来代替。存储器可以包括随机存取存储器或非易失性存储器，例如硬盘、闪存卡或模块等。

集成电路通常是不可分离地结合在连续的衬底上或衬底中的至少两个电路元件（例如晶体管、二极管、电阻、电容等）的组合。集成电路102包括一个化合物半导体部分1022、一个双极部分1024以及一个MOS部分1026。化合物半导体部分1022包括至少部分形成在化合物半导体材料中的电气元件。在化合物半导体部分1022中的晶体管和其它电气元件能够在至少约0.8GHz的射频下处理信号。在另一个实施方案

中，信号可以处于更低或更高的频率。例如，某些材料例如砷化镓，能够在约27GHz的射频处理信号。

化合物半导体部分1022还包括双工器10222，射频-基带转换器10224（解调部件或解调电路）、基带-射频转换器10226（调制部件或调制电路）、功率放大器10228以及隔离器10229。双极部分1024和MOS部分1026一般由IV族半导体材料形成。双极部分1024包括接收放大器10242、模拟-数字转换器10244、数字-模拟转换器10246以及发送放大器10248。MOS部分1026包括数字信号处理部件10262。这种部件的示例包括任何在市场上可以获得的普通DSP芯，例如数字信号处理器的MotorolaDSP566xx（来自Motorola, Incorporated of Schaumburg, Illinois）以及德州仪器TMS320C54x（来自德克萨斯Dallas的德州仪器公司）系列。这种数字信号处理部件10262一般包括互补MOS（CMOS）晶体管以及模拟-数字和数字-模拟转换器。显然，在集成电路102中还有其它电气元件。

在一种工作模式中，通讯设备100接收来自作为信号收发部件101一部分的天线的信号。该信号经过双工器10227被送至射频-基带转换器10224。模拟数据或其它信息被接收放大器10224放大，并被传送给数字信号处理部件10262。在数字信号处理部件10262处理了该信息或其它数据之后，将经过处理的信息或其它数据传送给输出单元103。如果通讯设备是寻呼机，输出单元可以是显示器。如果通讯设备是手持电话，输出单元103可以包括扬声器、显示器或两者都有。

数据或其它信息可以通过通讯设备100沿着相反方向传送。数据或其它信息会进入输入单元104。在手持电话中，这会包括麦克风或键盘。然后利用数字信号处理部件10262来处理该信息或其它数据。在处理之后，利用数字-模拟转换器10246转换信号。经过转换的信号被发送放大器10248放大。该被放大的信号由基带-射频转换器10226调制，并进一步由功率放大器10228放大。被放大的RF信号经过隔离器10229和双工器10222到达天线。

通讯设备100的现有技术的实施方案具有至少两个独立的集成电路：一个用于化合物半导体部分1022，一个用于MOS部分1026。双极部分1024可以在同一个集成电路上例如MOS部分1026上，或也还可以在另一个集成电路上。根据本发明的实施方案，所有这三个部分可以在一个集成电路中形成。因为所有的晶体管可以位于一个集成电路上，所以该通讯设备可以被显著的小型化，并且使得通讯设备具有更大的便携性。

现在描述如图7-11所示的集成电路102示例部分的形成方法。在图7中，p型掺杂的单晶硅衬底110设有化合物半导体部分1022、双极部分1024以及MOS部分1026。在该双极部分中，单晶硅衬底被掺杂以形成 N^+ 埋置区1102。然后在埋置区1102和衬底110上形成轻微p型掺杂的外延单晶硅层1104。然后进行掺杂以在埋置区1102上形成轻微n型掺杂的漂移区1117。掺杂步骤将双极区域1024的一部分内的轻微p型掺杂的外延层的掺杂类型转换为轻微n型掺杂的单晶硅区域。然后在双极部分1024和MOS部分1026之间形成场隔离区1106。在MOS部分1026内的外延层1104的一部分上形成栅极介质层1110，然后在栅极介质层1110上形成门电极1112。侧壁隔离件1115沿着门电极1112和栅极介质层1110的竖直侧面形成。

在漂移区1117中导入p型掺杂剂，以形成活性(active)或本征基极区1114。然后在双极部分1024中形成n型的深集电极区1108，从而使得能够与埋置区1102电连接。进行选择性的n型掺杂以形成 N^+ 掺杂区1116以及发射极区1120。 N^+ 掺杂区1116在层1104中沿着门电极1112的相邻侧形成，并且是MOS晶体管的源、漏或源/漏区。 N^+ 掺杂区1116以及发射极区1120具有的掺杂浓度至少是 $1E19$ 原子/立方厘米，从而使得能够形成欧姆接触。形成p型掺杂区以形成非活性或非本征基极区1118，该区域是 p^+ 掺杂区(掺杂浓度至少是 $1E19$ 原子/立方厘米)。

在所述实施方案中，已经进行几个处理步骤，但是不再说明或进一步描述，例如形成阱区、阈值调整掺杂物、防止沟道穿通(channel punch through)掺杂物、防止场穿通(field punch through)掺杂物、

以及各种掩膜层。在该方法中至此的器件形成是采用常规的步骤。如前所述，在MOS区1026内已经形成标准的N沟道MOS晶体管，在双极区1024中已经形成竖直NPN双极晶体管。就这一点而言，在化合物半导体部分1022中没有形成电路。

现在，从化合物半导体部分1022的表面除去在集成电路的双极和MOS部分的加工过程中已经形成的所有层。这样就为这个部分的后续处理提供了裸露的硅表面，例如按照上述方式。

然后如图8所示在衬底110上形成调节缓冲层124。调节缓冲层会在在部分1022中适当加工（即具有适当的模板层）的裸露硅表面上形成单晶层。但是在部分1024和1026之上形成的部分层124可以是多晶的或无定形的，因为它形成在不是单晶的材料上面，因此不会成单晶生长成核。调节缓冲层124通常是单晶金属氧化物或氮化物层，一般的厚度大致为2 - 100纳米。在一个具体实施方案中，调节缓冲层的厚度大致为5 - 15纳米。在调节缓冲层形成过程中，沿着集成电路102的最上面的硅表面形成无定形中间层122。该无定形中间层122通常包括有硅的氧化物并且厚度大致为1 - 5nm。在一个具体的实施方案中，该厚度大致为2nm。在调节缓冲层124和无定形中间层122形成之后，再形成模板层126，它的厚度大致为某种材料的1 - 10个单层。在一个具体的实施方案中，该材料包括钛 - 砷、锶 - 氧 - 砷、或其它类似的材料，如前参考图1 - 5所述。

然后如图9所示外延生长单晶化合物半导体层132，覆盖调节缓冲层124的单晶部分。生长在不是单晶的部分层124上的部分层132可能是多晶的或无定形的。单晶化合物半导体层可以采用多种方法来形成，并且通常包括有例如砷化镓、砷化铝镓、磷化铟或如前所述的其它化合物半导体材料。该层的厚度大致为1 - 5000nm，更优选为100 - 500nm。在该具体的实施方案中，模板层中的每种元素也存在于调节缓冲层124、单晶化合物半导体材料132或两者之中。因此模板层126和它的两个相邻层之间的轮廓在加工过程中消失。因此当拍摄透射电

子显微镜 (TEM) 照片时, 可以看见调节缓冲层124和单晶化合物半导体层132之间的界面。

此时, 从覆盖双极区1024和MOS区126的部分除去化合物半导体层132和调节缓冲层24的一部分, 如图10所示。在该部分除去之后, 在衬底110上形成绝缘层142。该绝缘层142可以包括多种材料, 例如氧化物、氮化物、氧氮化物、低k介电材料等。此处使用的低k是介电常数不高于大致3.5的材料。在沉积了绝缘层142之后, 将其抛光, 从而除去覆盖单晶化合物半导体层132的部分绝缘层142。

然后在单晶化合物半导体部分1022内形成晶体管144。然后在单晶化合物半导体层132上形成门电极148。然后在单晶化合物半导体层132内形成掺杂区146。在这个实施方案中, 晶体管144是金属半导体场效应晶体管 (MESFET)。如果MESFET是n型MESFET, 掺杂区146和单晶化合物半导体层132也是n型掺杂的。如果要形成p型MESFET, 那么掺杂区146和单晶化合物半导体层132也具有相反的掺杂类型。较多掺杂 (N^+) 的区146可以与单晶化合物半导体层132形成欧姆接触。此时, 集成电路中的有源器件就已经形成。该具体的实施方案包括一个n型MESFET、一个竖直NPN双极晶体管以及一个平面n通道MOS晶体管。可以使用许多其它类型的晶体管, 包括P通道MOS晶体管、P型竖直双极晶体管、p型MESFET以及纵向竖直和平面晶体管的结合。而且可以在部分1022、1024和1026中的一个或多个部分中形成其它电气元件, 例如电阻、电容、二极管等。

继续加工以形成基本完成的集成电路102, 如图11所示。在衬底110上形成绝缘层152。该绝缘层152可以包括停止蚀刻区 (etch-stop region) 和停止抛光区 (polish-stop region), 这些在图11中没有显示。然后在第一绝缘层152上形成第二绝缘层154。除去部分层154、152、142、124以及122以形成用来使这些器件相互连接的接点开口。在绝缘层154中形成互联沟槽, 以提供接触点之间的横向连接。如图11所示, 互联1562将部分1022内的n型MESFET的源区或漏区连接至双极部分1024内的NPN晶体管的深集电极区1108。NPN晶体管的发射极区1120

连接在MOS部分1026内的n通道MOS晶体管的掺杂区1116之一上。其它掺杂区1116与集成电路没有示出的其它部分电连接。

在互联件1562、1564和1566以及绝缘层154上形成钝化层156。还有其它电连接到如图所示的晶体管和集成电路102内其它电学和电子元件，但图中未示出。另外，如果需要可以形成附加绝缘层和互联件，以在集成电路102内各种元件之间形成适当的互联。

从前面的实施方案中可以看出，用于化合物半导体和IV族半导体材料的有源器件可以被集成在一个集成电路中。因为在将双极晶体管和MOS晶体管两者结合进同一个集成电路中存在一些困难，所以可以将双极部分内的一些元件移进化合物半导体部分1022或MOS部分1024中。更具体地说，如图6所示的实施方案，放大器10248和10242可以移到化合物半导体部分1022，转换器10244和10246可以移动到MOS部分1026。因此，可以取消只用于制造双极晶体管的特定制造步骤。因此集成电路只有化合物半导体部分和MOS部分。

在再一个实施方案中，可以形成这样的集成电路，使得它在化合物半导体部分包括光学激光器，并包括连接至同一个集成电路的IV族半导体区内的MOS晶体管的光学互联（波导）。图12-18阐述了一个实施方案。

图12是一部分集成电路160的截面图，该集成电路包括单晶硅晶片161。与前文所述类似的无定形中间层162和调节缓冲层164形成在晶片161上。在该具体的实施方案中，首先要形成用于形成光学激光器的层，然后形成用于MOS晶体管的层。在图12中，下反射镜层（mirror layer）166包括化合物半导体材料的交替层。例如光学激光器内的第一、第三和第五层膜可以包括例如砷化镓的材料，而下反射镜层166内的第二、第四和第六层膜可以包括砷化铝镓的材料；或者反之。层168包括用于产生光子的活性区。上反射镜层170以和下反射镜层166类似的方式形成，并且包括化合物半导体材料的交替膜。在一个具体的实施方案中，上反射镜层170可以是p型掺杂的化合物半导体材料，下反射镜层166可以是n型掺杂的化合物半导体材料。

类似于调节缓冲层164的另一个调节缓冲层172形成在上反射镜层170上。在一个替代实施方案中，调节缓冲层164和172可以包括不同的材料。但是它们的功能基本相同，因为每一个用于在化合物半导体层和单晶IV族半导体层之间形成过渡。单晶IV族半导体层174在调节缓冲层172上形成。在一个具体的实施方案中，单晶IV族半导体层174包括锗、锗化硅（silicon germanium）、硅锗碳化物等。

在图13中，MOS部分被加工，以在该上单晶IV族半导体层174中形成电气元件。如图13所示，场隔离区171由一部分层174形成。在层174上形成门介电层173，在门介电层173上形成门电极175。掺杂区是用于晶体管181的源区、漏区或源/漏区，如图所示。与门电极175的竖直侧面相邻形成侧壁隔离件179。可以在至少部分层174中形成其它元件。这些其它元件包括其它的晶体管（n沟道或p沟道）、电容、晶体管、二极管等。

单晶IV族半导体层在掺杂区177之一上外延生长。上部184是P+掺杂的，下部182仍基本保持为本征的（未掺杂），如图13所示。可以采用选择性外延方法形成该层。在一个实施方案中，在晶体管181和场隔离区171上形成绝缘层（未图示）。将绝缘层形成图案，以限定暴露掺杂区177之一的开口。至少在最初，不用掺杂剂来形成选择性外延层。整个选择性外延层可以是本征的，或可以在选择性外延层的形成接近结束之时加入p型掺杂剂。如果选择性外延层形成时是本征的，则通过注入或通过炉掺杂（furnace doping）来进行掺杂步骤。不管P+上部184是如何形成的，然后除去绝缘层以形成如图13所示的所得到的结构。

进行下一系列步骤来形成如图14所示的光学激光器。在集成电路的化合物半导体部分之上除去场隔离区171和调节缓冲层172。进行附加步骤以形成光学激光器180的上反射镜层170和有源层168。上反射镜层170和有源层168的侧面基本是相连的。

形成接触件186和188，用于分别形成与上反射镜层170和有源层168的电连接，如图14所示。接触件186为环状，以允许光（光子）穿过上反射镜170进入随后形成的光波导内。

然后形成绝缘层190，并使其形成图案，从而形成延伸至接触层和掺杂区177之一的光学开口，如图15所示。绝缘材料可以是任何数量的不同材料，包括氧化物、氮化物、氧氮化物、低k介电材料或它们的任意组合。在形成了开口192之后，在开口内形成折射率较高的材料202，以填充开口，并在绝缘层190之上沉积该层，如图16所示。关于折射率较高的材料202，“较高”是相对于绝缘层190的材料而言（即材料202具有比绝缘层190更高的折射率）。可选的是，可以在形成较高折射率材料202之前形成相对较薄的折射率较低的膜（未示出）。然后在折射率较高的层202上形成硬掩膜层204。从覆盖开口的部分至更靠近图16侧面的区域除去部分硬掩膜层204以及高折射率层202。

如图17所示，完成作为光互联件的光波导的形成的剩余部分。进行沉积工序（可以是沉积-蚀刻工艺（dep-etch process））以有效地形成侧壁部分212。在该实施方案中，侧壁部分212由与材料202相同的材料形成。然后除去硬掩膜层204，在折射率较高的材料212和202以及绝缘层190的暴露部分上形成低折射率层214（相对于材料202和层212较低）。图17中虚线表示高折射率材料202和212之间的边界。这个标记表示这两个是由同样的材料制成的，但是是在不同的时间形成的。

继续进行加工以形成基本完整的集成电路，如图18所示。然后在光学激光器180和MOSFET晶体管181上形成钝化层220。尽管没有显示出，但是其它电学或光学连接可以连接至集成电路中的元件上，但没有在图18中显示出。这些互联件包括其它光波导或可以包括金属互联件。

在其它的实施方案中，可以形成其它类型的激光器。例如另一种激光器可以水平地而不是竖直地发射光（光子）。如果光线水平地发射出，则可以在衬底161中形成MOSFET晶体管，并且可以重构造光波导，从而使激光器与晶体管适当地连接（光学连接）。在一个具体的实施方案中，光波导可以包括至少一部分调节缓冲层。其它结构也是可以的。

显然这些具有化合物半导体部分和IV族半导体部分的集成电路实施方案是用来解释本发明的实施方案的，而不是对本发明的限制。本发明可以有多种其它的结合和其它的实施方案。例如化合物半导体部分可以包括发光二极管、光电检测器、二极管等，IV族半导体部分可以包括数字逻辑电路、存储器阵列和可以在传统的MOS集成电路中形成的大多数结构。通过采用本发明的实施方案，可以简单地将在化合物半导体材料中工作更好的设备与在IV族半导体材料中工作更好的其它元件集成在一起。这使得设备尺寸缩小，制造成本降低，生产率和可靠性提高。

尽管没有说明，但是单晶IV族晶片可以被用于在晶片之上只形成化合物半导体电子元件。以这种方式，晶片基本是在覆盖晶片的单晶化合物半导体层内制造化合物半导体电子元件过程中使用的“处理(handle)”晶片。因此，电子元件可以在晶片上在III-V或II-VI族半导体材料中形成，直径至少大致是200毫米，可以至少是300毫米。

通过使用这种类型的衬底，通过将化合物半导体晶片放置在相对耐久并容易制造的基底材料上，相对廉价的“处理(handle)”晶片可以克服化合物半导体晶片的易碎特性。因此可以形成这样的集成电路，使得所有的电气元件、特别是所有的有源电子器件可以在化合物半导体材料中形成，即使该衬底本身可以包括IV族半导体材料。因为与相对较小的、更易碎的传统化合物半导体晶片相比，可以更经济和更容易的加工较大的衬底，所以可以降低化合物半导体设备的制造成本。

在前述说明书中，本发明已经参考特定实施方案进行了说明。但是该领域的技术人员可以理解的是，在不脱离如权利要求所限定的本发明的范围的情况下可以作出各种改进和变化。因此说明书和附图被认为是用于说明的，而不是进行限制，所有这些改进应包括在本发明的范围内。

上面已结合了具体实施例说明了本发明的好处、其它优点和解决问题的方案。但是，这些好处、优点、解决问题的方案以及可能引起

任何好处、优点或解决方案或使之变得更加显著的任何要素都不能成为任何或全部权利要求的关键、必需或基本的特征或要素。此处使用的“包括”、“含有”或它们的任何其它形式的用语是指非排它性的包含，从而，包括一组要素的过程、方法、物品或设备不仅包括这些要素，而是可以包括没有明确列出的或这些过程、方法、物品或设备固有的其它要素。

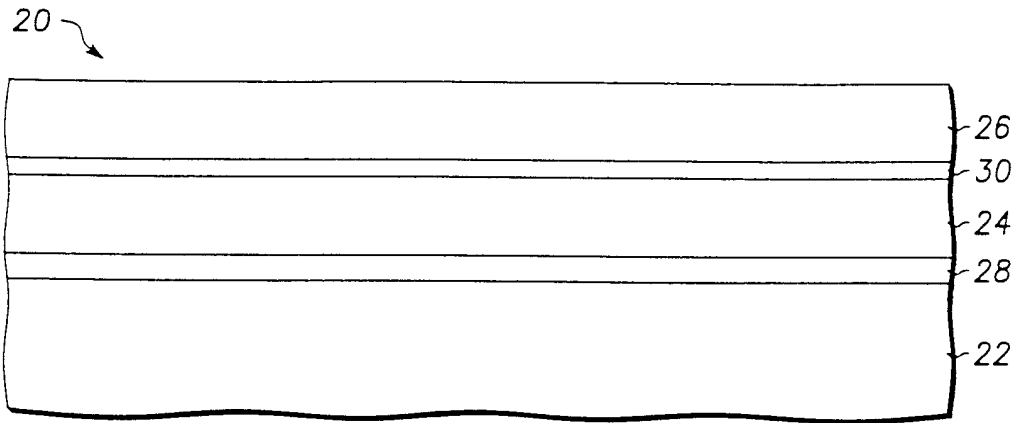


图 1

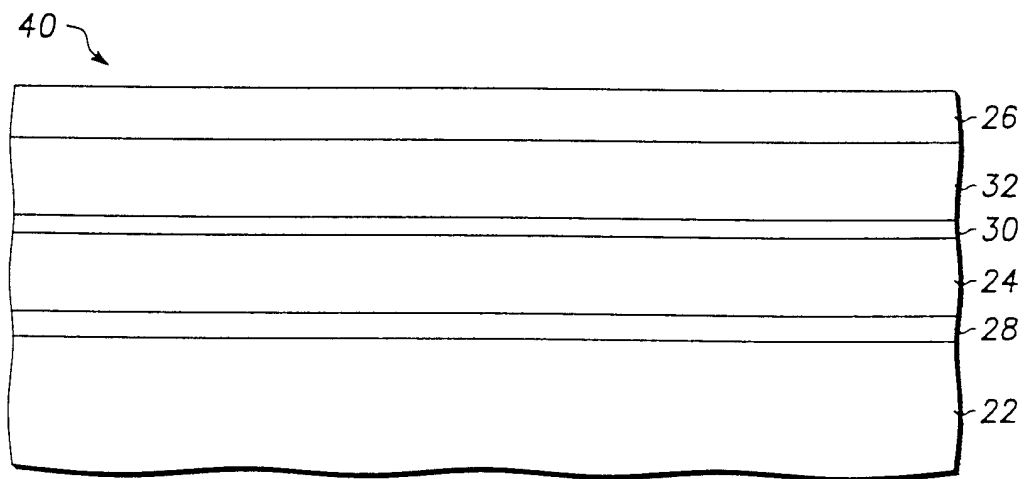


图 2

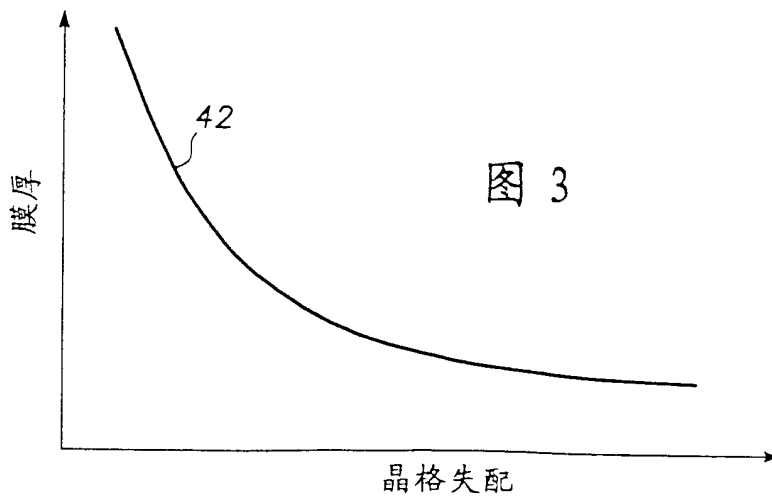
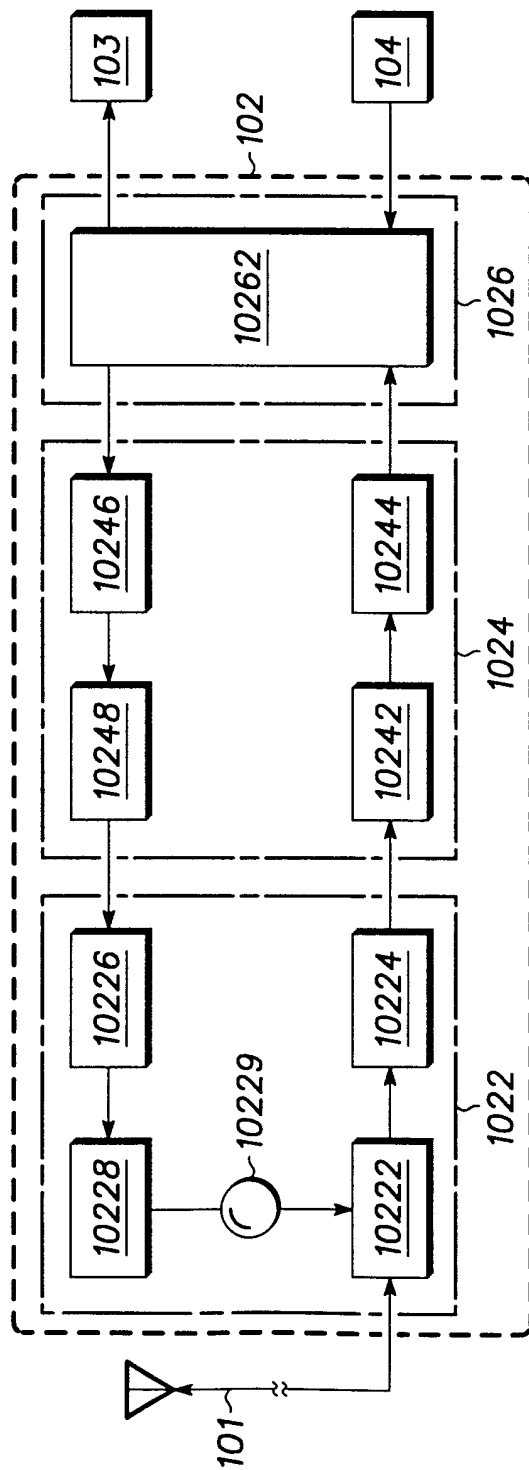


图 3



100
图 6

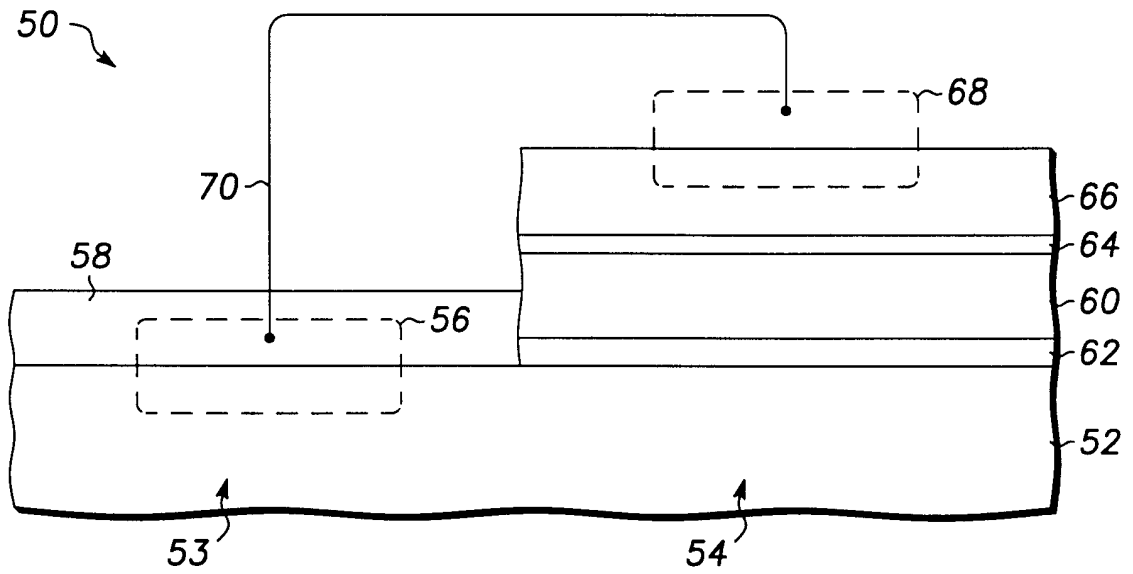


图 4

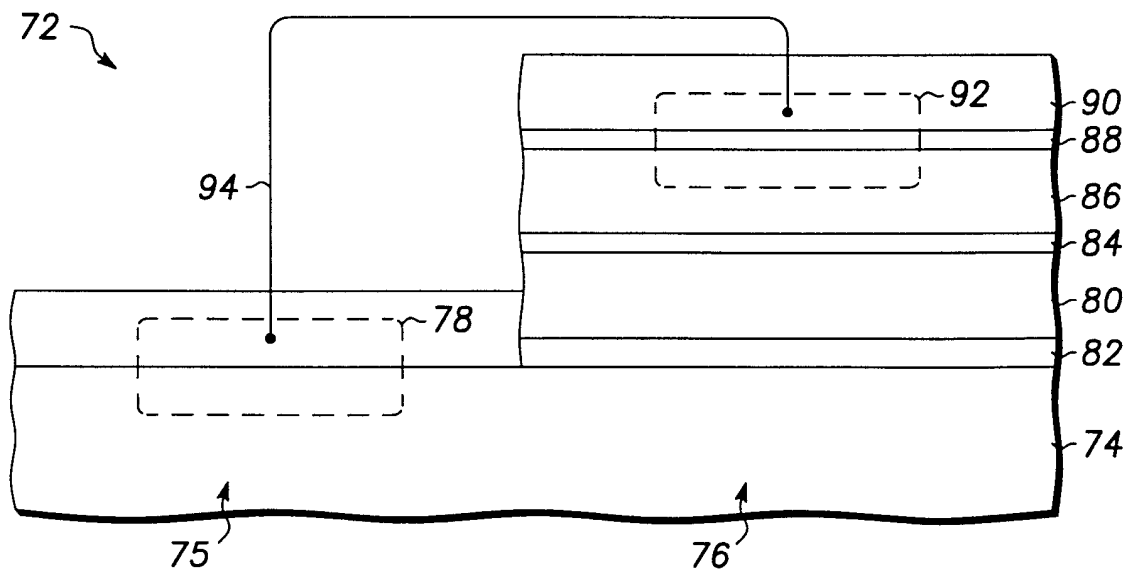
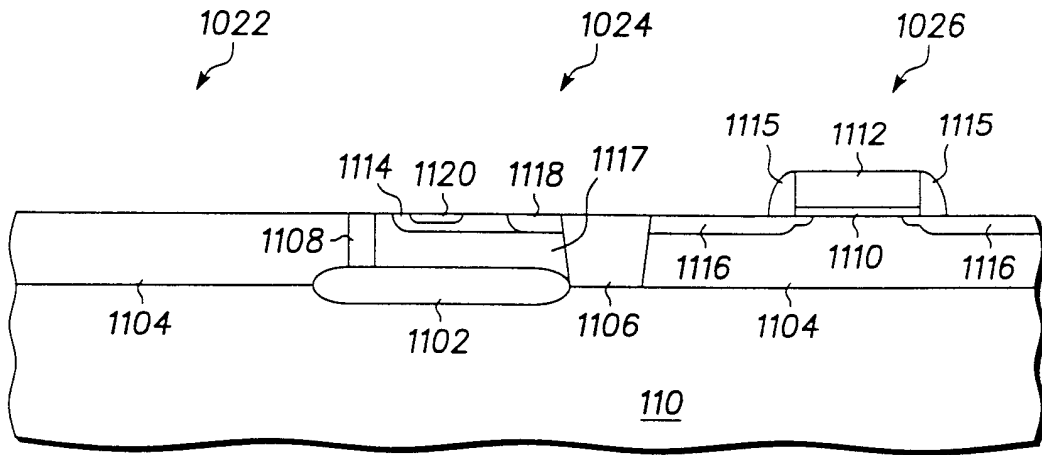
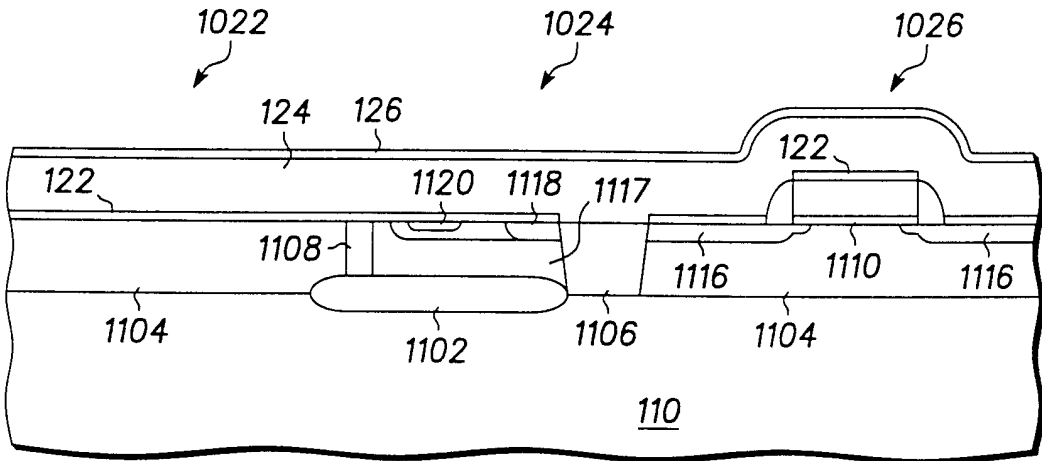


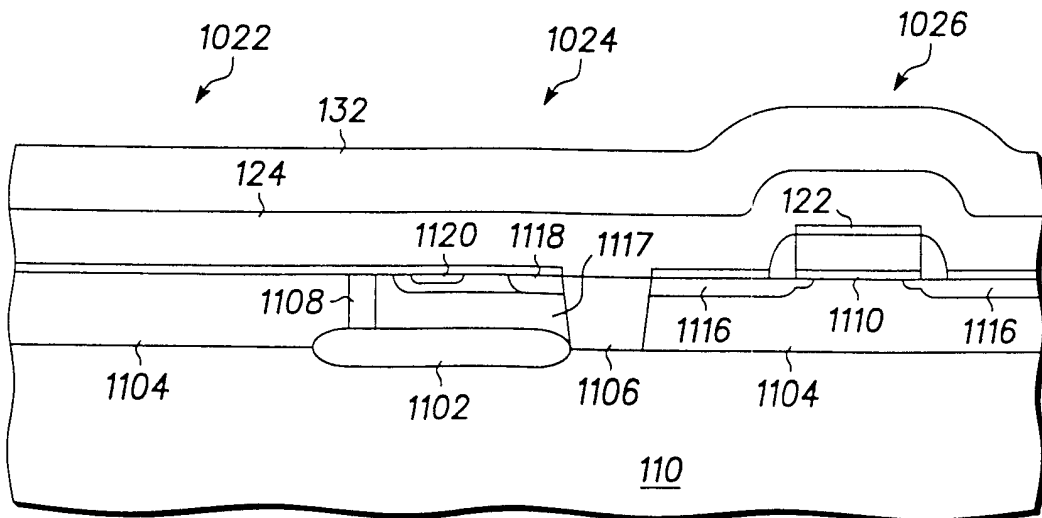
图 5



102 图 7



102 图 8



102 图 9

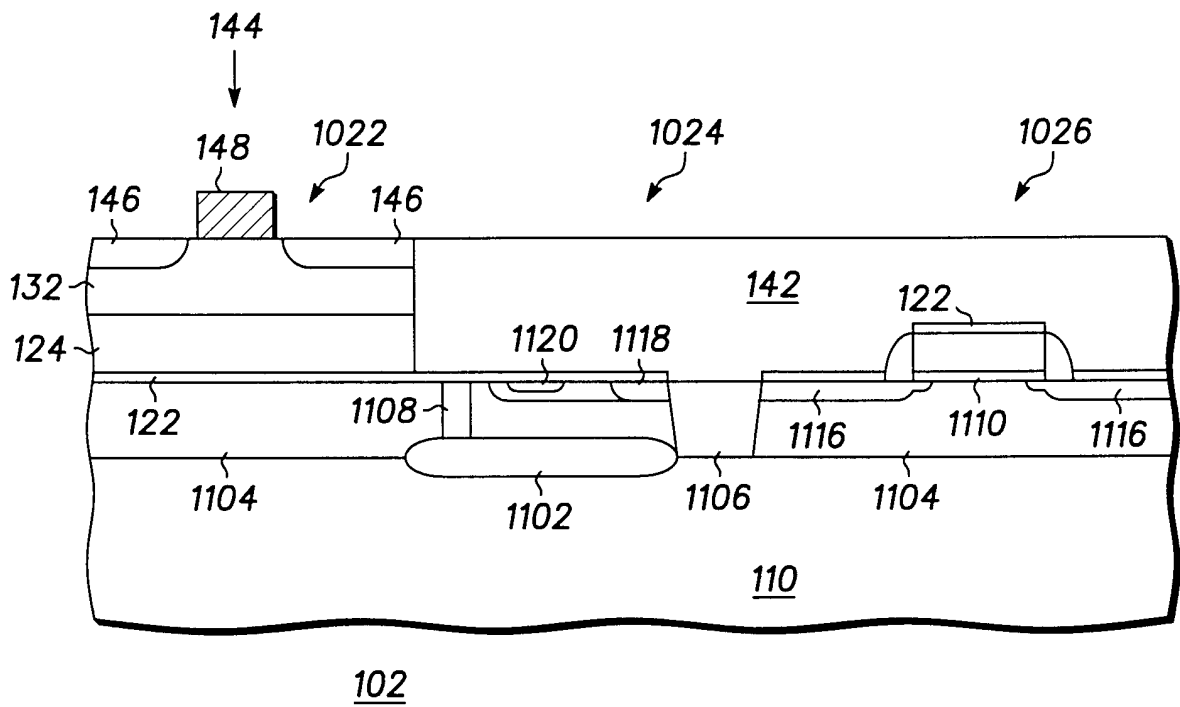


图 10

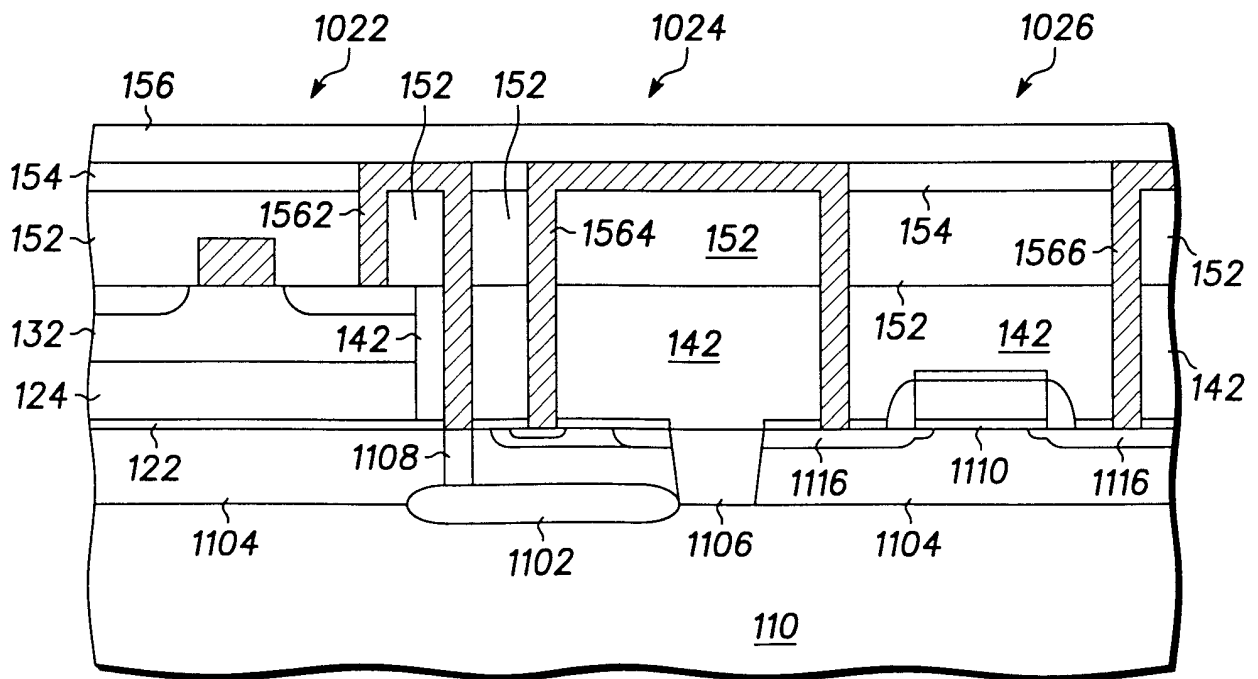
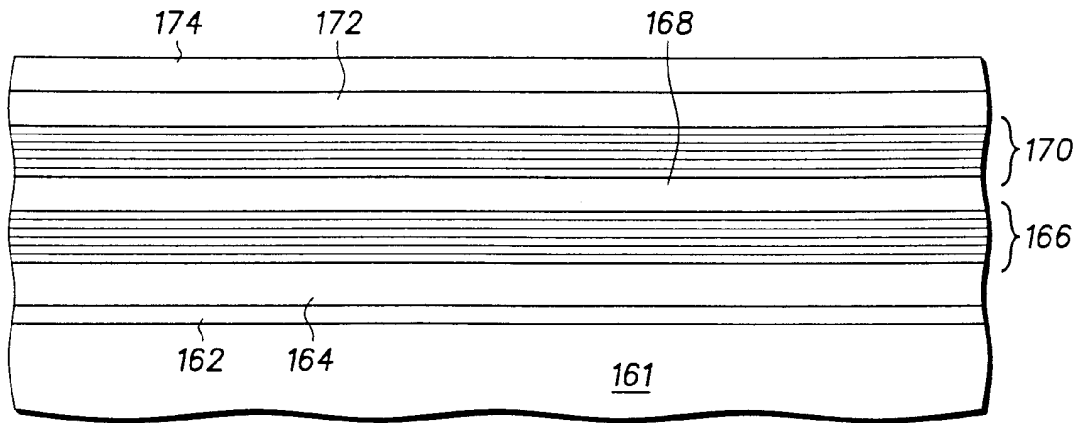
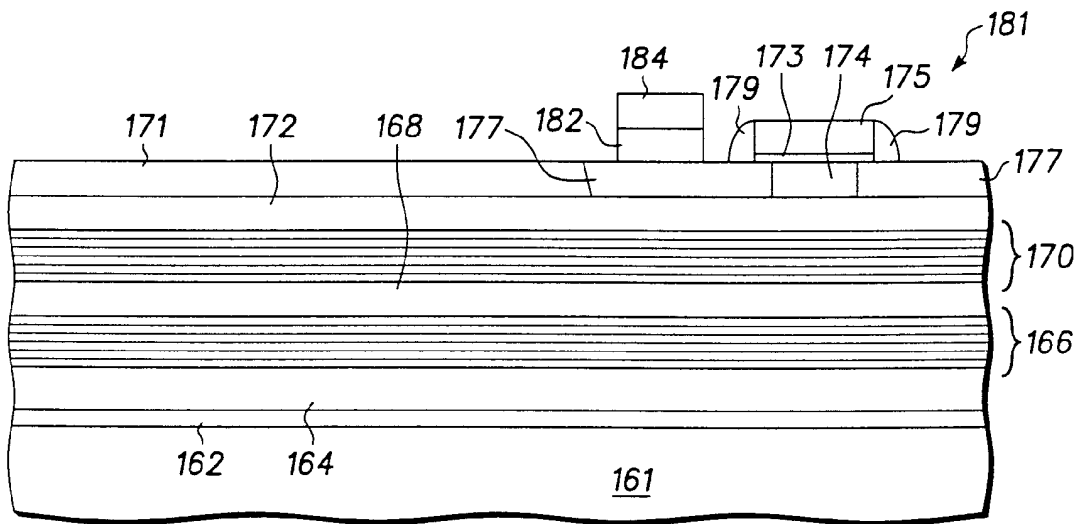


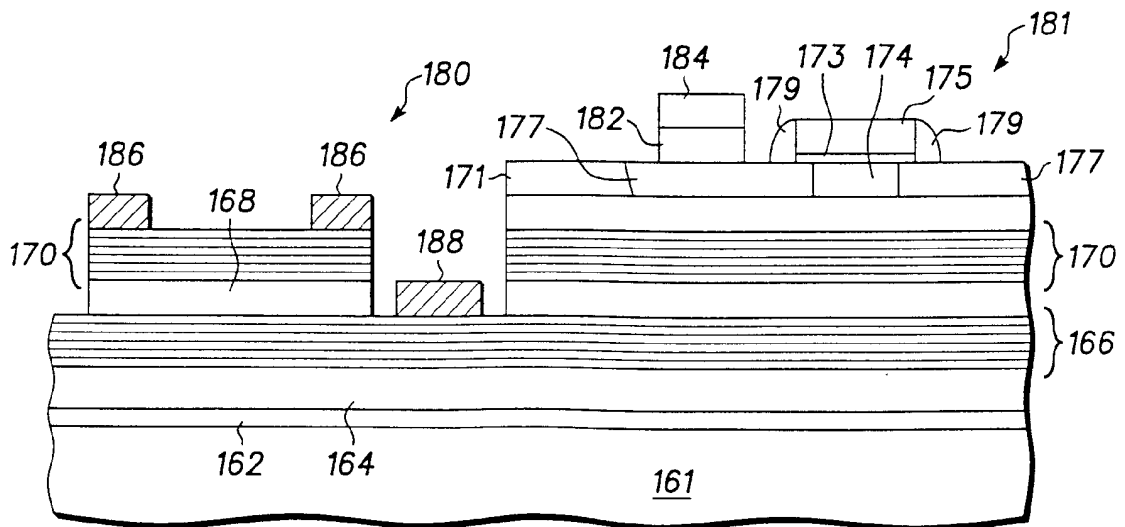
图 11



160 图 12



160 图 13



160 图 14

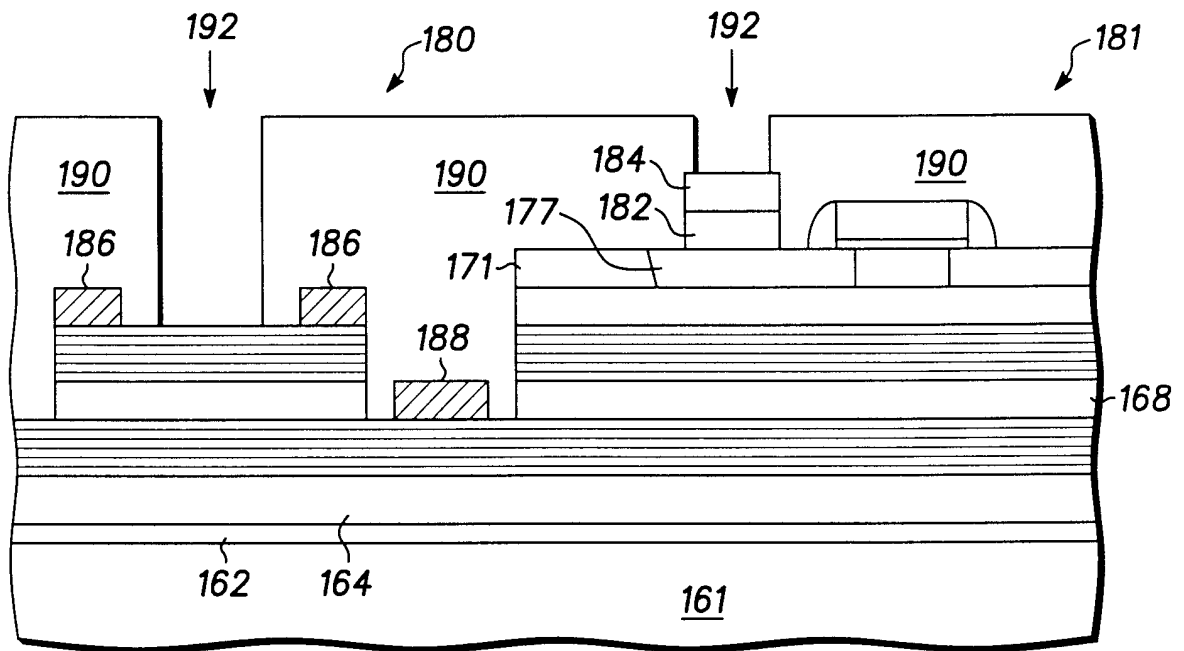


图 15

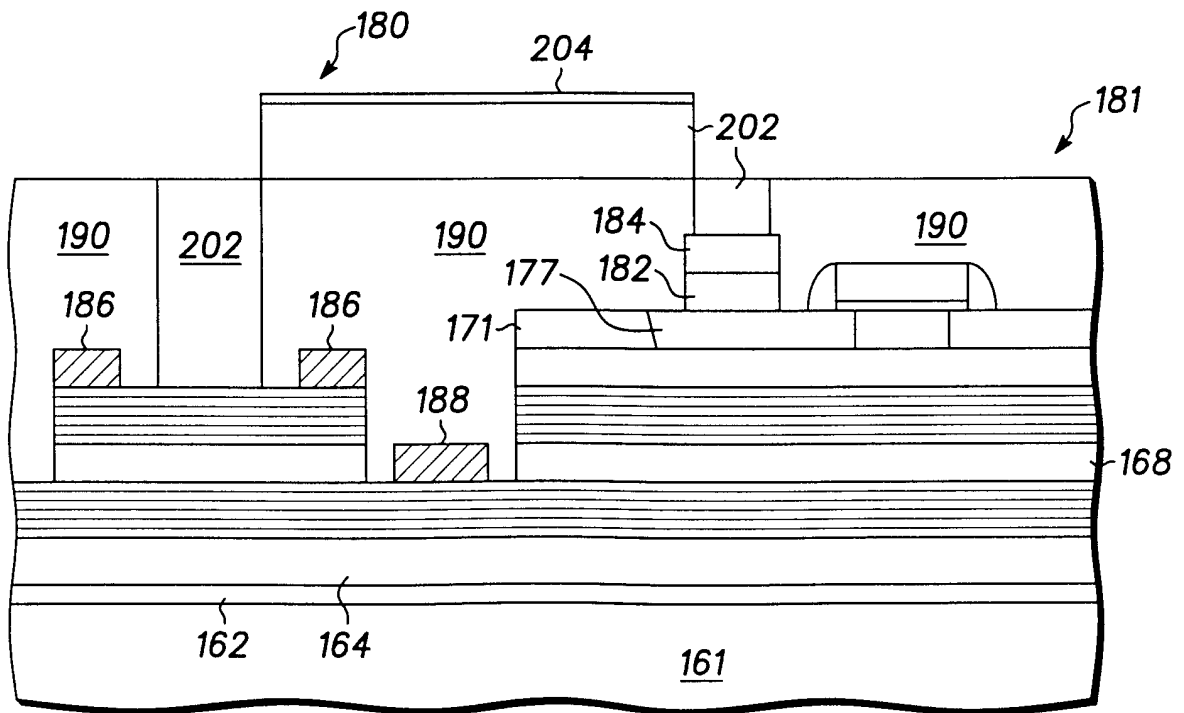


图 16

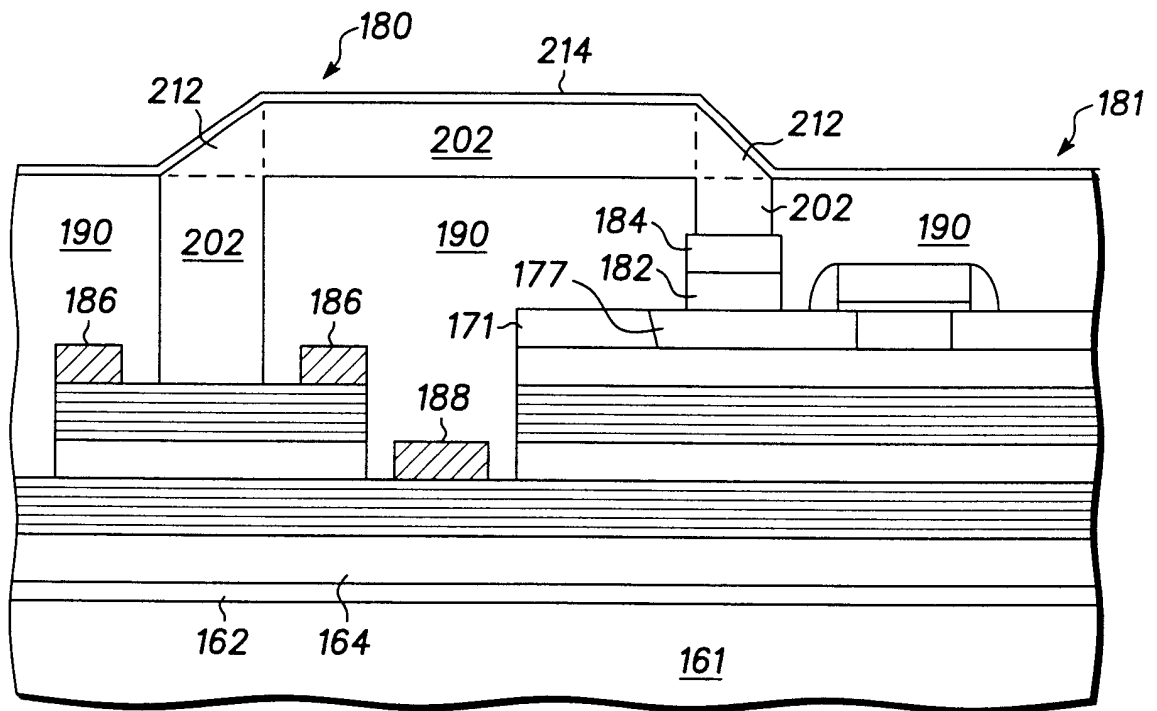


图 17

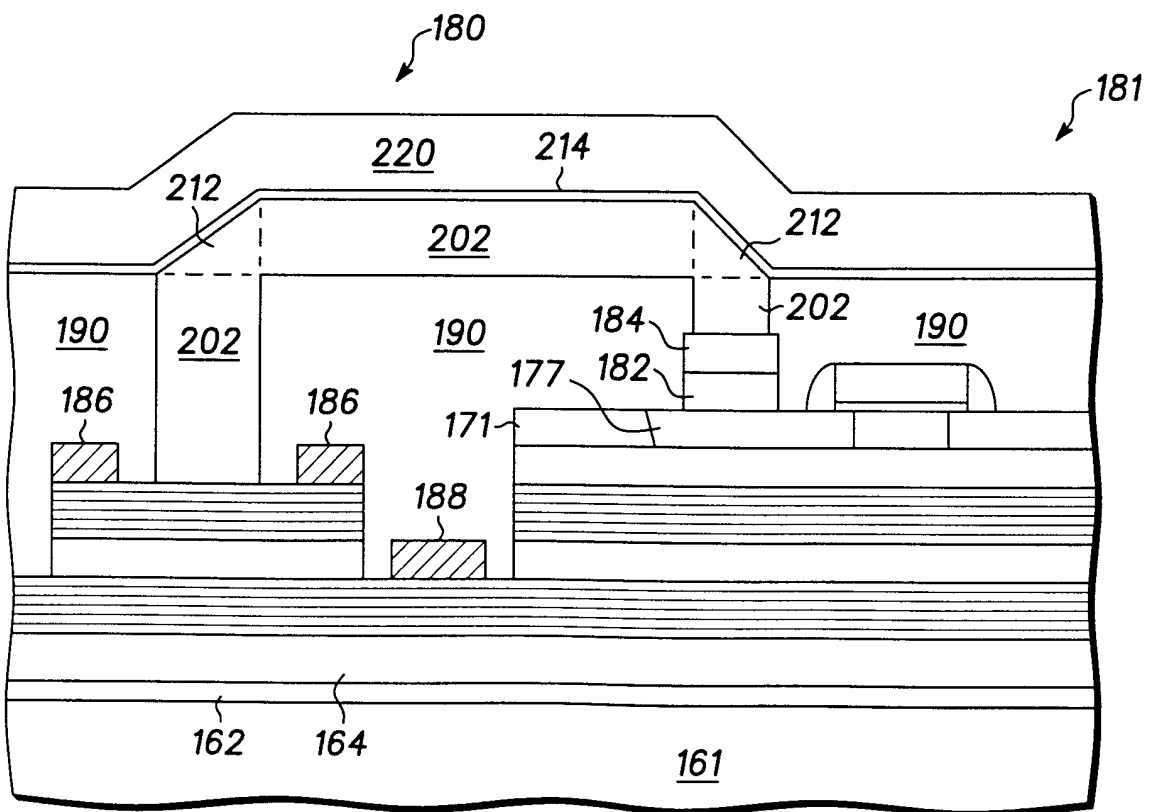


图 18