



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월07일
(11) 등록번호 10-1081140
(24) 등록일자 2011년11월01일

(51) Int. Cl.

H01L 23/12 (2006.01)

(21) 출원번호 10-2006-0055539
(22) 출원일자 2006년06월20일
심사청구일자 2011년06월20일
(65) 공개번호 10-2006-0133496
(43) 공개일자 2006년12월26일
(30) 우선권주장
60/693,033 2005년06월20일 미국(US)
11/424,480 2006년06월15일 미국(US)

(56) 선행기술조사문헌

JP2001320013 A
JP2005539403 A
KR1020050044925 A
US20040061213 A1

전체 청구항 수 : 총 21 항

(73) 특허권자

스태츠 칩팩, 엘티디.

싱가포르, 569059, 테크포인트 #05-17/20, 65 양모 키오 스트리트 10

(72) 발명자

카네조스, 마르코스

미국, 캘리포니아 94301, 팔로 알토, 리튼 애버뉴 535

(74) 대리인

박윤원, 강명구

심사관 : 설관식

(54) 적층 칩 스케일 패키지를 구비한 모듈 및 그 제작 방법

(57) 요약

본 발명은 적층 CSP(Chip Scale Package) 모듈을 제시한다. 상기 모듈은,

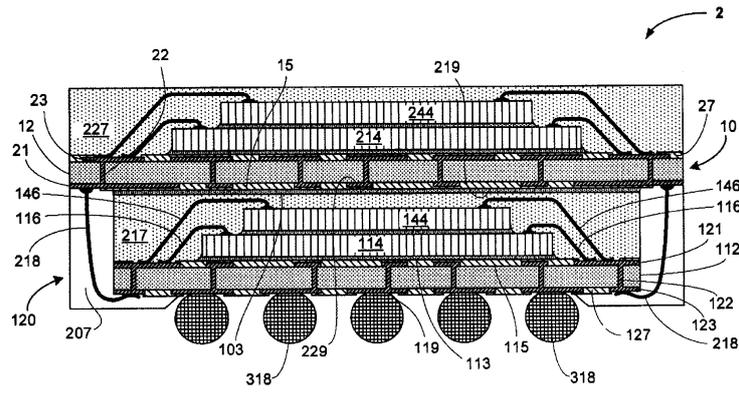
- 몰딩 사이드와 기판 사이드를 구비한, 몰딩된 제 1 칩 스케일 패키지, 그리고
- 상기 제 1 칩 스케일 패키지의 기판 사이트에 고정되는 제 2 패키지

을 포함하며, 이때, 상기 제 2 패키지는 제 1, 2 패키지 기판 간의 와이어 본딩에 의해 제 1 칩 스케일 패키지에 전기적으로 연결된다. 또한 본 발명은, 적층 칩 스케일 모듈을 제작하는 방법을 제시한다. 상기 방법은,

- 제 1 패키지 기판의 다이 부착 사이트에 고정되고 전기적으로 상호연결되는 제 1 패키지 다이를 포함하는 제 1 칩 스케일 패키지를 제공하는 단계로서, 이때, 제 1 CSP가 몰딩되고 솔더 볼은 없는 단계,
- 제 1 패키지 기판의 랜드 사이트에 접착제를 도포하는 단계,
- 제 2 패키지 기판의 다이 부착 사이트에 고정되고 전기적으로 상호연결되는 제 2 패키지 다이를 포함하는, 싱글레이션된 제 2 패키지를 제공하는 단계로서, 이때, 제 2 패키지는 몰딩되고 솔더 볼은 없는 단계,
- 제 2 패키지의 몰딩의 표면과, 제 1 패키지 기판의 랜드 사이트 사이에 접착제를 이용하여 제 1 패키지 기판의 랜드 사이트에 제 2 패키지를 고정하는 단계,
- 접착제를 경화시키는 단계,
- 플라즈마 세척을 수행하는 단계,
- 제 2 패키지 기판의 랜드 사이트와, 제 1 패키지 기판의 랜드 사이트의 가장자리 영역의 위치 사이에 와이어 본드 인터커넥트를 형성하는 단계, 그리고
- 플라즈마 세척을 수행하는 단계,
- 제 1 기판의 랜드 사이트의 가장자리 영역, z-인터커넥트 와이어 본드 및 와이어 루프, 제 2 패키지의 에지, 그리고 제 2 패키지의 랜드 사이트의 가장자리 영역을 둘러싸면서, 가장자리 영역 내에 위치한 제 2 기판의 랜드 사이트의 영역은 노출 상태로 남겨두는 단계,
- 제 2 패키지 기판의 노출 영역의 위치에 제 2 레벨 인터커넥트 솔더 볼들을 부착하는 단계,
- (제 1 기판이 스트립이나 어레이로 제공될 경우) 소 싱글레이션(saw singulation)에 의해 단위 어셈블리를 완성하는 단계

를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

적층 패키지 모듈을 제작하는 방법에 있어서, 상기 방법은,

- 제 1 패키지 기관의 다이 부착 사이트에 고정되고 전기적으로 연결되는 제 1 패키지 다이를 포함하는 제 1 칩 스케일 패키지를 제공하는 단계로서, 이때, 상기 제 1 칩 스케일 패키지가 몰딩되고 솔더 볼은 없는, 단계,
 - 제 2 패키지 기관의 다이 부착 사이트에 고정되고 전기적으로 연결되는 제 2 패키지 다이를 포함하는, 싱글레이션된 제 2 패키지를 제공하는 단계로서, 이때, 제 2 패키지는 몰딩되고 솔더 볼은 없는, 단계,
 - 제 2 패키지의 몰딩의 표면과, 제 1 패키지 기관의 랜드 사이트 사이에 접착제를 이용하여 제 1 패키지 기관의 랜드 사이트에 제 2 패키지를 고정하는 단계,
 - 제 2 패키지 기관의 랜드 사이트와, 제 1 패키지 기관의 랜드 사이트의 가장자리 영역의 위치 사이에 와이어 본드 인터커넥트를 형성하는 단계, 그리고
 - 제 1 기관의 랜드 사이트의 가장자리 영역, z-인터커넥트 와이어 본드 및 와이어 루프, 제 2 패키지의 에지, 그리고 제 2 패키지의 랜드 사이트의 가장자리 영역을 둘러싸면서, 가장자리 영역 내에 위치한 제 2 기관의 랜드 사이트의 영역은 노출 상태로 남겨두는 단계,
- 를 포함하는 것을 특징으로 하는 적층 패키지 모듈 제작 방법.

청구항 3

제 2 항에 있어서, 접착제를 이용하는 것은 제 1 패키지 기관의 랜드 사이트에 접착제를 도포하는 단계를 포함하는 것을 특징으로 하는 적층 패키지 모듈 제작 방법.

청구항 4

제 2 항에 있어서, 접착제를 이용하는 것은 제 2 패키지 몰딩에 접착제를 도포하는 단계를 포함하는 것을 특징으로 하는 적층 패키지 모듈 제작 방법.

청구항 5

제 2 항에 있어서, 접착제를 부분 경화하는 단계를 추가로 포함하는 것을 특징으로 하는 적층 패키지 모듈 제작 방법.

청구항 6

제 2 항에 있어서, 접착제를 완전 경화하는 단계를 추가로 포함하는 것을 특징으로 하는 적층 패키지 모듈 제작 방법.

청구항 7

제 2 항에 있어서, 제 2 패키지 기관의 노출 영역 상의 위치에 제 2 레벨 인터커넥트 솔더 볼들을 부착하는 단계를 추가로 포함하는 것을 특징으로 하는 적층 패키지 모듈 제작 방법.

청구항 8

제 2 항에 있어서, 제 1 패키지의 제공은, 제 1 패키지의 스트립을 제공하여, 소 싱글레이션(saw singulation)에 의해 단위 어셈블리를 완성하는 단계를 포함하는 것을 특징으로 하는 적층 패키지 모듈 제작 방법.

청구항 9

제 2 항에 있어서, 제 1 패키지의 제공은, 제 1 패키지의 스트립을 제공하여, 펀치 싱글레이션(punch singulation)에 의해 단위 어셈블리를 완성하는 단계를 포함하는 것을 특징으로 하는 적층 패키지 모듈 제작 방

법.

청구항 10

적층 패키지 모듈에 있어서, 상기 모듈은,

- 모듈 기관,
- 상기 모듈 기관의 패키지 부착 사이트에 장착되는 제 1 칩 스케일 패키지로서, 상기 제 1 칩 스케일 패키지는 제 1 패키지 기관의 다이 부착 사이트에 부착되는 제 1 패키지 다이와, 표면을 가진 제 1 패키지 몰딩을 포함하는, 상기 제 1 칩 스케일 패키지와,
- 제 2 패키지로서, 상기 제 1 패키지 몰딩의 표면 상에 상기 제 2 패키지의 랜드 사이트가 장착되고, 제 1, 2 패키지의 전기적 상호연결은 와이어 본드에 의해 구현되는 특징의 상기 제 2 패키지, 그리고
- 제 1 칩 스케일 패키지 기관의 랜드 사이트의 일부분과 모듈 기관이 노출되도록 구성되는 모듈 몰딩을 포함하는 것을 특징으로 하는 적층 패키지 모듈.

청구항 11

제 10 항에 있어서, 상기 모듈의 제 1 칩 스케일 패키지 사이트가 제 2 레벨 인터커넥트 사이트를 포함하는 것을 특징으로 하는 적층 패키지 모듈.

청구항 12

제 10 항에 있어서, 제 1 패키지 기관의 랜드 사이트의 노출 부분 상의 위치에서 제 2 레벨 인터커넥트를 추가로 포함하는 것을 특징으로 하는 적층 패키지 모듈.

청구항 13

제 10 항에 있어서, 상기 모듈의 모듈 기관 사이트 상의 위치에 장착 및 전기적으로 연결되는 추가 소자를 추가로 포함하는 것을 특징으로 하는 적층 패키지 모듈.

청구항 14

제 13 항에 있어서, 상기 추가 소자가 다이를 포함하는 것을 특징으로 하는 적층 패키지 모듈.

청구항 15

제 13 항에 있어서, 상기 추가 소자가 반도체 패키지를 포함하는 것을 특징으로 하는 적층 패키지 모듈.

청구항 16

제 13 항에 있어서, 상기 추가 소자가 패시브 소자를 포함하는 것을 특징으로 하는 적층 패키지 모듈.

청구항 17

제 13 항에 있어서, 상기 모듈의 모듈 기관 사이트가 제 2 레벨 인터커넥트 사이트를 포함하는 것을 특징으로 하는 적층 패키지 모듈.

청구항 18

제 10 항에 있어서, 상기 모듈 기관의 랜드 사이트 상의 위치에서 제 2 레벨 인터커넥트를 추가로 포함하는 것을 특징으로 하는 적층 패키지 모듈.

청구항 19

제 18 항에 있어서, 제 1 패키지 기관의 랜드 사이트의 노출 부분 상의 위치에 장착 및 전기적으로 연결되는 추가 소자를 추가로 포함하는 것을 특징으로 하는 패키지 모듈.

청구항 20

제 19 항에 있어서, 상기 추가 소자가 다이를 포함하는 것을 특징으로 하는 패키지 모듈.

청구항 21

제 19 항에 있어서, 상기 추가 소자가 반도체 패키지를 포함하는 것을 특징으로 하는 패키지 모듈.

청구항 22

제 20 항에 있어서, 상기 추가 소자가 패시브 소자를 포함하는 것을 특징으로 하는 패키지 모듈.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

- [0029] 본원은 2005년 6월 20일자 미국특허출원 60/693,033 호, "Modules having stacked chip scale semiconductor packages"의 우선권을 주장하며, 그 내용은 본원에서 참고로 인용된다.
- [0030] 본 출원은 2006년 3월 31일에 출원된 세건의 미국특허출원 11/395,529 호, "Semiconductor stacked package assembly having exposed substrate surfaces on upper and lower sides", 11/397,027 호, "Semiconductor assembly including chip scale package and second substrate and having exposed substrate surfaces on upper and lower sides", 그리고 11/394,635 호, "Semiconductor package including second substrate and having exposed substrate surfaces on upper and lower sides"에 관련된 출원이며, 그 내용은 본원에서 참고로 인용된다.

발명이 속하는 기술 및 그 분야의 종래기술

- [0031] 본 발명은 반도체 패키징에 관한 발명이다.
- [0032] 이동 전화, 이동 연산, 그리고 다양한 소비자용 전자제품 등과 같은 휴대용 전자 제품들은 제한된 풋프린트 및 최소 두께와 중량으로, 그러면서도 최저의 비용으로 높은 반도체 기능 및 성능을 요구한다. 이는 개별 반도체 칩에 대한 집적도를 증가시키도록 산업계를 유도하고 있으며, 또한, 칩을 적층시키거나 다이 패키지들을 적층시켜 적층 패키지 어셈블리(적층 멀티-패키지 어셈블리)를 형성하도록 z-축으로의 집적을 또한 유도하고 있다.
- [0033] 적층 패키지 어셈블리들은 최소 풋프린트 및 두께를 가진 어셈블리에서 고도의 기능적 집적이 요구되는 분야에서 이용된다. 이동 전화같은 휴대용 통신 기기들은 이러한 분야의 한가지 예에 해당하며, 특히, 통신 장치가 이미지, 오디오, 또는 비디오의 캡처, 디스플레이, 또는 재생 기능을 포함하는 경우에 해당한다.
- [0034] 바람직하게 집적될 수 있는 기능들의 예들은, 디지털 신호(DSP), ASIC, 그래픽스(GPU)같은 다양한 프로세스, 플래시(NAND), 플래시(NOR), SRAM, DRAM, MRAM같은 다양한 메모리, 메모리와 함께 광학 센서를 포함하는 이미지 및 비디오 캡처, 프로세서 및 메모리를 구비한 마이크로-일렉트로-메카니컬 시스템(MEMS) 등이 있다.
- [0035] 적층 패키지 어셈블리에서 패키지들 간 z-인터커넥트는 조립성, 설계 유연성, 그리고 비용 측면에서 중요한 기술이다. 적층 패키지 어셈블리들은 와이어 본드, 솔더 볼, 또는 플립 칩 상호연결을 이용하여 z-방향으로 칩과 패키지들을 적층하고 전기적으로 상호연결함으로써 칩과 패키지들을 집적시킨다.
- [0036] 적층 패키지들은 수많은 장점들을 제공할 수 있다. 특히, 특히, 각각의 다이나 두개 이상의 다이가, 와이어 본딩이나 플립 칩같은 칩 타입 및 구조에 대해 가장 효율적인 제 1 레벨 인터커넥트 기술을 이용하여 스택의 해당 패키지에 패키징될 수 있다. 이에 따라 성능을 최대화하고 비용을 최소화시킬 수 있다.
- [0037] 패키지들이 적층되기 전에, 만족스런 성능을 보이지 않을 경우 해당 컴포넌트를 교체시킬 수 있도록, 적층된 컴포넌트들을 전기적으로 테스트할 수 있다면 바람직한 것이다. 이에 따라, 최종 적층 패키지 어셈블리의 양품률이 최대화될 수 있다. 이러한 장점을 실제 구현하기 위해, 패키지들은 기구축된 테스트 인프라스트럭처를 이용하여 테스트할 수 있도록 구성되어야 한다. 일반적으로, 패키징된 다이를 테스트하는 것은 개별 다이를 테스트하는 것보다 선호된다. 왜냐하면, 개별 다이의 테스트는 다이 상의 인터커넥션 패드들에 대한 손상을 야기할 수 있기 때문이다.
- [0038] 어셈블리가 들어맞아야 할 공간의 크기를 제품 제작자가 결정해야 하는 경우가 자주 있다(특히, 제품이 이동 전화같은 휴대용 통신 기기인 경우). 즉, 제작자는 구체적 기능들을 가진 어셈블리가 특정 사양 내의 전체 풋프린트(길이 및 폭)와 두께를 가지는 것을 요구할 것이다. 이러한 제약사항들이 제시될 때, 설계자는 비용 제한 내에서, 두께 및 풋프린트 제약사항 내에서 기능들에 대한 요청에 부합하는 패키지 및 스택 설계, 그리고 프로세스를 선택할 수 있어야 한다.
- [0039] 따라서, 기능 설계자에게 설계 유연성을 제공하는 멀티-패키지 스택 구조 및 적층 프로세스를 선정하는 것이 바람직하다. 특히, 구조나 프로세스를 재설계할 필요없이, 다양한 가용 판매자로부터 패키지나 칩들을 선정할 수 있고, 컴포넌트 비용을 최소화시키며, 어셈블리 내의 칩이나 패키지 타입을 변경시킬 수 있고, 변경된 어셈블리를 재인증할 필요가 없으며, 표면 장착 어셈블리 플로어 상의 최종 제품 스테이지에서 어셈블리 적층 프로세스를 완료할 수 있고, 시장에서 요구하는 제품 구조를 가장 짧은 실용적 시간 내에서 시장에 내보낼 수 있게 하는, 이러한 유연성을 구비하는 것이 바람직하다.

- [0040] 급속하게 변화하는 시장 수요에 부합하는 것은 지속적인 도전에 해당한다. 예를 들어, 이동 전화같은 소비자용 전자 제품을 설계하기 위한 일반적 시간 단위는 시장 변화에 대한 시간 단위보다 일반적으로 길다. 특정 기능이 소비자용 전자 제품에서 요망되는 특정 기능을 당해 산업 분야에서 인지하여, 설계자는 이 기능을 어셈블리에 구축할 수 있다. 그후 짧은 시간 내에, 시장의 수요가 미리 인지한 바와 다르다는 것을 알 수 있고, 그러면 이 기능을 제거하거나 이 기능을 시장에 옵션으로 제시하는 것이 바람직할 수 있다. 따라서, 전체 어셈블리를 재설계할 필요없이, 장치의 기능들을 부가하거나 제거할 수 있는 것이, 즉, "실시간으로" 장치를 구성할 수 있는 것이 바람직하다.
- [0041] 이동 통신 장치(가령, 이동 전화) 및 컴퓨터같은 제품들을 조립하기 위해 당해 분야에서 사용되는 표면 장착 어셈블리 방법들을 이용하여 어셈블리에서 패키지들 위에 메모리(플래시, SRAM, DRAM)같은 기성품 패키지 칩을 적층시킬 수 있다면 바람직할 것이다. 한 제품에 대한 메모리의 타입은 여러 다른 기능마다 다를 수 있다. 가령, 이동 전화에 이미지 캡처 기능이 요구된다면, 플래시 메모리(DRAM)가 요구될 수 있다.
- [0042] 적층 패키지 어셈블리에 사용되는 패키지 및 그 제작 프로세스들은 선정된 구조에 대한 선정된 프로세스를 이용하여, 패키지들의 물리적 적층과 패키지들 간 전기적 상호연결의 형성을 구현할 수 있도록 설정되어야 한다.
- [0043] 적층 멀티-패키지 어셈블리들은 일반적으로 두 카테고리로 분류된다. 즉, "패키지-온-패키지(PoP) 어셈블리와, 패키지-인-패키지(PiP) 어셈블리로 분류된다.
- [0044] 2-스택 PoP 멀티-패키지 모듈들의 예가 2003년 10월 8일자 미국특허출원 10/681,572 호에 개시되어 있다. 한 예에서, 제 1 패키지(하부 패키지라 불리)는 표준 BGA와 유사하며, BGA 기판의 다이 부착 사이트(상부 사이트)에 고정되어 전기적으로 연결되는 다이를 가지며, 캐버티 몰딩되어 다이와 전기 연결부를 덮는 몰드 캡을 제공한다. 그러나 기판의 다이 부착 사이트의 가장자리 영역은 노출된 상태로 남겨둔다. 다이 부착 사이트 반대편의 하부 패키지 기판의 사이트(하부 사이트 또는 랜드 사이트라 불림)에는 마더보드같은 아래 회로와 모듈의 제 2 레벨 상호연결을 위한 솔더 볼들이 제공된다. 제 2 패키지(상부 패키지라 불림)가 하부 패키지 위에 적층되며, 이 역시 표준 BGA와 유사하다. 단, 상부 패키지의 랜드 사이트 상에 제공되는 솔더 볼들이 상부 패키지 기판의 주변부에 배열되는 점에 차이가 있다. 따라서, 이들은 하부 패키지의 다이 부착 사이트의 노출된 가장자리 영역의 상호연결 위치에 기댄다. 주변부에 배열된 볼들이 주변부에 위치한 하부 패키지의 인터커넥트 위치에 접촉하여 리플로(reflow)될 때, 이들은 하부 BGA의 몰드 캡과 간섭하지 않으면서 z-상호연결을 구현한다. 상부 패키지 다이와 전기적 연결들 역시 캡슐화된다.
- [0045] PoP 모듈에 사용되는 z-인터커넥트의 타입은, 상부 및 하부 패키지 기판들이 z-인터커넥트 볼들에 대한 매칭 패드를 구비하도록 설계되는 것을 요구한다. 패키지들 중 한 패키지가 기판이 또다른 패드 배열(또다른 크기 또는 또다른 설계)을 가지는 패키지로 교환될 경우, 상기 또다른 패키지의 기판이 이에 따라 재구성되어야 한다. 이는 멀티-패키지 모듈의 제작 비용을 증가시키게 된다. PoP 구조에서, 상부 및 하부 패키지들 간 거리는 하부 패키지의 캡슐화 높이만큼 커야 한다. 이는 0.25 mm 이상이며, 통상적으로 0.5~1.5 mm 사이이다. 이 거리는 다이-기판의 전기적 연결이 플립 칩 방식인가 와이어 본드 방식인가에 따라 좌우된다. 예를 들어, 하부 패키지에서 단일 와이어 본딩된 다이의 경우, 300 미크론의 몰드캡이 75미크론 두께의 다이를 수용할 수 있다. z-인터커넥트 솔더 볼들은 리플로될 때 하부 BGA의 본딩 패드와 양호한 접촉을 구현하기에 충분히 큰 직경을 가져야 한다. 물론, 하부 패키지 몰드 캡의 상부 표면과 상부 패키지 기판의 랜드 사이트가 서로 접촉하지 않아야 할 것이다. 즉, 리플로 중 솔더 볼 붕괴를 허용할 수 있는 크기와, 볼과 기판간 비동평면성에 대한 허용오차를 더한 만큼 솔더 볼 직경이 캡슐화 높이보다 커야만 한다. 붕괴되는 볼 높이와 하부 몰드 캡 높이 간의 전형적인 설계 차이(추가적 틈새)는 약 25미크론이다. 300 미크론의 두께를 가진 몰드캡의 경우에, 가령, 300 미크론보다 큰 z-인터커넥트 솔더 볼들이 사용되어야 한다. 볼 직경이 클수록, 볼 피치가 크다(300 미크론 볼의 경우 피치는 0.65mm 인 것이 일반적이다). 이는 하부 패키지 기판의 주변부의 가용 공간에 들어맞을 수 있는 볼들의 수를 제한한다. 더우기, 솔더 볼들의 주변 배열에 따라, 하부 BGA가 표준 BGA의 몰드 캡보다 훨씬 크게 된다. 또한, 솔더 볼들의 주변 배열은 전체 패키지 크기를 증가시킨다. 이 크기는 볼 행들의 수와 볼 피치에 따라 증가한다. 표준 BGA에서, 바디 크기는 몰드 캡보다 2-3 mm 클 수 있다. 더우기, PoP 구조의 상부 패키지는 비록 여러개의 더 적은 인터커넥트들을 구비한 작은 칩을 지닐 수 있을지라도, 하부 패키지에 필적할만한 크기로 만들어져야 한다. 패키지 풋프린트를 증가시켜서, 볼 부착을 위한 영역을 넓히는 것은(가령, 볼들의 행을 추가하는 것), 특정 애플리케이션에 대한 크기 한도를 넘을 수 있고, 어떤 경우에도 긴 와이어 본드 스펙과 큰 기판 영역을 수반하게 된다. 이 모두는 이 컴포넌트들의 비용을 증가시킨다. 패키지들 간 인터커넥트의 수를 증가시키는 것은, 상부 패키지 기판이 두개이상의 급속층을 구비하여 기판 전기적 연결 내에 라우팅을 촉진시키는 것을 요구하게 된다. 일부 애플리케이션에서, 하부 패키지에 두개의 다이를 적층하는 것은 PoP 구조에서 실용적이지 않을 수

있다. 왜냐하면 이에 따라 하부 몰드 캡이 더 두꺼워져야 하고, 상술한 문제점들을 확대시키기 때문이다.

[0046] 상부 및 하부 패키지 기관의 상향 사이트들 간에 와이어 본드에 의한 z-인터커넥션을 구성한 2-스택 PiP 모듈들의 예는 2003년 8월 2일자 미국특허출원 10/632,549 호와, 2003년 10월 8일자 미국특허출원 10/681,572 호에 개시되어 있다. 이러한 PiP 구조에서, 상부 패키지는 하부 패키지와 동일한 방향으로 배치될 수 있고(즉, 두 패키지 기관의 다이 부착 사이트가 동일 방향을 향함), 또는 상부 패키지가 하부 패키지에 대해 역전될 수 있다(가령, 각 패키지 기관의 다이 부착 사이트가 서로를 향함). 제 2 레벨 인터커넥트 솔더 볼들이 하부 패키지 기관의 랜드 사이트에 제공되어, 모듈을 마더보드같은 하부 회로와 연결시킨다. 상부 패키지가 역전된 구성에서, z-인터커넥트 와이어 본드들은 상부 기관의 랜드 사이트의 와이어 본드 위치들을, 하부 패키지 기관의 다이 부착 사이트의 주변부에 배열된 와이어 본드 위치들과 연결시킨다. 상부 및 하부 패키지들이 동일 방향을 향하는 경우에, z-인터커넥트 와이어 본드들은 상부 기관의 다이 부착 사이트의 주변부에 배열된 와이어 본드 위치들을, 하부 패키지 기관의 다이 부착 사이트의 주변부에 배열된 와이어 본드 위치들에 연결시킨다. 두 구조 모두에서, 와이어 본드 프로세스를 수용하기 위해 상부 패키지는 하부 패키지보다 작아야 한다(z-인터커넥트를 가진 각 가장자리 상에서 적어도 0.5mm 이상 좁거나 짧아야 한다).

[0047] PoP 모듈이나 PiP 모듈은 오버몰딩에 의해 완성되어, 상부 패키지와, 패키지들간 와이어 본드 인터커넥트들을 전체적으로 덮게 된다. 모듈이 오버몰딩되면, 어떤 추가적인 집적도 구현될 수 없다. 즉, 설계자는 제품 조립 레벨에서(즉, 표면 장착 어셈블리 플로어에서), 어셈블리를 재구성할 어떤 여지도 없으며, 원 장비 제작자는 비용 절감을 위해 다양한 공급자로부터의 다양한 패키지들을 혼합 및 매칭시킬 수 없게 된다.

발명이 이루고자 하는 기술적 과제

- [0048] 본 발명은 적층 CSP(Chip Scale Package) 모듈에 있어서, 상기 모듈은,
- [0049] - 몰딩 사이트와 기관 사이트를 구비한, 몰딩된 제 1 칩 스케일 패키지, 그리고
- [0050] - 상기 제 1 칩 스케일 패키지의 기관 사이트에 고정되는 제 2 패키지
- [0051] 를 포함하며, 이때, 상기 제 2 패키지는 제 1, 2 패키지 기관 간의 와이어 본딩에 의해 제 1 칩 스케일 패키지에 전기적으로 연결되는 것을 특징으로 하는 적층 CSP 모듈의 한가지 일반적 태양을 지향한다. 본 발명은 칩 스케일 패키지들의 적층 및 전기적 상호연결(z-인터커넥트)를 제공하며, 일부 실시예에서는 매트릭스 몰딩되어 소-상굴레이션(saw-singulation)된 칩 스케일 패키지를 적층 및 전기적 상호연결하는 기술을 지향한다.
- [0052] 또한 본 발명은, 적층 칩 스케일 모듈을 제작하는 방법에 있어서, 상기 방법은,
- [0053] - 제 1 패키지 기관의 다이 부착 사이트에 고정되고 전기적으로 상호연결되는 제 1 패키지 다이를 포함하는 제 1 칩 스케일 패키지를 제공하는 단계로서, 이때, 제 1 CSP가 몰딩되고 솔더 볼은 없는 단계,
- [0054] - 제 1 패키지 기관의 랜드 사이트에 접착제를 도포하는 단계,
- [0055] - 제 2 패키지 기관의 다이 부착 사이트에 고정되고 전기적으로 상호연결되는 제 2 패키지 다이를 포함하는, 싱글레이션된 제 2 패키지를 제공하는 단계로서, 이때, 제 2 패키지는 몰딩되고 솔더 볼은 없는 단계,
- [0056] - 제 2 패키지의 몰딩의 표면과, 제 1 패키지 기관의 랜드 사이트 사이에 접착제를 이용하여 제 1 패키지 기관의 랜드 사이트에 제 2 패키지를 고정하는 단계,
- [0057] - 접착제를 경화시키는 단계,
- [0058] - 플라즈마 세척을 수행하는 단계,
- [0059] - 제 2 패키지 기관의 랜드 사이트와, 제 1 패키지 기관의 랜드 사이트의 가장자리 영역의 위치 사이에 와이어 본드 인터커넥트를 형성하는 단계, 그리고
- [0060] - 플라즈마 세척을 수행하는 단계,
- [0061] - 제 1 기관의 랜드 사이트의 가장자리 영역, z-인터커넥트 와이어 본드 및 와이어 루프, 제 2 패키지의 에지, 그리고 제 2 패키지의 랜드 사이트의 가장자리 영역을 둘러싸면서, 가장자리 영역 내에 위치한 제 2 기관의 랜드 사이트의 영역은 노출 상태로 남겨두는 단계,
- [0062] - 제 2 패키지 기관의 노출 영역의 위치에 제 2 레벨 인터커넥트 솔더 볼들을 부착하는 단계,

- [0063] - 제 1 기관이 스트립이나 어레이로 제공될 경우 소-싱귤레이션(saw singulation)에 의해 단위 어셈블리를 완성하는 단계
- [0064] 를 포함하는 것을 특징으로 하는 적층 CSP 모듈 제작 방법을 지향한다. 제 2 패키지 기관의 랜드 사이트의 노출 영역은 마더보드같은 하부 회로와 모듈의 제 2 레벨 상호연결을 제공한다.
- [0065] 또다른 태양에서 본 발명은 모듈 기관에 장착 및 전기적으로 상호연결되는 역전된 제 1, 2 CSP 적층 패키지들을 가진 적층 CSP 어셈블리를 지향한다. 제 1 CSP 패키지와 제 2 CSP 패키지의 z-상호연결과, 제 2 CSP 패키지와 모듈 기관의 z-상호연결은 해당 CSP패키지 기관의 랜드 사이트들을 모듈 기관의 패키지 부착 사이트와 연결하는 와이어 본드에 의해 구현된다. 이 어셈블리는, 두 모듈 기관과, 제 1 CSP 패키지 기관의 일부분 모두가 노출되어 제 2 레벨 인터커넥션 및 추가 소자와의 인터커넥션이 구현될 수 있도록, 캡슐화된다.
- [0066] 일부 실시예에서, 이 어셈블리의 제 1 CSP 패키지 사이트는 제 2 레벨 인터커넥트 사이트이다. 즉, 마더보드같은 하부 회로에 대한 어셈블리의 제 2 레벨 인터커넥션은, 제 1 CSP 기관의 랜드 사이트 상의 노출 영역에 놓인 랜드의 솔더 볼(또는 그외 다른 전기적 연결 수단)에 의해 구현된다. 따라서, 모듈 기관의 노출 랜드 사이트는 어셈블리에 적층될 수 있는 추가 소자와의 인터커넥션에 이용될 수 있다. 추가적인 태양으로, 본 발명은 어셈블리의 한 사이트에서 노출되는 모듈 기관과, 어셈블리의 반대편 사이트에서 노출되는 제 1 CSP 패키지 기관의 일부분을 모두 구비한 적층 패키지 어셈블리를 제공하는 데, 이 적층 패키지 어셈블리는 상기 CSP 패키지 기관의 노출 부분에서 형성되는 제 2 레벨 인터커넥션을 포함하고, 노출된 LGA 패키지 기관에서 한개 이상의 추가 컴포넌트와의 인터커넥션을 포함한다. 일부 실시예에서, 추가 컴포넌트는 BGA 패키지(적층 다이 패키지일 수 있음), 추가 LGA(적층 다이 LGA일 수 있음), 콰드 플랫 패키지(QFP)(적층 다이 콰드 플랫 패키지(SD QFP)일 수 있음), 또는 콰드 플랫 논리디드(QFN) 패키지나 리드프레임 칩 스케일 패키지(LFCSP)(적층 다이 콰드 플랫 패키지(SD QFN)일 수 있음), 또는 와이어 본딩된 다이(또는 와이어 본딩된 다이의 스택, 오버몰딩될 수 있음), 플립 칩 다이, 광학 센서 패키지, 또는 마이크로-일렉트로-메카니컬 센서(MEMS) 패키지 중 한가지 이상을 포함할 수 있다. 추가 컴포넌트가 한개 이상의 패시브 소자들을 추가로 포함할 수 있다. 일부 실시예에서, 열 스프레더가 제 1 CSP 패키지의 노출된 랜드 사이트에 장착된다.
- [0067] 발명의 또다른 태양에 따르면, 이 어셈블리의 모듈 기관 사이트는 제 2 레벨 인터커넥트 사이트이다. 즉, 마더보드같은 하부 회로에 대한 어셈블리의 제 2 레벨 인터커넥션은 모듈 기관의 랜드 사이트 상의 노출 영역의 랜드에서, 솔더 볼(또는 그외 다른 전기적 연결 수단)에 의해 구현된다. 따라서 CSP 기관의 노출된 랜드 사이트는, 어셈블리에 적층될 수 있는 추가 컴포넌트들과의 인터커넥션에 시용할 수 있다. 추가적인 태양에서, 본 발명은 어셈블리의 한 사이트에서 노출되는 모듈 기관과, 어셈블리의 반대편 사이트에서 노출되는 제 1 CSP 패키지 기관의 일부분을 모두 구비한 적층 패키지 어셈블리를 제시한다. 이 적층 패키지 어셈블리는 모듈 기관의 노출 부분에 형성되는 제 2 레벨 인터커넥션을 포함하고, 노출된 CSP 패키지 기관에서 한개 이상의 추가 컴포넌트들과의 인터커넥션을 포함한다. 일부 실시예에서, 추가 컴포넌트는 BGA 패키지(적층 다이 패키지일 수 있음), 추가 LGA(적층 다이 LGA일 수 있음), 콰드 플랫 패키지(QFP)(적층 다이 콰드 플랫 패키지(SD QFP)일 수 있음), 또는 콰드 플랫 논리디드(QFN) 패키지나 리드프레임 칩 스케일 패키지(LFCSP)(적층 다이 콰드 플랫 패키지(SD QFN)일 수 있음), 또는 와이어 본딩된 다이(또는 와이어 본딩된 다이의 스택, 오버몰딩될 수 있음), 플립 칩 다이, 광학 센서 패키지, 또는 마이크로-일렉트로-메카니컬 센서(MEMS) 패키지 중 한가지 이상을 포함할 수 있다. 추가 컴포넌트가 한개 이상의 패시브 소자들을 추가로 포함할 수 있다. 일부 실시예에서, 열 스프레더가 모듈 기관의 노출된 랜드 사이트에 장착된다.
- [0068] 일부 실시예에서, 제 1, 2 CSP 패키지 중 한개 이상의 적층 다이 패키지이다.
- [0069] 일부 실시예에서, 제 1 (상부) 패키지는 매트릭스 몰딩 및 소-싱귤레이션된다. 일부 실시예에서 제 1 패키지는 캐버티 몰딩된다. 일부 실시예에서 제 2 (하부) 패키지는 매트릭스 몰딩 및 소-싱귤레이션되며, 일부 실시예에서 제 2 패키지는 캐버티 몰딩된다.
- [0070] 본 발명은 낮은 프로파일 및 작은 풋프린트를 가진 적층 패키지 모듈을 제작함에 있어 우수한 조립성, 높은 설계 유연성, 그리고 저렴한 비용을 제공한다.
- [0071] CSP 및 그외 다른 패키지들은 당해 산업 분야의 표준이며, 최저 비용과 최대 가용성을 선택할 수 있다. 이는 적층할 패키지를 선택함에 있어 상당한 유연성(탄력성)을 제공한다. 따라서, 어셈블리에 통합될 수 있는 기능들의 종류에도 상당한 유연성을 제공한다.
- [0072] 전형적인 단일 와이어본딩 다이 CSP 두께는 0.8mm이다. 본 발명에 따른 CSP의 기관의 랜드 사이트 상의 제 2 패

키지의 적층은 10-50 미크론 범위의 완성 두께를 가지는 접착제를 이용하여 완성될 수 있다. 본 발명에 따른 모듈의 풋프린트는 스택의 최대 칩 크기에 따라 결정될 수 있다. 와이어 본드 z-인터커넥트에서는 제 2 기판보다 하부 CSP가 0.5~1.0mm까지 클 것을 요구한다. 따라서, 기판 금속 에지에 대한 쇼트없이 와이어를 수용할 수 있다. 선택된 하부 CSP 패키지가 상부 기판보다 훨씬 작을 경우, 와이어 본딩은 최대 8mm 정도까지 크기 차이를 수용할 수 있다. 선택된 CSP의 경우, 이에 따라, CSP보다 훨씬 큰 풋프린트를 가진 상부 기판을 선택할 수 있다. 이는 어셈블리에 적층될 추가 소자를 선정함에 있어, 설계자에게 상당한 유연성을 제공한다.

[0073] 본 발명에 따른 패키지는 컴퓨터, 통신 장비, 산업용 전자 장치 등에 사용될 수 있다.

발명의 구성 및 작용

[0074] 본원에서 언급되는 모든 특허 및 특허출원들은 본원에서 참고로 인용된다.

[0075] 도 1에서는, 매트릭스 몰딩 및 소 싱글레이션(saw-singulated)된, 그리고 솔더 볼이 없는, 칩 스케일 패키지(CSP)(1)가 단면도로 제시된다. CSP(1)는 한개 이상의 금속층을 가진 기판(112)에 부착된 다이(114)를 포함한다. 다양한 기판 종류 중 임의의 것이 사용될 수 있다. 가령, 2-6개의 금속층을 가진 래미네이트, 4-8개의 금속층을 가진 빌드-업 기판, 1-2개의 금속층을 가진 가요성 폴리이미드 테이프, 또는 세라믹 다층 기판 등이 사용될 수 있다. 도 1에서 제시된 기판(112)은 두개의 금속층(121, 123)을 가지며, 각각의 금속층은 패터닝되어 적절한 회로를 제공하게 되고, 바이어(122)를 이용하여 연결된다. 다이는 다이 부착 예폭시라 불리는 접착제(113)를 이용하여 기판의 표면에 종래 방식대로 부착된다. 도 1의 구성에서, 다이가 부착되는 기판의 사이드(즉, 다이 부착 사이드)는 상부 사이드라 불릴 수 있고, 이 사이드 상의 금속층은 상부 금속층이라 불릴 수 있다. 하지만 다이 부착 사이드가 어떤 특정 방향을 가질 필요는 없다.

[0076] 도 1의 CSP 패키지에서, 다이는 기판의 상부 금속층 위 와이어 본드 위치에 와이어 본딩되어 전기적 연결을 구축하게 된다. 다이(114)와 와이어 본드(116)는 매트릭스 몰딩 및 소 싱글레이션에 의해 캡슐화되고, 몰딩 화합물(117)은 주변 대기 및 기계적 응력으로부터 소자를 보호하여 조작 동작을 촉진시킨다. 기판(112)의 하부 금속층(123) 상에 본딩 패드(119)가 제공된다. 본딩 패드(119)는 패키지 테스트에 사용될 수 있고, 또는 패키지를 다른 특징부나 하부 회로(가령, 마더보드)에 제 2 레벨 인터커넥션을 행하는 데 사용될 수 있다. 금속층(121, 123) 위에서 솔더 마스크(115, 127)가 패터닝되어, 전기적 연결을 위한 본딩 위치의 하부 금속을 노출시킨다. 가령, 와이어 본드 위치와, 와이어 본드(116)를 본딩하기 위한 본딩 패드, 그리고 그외 다른 특징부, 또는 제 2 레벨 상호연결을 위한 솔더 볼들을 노출시킨다.

[0077] 제 2 레벨 인터커넥트 볼 패드(119)들은 마더보드같은 하부 회로에 CSP를 부착하게 한다.

[0078] 도 2는 본 발명에 따른 적층 CSP 모듈(2)의 단면도이다. 여기서 하부 CSP(120)는 적층 다이 CSP로서, CSP 기판(112)의 다이 부착 사이트에 고정된 다이(114, 144)를 가지며, 접착제를 이용하여 제 1 다이를 기판에 부착하고 제 2 다이를 제 1 다이에 부착한다. 다이들은 와이어 본드(116, 146)에 의해 기판에 전기적으로 상호연결된다. 다이(114, 144)와 와이어 본드(116, 146)는 매트릭스 몰딩 및 소 싱글레이션에 의해 몰딩 화합물(117)로 몰딩되고, 이 몰딩 화합물(117)은 주변 대기 및 기계적 응력으로부터 소자를 보호하여 조작 동작을 촉진시킨다. 또한, 제 2 (상부) 패키지가 적층될 수 있는 하부 패키지 상부 표면(229)을 제공한다.

[0079] 도 2를 참고할 때, 제 2 (상부) 패키지는 기판(12)을 포함하는, 매트릭스 몰딩 및 소 싱글레이션(saw-singulated)된 CSP(10)이며, 상기 기판(12)은 제 1 사이드 및 제 2 사이드와 한개 이상의 금속층이 구비되며, 상기 기판(12)에 다이(244, 214)가 적층되어 와이어 본딩된다. 기판(12)은 가령, 두개의 금속층(21, 23)을 가지며, 각각의 금속층은 패터닝되어 적절한 회로를 제공하고 바이어(22)를 통해 연결된다. 제 1 패키지과 면하는 제 2 기판의 사이드는 "랜드 사이드"라고 불린다.

[0080] 도 2의 실시예의 제 2 패키지 기판(12)에서, 금속층(21, 23) 위에 솔더 마스크(15, 27)가 패터닝되어, 와이어 본드(118)들을 본딩하기 위한 와이어 본드 위치들같은, 전기적 연결을 위한 본딩 위치에서 하부 금속을 노출시킨다. 상부 패키지(10)와 하부 패키지(120) 간의 z-인터커넥트는 와이어 본드(218)에 의해 구현되며, 이 와이어 본드(218)는 상부 기판의 하향을 향하는 금속층(21) 상의 트레이스들을, 하부 패키지 기판의 하부 금속층(123) 상의 트레이스들과 연결시킨다. 한 단부에서, 각각의 와이어 본드(118)는 상부 기판(12)의 금속층(21) 상의 패드의 하향을 향하는 표면에 전기적으로 연결되고, 다른 한 단부에서, 각각의 와이어 본드는 하부 패키지 기판(112)의 하부 금속층(123) 상의 패드들의 하부 표면에 연결된다. 와이어 본드들은 당 분야에 잘 알려진 임의의 와이어 본딩 기술에 의해 형성될 수 있다. 가령, 미국특허 5,226,582 호를 참고할 수 있고, 그 내용은 본원에서 참고로 인용된다. 패키지간 z-인터커넥트 와이어 본드들은 도 2에서 예로서 제시되며, 상부 기판의 하부 금속층

상의 패드의 표면에 비드(bead)나 범프(bump)를 형성함으로써, 그리고 그후, 하부 기관의 하부 금속층 상의 패드를 향해 와이어를 압출하고 퓨징함으로써 구현된다. 와이어 본드들은, 하부 기관의 하부 금속층 상의 패드의 하부 표면에 비드나 범프를 형성함으로써, 그리고 와이어를 압출하고 이를 상부 기관의 금속층 상의 패드에 퓨징함으로써 역방향으로 구현될 수 있다. 패키지간 z-인터커넥트를 위한 와이어 본딩 기법의 선택은, 적층된 기관들의 가장자리의 기하학적 배열과, 이 기관들의 본딩 표면들의 기하학적 배열에 따라 결정될 것이다. 또한, 종래의 와이어 본딩 장비에서, 와이어 본드 캐필러리(capillary)는 상향으로 향하는 본드 패드에 하향으로 충돌하고, 따라서 어셈블리는 본 발명에 따라 와이어 본딩 과정을 위해 역전될 것이다(즉, 뒤집힐 것이다).

[0081] 상술한 바와 같이, 상부 패키지 기관은 상부 패키지 기관이 장착될 제 1 패키지 몰드 캡의 표면보다 크며, 와이어 본드(118)용으로 본드 패드들이 노출될 상부 패키지 기관의 제 1 사이드의 주변부에서 한 영역을 남긴다. 상부 기관은 일반적으로 펀치-싱글레이션(punch-singulated) 또는 소-싱글레이션(saw-singulated)된다.

[0082] 하부 패키지는 매트릭스 몰딩되어 소-싱글레이션된다(도 2에서처럼 몰딩을 위한 수직 측벽을 제공). 이에 따라, 하부 패키지 기관의 다이 부착 사이드가 몰딩에 의해 커버된다. 하부 패키지 기관의 다이 부착 사이드의 상부 금속층의 본드 패드들은 와이어 본드에 의해 다이에 연결되고, 상부 금속층은 하부 패키지 기관의 랜드 사이드에서 하부 금속층에 연결되고, 바이어를 통해 기관의 다이 부착 사이트에 연결된다. 하부 패키지 기관의 랜드 사이드의 하부 금속층은 패턴처리되어 z-인터커넥트 와이어(118)와의 연결을 위한 주변부에 배열된 본드 패드들을 제공한다.

[0083] 본 발명에 따른 구조에서는 어셈블리를 조립하기 전에 CSP의 사전 테스트가 가능하여, 조립 이전에 불량 패키지들을 걸러낼 수 있고, 따라서 높은 최종 모듈 테스트 양품률을 보장할 수 있다.

[0084] 도 2의 적층 패키지 실시예에서, 각 패키지 기관의 z-인터커넥트 패드들은 패키지 기관의 가장자리 근처의 금속층에 배열된다. z-인터커넥트 패드의 위치 및 순서는 적층시 상부 패키지 기관의 z-인터커넥트 패드들이, 대응하는 하부 패키지의 z-인터커넥트 패드들 위에 놓이도록 배열되는 것이 일반적이다. 상부 기관(10)이 하부 패키지(120)보다 큰 기관 풋프린트를 가져서, 기관의 금속층들의 에지에 대한 전기적 쇼트없이 와이어 본드에 대한 틈새를 제공할 수 있다.

[0085] z-인터커넥트 와이어 본드들이 형성되어 적층 제 1 패키지를 제 2 기관에 연결하면, 어셈블리 캡슐(207)이 형성되어, z-인터커넥트 와이어 본드들을 덮고 보호하며, 완성된 어셈블리에 대한 기계적 일체성을 제공한다. 어셈블리 캡슐(207)은 상부 패키지 기관의 하향 랜드 사이드의 가장자리 영역을 덮고, 하부 패키지의 에지 및 수직 측벽과, z-상호연결 와이어 본드 및 와이어 루프들을 둘러싼다. 그리고, 와이어 본드들이 연결되는 와이어 루프와 와이어 본드 패드들을 포함하는 하부 패키지의 랜드 사이드의 가장자리 영역을 덮는다. 이는 하부 패키지 기관의 랜드 사이드의 한 영역을 제 2 레벨 상호연결을 위해 노출 상태로 남겨두게 된다. 도 2를 참고할 때, 솔더 볼(318)들은 기관의 하부 금속층의 노출 영역 위 본딩 패드(119)에 리플로되어, 컴퓨터같은 최종 제품의 마더보드같은 하부 회로에 상호연결을 제공한다.

[0086] 도 2에 예를 들어 도시되는 바와 같이, 모듈은 소-싱글레이션될 수 있다. 대안으로, 모듈이 소-싱글레이션되지 않고 개별적으로 몰딩될 수도 있다.

[0087] CSP 패키지는 와이어 본딩보다는 플립 칩 방식으로 다이를 제 1 패키지 기관에 연결할 수 있다.

[0088] 도 5A와 5B는 도 2에 도시되는 바와 같이 적절한 제 1 패키지 기관(112)의 랜드 사이드와 다이 부착 사이드를 도시하는 평면도이다. 도 5A를 참고할 때, 랜드 사이드의 대부분의 표면은 솔더 마스크로 덮히며, 이는 솔더 마스크 내 구멍에 의해 금속층 상의 위치들이 노출되는 지점들을 제외하고는 패턴처리된 금속층을 가린다. 솔더 마스크의 구멍들은 기관의 랜드 사이드의 패턴처리된 금속층의 위치들을 노출시키고, 가령, 기관 표면의 중앙 영역에 볼 패드(53)가 배열되고, 기관의 에지(52) 근처의 가장자리 영역에 본딩 핑거(56)가 배열된다. 금속층의 트레이스(523)들은 솔더 마스크에 의해 가려져, 볼 패드(53)들과 본드 핑거(56)들을 다양하게 연결하며, 기관의 랜드 사이드의 패턴처리된 금속층의 트레이스들을, 기관의 다이 부착 사이트의 패턴처리된 금속층 내 트레이스들과 전기적으로 연결시키는 바이어(522)를 이용하여 볼 패드(53)들을 연결시킨다.

[0089] 상술한 바와 같이, 어셈블리 캡슐은 본드 패드(56)와, 본드 패드(56)에 형성된 와이어 루프를 덮는다. 캡슐은 도 5A에서 점선(58)으로 표시되는 바와 같이, 기관의 랜드 사이드에서 가장자리 영역으로 제한된다. 따라서, 가장자리 캡슐화에 의해 구분되는 제 1 패키지 기관의 랜드 사이드의 영역은 어셈블리 몰딩의 형성 이후에 노출된 상태로 남는다. 따라서, 볼 패드(53)는 하부 회로에 어셈블리를 z-레벨 상호연결하기 위해 솔더 볼들의 부착에 이용할 수 있다. 볼 패드(53)는 조립 이전에 패키지를 테스트하기 위한 테스트 프로브 위치로 이용할 수

있으며, 제 2 레벨 인터커넥트 솔더 볼들을 장착하기 전에 패키지 어셈블리를 테스트하기 위한 테스트 프로브 위치로 이용할 수 있다. 캡슐화된 가장자리 영역은 본드 핑거의 길이와, 본드 핑거에 대한 트레이스의 길이와, 소 스트리트(saw street)의 폭의 합에 의해 결정되는 폭(도 5A의 MW)을 가진다. 추가적으로, 일부 몰드 플래시(mold flash)가 가장자리의 내측 에지에서 기판 표면에 나타날 수 있다(도 5A의 점선(58) 위치). 기판이 한개의 스트립이나 어레이 중 하나로 제공될 경우, 이 에지에서의 일부 기판 물질은 제 1 패키지의 소 싱글레이션 중 소 폭(saw width)에 이르지 못할 수 있다. 일반적으로 본드 핑거 길이는 250 마이크로미터이고, 핑거 트레이스 길이는 50마이크로미터이며, 몰드 레진 블리드의 허용치는 500 마이크로미터이다. 소(saw)는 일반적으로 50마이크로미터를 소요한다.

- [0090] 실용적 관점에서, 볼 패드(53)의 배열 및 수는 통상 볼 직경에 따라 좌우된다. 왜냐하면, 볼들은 붕괴될 때 서로 접촉하지 않아야하며, 너무 가까워도 안되기 때문이다. 또다른 실용적 문제로서, 볼 패드(53)들의 크기 및 인접도는 트레이스 제작시(특히 솔더 마스크 구멍 제작시) 분해능의 제한에 의해 제한된다. 전형적인 예에서, 볼 패드들은 280 마이크로미터 직경의 원형이며, 500 마이크로미터의 중심간 거리로 정사각형이나 장방형 어레이로 배열된다. 인접 솔더 마스크 구멍들의 가장 가까운 에지들 간의 거리는 일반적으로 중심간 거리의 0.20배보다 작지 않다.
- [0091] 다이를 부착한 제 1 패키지 기판의 다이 부착 사이드가 도 5B에 제시된다. 제 1 다이(114)는 액티브 사이드를 상향으로 하여 기판의 다이 부착 사이트에 고정된다. 본 예에서, 다이는 정사각형을 형성하는 네개의 에지를 가진다. 와이어 본드 패드(51)들은 다이의 네 에지 근처에 행으로(in rows) 배열된다. 기판의 랜드 사이트에서처럼, 다이 부착 사이트의 대부분의 표면은 솔더 마스크로 덮인다. 단, 금속층 위의 위치들은 솔더 마스크의 구멍에 의해 노출된다. 여기에는 본드 핑거(54)들의 행들이 포함된다. 본 예에서는 다이의 각 에지를 따라 구성된 한개의 행이 포함된다. 와이어(116)들은 다이 패드(51)들을 본드 핑거(54)들에 연결한다. 기판의 다이 부착 사이트의 패턴처리된 금속층 내 트레이스들을 랜드 사이트의 패턴처리된 금속층 내 트레이스들과 전기적으로 연결하는 바이어(522)를 통해 본드 핑거(54)들을 연결하는 금속층의 트레이스(521)들이 솔더 마스크에 의해 가려진다. 따라서, 제 1 패키지 다이는 제 1 패키지 기판의 다이 부착 사이트 상의 금속층 내 트레이스에 와이어를 이용하여 연결되고, 랜드사이트 상의 금속층의 z-인터커넥트 와이어 본드 핑거들 및 트레이스에 바이어를 통해 연결된다. z-인터커넥트 와이어들은 제 1 패키지 기판의 랜드 사이트의 본드 핑거들을, 제 2 패키지 기판의 다이 부착 사이트 상의 본드 핑거들에 연결한다. 제 2 다이(144)의 풋프린트는 도 5B에서 점선(544)으로 표시된다.
- [0092] 상부 패키지(10)의 기판은 도 5A 및 도 5B에 도시된 것과 유사하다.
- [0093] 도 3에 도시되는 바와 같이, 하부 적층 다이와 기판이 캡슐화될 필요는 없다. 하부 패키지 다이가 기판에 와이어 본딩되는 경우에, 하부 다이의 와이어 본드와 상부 기판 간의 간섭을 방지하기 위해 스페이서가 제공되어야 한다.
- [0094] 도 4에 도시되는 바와 같이, 상부 패키지나 하부 패키지, 또는 둘 모두가 매트릭스 몰딩 및 소 싱글레이션되지 않고, 캐버티 몰딩(cavity molded)될 수 있다.
- [0095] 도면에서 제시되는 바와 같이, 제 2 패키지 기판은 제 1 패키지 기판보다 큰 풋프린트를 가져서, 패키지 기판들 간의 z-상호연결을 수용하게 된다. 제시되는 예에서, z-인터커넥트는 패키지의 네 에지를 따라 배열되며, 따라서, 제 2 패키지는 제 1 패키지보다 넓고 길다. 본 발명에 따른 일부 어셈블리에서, z-인터커넥트는 네개의 모든 에지보다 적은 에지 상의 본드 핑거들 사이에 형성될 수 있다. 가령, 한 에지를 따라, 또는 두개의 마주보는 에지를 따라 본드 핑거들 사이에 형성될 수 있다. 이러한 실시예에서(제 2 기판의 큰 다이가 큰 풋프린트를 요구하지 않을 경우), 제 2 패키지는 한 방향으로만 제 1 패키지보다 길면 된다.
- [0096] 제 1, 2 패키지는 다양한 기능들 중 임의의 기능을 가질 수 있다. 가령, CSP 패키지가 DSP, ASIC, GPU일 수 있고, LGA 패키지는 플래시, DRAM, SRAM 등과 같은 메모리일 수 있다.
- [0097] 발명의 본 태양에 따른 플립 칩 하부 패키지의 프로세서 칩은 가령, ASIC, GPU, 또는 CPU일 수 있으며, ASIC 인 경우가 자주 있다. 상부 패키지는 ASIC 패키지나 메모리 패키지, 또는 프로세서 칩일 수 있다. 상부 패키지가 메모리 패키지일 경우, 상부 패키지는 적층 다이 메모리 패키지일 수 있다. 차폐된 플립 칩 다이-업 하부 패키지는 고속 애플리케이션에 특히 적합하며, 가령, 이동 통신 애플리케이션에서와 같은 RF 주파수 처리에 특히 적합하다.
- [0098] 제 1 패키지는 다양한 기능들 중 임의의 기능을 가질 수 있다. 가령, CSP 패키지는 가령, DSP, ASIC, 또는, GPU일 수 있다. ASIC인 경우가 가장 잦은 편이다. 하부 패키지가 메모리 패키지일 경우, 이는 적층 다이 메모리 패키지일 수 있다. 차폐된 플립 칩 다이-업 하부 패키지는 고속 애플리케이션에 특히 적합하며, 예를 들어, 이

동 통신 애플리케이션의 RF 주파수 처리 분야에 특히 적합하다.

- [0099] 도 6은 도 2에서와 같은 어셈블리를 제작하는 프로세스의 순서도이다. 단계 602에서, 제 1 CSP가 제 1 CSP의 싱글레이션되지 않은 스트립으로 제공된다. 단계 604에서, 접착제가 제 1 CSP 기관의 노출된 랜드 사이트에 도포된다(가령, 인쇄되거나 접착 필름으로 제공된다). 단계 606에서 제 2 CSP가 제공되고, 단계 608에서, 픽-앤드-플레이스 툴을 이용하여 제 2 CSP가 제 1 CSP에 고정된다. 접착제는 제 1 CSP의 랜드 사이트 상이 아니라 제 2 CSP의 몰딩 표면에 도포될 수 있다. 단계 610에서 접착제가 부분 또는 전체 경화되고, 단계 612에서, 플라즈마 세척에 의해 이전 단계들에서 누적된 파편들과 오염물이 제거된다. 이에 따라 와이어 본딩을 위한 본딩 표면이 준비되며, 단계 614에서, 제 1, 2 CSP 기관들의 랜드 사이트 상의 본드 핑거들 사이에 z-인터커넥트가 제공된다. 이어서 단계 616에서 추가적인 플라즈마 세척이 이루어지고, 이에 따라 몰딩이나 캡슐화를 위한 오염 없는 표면이 제공된다. 몰딩이나 캡슐화가 단계 618에서 구현된다. 제 1 CSP 기관의 랜드 사이트의 노출된 부분의 볼 패드에 제 2 레벨 인터커넥트 솔더 볼들이 리플로되고(단계 620), 패키지들은 소-싱글레이션되거나 편지 싱글레이션된다(단계 622).
- [0100] 도 7 및 도 8은 추가 소자의 상호연결이나 하부 회로에 대한 제 2 레벨 상호연결을 위한, 모듈 양측에 노출된 기관과 적층 CSP들을 가진 CSP 패키지 모듈들의 예를 제시한다.
- [0101] 발명에 따른 모듈에서, 제 1 CSP(10)는 모듈 기관(712)의 패키지 부착 사이트에 장착되고, 제 2 CSP(120)는 제 1 CSP 패키지 상의 몰딩의 표면에 장착된다. 제 2 패키지는 각 패키지 기관의 랜드 사이트의 가장자리 상의 본드 핑거들을 연결하는 와이어 본드들에 의해 제 1 패키지에 전기적으로 연결된다. 또는, 제 2 패키지는 제 2 CSP 패키지 기관의 랜드 사이트의 가장자리 상의 본드 핑거들을, 모듈 기관의 패키지 부착 사이트 상의 본드 패드나 본드 핑거들과 연결하는 와이어 본드들에 의해, 모듈 기관에 연결된다. 또는, 제 1 CSP 패키지는 제 1 CSP 패키지 기관의 랜드 사이트의 가장자리 상의 본드 핑거들을, 모듈 기관의 패키지 부착 사이트 상의 본드 패드나 본드 핑거들과 연결하는 와이어 본드에 의해, 모듈 기관에 전기적으로 연결된다.
- [0102] 도 7을 참조할 때, z-인터커넥트 와이어 본드들이 형성되어 적층 제 1, 2 패키지들을 연결하면, 어셈블리 캡슐(707)이 형성되어, z-인터커넥트 와이어 본드들을 둘러싸고 보호하며, 완성된 모듈에 기계적 일체성을 제공한다. 어셈블리 캡슐(707)은 모듈 기관의 패키지 부착 사이트의 가장자리 영역을 덮고, 제 1, 2 CSP 패키지의 에지와 수직 측벽, 그리고 z-인터커넥트 와이어 본드 및 와이어 루프들을 둘러싼다. 또한, 와이어 본드들이 연결되는 와이어 루프 및 와이어 본드 패드들을 포함한 제 2 패키지 기관의 랜드 사이트의 가장자리 영역을 덮는다. 이에 따라, 제 2 패키지 기관의 랜드 사이트의 한 영역이 제 2 레벨 인터커넥트를 위해 노출된 상태로 남게 된다. 달리 말하자면, 제 2 패키지 사이트 상의 어셈블리 캡슐에 캐버티가 형성되어, 제 2 패키지 기관의 랜드 사이트의 내측 영역을 노출 상태로 남기게 된다. 도 7을 참고할 때, 캡슐 내의 캐버티 내에서 기관의 하부 금속층 상의 본딩 패드(119)에 솔더 볼(818)들이 리플로되어, 컴퓨터같은 최종 제품의 마더보드같은 하부 회로에 상호연결을 제공하게 된다. 아래 추가적으로 설명되는 바와 같이, 추가적 패키지나 다이가 모듈 기관의 랜드 사이트에 장착되어 전기적으로 연결될 수 있다.
- [0103] 도면에 예로서 제시되는 바와 같이, 모듈 어셈블리가 소-싱글레이션될 수 있고, 또는, 개별적으로 몰딩될 수 있다.
- [0104] 제 1 패키지나 제 2 패키지, 또는 둘 모두가 와이어본딩 말고 플립 칩 방식으로 다이를 해당 패키지 기관에 상호연결시킬 수 있다.
- [0105] 제 2 패키지나 제 2 패키지, 또는 둘 모두가 적층 다이 패키지일 수 있다.
- [0106] 대안의 실시예에서, 모듈 기관(712)의 노출된 사이트는 제 2 레벨 상호연결을 제공한다. 예를 들어, 도 8에 도시되는 실시예는 노출된 금속층 상의 패드(719)에 장착되는 제 2 레벨 인터커넥트 솔더 볼(718)들을 가져, 어셈블리를 마더보드같은 하부 회로에 연결한다. 이와 같은 실시예에서, 제 2 패키지 기관의 노출부는 패키지, 다이, 패시브 소자들과 같은 추가 컴포넌트들을 적층하는 데 이용될 수 있다. 이러한 실시예에서, 제 2 레벨 인터커넥트를 위해 제 2 패키지 기관의 랜드 사이트에 더 큰 면적이 가용하다. 다른 한편, 제 2 패키지 기관의 노출부는 모듈 기관보다 제한된 면적을 가지며, 따라서, 제 2 패키지 사이트에서 구현될 수 있는 인터커넥트의 수가 제한된다. 더우기, 제 2 패키지 기관의 랜드 사이트의 가장자리 영역을 덮는 어셈블리 몰딩(707)의 부분은 z-상호연결 와이어 본드들의 루프 높이(+수용오차)를 수용할만큼 충분히 두꺼워야 한다. 일반적으로, 와이어 루프에서 몰딩의 두께는 50~200 마이크론 범위에 있다. 역방향 와이어 본딩이 사용될 경우, 와이어 루프의 단부가 제 1 패키지의 랜드 사이트 상의 패드에 둘러붙어서, 실제 와이어 루프 높이는 35 마이크론만큼 작을 수 있고, 따

라서, 100 마이크로미터 작은 가장자리 영역 위의 몰딩 두께가 본 실시예에서 구현될 수 있다. 순방향 와이어 본딩이 이용될 경우 몰딩 높이가 커야 한다. 왜냐하면, 현재 가용한 와이어 본딩 기술을 이용하여 100 마이크로미터 상에 해당하는 볼 위의 와이어 루프 높이는 1 mil 두께를 가지는 와이어를 형성할 것이다.

[0107] 이에 따라, 제 1 패키지 기관의 노출 영역 둘레로 낮은 벽이 형성되고, 이는 제 1 패키지 기관의 랜드 사이드 위에 적층될 수 있는 소자들의 구성 및 크기를 제한할 수 있다. 제 2 레벨 인터커넥트가 제 2 패키지 기관의 랜드 사이드의 노출 영역에서 구현되는 도 7에 도시되는 바와 같은 실시예들에서는, 도 11 및 도 13에 제시되는 바와 같이, 어셈블리 위에 더 큰 추가 컴포넌트들을 적층시킬 수 있다.

[0108] 제 2 레벨 인터커넥트가 모듈 기관의 랜드 사이드에 구현되는 도 8에서와 같은 실시예들이 도 20 및 도 21에서 제시된다. 아래 설명되는 바와 같이, 한개 이상의 추가 컴포넌트들이 캡슐의 캐버티 내에 제 2 패키지 기관의 랜드 사이드에 장착되고 전기적으로 연결될 수 있다.

[0109] 도 9A 및 도 9B는 도 7 및 도 8의 적절한 모듈 기관(712)의 랜드 사이드와 패키지 부착 사이드를 제시하는 평면도이다. 도 9A에서, 랜드 사이드의 대부분의 표면은 솔더 마스크로 덮히고, 이는 아래의 패턴처리된 금속층들을 가린다. 단, 금속층 위의 위치들은 솔더 마스크의 구멍에 의해 노출된다. 솔더 마스크의 구멍들은 기관의 랜드 사이드의 패턴처리된 금속층의 위치들을 노출시키고, 특히 볼 패드(93)는 기관 표면의 중간 영역에 배열된다. 기관의 랜드 사이드의 패턴처리된 금속층 내 트레이스들을, 기관의 패키지 부착 사이드의 패턴처리된 금속층 내 트레이스들과 전기적으로 연결시키는 바이어(922)를 이용하여 볼 패드(53)를 연결하는 금속층의 트레이스(923)들이 솔더 마스크에 의해 가려진다.

[0110] 실용적 관점에서, 볼 패드(53)의 배열 및 수는 통상 볼 직경에 따라 좌우된다. 왜냐하면, 볼들은 붕괴될 때 서로 접촉하지 않아야 하며, 너무 가까워도 안되기 때문이다. 또다른 실용적 문제로서, 볼 패드(53)들의 크기 및 인접도는 트레이스 제작시(특히 솔더 마스크 구멍 제작시) 분해능의 제한에 의해 제한된다. 전형적인 예에서, 볼 패드들은 280 마이크로미터 직경의 원형이며, 500 마이크로미터의 중심간 거리로 정사각형이나 장방형 어레이로 배열된다. 인접 솔더 마스크 구멍들의 가장 가까운 에지들 간의 거리는 일반적으로 중심간 거리의 0.20배보다 작지 않다.

[0111] 제 1 패키지 기관의 패키지 부착 사이드가 도 9B에 제시된다. 제 1 CSP 패키지(도면에 도시되지 않음)는 기관의 패키지 부착 사이트에 고정된다. 본 예에서, 패키지는 정사각형을 형성하는 네개의 에지를 가진다. 풋프린트는 점선(98)으로 표시된다. 와이어 본드 패드(96)들은 패키지 풋프린트의 네 에지 근처에 행으로(in rows) 배열된다. 기관의 랜드 사이드에서처럼, 다이 부착 사이트의 대부분의 표면은 솔더 마스크로 덮힌다. 단, 금속층 위의 위치들은 솔더 마스크의 구멍에 의해 노출된다. 모듈 기관의 패키지 부착 사이트의 패턴처리된 금속층 내 트레이스들을 랜드 사이드의 패턴처리된 금속층 내 트레이스들과 전기적으로 연결하는 바이어(522)를 통해 본드 패드(96)들을 연결하는 금속층의 트레이스들이 솔더 마스크에 의해 가려진다. 따라서, 제 1 CSP 패키지는 모듈 기관의 패키지 부착 사이트 상의 금속층 내 트레이스에 와이어를 이용하여 연결되고, 랜드사이드 상의 금속층의 z-인터커넥트 와이어 본드 핑거들 및 트레이스에 바이어를 통해 연결된다.

[0112] 따라서, 발명에 따른 일부 구성에서, 한개 이상의 추가적인 특징부나 소자(가령, 패키지, 다이, 패시브 소자)가 (노출된) 가용 기관 표면 상에서 어셈블리에 부착된다.

[0113] 일부 실시예에서, 추가 패키지는 모듈 기관의 노출된 랜드 사이드에서 어셈블리에 부착된다. 이러한 실시예에서, 도 7이나 도 8의 예에서 제시된 바와 같은 어셈블리는 균일한 플랫폼을 제공할 수 있고, 이 플랫폼에 추가 기능을 가진 컴포넌트들이 적층될 수 있다(도 10~도 19 참조). 제 2 패키지 기관이 완전하게 노출되기 때문에, 다양한 컴포넌트(다이나 패키지) 구성 및 크기를 수용할 수 있고, 어셈블리와 컴포넌트의 호환성에 대해 요구되는 전부는, 추가 컴포넌트를 수용하기 위해, 노출된 제 2 패키지 기관 상의 트레이스가 적절하게 루팅되어야 한다는 점이다.

[0114] 예를 들어, 도 10 및 도 11에 제시되는 바와 같이, BGA 패키지가 도 7을 참고하여 앞서 설명한 바와 같이 구성된 어셈블리 위에 장착될 수 있다. 도 10에서, 인터커넥트 솔더 볼(1018)들을 구비한 BGA 패키지(1010)가 모듈 기관(712)의 랜드 사이드와 정렬되고 이 랜드 사이드에 장착된다. 그리고 솔더 볼들이 기관(712)의 랜드 사이드 상의 금속층 내 볼 패드로 리플로되어 모듈(1000)을 형성한다. 여기서, BGA 풋프린트는 어셈블리의 풋프린트보다 작다. 도 11에 도시되는 모듈(1100)에서, BGA의 풋프린트는 어셈블리의 풋프린트보다 크고, 볼 어레이는 더 많은 인터커넥트 솔더 볼들을 가진다. 따라서, 모듈 기관(712)에 더 많은 볼 패드들을 가지게 된다. 또한 도 11의 예에서, BGA는 적층 다이 패키지이고, 도 10에서 BGA는 단일 다이 패키지이다.

- [0115] 도 12 및 도 13에 제시되는 바와 같이, 추가 랜드 그리드 어레이(LGA) 패키지가 도 7을 참고하여 앞서 설명한 바와 같은 어셈블리 위에 장착될 수 있다. 도 12에서, 랜드 인터커넥트(1218)들을 가진 LGA 패키지(1210)가 모듈 기판(712)의 랜드 사이드 상에 정렬되어 장착되고, 랜드 인터커넥트들은 기판의 랜드 사이드 상의 금속층 내 패드에 리플로되어 모듈(1200)을 형성한다. 여기서 LGA 풋프린트는 어셈블리의 풋프린트보다 작다. 도 13에 도시되는 모듈(1300)에서, LGA(1320)의 풋프린트는 어셈블리의 풋프린트보다 크고, 어레이는 더 많은 랜드 인터커넥트들을 가진다. 따라서, 패키지 기판(712)에 더 많은 패드들을 가지게 된다. 또한 도 13의 예에서, LGA는 적층 다이 패키지이고, 도 12의 예에서 LGA는 단일 다이 패키지이다.
- [0116] 도 12 및 도 13에 제시된 바와 같은 적층 패키지 어셈블리 위에 장착되는 더 큰 추가 패키지를 가진 구성은, 제 1, 2 패키지의 프로세서와, 추가 패키지(1210, 1320)로 메모리 패키지를 포함할 수 있다. 어셈블리의 각 CSP(100)의 풋프린트는 각 패키지의 다이들의 크기에 의해 주로 결정되며, 이는 다이의 기능에 일반적으로 관계된다. ASIC는 비교적 매우 작은 편이며, 여러 다른 프로세스들이 여러 다른 크기를 가질 수 있다. 다른 한편, 메모리 다이는 비교적 큰 편이다. 가령, 디지털 신호 프로세서(DSP) 패키지는 12x12 mm 내지 16x16 mm 범위의 풋프린트를 가지는 것이 일반적이다. 다른 한편, 메모리 패키지는 8x10 mm 내지 18x18 mm 범위의 풋프린트를 가지는 것이 일반적이다. 따라서, 도 7에서와 같은 어셈블리가 어셈블리의 제 1, 2 DSP에서 DSP를 포함하여 어셈블리에 대해 16x16 mm의 풋프린트를 구축할 경우, 제작자는 고객의 사항에 따라, 작은 LGA 메모리 패키지(1210, 도 12)(모듈(1200)을 제공)나 큰 LGA 메모리 패키지(1310, 도 13)(모듈(1300)을 제공)를 선택할 수 있다. 따라서, 도 10, 11, 12, 13에서와 같은 실시예의 경우에, 제작자는 여러 공급자로부터의 비용에 따라, 그리고 기능(메모리 용량 및 속도; 메모리 타입)에 따라, 어셈블리 플랫폼을 선택된 메모리 BGA나 LGA와 믹스 및 매칭시킬 수 있다.
- [0117] 다른 추가적인 컴포넌트나 소자들이 이 어셈블리 위에 장착될 수 있다. 이에 따르면, 제 2 패키지 기판의 랜드 사이드가 해당 컴포넌트로부터의 전기적 상호연결을 수용하도록 적절히 배선되지만 하면 된다. 도 14는 도 7에서와 같이 구성되는 적층 패키지 어셈블리 위에 장착된, 패시브 소자(1406)들을 동반한, 적층 다이 콰드 플랫 패키지(stacked die quad flat package)(1410)를 구비한 모듈(1400)을 도시한다. 도 15는 도 7에서와 같이 구성되는 적층 패키지 어셈블리 위에 장착된, 패시브 소자(1506)들을 동반한, 적층 다이 콰드 플랫 논리드 리드 프레임 칩 스케일 패키지(stacked die quad flat nonleaded leadframe chip scale package)(1510)를 구비한 모듈(1500)을 도시한다. 도 16은 도 7에서와 같이 구성되는 적층 패키지 어셈블리 위에 장착된, 패시브 소자(1606)들을 동반한, 와이어 본딩된 다이(1610)를 구비한 모듈(1600)을 도시한다. 다이 및 와이어들은 캡슐화 수지를 공급하는 시린지에 의해 형성되는, "글롭 탑(glop top)" 캡슐에 의해 덮힌다. 도 17은 도 7에서와 같이 구성되는 적층 패키지 어셈블리 위에 장착된, 패시브 소자(1706)들을 동반한, 플립 칩 장착 다이(1710)를 구비한 모듈(1700)을 도시한다. 언더필(underfill)이 플립 칩 인터커넥트들을 보호한다. 도 18은 도 7에서와 같이 구성되는 적층 패키지 어셈블리 위에 장착된, 패시브 소자(1806)들을 동반한, 광학 센서 패키지(1810)(가령, 이미지 형성 장치)를 구비한 모듈(1800)을 도시한다. 광은 화살표(1820)로 표시되는 바와 같이 투명 커버나 렌즈(1820)를 투과하여, 와이어 본딩된 광 센서 다이의 액티브 사이트에 도달한다.
- [0118] 도 19는 제 2 패키지 기판의 랜드 사이드 상에 장착되는 열 스프레더(1910)를 구비한, 도 7에 도시된 바와 같은 적층 패키지 어셈블리를 포함하는 어셈블리(1900)를 도시한다.
- [0119] 또다른 실시예에서, 어셈블리 캡슐의 캐버티 내에서, 제 1 패키지 기판의 랜드 사이드의 노출 영역 상에서 어셈블리에 추가 패키지가 부착된다. 이러한 실시예에서, 도 8에 도시되는 바와 같은 어셈블리는 유용한 플랫폼을 제공할 수 있고, 이 플랫폼에는 도 20~도 27에서와 같은, 추가 기능들을 가진 컴포넌트들이 적층된다. 도 8의 플랫폼을 이용하는 실시예에서, 제 1 패키지 기판 상의 트레이스들은 추가 컴포넌트들을 수용하도록 적절히 배선(routing)되어야 한다.
- [0120] 예를 들어 도 20에 도시되는 바와 같이, 볼 그리드 어레이(BGA) 패키지는 도 8을 참고하여 앞서 설명한 바와 같이 구성되는 어셈블리 위에 장착될 수 있다. 도 20에서, 인터커넥트 솔더 볼(1618)을 구비한 BGA 패키지(1610)는 제 2 패키지(120) 기판(112)의 랜드 사이드의 노출 영역에 정렬되고 장착된다. 솔더 볼들은 금속층(123)의 볼 패드에 리플로되어 모듈(2000)을 형성한다. 또한 도 21에 도시되는 바와 같이, 도 8을 참고하여 설명된 바와 같이 구성된 어셈블리 위에 플립 칩 방식으로 추가 다이가 장착되고 전기적으로 연결될 수 있다. 도 21에서, 플립 칩(1710)은 제 2 CSP 패키지(120) 기판(112)의 랜드 사이드의 노출 영역 상의 캐버티에 정렬되고 장착되며, 솔더 볼들은 금속층(123)의 볼 패드에게로 리플로되어 모듈(2100)을 형성한다. 또한, 도 22에 제시된 바와 같이, 도 8을 참고하여 앞서와 같이 구성된 어셈블리에 패시브 소자들이 장착되고 전기적으로 연결될 수 있다. 도 22에서, 패시브 소자(2282)들은 제 2 CSP 패키지(120) 기판(112)의 랜드 사이드의 노출 영역 상의 캐버티에

장착되며, 솔더 볼들은 금속층(123)의 볼 패드에 리플로되어 모듈(2200)을 형성한다. 예를 들어 도 23에 제시되는 바와 같이, 도 8을 참고하여 앞서 설명한 바와 같이 구성된 어셈블리에 적층 다이 콰드 플랫 패키지(stacked die quad flat package)(1410)가 장착되고 전기적으로 연결될 수 있다. 도 23에서, 제 2 CSP 패키지(120) 기판(112)의 랜드 사이트의 노출 영역 상의 캐버티에 적층 다이 콰드 플랫 패키지(1410)가 장착되며, 솔더 볼들은 금속층(123)의 볼 패드에 리플로되어 모듈(2300)을 형성한다. 예를 들어 도 24에 제시되는 바와 같이, 도 8을 참고하여 앞서 설명한 바와 같이 구성된 어셈블리에 추가 다이가 와이어 본딩에 의해 장착되고 전기적으로 연결될 수 있다. 도 24에서, 다이(1610)가 제 2 CSP 패키지(120) 기판(112)의 랜드 사이트의 노출 영역 상의 캐버티에 액티브 사이드를 상향으로 하여 장착되며, 솔더 볼들은 금속층(123)의 볼 패드에 리플로되어 모듈(2400)을 형성한다. 예를 들어 도 25에 제시되는 바와 같이, 도 8을 참고하여 앞서 설명한 바와 같이 구성된 적층 패키지 어셈블리에 적층 다이 콰드 플랫 논리드 리드프레임 칩 스케일 패키지(stacked die quad flat nonlead leadfram chip scale package)(1510)가 장착된다. 도 25에서, 적층 다이 콰드 플랫 논리드 리드프레임 칩 스케일 패키지(stacked die quad flat nonlead leadfram chip scale package)(1510)는 제 2 CSP 패키지(120) 기판(112)의 랜드 사이트의 노출 영역 상의 캐버티에 장착되며, 솔더 볼들은 금속층(123)의 볼 패드에 리플로되어 모듈(2500)을 형성한다. 예를 들어 도 26에 제시되는 바와 같이, 도 8을 참고하여 앞서 설명한 바와 같이 구성된 적층 패키지 어셈블리에 광학 센서 패키지(1810)(가령, 이미지 형성 장치)가 장착된다. 도 26에서, 광학 센서 패키지(1810)는 제 2 CSP 패키지(120) 기판(112)의 랜드 사이트의 노출 영역 상의 캐버티에 장착되며, 솔더 볼들은 금속층(123)의 볼 패드에 리플로되어 모듈(2600)을 형성한다. 과은 화살표(1820)로 표시되는 바와 같이 투명 커버나 렌즈(1802)를 투과하여, 와이어 본딩된 광 센서 다이의 액티브 사이트에 도달한다. 예를 들어 도 27에 제시되는 바와 같이, 도 8을 참고하여 앞서 설명한 바와 같이 구성된 적층 패키지 어셈블리에 광학 센서 다이(가령, 이미지 형성 장치)가 장착된다. 도 27에서, 이 다이는 패드(123)에 와이어 본드에 의해 연결되어 모듈(2700)을 형성한다. 어셈블리 캡슐(707)에 장착되는 프레임(2704)가 투명 커버나 렌즈(2702)를 지지한다. 광은 화살표(2720)에 의해 표시되는 바와 같이 투명 커버나 렌즈(2702)를 투과하여, 와이어 본딩된 광 센서 다이의 액티브 사이트에 도달한다.

[0121] 도 7 및 도 8에서와 같은 어셈블리를 제작하는 프로세스가 도 28에 순서도로 제시된다. 단계 2802에서, 모듈 기판이 싱클레이션되지 않은 스트립이나 매트릭스로 제공된다. 단계 2804에서 제 1 CSP가 제공되고, 단계 2806에서, 상기 패키지가 접착제를 이용하여 모듈 기판의 패키지 부착 사이트에 장착된다. 접착제는 도 6을 참고하여 설명한 바와 같이 제 1 CSP에, 또는 모듈 기판에 도포될 수 있다. 단계 2808에서 제 2 CSP가 제공되고, 단계 2810에서, 제 2 패키지가 접착제를 이용하여 제 1 패키지에 장착된다. 이 접착제는 제 1 패키지나 제 2 패키지에 도포될 수 있다. 제 1 패키지나 제 2 패키지를 부착 후 접착제 부분 또는 전체 경화 및 플라즈마 세척(단계 2812)이 수행된다. 각 패키지 부착 절차 후, 제 1 패키지를 제 2 패키지나 모듈 기판에 와이어 본드로 상호연결한다(단계 2814). 와이어 본딩 이후 추가적인 플라즈마 세척(단계 2816)이 수행되고, 패키지가 몰딩되거나 캡슐화되며(단계 2818), 솔더 볼들이 모듈 기판의 랜드 사이트에 리플로된다(단계 2820). 개별 모듈들이 소싱글레이션되거나 펀치 싱클레이션될 수 있다.

발명의 효과

[0122] 본 발명에 따른 프로세스의 다양한 단계들이 공지 제작 설비의 직관적 수정을 통해 종래의 기술을 이용하여 본원의 방법에 따라 실행될 수 있다. 이러한 종래 기술의 변형 및 종래 제작 장치의 수정은 부적절한 실험절차없이 본원의 설명을 이용하여 구현될 수 있다.

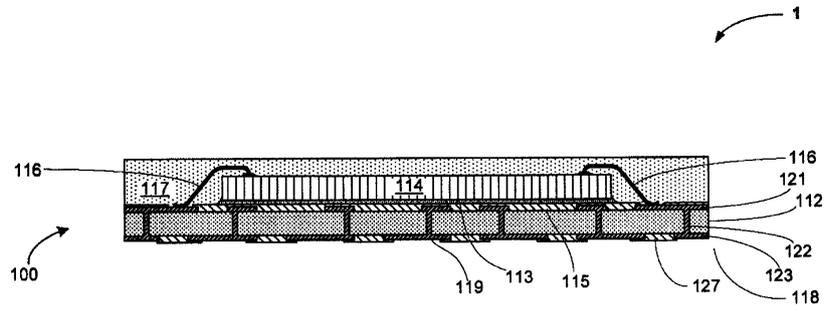
도면의 간단한 설명

- [0001] 도 1은 CSP의 단면도.
- [0002] 도 2는 발명의 한 태양에 따른 반도체 어셈블리의 한 실시예의 단면도.
- [0003] 도 3은 발명의 또다른 태양에 따른 반도체 어셈블리의 한 실시예의 단면도.
- [0004] 도 4는 발명의 또한가지 태양에 따른 반도체 어셈블리의 한 실시예의 단면도.
- [0005] 도 5A는 도 3에 도시된 발명의 한 실시예에 사용되기에 적합한 배열에서 발명의 한 실시예에 따라 하부 CSP 기판의 랜드 사이트를 도시하는 평면도.

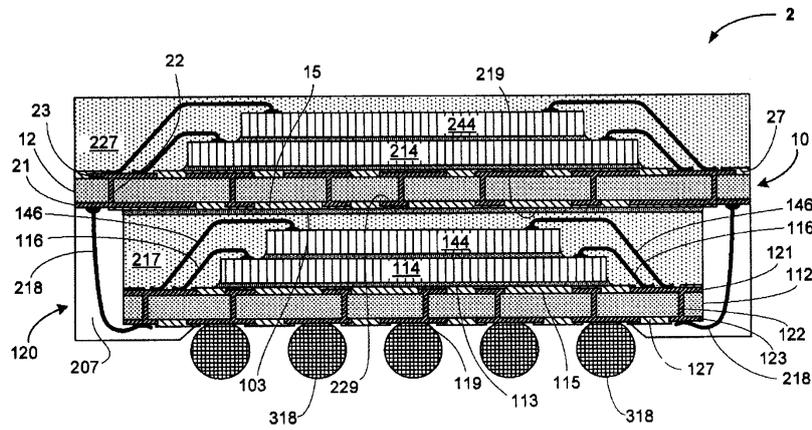
- [0006] 도 5B는 도 3에 도시된 발명의 한 실시예에 사용되기에 적합한 배열에서 발명의 한 실시예에 따라 CSP 기관의, CSP를 부착한 다이 부착 사이드를 도시하는 평면도.
- [0007] 도 6은 발명의 한 실시예에 따라 반도체 어셈블리를 제작하기 위한 프로세스의 순서도.
- [0008] 도 7은 본 발명의 또다른 태양에 따른 반도체 어셈블리의 한 실시예의 단면도.
- [0009] 도 8은 본 발명의 또한가지 태양에 따른 반도체 어셈블리의 한 실시예의 단면도.
- [0010] 도 9A는 도 7에 도시된 발명의 한 실시예에 사용되기에 적합한 모듈 기관의 랜드 사이드를 도시하는 평면도.
- [0011] 도 9B는 도 7에 도시된 발명의 한 실시예에 사용되기에 적합한 모듈 기관의 패키지 부착 사이드를 도시하는 평면도.
- [0012] 도 10 및 도 11은 도 7에 도시된 바와 같은 어셈블리 위에 BGA를 각기 적층시킨, 발명의 실시예에 따른 반도체 어셈블리의 단면도.
- [0013] 도 12 및 도 13은 도 7에 도시된 바와 같은 어셈블리 위에 LGA를 각기 적층시킨, 발명의 실시예에 따른 반도체 어셈블리의 단면도.
- [0014] 도 14는 도 7에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 SD QFP를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0015] 도 15는 도 7에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 SD QFN/LFCSP를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0016] 도 16은 도 7에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 와이어 본딩된 다이를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0017] 도 17은 도 7에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 플립 칩 다이를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0018] 도 18은 도 7에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 광학 센서 패키지를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0019] 도 19는 도 7에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 열 스프레더를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0020] 도 20은 도 8에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 BGA를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0021] 도 21은 도 8에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 플립 칩 다이를 장착한, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0022] 도 22는 도 8에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 패시브 소자들을 장착한, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0023] 도 23은 도 8에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 SD QFP를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0024] 도 24는 도 8에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 와이어 본딩된 다이를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0025] 도 25는 도 8에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 SD QFN/LFCSP를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0026] 도 26은 도 8에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 광학 센서 패키지를 적층시킨, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0027] 도 27은 도 8에 도시된 바와 같은 발명의 한 실시예에 따른 어셈블리 위에 광학 센서 다이를 장착한, 발명의 한 실시예에 따른 적층 패키지 어셈블리의 단면도.
- [0028] 도 28은 발명의 한 실시예에 따른 반도체 어셈블리의 제작 프로세스의 순서도.

도면

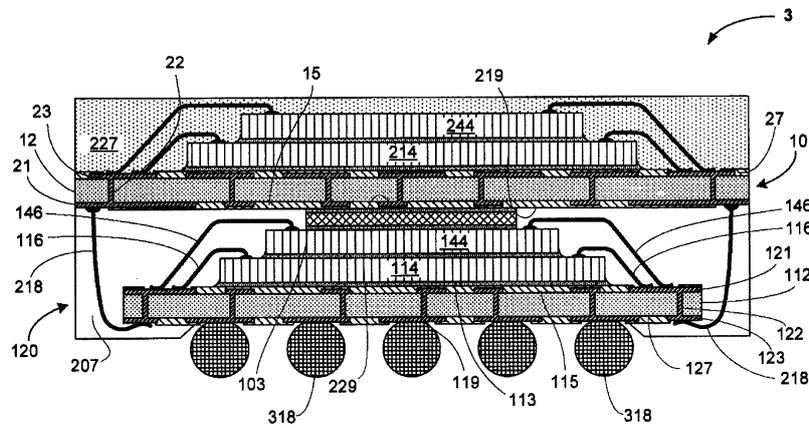
도면1



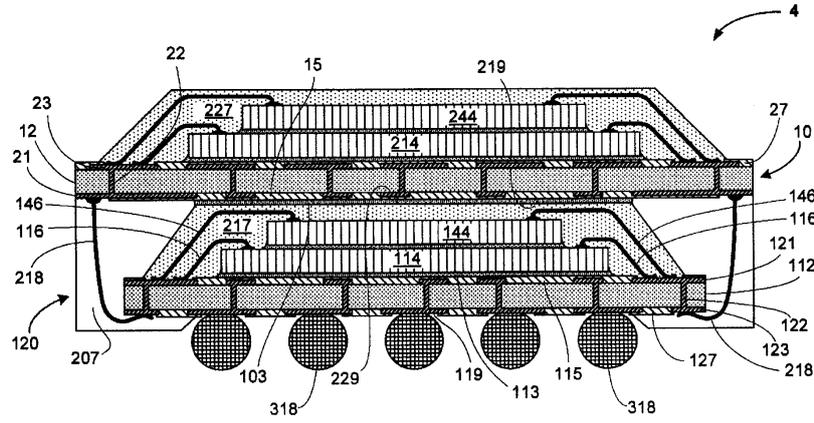
도면2



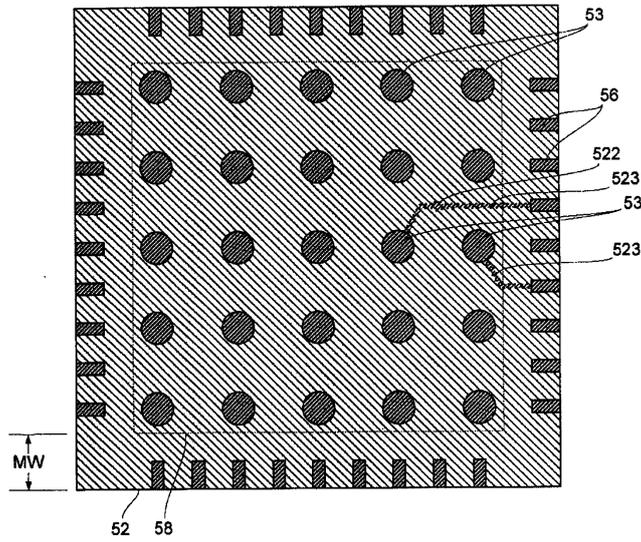
도면3



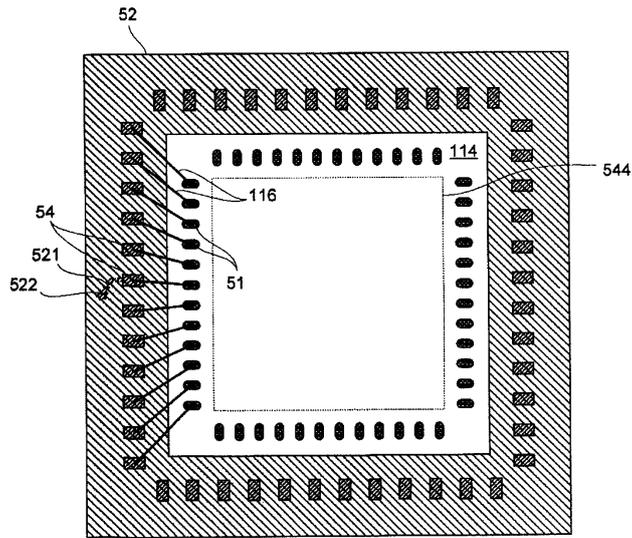
도면4



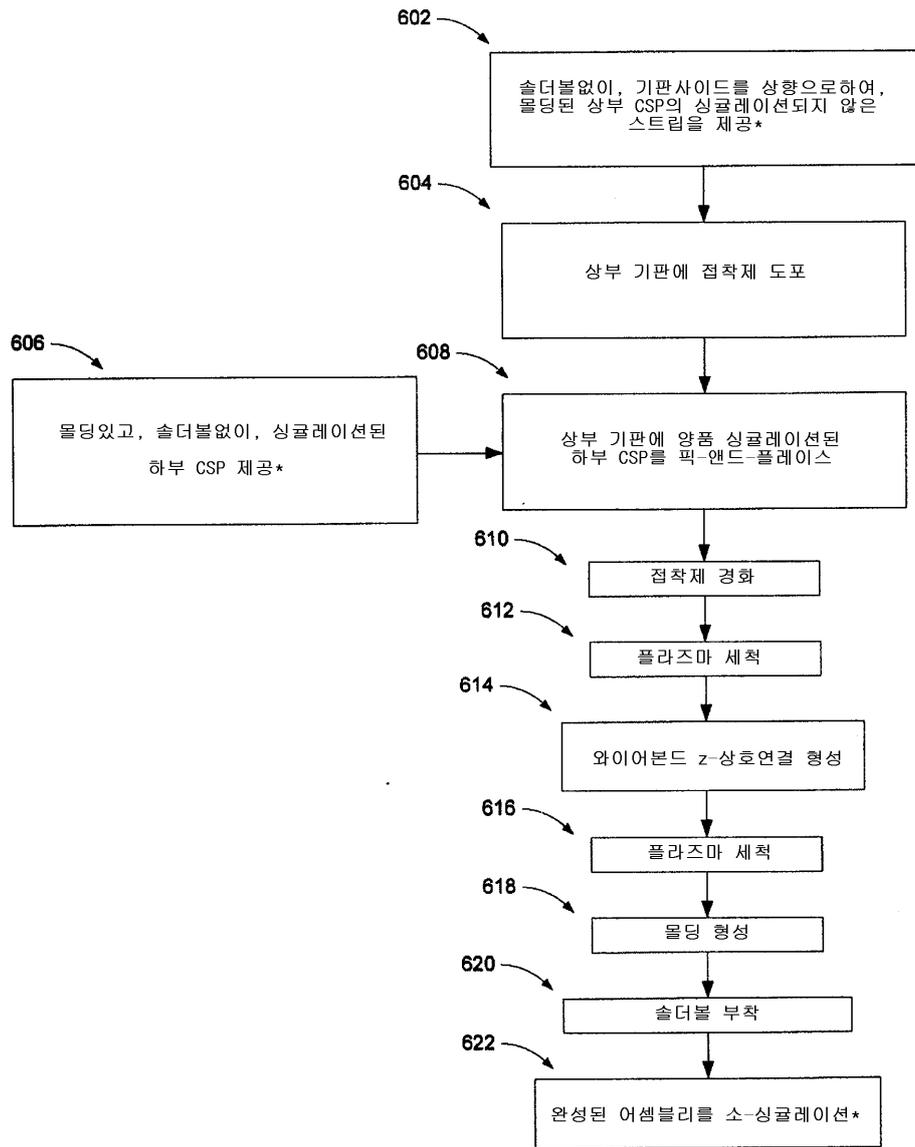
도면5a



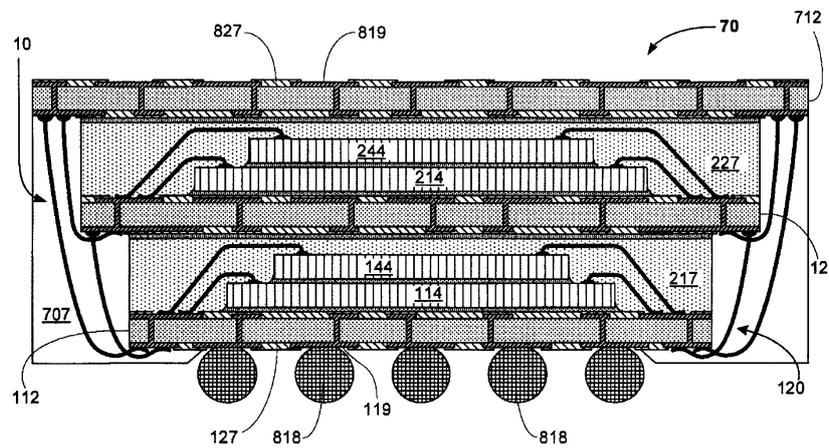
도면5b



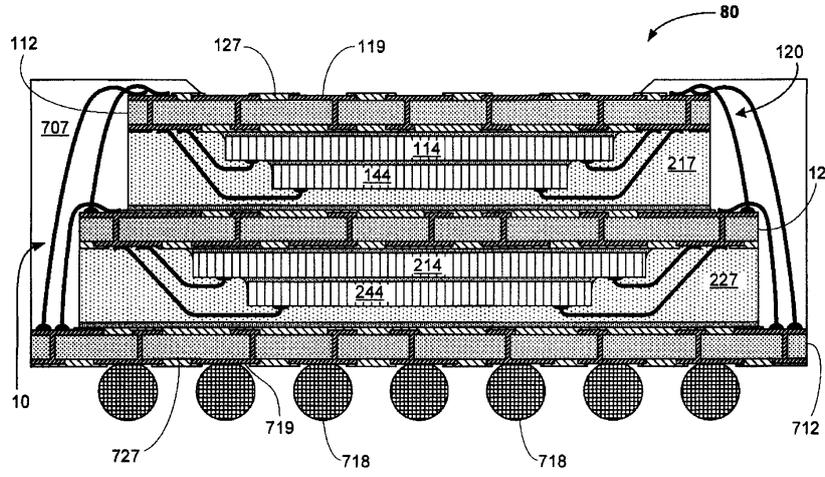
도면6



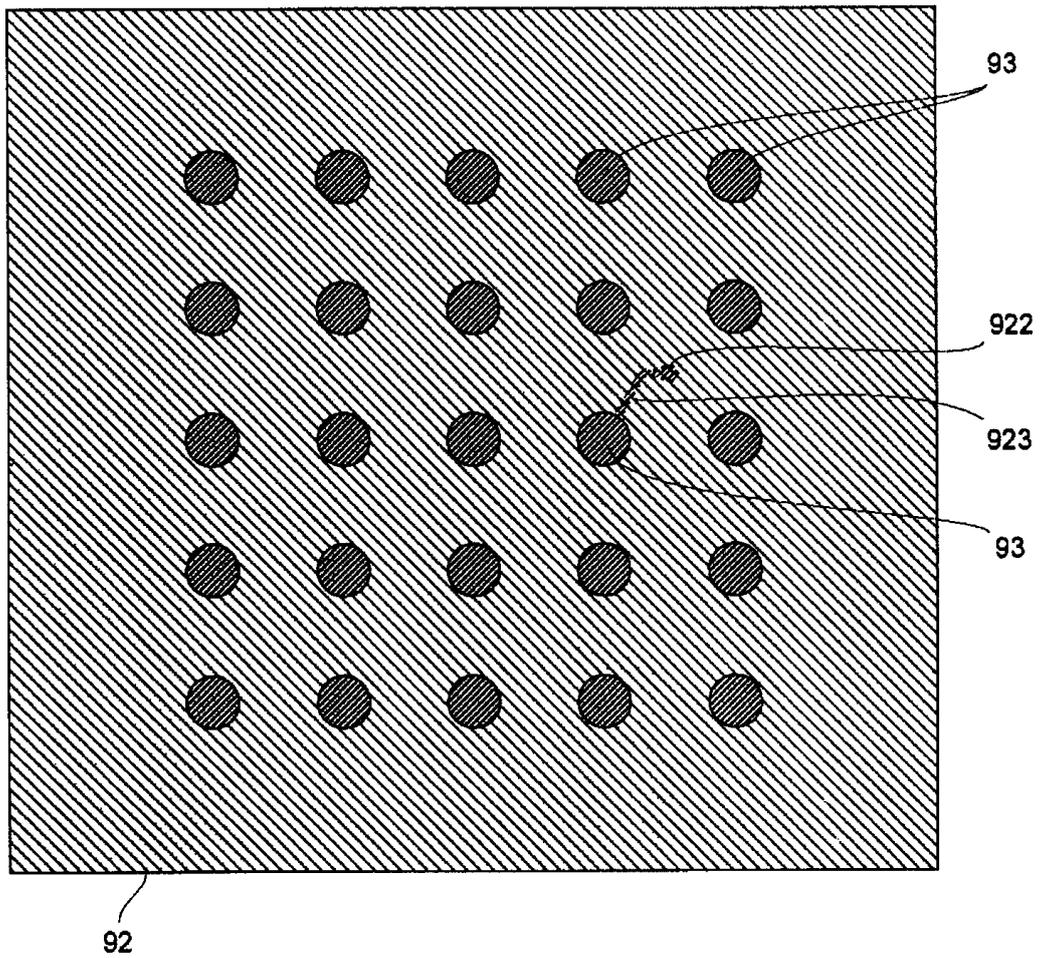
도면7



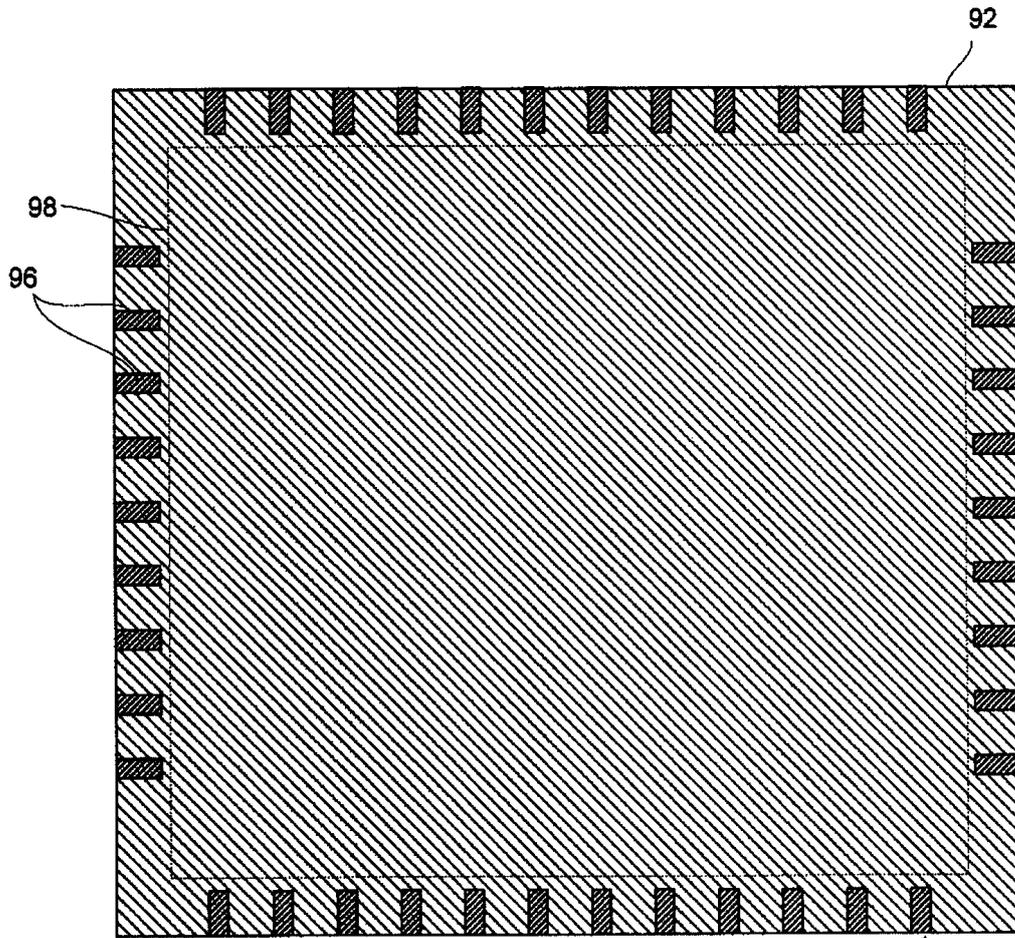
도면8



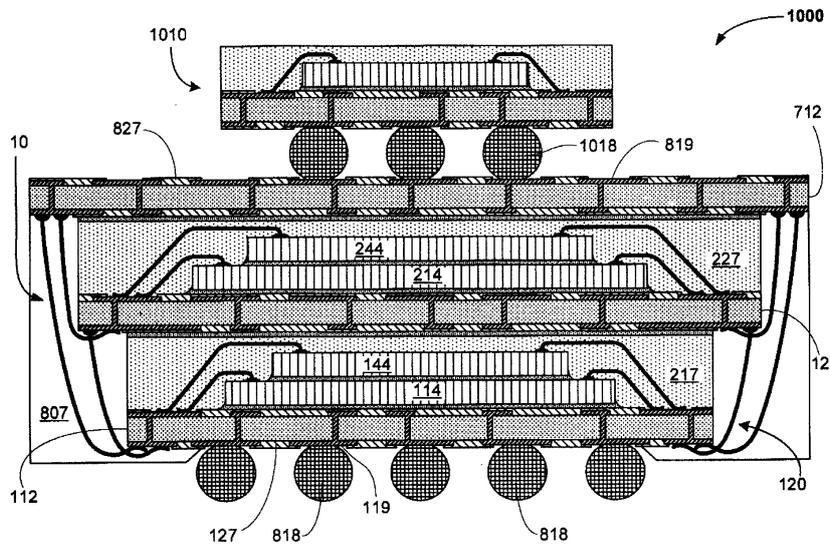
도면9a



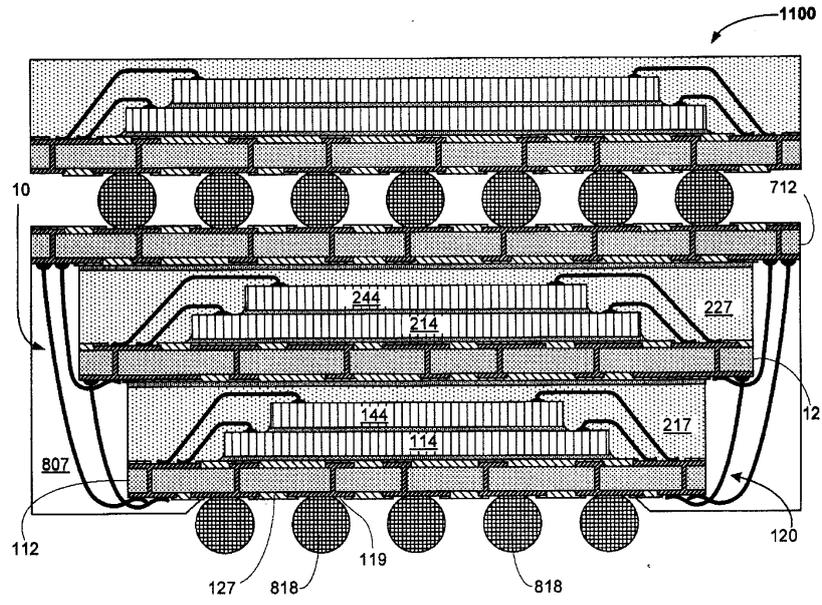
도면9b



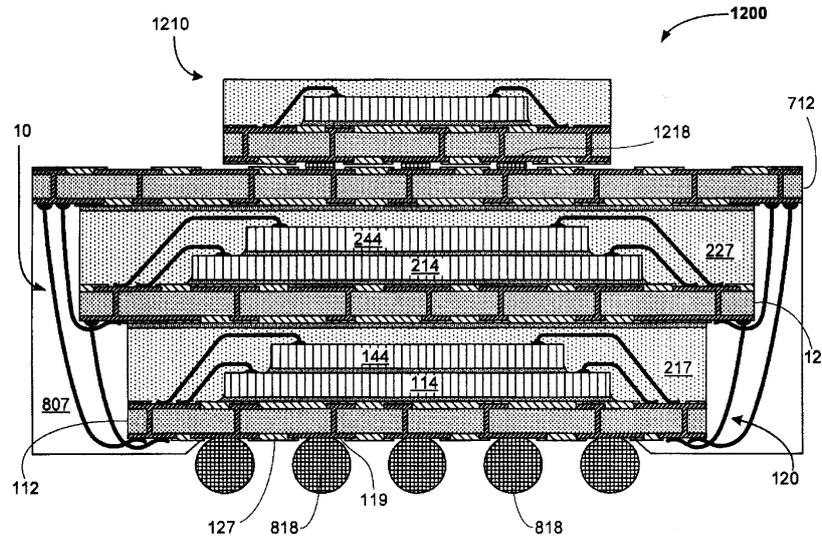
도면10



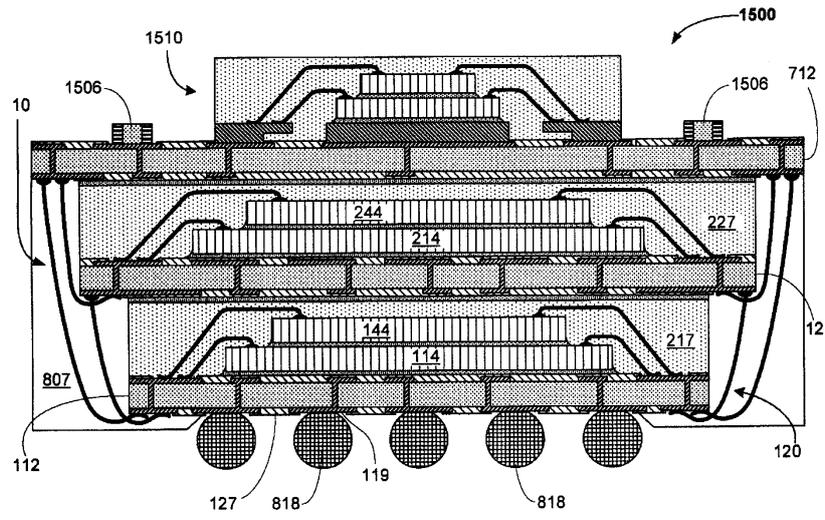
도면11



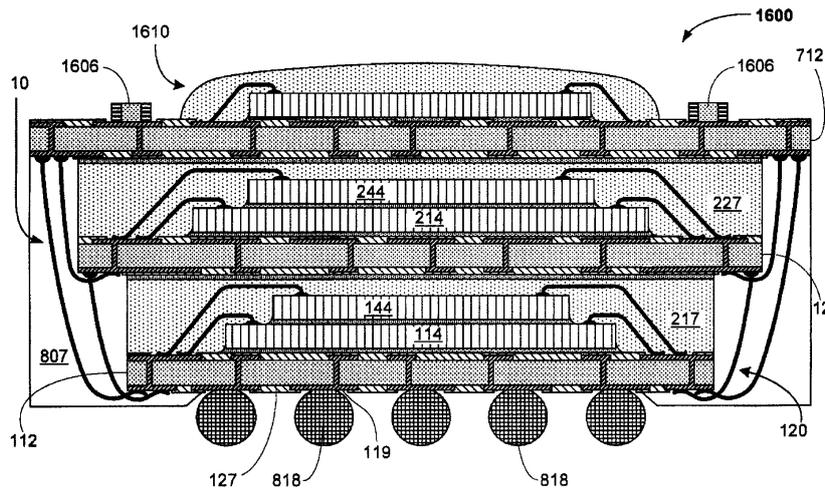
도면12



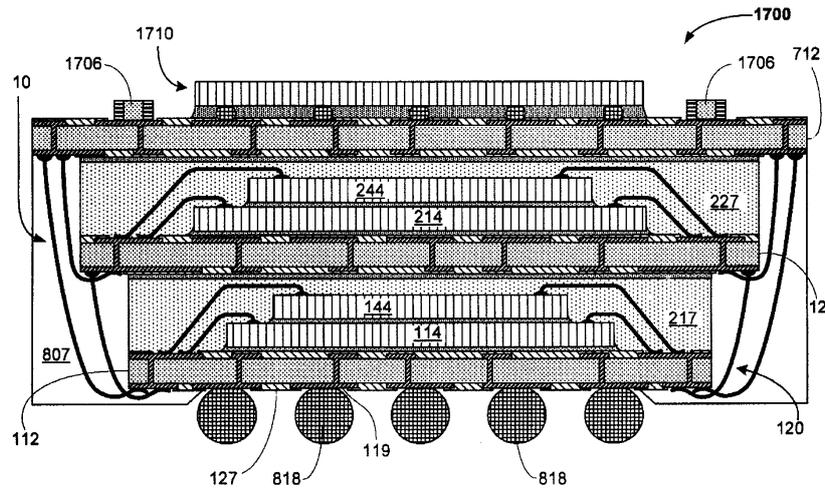
도면15



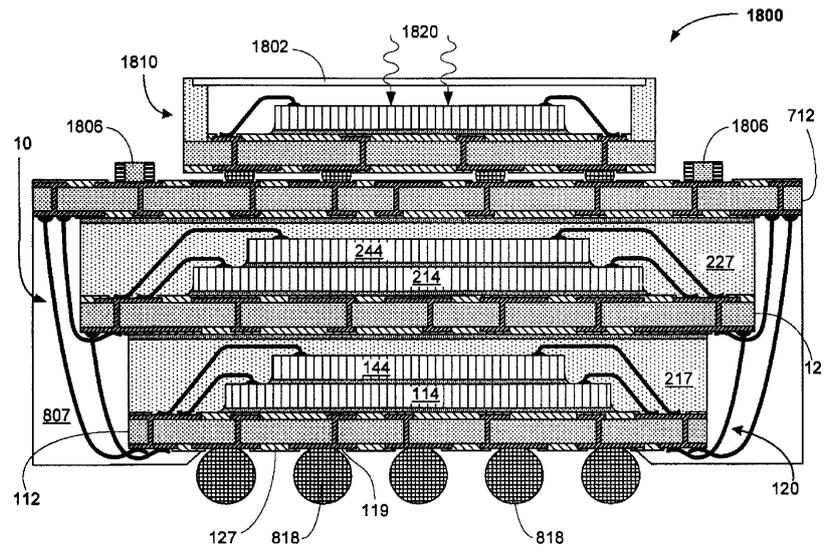
도면16



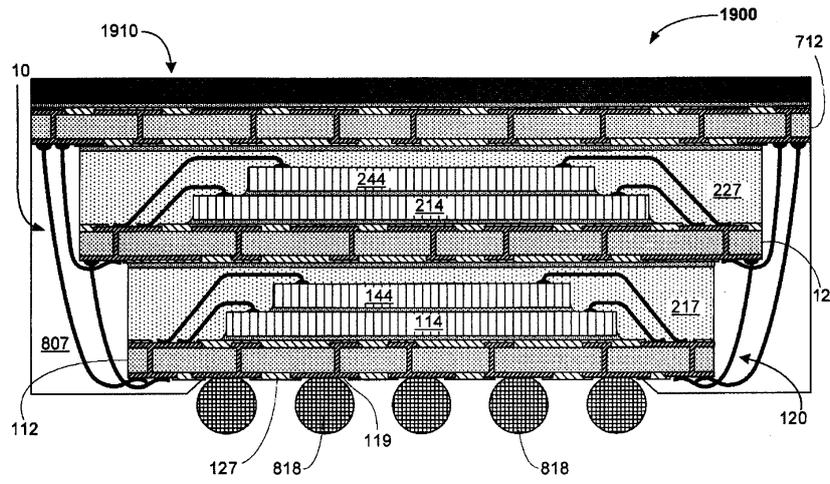
도면17



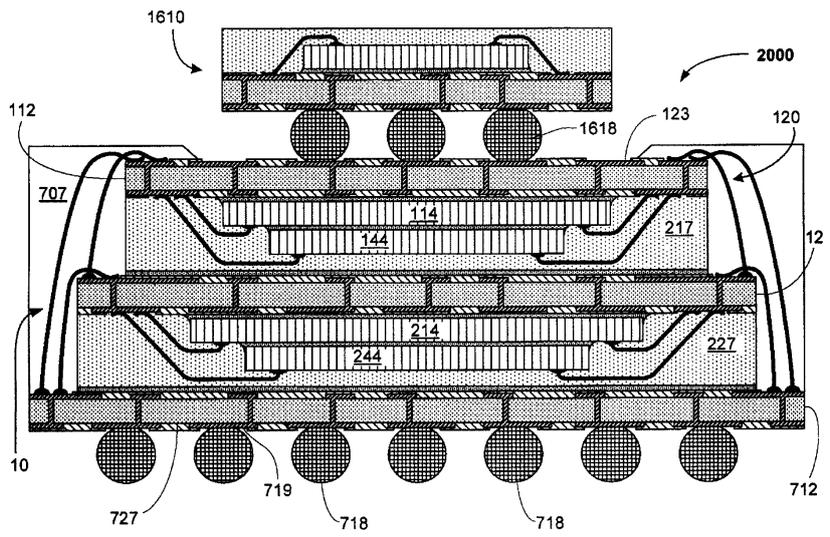
도면18



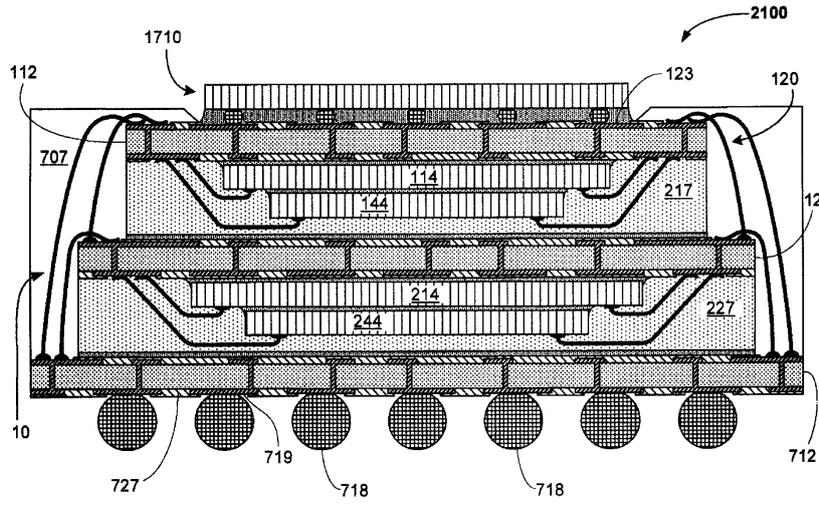
도면19



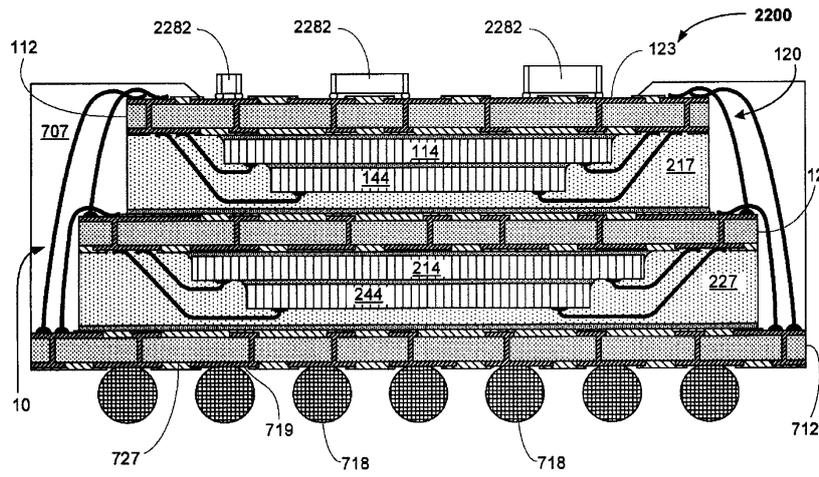
도면20



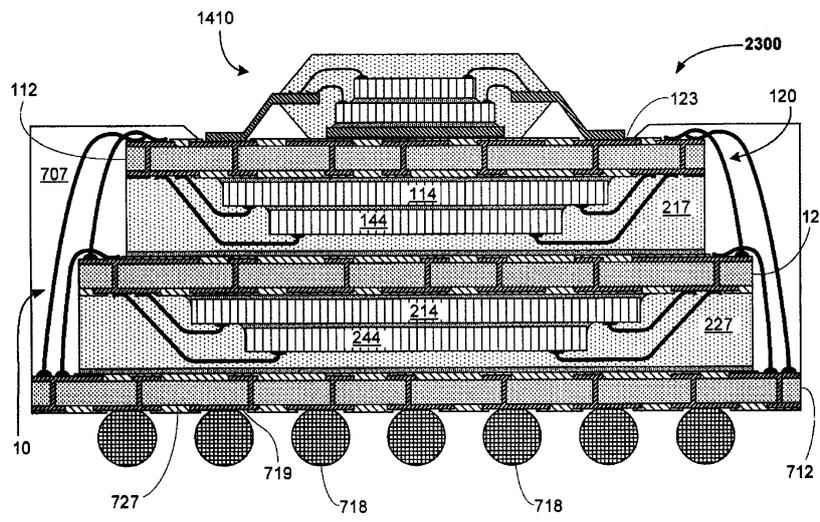
도면21



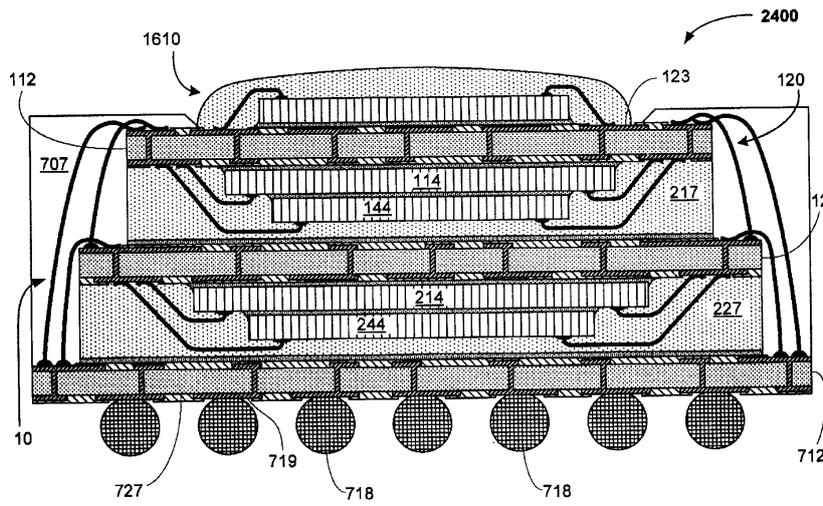
도면22



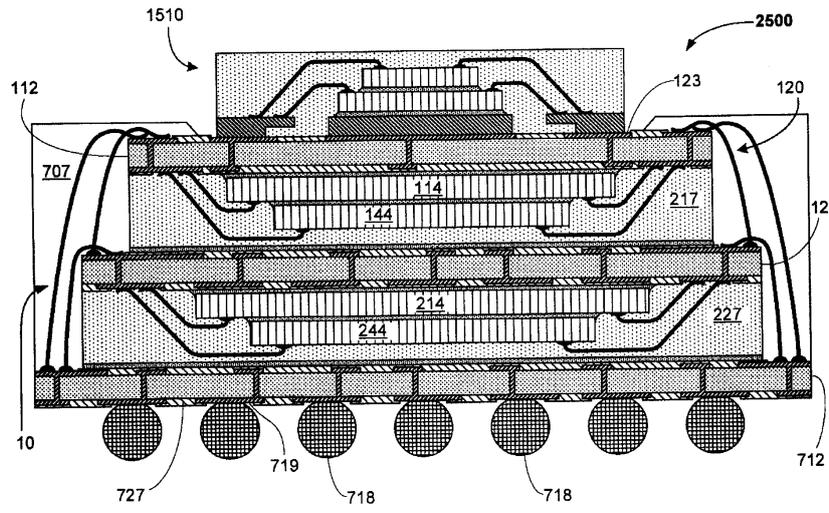
도면23



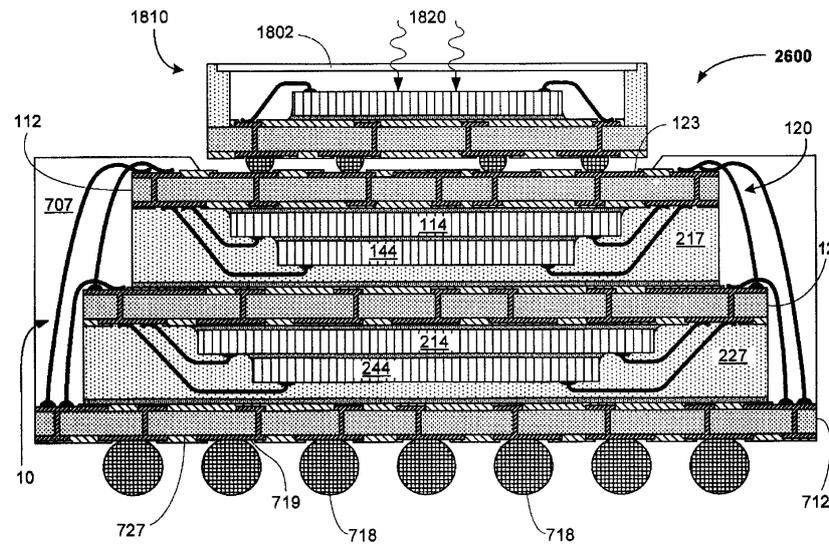
도면24



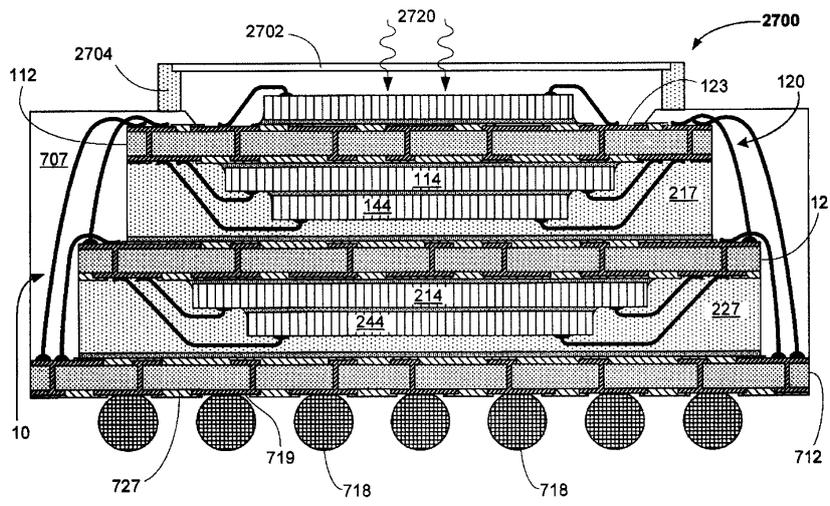
도면25



도면26



도면27



도면28

