

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 8 月 28 日 (28.08.2008)

PCT

(10) 国際公開番号
WO 2008/102443 A1

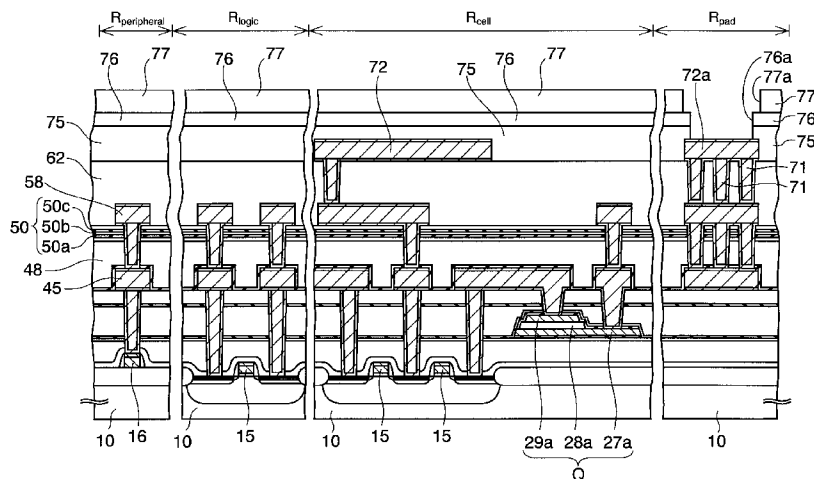
- (51) 国際特許分類:
H01L 21/8246 (2006.01) H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2007/053210
- (22) 国際出願日: 2007 年 2 月 21 日 (21.02.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 永井 孝一 (NAGAI, Kouichi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 岡本 啓三 (OKAMOTO, Keizo); 〒1030013 東京都中央区日本橋人形町 3 丁目 1 番 7 号 山西ビル 4 階 岡本国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 半導体装置とその製造方法

[図31]



(57) Abstract: [PROBLEMS] To provide a semiconductor device that attains prevention of any deterioration of ferroelectric capacitor and provide a process for producing the same. [MEANS FOR SOLVING PROBLEMS] The semiconductor device is one comprising foundation insulating film (25) provided superior to silicon substrate (10); ferroelectric capacitor (Q) superimposed on the foundation insulating film (25); multiple interlayer insulating films (35,48,62) and metal wirings (45,58,72) alternately provided on the capacitor (Q); and conductive plug (57) provided in hole (54a) had by the interlayer insulating film (48) and electrically connected with the metal wiring (45), wherein first capacitor protective insulating film (50) composed of first insulating metal oxide film (50a), intermediate insulating film (50b) with specific inductive capacity lower than that of the interlayer insulating film (48) and second insulating metal oxide film (50c) superimposed in this order is provided on the superior surface of the interlayer insulating film (48), and wherein the first capacitor protective insulating film (50) is provided with hole (54a).

/ 続葉有 /



添付公開書類:

— 国際調査報告書

(57) 要約: 【課題】 強誘電体キャパシタの劣化を防止することが可能な半導体装置とその製造方法を提供すること。 【解決手段】 シリコン基板 10 の上方に形成された下地絶縁膜 25 と、下地絶縁膜 25 の上に形成された強誘電体キャパシタ Q と、キャパシタ Q の上に交互に複数形成された層間絶縁膜 35、48、62 及び金属配線 45、58、72 と、層間絶縁膜 48 が備えるホール 54 a 内に形成され、金属配線 45 と電氣的に接続された導電性プラグ 57 とを有し、層間絶縁膜 48 の上面に、第 1 絶縁性酸化金属膜 50 a、層間絶縁膜 48 よりも比誘電率が低い中間絶縁膜 50 b、及び第 2 絶縁性金属酸化金属膜 50 c を順に積層してなる第 1 キャパシタ保護絶縁膜 50 が形成され、該第 1 キャパシタ保護絶縁膜 50 にもホール 54 a が形成された半導体装置による。

明 細 書

半導体装置とその製造方法

技術分野

[0001] 本発明は、半導体装置とその製造方法に関する。

背景技術

[0002] 近年、強誘電体の分極反転を利用して情報を強誘電体キャパシタに保持する強誘電体メモリFeRAM(Ferroelectric Random Access Memory)の開発が進められている。強誘電体メモリは、電源を切っても情報が消失しない不揮発性メモリであり、高集積度、高速駆動、高耐久性、低消費電力を実現できることから特に注目されている。

[0003] 強誘電体キャパシタを構成する強誘電体膜の材料としては、残留分極量が $10\sim 30\mu\text{C}/\text{cm}^2$ 程度と大きなPZT(Lead Zirconate Titanate: $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$)やSBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)等のペロブスカイト結晶構造を有する強誘電体酸化物が主として用いられている。このような強誘電体膜は、従来から、酸化シリコン膜等の水との親和性が高い層間絶縁膜を介して外部から侵入した水分によりその強誘電体特性が劣化することが知られている。これは、デバイスに侵入した水分が、層間絶縁膜や金属配線を形成するために基板を加熱する際に水素と酸素とに分解し、このうちの水素が強誘電体膜に侵入して、その水素によって強誘電体膜が還元されるため、強誘電体膜に酸素欠陥が発生しその結晶性が低下するためである。

[0004] また、これと同様に、強誘電体メモリを長期間にわたって使用する場合でも、強誘電体膜の強誘電体特性が劣化し、強誘電体キャパシタの性能が劣化してしまう。更に、強誘電体キャパシタに限らず、トランジスタ等の性能が劣化することもある。

[0005] そこで、FeRAM等の強誘電体デバイスでは、アルミナ(Al_2O_3)膜等のキャパシタ保護絶縁膜を形成することにより、水分や水素が強誘電体キャパシタに侵入するのを防止するのが普通である。

[0006] このようなキャパシタ保護絶縁膜については、例えば特許文献1に開示されている。

[0007] 図1は、特許文献1に開示されている半導体装置の要部拡大断面図である。

[0008] この半導体装置は、半導体基板200の上方の第1層間絶縁膜201上に、下部電極

202、強誘電体よりなるキャパシタ誘電体膜203、及び上部電極204をこの順に積層してなる強誘電体キャパシタQを備える。

[0009] そして、この強誘電体キャパシタQを覆う酸化シリコンよりなる第2層間絶縁膜206上には、強誘電体キャパシタQに水素や水分が浸入するためのキャパシタ保護絶縁膜210が形成される。更に、各絶縁膜201、206、210には、層間の電氣的接続を行うためのホール206a、206bが形成され、これらのホール内に導電性プラグ211a、211bが埋め込まれる。

[0010] 特許文献1によれば、キャパシタ保護絶縁膜210としてアルミナ膜207、窒化シリコン膜208、及びアルミナ膜209の積層膜を形成することにより、アルミナ膜207、209のストレスが窒化シリコン膜208で緩和されるとある。

[0011] しかしながら、このようなキャパシタ保護絶縁膜210では、エッチングによりホール206a、206bを形成する際に窒化シリコン膜208がエッチングのストップとして機能するため、エッチングに長時間が必要となると共に、窒化シリコン基板208の下方においてホール206a、206bの直径が著しく小さくなってしまう。

[0012] 図2(a)、(b)は、このホール206a、206bを上から見たSEM(Scanning Electron Microscope)像を基にして描いた平面図である。これに示されるように、206a、206bの上端206cは比較的綺麗な円形であるのに対し、その下端206dの平面形状は、不安定な形になると共に、その直径が上端206cのそれよりも小さくなる。

[0013] このように、キャパシタ保護絶縁膜210として窒化シリコン膜208を含んだ積層膜を形成したのでは、ホール206a、206bを綺麗に形成することができず、これらのホール206a、206bに埋め込まれる導電性プラグ211a、211bのコンタクト抵抗が不安定になるという問題が発生する。

[0014] 図3は、特許文献1に開示されている半導体装置の他の例の要部拡大断面図である。

[0015] この半導体装置は、キャパシタ保護絶縁膜225として、アルミナ膜220、222、224と酸化シリコン膜221、223とを図示のように積層する点で図1の例と相違する。

[0016] この例では、キャパシタ保護絶縁膜225に窒化シリコン膜が含まれていないため、図1の例よりはホール206a、206bのエッチングは容易となる。

[0017] しかし、膜に引張応力が発生し易いプラズマCVD(Chemical Vapor Deposition)法により酸化シリコン膜221、223を形成するため、酸化シリコン膜221、223に発生する引張応力によって半導体基板200が凹状に反り易い。そのため、圧電素子である強誘電体キャパシタQに応力が加わり、強誘電体キャパシタQの強誘電体特性が劣化し易いという別の問題が発生する。

特許文献1:特開2006-49795号公報

発明の開示

[0018] 本発明の目的は、強誘電体キャパシタの劣化を防止することが可能な半導体装置とその製造方法を提供することにある。

[0019] 本発明の一観点によれば、半導体基板の上方に形成された下地絶縁膜と、前記下地絶縁膜の上に形成され、下部電極、強誘電体材料よりなるキャパシタ誘電体膜、及び上部電極を備えたキャパシタと、前記キャパシタの上に交互に複数形成された層間絶縁膜及び金属配線と、前記層間絶縁膜が備えるホール内に形成され、前記金属配線と電気的に接続された導電性プラグとを有し、前記複数の層間絶縁膜のうち、少なくとも一つの該層間絶縁膜の上面に、第1絶縁性酸化金属膜、前記層間絶縁膜よりも比誘電率が低い中間絶縁膜、及び第2絶縁性金属酸化金属膜を順に積層してなる第1キャパシタ保護絶縁膜が形成され、該第1キャパシタ保護絶縁膜にも前記ホールが形成された半導体装置が提供される。

[0020] また、本発明の別の観点によれば、半導体基板の上方に下地絶縁膜を形成する工程と、前記下地絶縁膜の上に、下部電極、強誘電体材料よりなるキャパシタ誘電体膜、及び上部電極を備えたキャパシタを形成する工程と、前記キャパシタの上に、層間絶縁膜と金属配線とを交互に複数形成する工程と、前記複数の層間絶縁膜のうちの少なくとも一つにホールを形成する工程と、前記ホール内に、前記金属配線と電気的に接続される導電性プラグを形成する工程とを有し、前記複数の層間絶縁膜のうち、少なくとも一つの該層間絶縁膜の上面に、第1絶縁性酸化金属膜、前記層間絶縁膜よりも比誘電率が低い中間絶縁膜、及び第2絶縁性金属酸化金属膜を順に積層してなる第1キャパシタ保護絶縁膜を形成する工程を更に有すると共に、前記ホールを形成する工程において、前記1キャパシタ保護絶縁膜にも該ホールを形成する

半導体装置の製造方法が提供される。

[0021] 次に、本発明の作用について説明する。

[0022] 本発明によれば、第1キャパシタ保護絶縁膜として、第1絶縁性酸化金属膜、中間絶縁膜、及び第2絶縁性金属酸化金属膜を順に積層する。

[0023] このうち、中間絶縁膜は、その下の層間絶縁膜よりも比誘電率が低い材料で構成されるため、プラズマCVD法で形成された酸化シリコン膜と比較して膜応力が弱く引張応力が小さい。そのため、図3で説明したような膜の応力に起因する半導体基板の反りを防止でき、圧電素子である強誘電体キャパシタが応力によって劣化するのを防ぐことが可能となる。

[0024] また、この中間絶縁膜と、ホールが形成される層間絶縁膜は、共に酸化シリコン系の材料で構成されるのが好ましい。このようにすると、エッチングによりホールを形成する際、中間絶縁膜と層間絶縁膜との間に実質的なエッチングレートの差が発生しない。

[0025] 従って、酸化シリコン膜のエッチングにおいてストップとして機能してしまう窒化シリコン膜をキャパシタ保護絶縁膜に使用する図1の例と比較して、短時間にホールを開口できると共に、ホールの上端と下端の直径に差が殆ど発生せず、ホールを綺麗に形成することが可能となる。

[0026] そのため、ホール内に形成される導電性プラグにコンタクト不良が発生し難くなり、半導体装置の歩留まりを向上させることができる。

図面の簡単な説明

[0027] [図1]図1は、特許文献1に開示されている半導体装置の要部拡大断面図である。

[図2]図2(a)、(b)は、特許文献1のホールを上から見たSEM像を基にして描いた平面図である。

[図3]図3は、特許文献1に開示されている半導体装置の他の例の要部拡大断面図である。

[図4]図4(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その1)である。

[図5]図5(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面

図(その2)である。

[図6]図6(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その3)である。

[図7]図7(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その4)である。

[図8]図8は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その5)である。

[図9]図9は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その6)である。

[図10]図10は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その7)である。

[図11]図11は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その8)である。

[図12]図12は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その9)である。

[図13]図13は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その10)である。

[図14]図14は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その11)である。

[図15]図15は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その12)である。

[図16]図16は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その13)である。

[図17]図17は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その14)である。

[図18]図18は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その15)である。

[図19]図19は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(そ

の16)である。

[図20]図20は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その17)である。

[図21]図21は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その18)である。

[図22]図22は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その19)である。

[図23]図23は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その20)である。

[図24]図24は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その21)である。

[図25]図25は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その22)である。

[図26]図26は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その23)である。

[図27]図27は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その24)である。

[図28]図28は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その25)である。

[図29]図29は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その26)である。

[図30]図30は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その27)である。

[図31]図31は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その28)である。

[図32]図32は、本発明の第1実施形態に係る半導体装置の拡大平面図である。

[図33]図33は、本発明の第1実施形態において、セル領域のみに第5キャパシタ保護絶縁膜を形成した場合の平面図である。

[図34]図34は、本発明の第1実施形態において、第1絶縁性酸化金属膜と第2絶縁性酸化金属膜の二層を形成することで得られる利点を説明するための断面図である。

[図35]図35は、比較例に係る半導体装置の断面図である。

[図36]図36は、本発明の各実施形態で使用される密閉容器の斜視図である。

[図37]図37は、第1実施形態の第1変形例に係る半導体装置の断面図である

[図38]図38は、第1実施形態の第2変形例に係る半導体装置の断面図である。

[図39]図39は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その1)である。

[図40]図40は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その2)である。

[図41]図41は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その3)である。

[図42]図42は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その4)である。

[図43]図43は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その5)である。

[図44]図44は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その6)である。

[図45]図45は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その7)である。

[図46]図46は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その8)である。

[図47]図47は、第2実施形態の第1変形例に係る半導体装置の断面図である。

[図48]図48は、第2実施形態の第2変形例に係る半導体装置の断面図である。

[図49]図49(a)～(c)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その1)である。

[図50]図50(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断

面図(その2)である。

[図51]図51(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その3)である。

[図52]図52(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その4)である。

[図53]図53(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その5)である。

[図54]図54(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その6)である。

[図55]図55は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その7)である。

[図56]図56は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その8)である。

[図57]図57は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その9)である。

[図58]図58は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その10)である。

[図59]図59は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その11)である。

[図60]図60は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その12)である。

[図61]図61は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その13)である。

[図62]図62は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その14)である。

[図63]図63は、第3実施形態の第1変形例に係る半導体装置の断面図である。

[図64]図64は、第3実施形態の第2変形例に係る半導体装置の断面図である。

[図65]図65は、第1実施形態の第2変形例に係る半導体装置において、下部電極と

第1金属配線とのコンタクト抵抗を調査して得られたグラフである。

[図66]図66は、第1実施形態の第2変形例に係る半導体装置において、上部電極と第1金属配線とのコンタクト抵抗を調査して得られたグラフである。

[図67]図67は、第1実施形態の第2変形例に従って複数のキャパシタを孤立して形成し、そのキャパシタの残留分極電荷量(Q_{sw})を調査して得られたグラフである。

[図68]図68は、第1実施形態の第2変形例に従ってセル領域に形成されたキャパシタの残留分極電荷量(Q_{sw})を調査して得られたグラフである。

[図69]図69は、第1実施形態の第2変形例に係る半導体装置の不良率の調査結果である。

発明を実施するための最良の形態

[0028] 以下に、本発明の実施の形態について、添付図面を参照しながら詳細に説明する。

[0029] (1)第1実施形態

まず、本発明の第1実施形態に係る半導体装置について、その製造工程を追いながら説明する。

[0030] 図4～図31は、本実施形態に係る半導体装置の製造途中の断面図である。なお、これらの図では、一つの半導体チップにおける周辺回路領域 $R_{\text{peripheral}}$ 、ロジック回路領域 R_{logic} 、セル領域 R_{cell} 、パッド領域 R_{pad} を併記してある。

[0031] この半導体装置はプレーナ型のFeRAMであって、以下のようにして製造される。

[0032] 最初に、図4(a)に示す断面構造を得るまでの工程について説明する。

[0033] n型又はp型のシリコン(半導体)基板10の表面を熱酸化することにより素子分離絶縁膜11を形成し、この素子分離絶縁膜11でトランジスタの活性領域を画定する。素子分離絶縁膜11の膜厚は、例えば、シリコン基板10の上面から測って約200nm程度である。このような素子分離構造はLOCOS(Local Oxidation of Silicon)と呼ばれるが、これに代えてSTI(Shallow Trench Isolation)を採用してもよい。

[0034] 次いで、シリコン基板10の活性領域にp型不純物、例えばボロンを導入して第1、第2pウェル12、13を形成した後、その活性領域の表面を熱酸化することにより、ゲート絶縁膜14となる熱酸化膜を約6～7nmの厚さに形成する。

- [0035] 続いて、シリコン基板10の上側全面に、厚さ約50nmの非晶質シリコン膜と厚さ約150nmのタングステンシリサイド膜を順に形成する。なお、非晶質シリコン膜に代えて多結晶シリコン膜を形成してもよい。その後に、フォトリソグラフィによりこれらの膜をパターンニングして、ロジック回路領域 R_{logic} とセル領域 R_{cell} のシリコン基板10上にゲート電極15を形成すると共に、周辺回路領域 $R_{\text{peripheral}}$ の素子分離絶縁膜11上に配線16を形成する。
- [0036] ゲート電極15のゲート長は、例えば360 μm 程度である。
- [0037] 更に、ゲート電極15をマスクにするイオン注入により、ゲート電極15の横のシリコン基板10にn型不純物としてリンを導入し、第1～第3ソース/ドレインエクステンション17a～17cを形成する。
- [0038] その後に、シリコン基板10の上側全面に絶縁膜を形成し、その絶縁膜をエッチバックしてゲート電極15と配線16の横に絶縁性スペーサ18として残す。その絶縁膜として、例えばCVD法により酸化シリコン膜を45nmの厚さに形成する。
- [0039] 続いて、この絶縁性スペーサ18とゲート電極15をマスクにししながら、シリコン基板10に砒素等のn型不純物を再びイオン注入することにより、ゲート電極15の側方のシリコン基板10に第1～第3ソース/ドレイン領域(不純物拡散領域)19a～19cを形成する。
- [0040] 更に、シリコン基板10の上側全面に、スパッタ法によりコバルト膜等の高融点金属膜を形成する。そして、その高融点金属膜を加熱させてシリコンと反応させることにより、第1～第3ソース/ドレイン領域19a～19cにおけるシリコン基板10上にコバルトシリサイド層等の高融点シリサイド層22を形成し、各ソース/ドレイン領域19a～19cを低抵抗化する。なお、このような高融点金属シリサイド層は、ゲート電極15や配線16の表層にも形成される。
- [0041] その後に、素子分離絶縁膜11の上等で未反応となっている高融点金属層をウェットエッチングして除去する。
- [0042] ここまでの工程により、シリコン基板10のセル領域 R_{cell} とロジック回路領域 R_{logic} には、それぞれゲート絶縁膜14、ゲート電極15、及び第1～第3ソース/ドレイン領域19a～19c等によって構成される第1～第3MOSTランジスタ $TR_1 \sim TR_3$ が形成されたことに

なる。

- [0043] 次に、図4(b)に示すように、シリコン基板10の上側全面に、プラズマCVD法で酸化シリコン(SiON)膜を厚さ約200nmに形成し、それをエッチングストップ膜24とする。
- [0044] 更に、TEOS(Tetraethoxysilane)ガスと酸素ガスとの混合ガスを使用するプラズマCVD法により、このエッチングストップ膜24の上に下地絶縁膜25として酸化シリコン(SiO₂)膜を厚さ約600nmに形成する。その後、下地絶縁膜25の上面を平坦化するために、CMP(Chemical Mechanical Polishing)によりその上面を研磨する。その研磨量は、例えば200nm程度である。
- [0045] 次いで、図5(a)に示すように、TEOSガスを使用するプラズマCVD法により、この下地絶縁膜25の上に再びシリコン酸化膜を約100nmの厚さに形成し、このシリコン酸化膜を第1キャップ絶縁膜26とする。
- [0046] そして、これらの絶縁膜25、26の脱水処理として、窒素雰囲気中において基板温度を約650℃とするアニールを約30分間行った後、第1キャップ絶縁膜26上にスパッタ法によりアルミナ膜20を厚さ約20nmに形成する。
- [0047] その後、このアルミナ膜20に対し、基板温度を650℃、処理時間を60秒とするRTA(Rapid Thermal Anneal)を行う。
- [0048] このように第1キャップ絶縁膜26を形成することで、上記のCMPにおいて研磨パッドとの接触でついた下地絶縁膜25の上面の微細な傷(マイクロスクラッチ)が第1キャップに埋め込まれるので、第1キャップ絶縁膜26の上面にアルミナ膜20が良好な平坦性で形成される。
- [0049] 次に、図5(b)に示す断面構造を得るまでの工程について説明する。
- [0050] まず、アルミナ膜20の上に、スパッタ法により第1導電膜27としてプラチナ膜を形成する。この第1導電膜27は、後でパターンニングされてキャパシタ下部電極になり、その膜厚は約155nmである。
- [0051] 更に、第1導電膜27の上に、スパッタ法によりPZT(Lead Zirconate Titanate: $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$)膜を150~200nmの厚さに形成して、このPZT膜を強誘電体膜28とする。
- [0052] なお、強誘電体膜28の成膜方法としては、スパッタ法の他に、MOCVD(Metal Organic CVD)法やゾル・ゲル法もある。更に、強誘電体膜28の材料は上記のPZTに限定

されず、 $\text{SBT}(\text{SrBi}_{1/2}\text{Ta}_{1/2}\text{O}_9)$ 、 $\text{SrBi}(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_{9-x}$ 、 BiTiO_{12} 等のBi層状構造化合物や、PZTにランタンをドーピングしたPLZT($\text{Pb}_{1-x}\text{La}_x\text{Zr}_{1-y}\text{Ti}_y\text{O}_3$)、或いはその他の金属酸化物強誘電体で強誘電体膜28を構成してもよい。

[0053] ここで、スパッタ法で形成されたPZTは、成膜直後では殆ど結晶化しておらず、強誘電体特性に乏しい。そこで、強誘電体膜28を構成するPZTを結晶化させるための結晶化アニールとして、Ar流量が1.98リットル／分で酸素流量が0.025リットル／分の酸素含有雰囲気中で基板温度を約585℃とするRTA(Rapid Thermal Anneal)を約90秒間行う。なお、MOCVD法で強誘電体膜28を形成する場合は、この結晶化アニールは不要である。

[0054] 次に、上記の強誘電体膜28の上に、スパッタ法で第1酸化イリジウム(IrO_2)膜を厚さ約50nmに形成し、この第1酸化イリジウム膜に対してRTAを施す。そのRTAの条件は特に限定されないが、本実施形態では、Ar流量が2.00リットル／分で酸素流量が0.025リットル／分の酸素含有雰囲気中で基板温度を725℃、処理時間を20秒とする。

[0055] その後に、第1酸化イリジウム膜の上にスパッタ法により第2酸化イリジウム膜を厚さ約200nmに形成し、これら第1、第2酸化イリジウム膜よりなる積層膜を第2導電膜29とする。

[0056] ここで、アルミナ膜20の上に第1導電膜27を形成することにより、アルミナ膜20を省いてキャップ絶縁膜26の上に第1導電膜27を直接形成する場合と比較して、第1導電膜27を構成するプラチナの配向性が良好となる。その第1導電膜27の配向の作用によって、強誘電体膜28を構成するPZTの配向が揃えられ、強誘電体膜28の強誘電体特性が向上する。

[0057] 次に、図6(a)に示す断面構造を得るまでの工程について説明する。

[0058] まず、フォトリソグラフィにより第2導電膜29をパターンニングして上部電極29aを形成する。そして、このパターンニングにより強誘電体膜28が受けたダメージを回復させるために、強誘電体膜28に対する回復アニールを縦型炉内で行う。この回復アニールは、酸素流量が20リットル／分の酸素含有雰囲気において行われ、その条件は、例えば、基板温度650℃、処理時間60分である。

- [0059] 次いで、フォトリソグラフィで強誘電体膜28をパターンニングすることにより、PZT等の強誘電体材料で構成されるキャパシタ誘電体膜28aを形成する。このパターンニングでキャパシタ誘電体膜28aが受けたダメージは回復アニールによって回復される。この回復アニールは、縦型炉を用いて酸素含有雰囲気中で行われ、その条件として酸素流量20リットル／分、基板温度350℃、及び処理時間60分が採用される。
- [0060] 続いて、シリコン基板10の上側全面に、水素や水分等の還元性物質からキャパシタ誘電体膜28aを保護するための第1キャパシタ保護絶縁膜31としてアルミナ膜をスパッタ法で厚さ約50nmに形成する。
- [0061] なお、アルミナ膜に代えて、酸化チタン(TiO_x)膜、酸化ジルコニウム(ZrO_x)膜、酸化マグネシウム(MgO_x)膜、及び酸化チタンマグネシウム(MgTiO_x)膜のいずれかを第1キャパシタ保護絶縁膜31として形成してもよい。
- [0062] そして、このスパッタによりキャパシタ誘電体膜28aが受けたダメージを回復させるために、酸素流量が20リットル／分の酸素含有雰囲気中で基板温度を550℃とする回復アニールを約60分間行う。この回復アニールは、縦型炉を用いて行われる。
- [0063] 次に、図7(a)に示すように、フォトリソグラフィで第1導電膜27と第1キャパシタ保護絶縁膜31とをパターンニングすることにより、キャパシタ誘電体膜28aの下第1導電膜27を下部電極27aにすると共に、この下部電極27aを覆うように第1キャパシタ保護絶縁膜31を残す。
- [0064] その後、プロセス中にキャパシタ誘電体28aが受けたダメージを回復させるために、基板温度650℃、処理時間60分の条件で、酸素流量が20リットル／分の酸素含有雰囲気中においてキャパシタ誘電体膜28aに回復アニールを施す。その回復アニールは、例えば縦型炉を用いて行われる。
- [0065] ここまでの工程により、シリコン基板10の上方には、下部電極27a、キャパシタ誘電体膜28a、及び上部電極29aをこの順に積層してなるキャパシタQが形成されたことになる。
- [0066] 続いて、図7(b)に示すように、シリコン基板10の上側全面に、キャパシタQを保護するための第2キャパシタ保護絶縁膜33としてアルミナ膜をスパッタ法で約20nmの厚さに形成する。この第2キャパシタ保護絶縁膜33は、その下の第1キャパシタ保護

絶縁膜31と協同して、水素や水分等の還元性物質がキャパシタ誘電体膜28aに至るのを防止し、キャパシタ誘電体膜28aが還元されてその強誘電体特性が劣化するのを抑えるように機能する。

- [0067] このような機能を有する膜には、アルミナ膜の他に、酸化チタン膜、酸化ジルコニウム膜、酸化マグネシウム膜、及び酸化チタンマグネシウム膜があり、これらのいずれかを第2キャパシタ保護絶縁膜33として形成してもよい。
- [0068] そして、基板温度550℃、処理時間60分の条件で、酸素含有雰囲気となっている縦型炉内においてキャパシタ誘電体膜28aに対して回復アニールを施す。この回復アニールにおける酸素流量は、例えば、酸素流量が20リットル／分である。
- [0069] 次いで、図8に示すように、TEOSガスを使用するプラズマCVD法により、上記の第2キャパシタ保護絶縁膜33上に酸化シリコン膜を約1500nmの厚さに形成し、その酸化シリコン膜を第1層間絶縁膜35とする。
- [0070] 次いで、第1層間絶縁膜35の上面を平坦化するために、例えばCMP処理により、層間絶縁膜35の表面を平坦化する。
- [0071] その後、第1層間絶縁膜35に対する脱水処理として、CVD装置を用いた N_2O プラズマ処理(熱処理)を行う。この場合、基板温度は350℃に設定され、処理時間は2分とされる。
- [0072] このような N_2O プラズマにより第1層間絶縁膜35が脱水されると共に、第1層間絶縁膜35の上面が窒化されて水分の再吸着を防止することができる。
- [0073] なお、 N_2O プラズマ処理に代えて、アンモニア(NH_3)プラズマ処理により第1層間絶縁膜35の脱水を行ってもよい。これについては、後述の各 N_2O プラズマ処理でも同様である。
- [0074] また、この脱水処理は、対象となる絶縁膜の厚さが100nm以上の場合に特に有効である。これは、100nm以上の膜厚の絶縁膜には比較的多くの水分が含まれているためである。一方、絶縁膜の厚さが100nm未満の場合には、絶縁膜中の水分量が少ないので、このような脱水処理は行わなくてもよい。
- [0075] 以下では、このような知見に基づき、脱水処理が必要な絶縁膜と必要無い絶縁膜とを区別する。但し、膜厚が100nm未満であっても、脱水処理を施して絶縁膜を十分

に乾燥させるのが好ましい場合は、脱水処理を行ってもよい。

[0076] なお、この層間絶縁膜35の上にカバー絶縁膜を形成してもよい。そのカバー絶縁膜は、CMPの際に層間絶縁膜35の上面に形成されたマイクロクラッチや、隣接するキャパシタQの間の層間絶縁膜35に発生したボイドを埋め込むために形成されるものであって、このようなカバー絶縁膜を形成することでその上に形成される膜の被膜性が向上する。そのカバー絶縁膜としては、例えば、TEOSガスを使用するプラズマCVD法により形成された厚さ約50nmの酸化シリコン膜を採用し得る。

[0077] 次に、図9に示すように、第1層間絶縁膜35の上にスパッタ法でアルミナ膜を50～100nmの厚さに形成し、このアルミナ膜を第3キャパシタ保護絶縁膜30とする。その第3キャパシタ保護絶縁膜30は、水分や水素に対するブロック性に優れたアルミナで構成され、水分や水素等の還元性物質によってキャパシタ誘電体膜28aが劣化するのを防止する役割を担う。

[0078] なお、アルミナ膜に代えて、水分や水素に対するブロック性のある膜、例えば、酸化チタン膜、酸化ジルコニウム膜、酸化マグネシウム膜、及び酸化チタンマグネシウム膜のいずれかを第3キャパシタ保護絶縁膜30として形成してもよい。

[0079] その後、図10に示すように、TEOSガスを使用するプラズマCVD法により、第2キャップ絶縁膜32として酸化シリコン膜を厚さ約200～300nmに形成する。

[0080] 次に、図11に示す断面構造を得るまでの工程について説明する。

[0081] まず、第2キャップ絶縁膜32の上にフォトリソを塗布し、それを露光、現像することにより、ホール形状の第1～第4窓37a～37dを備えた第1レジストパターン37を形成する。

[0082] 次に、この第1レジストパターン37をマスクに用いながら、第2キャップ絶縁膜32からエッチングストッパ膜24までをドライエッチングすることにより、第1～第4窓37a～37dの下これらの絶縁膜に第1～第4コンタクトホール38a～38dを形成する。

[0083] このドライエッチングは、平行平板型プラズマエッチング装置(不図示)において3ステップのエッチングで行われる。その第1ステップのエッチングでは、 CF_4 、 O_2 、及びArの混合ガスをエッチングガスとして使用し、第2キャップ絶縁膜32から下地絶縁膜25までをエッチングする。このエッチングはエッチングストッパ膜24上で停止し、エッ

チングストップ膜24はエッチングされない。

- [0084] 次の第2ステップでは、エッチングガスとして O_2 とArとの混合ガスを用い、これらのガスのスパッタ作用により、第1ステップでホール内に生じたエッチング生成物を除去する。
- [0085] そして、第3ステップのエッチングでは、 C_4F_8 、 CF_4 、 O_2 、及びArの混合ガスをエッチングガスにしてエッチングストップ膜24がエッチングされる。
- [0086] 上記のエッチングが終了後、第1レジストパターン37は除去される。
- [0087] 次に、図12に示す断面構造を得るまでの工程について説明する。
- [0088] まず、第1～第4コンタクトホール38a～38dの内面と第2キャップ絶縁膜32の上面に、スパッタ法によりチタン(Ti)膜と窒化チタン(TiN)膜をそれぞれ厚さ20nm、50nmに形成し、これらの膜をグルー膜とする。そして、このグルー膜の上に、六フッ化タンゲステンガスを使用するCVD法でタンゲステン膜を500nmの厚さに形成し、このタンゲステン膜で第1～第4コンタクトホール38a～38dを完全に埋め込む。
- [0089] その後に、第2キャップ絶縁膜32上の余分なグルー膜とタンゲステン膜とをCMP法で研磨して除去し、これらの膜を第1～第4コンタクトホール38a～38d内にそれぞれ第1～第4導電性プラグ40a～40dとして残す。
- [0090] これらの導電性プラグのうち、セル領域 R_{cell} に形成された第1、第2導電性プラグ40a、40bは、それぞれ第1、第2ソース／ドレイン領域19a、19bと電氣的に接続される。一方、ロジック回路領域 R_{logic} に形成された第3導電性プラグ40cは第3ソース／ドレイン領域19cと電氣的に接続される。そして、周辺回路領域 $R_{peripheral}$ に形成された第4導電性プラグ40dは配線16と電氣的に接続される。
- [0091] なお、第1～第4導電性プラグ40a～40dを形成した後に、CVD装置を用いた N_2O プラズマ処理を第2キャップ絶縁膜32に対して行い、第2キャップ絶縁膜32の脱水と水分の再吸着の防止とを行ってもよい。その脱水処理は、例えば、基板温度を350℃、処理時間を2分とする条件で行われる。
- [0092] ところで、第1～第4導電性プラグ40a～40dは、非常に酸化され易いタンゲステンを主に構成されているため、酸素含有雰囲気中で容易に酸化してコンタクト不良を引き起こす恐れがある。

- [0093] そこで、これら第1～第4導電性プラグ40a～40dが酸化するのを防止するために、これらのプラグと第2キャップ絶縁膜32のそれぞれの上面に、酸化防止絶縁膜41としてCVD法により酸化窒化シリコン膜を厚さ約100nmに形成する。
- [0094] 次に、図13に示す断面構造を得るまでの工程について説明する。
- [0095] まず、酸化防止絶縁膜41上にフォトレジストを塗布し、それを露光、現像して第2レジストパターン43とする。図示のように、上部電極29aと下部電極27aのそれぞれの上の第2レジストパターン43には、ホール形状の第5、第6窓43a、43bが形成される。
- [0096] 次に、第2レジストパターン43をマスクにしながら、酸化防止絶縁膜41、第2キャップ絶縁膜32、第1層間絶縁膜35、及び第1～第3キャパシタ保護絶縁膜31、33、30をエッチングすることにより、上部電極29aの上に第1ホール35aを形成すると共に、下部電極27aのコンタクト領域上に第2ホール35bを形成する。
- [0097] そして、第2レジストパターン43を除去した後、ここまでの工程でキャパシタ誘電体膜28aが受けたダメージを回復させるために、酸素含有雰囲気となっている縦型炉にシリコン基板10を入れ、基板温度500℃、処理時間60分の条件で、キャパシタ誘電体膜28aに対して回復アニールを施す。このとき、酸素の流量は例えば20リットル／分とされる。
- [0098] その後、酸化防止絶縁膜41をエッチバックして除去する。
- [0099] 次に、図14に示す断面構造を得るまでの工程について説明する。
- [0100] まず、第2キャップ絶縁膜32と第1～第4導電性プラグ40a～40dのそれぞれの上面、及び第1、第2ホール35a、35bの内面に、スパッタ法により金属積層膜を形成する。本実施形態では、その金属積層膜として、約150nmの厚さの窒化チタン膜、約50nmの厚さの銅含有アルミニウム膜、約5nmの厚さのチタン膜、及び約150nmの厚さの窒化チタン膜をこの順に形成する。
- [0101] そして、フォトリソグラフィによりこの金属積層膜をパターニングすることにより、第2キャップ絶縁膜32の上に第1金属配線45を形成する。その第1金属配線45のうち、キャパシタQの上に形成されたものは、上記の第1、第2ホール35a、35bを通じてそれぞれ上部電極29a、下部電極27aと電氣的に接続される。

- [0102] なお、第1、第2ホール35a、35b内に形成された第1金属配線45は、導電性プラグとしての役割を担う。
- [0103] 続いて、図15に示すように、第1金属配線45と第2キャップ絶縁膜32とを覆う第4キャパシタ保護絶縁膜46として、スパッタ法によりアルミナ膜を20nmの厚さに形成する。
- [0104] この第4キャパシタ保護絶縁膜46は、水素や水分等の還元性物質をブロックしてキャパシタ誘電体膜28aを保護する機能を有する。このような機能を有する膜には、アルミナ膜の他に、酸化チタン膜、酸化ジルコニウム膜、酸化マグネシウム膜、及び酸化チタンマグネシウム膜があり、これらのいずれかを第4キャパシタ保護絶縁膜46として形成してもよい。
- [0105] なお、第4キャパシタ保護絶縁膜46を形成しなくてもキャパシタ誘電体28aが劣化しないなら、第4キャパシタ保護絶縁膜46を省いてもよい。
- [0106] 次いで、図16に示すように、反応ガスとしてTEOSガスと酸素とを使用するプラズマCVD法により、第4キャパシタ保護絶縁膜46上に酸化シリコン膜を形成し、この酸化シリコン膜を第2層間絶縁膜48とする。この第2層間絶縁膜48の膜厚は、例えば第1金属配線45上で約2600nmである。
- [0107] その後、第2層間絶縁膜48の上面を平坦化すべく、CMPによりその上面を研磨する。
- [0108] 次いで、図17に示すように、基板温度約350℃、処理時間約4分の条件で、CVD装置内において第2層間絶縁膜48の表面に対して N_2O プラズマ処理を行う。このような N_2O プラズマ処理により、第2層間絶縁膜48は脱水されると共に、その表面が窒化されて、水との親和性が高い酸化シリコンが水分を吸湿するのが防止される。
- [0109] なお、 N_2O プラズマ処理に代えて、基板温度を350℃、処理時間を10分とする NH_3 プラズマ処理を行ってもよい。
- [0110] 次に、図18に示すように、TEOSガスを使用するプラズマCVD法により、第2層間絶縁膜48の上に第3キャップ絶縁膜49として酸化シリコン膜を厚さ約100nmに形成する。
- [0111] ここで、第2層間絶縁膜48の上面には、CMPを行った際(図16参照)にCMP装置

のパッドとの接触で発生した微細な傷(マイクロクラッチ)が形成されているが、上記の第3キャップ絶縁膜49はこの傷を埋め込んで平坦化する役割を担う。

[0112] 続いて、図19に示すように、CVD装置内において第3キャップ絶縁膜49に対して N_2O プラズマ処理を行うことにより、キャップ絶縁膜49を脱水すると共に、キャップ絶縁膜49の表面を窒化して水分の再吸着を防止する。この N_2O プラズマ処理は、例えば基板温度 350°C 、処理時間2分の条件で行われる。

[0113] 次に、図20に示す断面構造を得るまでの工程について説明する。

[0114] まず、第3キャップ絶縁膜49の上に、キャパシタ誘電体膜28aを還元性物質から保護するための第1絶縁性酸化金属膜50aとして、水素や水分等の還元性物質に対するブロック性に優れたアルミナ膜を厚さ約20nmに形成する。

[0115] なお、第1絶縁性酸化金属膜50aは、水素と水分をブロックする性質を有する絶縁膜であればアルミナ膜に限定されない。そのような絶縁膜としては、アルミナ膜の他に、酸化チタン膜、酸化ジルコニウム膜、酸化マグネシウム膜、及び酸化チタンマグネシウム膜がある。

[0116] スパッタ法でこの第1絶縁性酸化金属膜50aを形成する際、既述のように N_2O プラズマ処理によってキャップ絶縁膜49を十分に脱水してあるため、キャップ絶縁膜49中の水分によってキャパシタQが蒸し焼きになることはなく、キャパシタ誘電体膜28aが水分で劣化するのを防止できる。

[0117] 次いで、この第1絶縁性酸化金属膜50aの上に、低誘電率の中間絶縁膜50bを厚さ約50nmに形成する。

[0118] この中間絶縁膜50bは、第2層間絶縁膜48を構成する酸化シリコン(比誘電率:約3.8~4.2)よりも比誘電率が低い材料で構成される。

[0119] そのような低誘電率の材料としては、例えば、塗布法により形成し得る多孔質シリカ系材料であるナノクラスタリングシリカ(NCS: Nano Clustering Silica)がある。ナノクラスタリングシリカの比誘電率は約2.25であり、第2層間絶縁膜43の比誘電率(3.8~4.2)よりも低い。なお、絶縁膜の形成方法としての塗布法は、SOD(Spin on Dielectric)法と呼ばれることもある。

[0120] また、アプライドマテリアルズ社が開発した酸化シリコン系の「Black Diamond」も中

間絶縁膜50bの材料として採用し得る。「Black Diamond」は、トリメチルシランを成膜ガスとして使用するCVD法により形成され、比誘電率が約2.7と低い。

[0121] 更に、比誘電率が2.5以下となる多孔質MSQ(Methyl Silses Quioxane)で中間絶縁膜50bを構成してもよい。この多孔質MSQも塗布法により膜状に形成し得る。

[0122] その後に、この中間絶縁膜50bの上に、第2絶縁性酸化金属膜50cとしてアルミナ膜を厚さ約20nmに形成する。第1絶縁性酸化金属膜50aと同様、第2絶縁性酸化金属膜50cは、水素や水分等の還元性物質がキャパシタ誘電体膜28aに侵入するのを阻止し、キャパシタ誘電体膜28aが劣化するのを防止する役割を担う。

[0123] なお、アルミナ膜に代えて、酸化チタン膜、酸化ジルコニウム膜、酸化マグネシウム膜、及び酸化チタンマグネシウム膜のいずれかを第2絶縁性酸化金属膜50cとして形成してもよい。

[0124] 以上により、第1、第2絶縁性酸化金属膜50a、50cと中間絶縁膜50bとで構成される第5キャパシタ保護絶縁膜50が第3層間絶縁膜49の上に形成されたことになる。

[0125] その第5キャパシタ保護絶縁膜50を構成する中間絶縁膜50bは、第2層間絶縁膜48よりも比誘電率が低い材料で構成されるため、プラズマCVD法で形成された酸化シリコン膜221、223(図3参照)と比較して膜応力が弱く引張応力が小さい。そのため、図3で説明したような膜の応力に起因するシリコン基板10の反りを防止でき、圧電素子であるキャパシタQが応力によって劣化するのを防ぐことが可能となる。

[0126] また、この中間絶縁膜50bは、厚さが約50nmと第2層間絶縁膜48よりも薄いので、成膜時にその膜中に含まれる水分量が微量である。従って、第2層間絶縁膜48に対して行ったような脱水のための N_2O プラズマ処理(図17参照)は中間絶縁膜50bに対しては不要である。このように N_2O プラズマ処理を省くことで、中間絶縁膜50bに対して N_2O プラズマ処理を行う場合よりも工程数を低減できるという利点が得られる。

[0127] 但し、大気に中間絶縁膜50bを長時間曝すと、吸湿によって中間絶縁膜50b中の水分量が増えてしまう。従って、中間絶縁膜50bを形成してからなるべく12時間以内に次の工程を行い、中間絶縁膜50bの吸湿を防ぐようにするのが好ましい。

[0128] なお、製造上の都合によって、次の工程を行うまでに所定時間、例えば12時間以上の時間が必要な場合は、中間絶縁膜50bを形成した後に、図36に示すような密閉

容器300内にシリコン基板10を保管するのが好ましい。

[0129] その密閉容器300では、基板温度が室温より高く維持される共に、容器内に大気圧よりも高い窒素等の不活性ガスが供給される。このように基板温度を高くすることで、中間絶縁膜50bの吸湿を防ぐことができる。更に、容器内が大気圧よりも高いので、外部の大気が容器内に侵入せず、大気中の水分に中間絶縁膜50bが触れることが無い。

[0130] この後に、第5キャパシタ保護絶縁膜50の上に、TEOSガスを使用するプラズマCVD法によりカバー絶縁膜51として酸化シリコン膜を約100nmの厚さに形成する。このように100nm程度と薄い厚さであるためカバー絶縁膜51中の水分量は少なく、また、キャパシタQに不必要にダメージを与えないためにも、 N_2O プラズマを用いた脱水処理をカバー絶縁膜51に対して行う必要は無い。このように N_2O プラズマ処理を省くことで、カバー絶縁膜51に対して N_2O プラズマ処理を行う場合よりも工程数を低減できる。

[0131] 但し、中間絶縁膜50bと同様に、大気中にカバー絶縁膜51を長時間にわたって放置するとカバー絶縁膜51が吸湿してしまう。そのため、カバー絶縁膜51の吸湿を防ぐために、カバー絶縁膜51を形成してからなるべく12時間以内に次の工程を行うのが好ましい。

[0132] なお、製造上の都合によって、次の工程を行うまでに12時間以上の時間が必要な場合は、カバー絶縁膜51を形成した後に、図36で説明した密閉容器300内にシリコン基板10を保管し、カバー絶縁膜51の吸湿を防ぐのが好ましい。

[0133] 次に、図21に示す断面構造を得るまでの工程について説明する。

[0134] まず、カバー絶縁膜51の上にフォトリソを塗布し、それを露光、現像することにより、第1金属配線45の上にホール形状の第7窓53aを備えた第3レジストパターン53を形成する。

[0135] 次いで、 C_4F_8 、Ar、及び O_2 の混合ガスをエッチングガスにする平行平板型プラズマエッチングチャンバ(不図示)を用い、第7窓53aの下の方絶縁膜46、48～51をエッチングすることにより、第1金属配線45の上に第3ホール54aを形成する。

[0136] ここで、第5キャパシタ保護絶縁膜50を構成する中間絶縁膜50bは、第2層間絶縁

膜48と同様に酸化シリコン系の材料よりなる。そのため、このエッチングでは、中間絶縁膜50bと第2層間絶縁膜48とでエッチングレートに実質的な差は発生しない。従って、酸化シリコン膜のエッチングにおいてストップとして機能してしまう窒化シリコン膜をキャパシタ保護絶縁膜に使用する図1の例と比較して、短時間に第3ホール54aを開口できると共に、第3ホール54aの上端と下端の直径に差が殆ど発生せず、第3ホール54aを綺麗な円形の平面形状に形成することが可能となる。

[0137] このエッチングが終了後、第3レジストパターン53は除去される。

[0138] なお、このエッチングでは、第1、第2絶縁性酸化金属膜50a、50cは、エッチングガスの化学反応よりもむしろスパッタ作用によってエッチングされる。従って、これらの絶縁性酸化金属膜50a、50cの合計膜厚が厚すぎると、第3ホール54aのエッチングが困難となる。

[0139] そのため、エッチングによる第3ホール54aの形成を容易にするには、第1、第2絶縁性酸化金属膜50a、50cの合計膜厚を100nm未満、より好ましくは20nm以上50nm以下とするのが好ましい。ここで、合計膜厚の下限を20nmとしたのは、これよりも薄いと第1、第2絶縁性酸化金属膜50a、50cによる還元性物質のブロック性が十分に発揮されないためである。

[0140] 次に、図22に示すように、基板温度を約200℃に保持しながら、第3ホール54aの内面とカバー絶縁膜51の上面にスパッタ法により窒化チタン膜を厚さ約150nmに形成し、それを第1グルー膜56とする。

[0141] 続いて、六フッ化タングステンガスを使用するプラズマCVD法により、この第1グルー膜56の上に、第3ホール54aを完全に埋め込む厚さ、例えば約650nmの厚さのタングステン膜57aを形成する。

[0142] 次いで、図23に示すように、上記のタングステン膜57aをエッチバックしてカバー絶縁膜51の上面から除去し、第3ホール54a内のみに残す。これにより、第3ホール54a内には、第1金属配線45と電氣的に接続され且つタングステンを主にして構成される第5導電性プラグ57が形成されたことになる。

[0143] なお、この例ではタングステン膜をエッチバックしたが、エッチバックに変えてCMPを採用してもよい。

- [0144] 既述のように、図21のエッチング工程で第3ホール54aを綺麗に開口できるので、第5導電性プラグ57はホール54aの下端において第1金属配線45と広い接触面積で接続され、第5導電性プラグ57のコンタクト抵抗を安定化させることが可能となる。
- [0145] 次に、図24に示す断面構造を得るまでの工程について説明する。
- [0146] まず、上記の第5導電性プラグ57と第1グルー膜56のそれぞれの上面に、スパッタ法により金属積層膜を形成する。その金属積層膜は、例えば、下から厚さ約550nmの銅含有アルミニウム膜、厚さ約5nmのチタン膜、そして厚さ約150nmの窒化チタン膜である。
- [0147] その後に、フォトリソグラフィによりこの金属積層膜と第1グルー膜56とをパターンニングして、これらの膜で構成される第2金属配線58をカバー絶縁膜51上に形成する。
- [0148] このパターンニングでは、カバー絶縁膜51上にエッチングの残膜を残さないために、上記の金属積層膜と第1グルー膜56に対するエッチングをオーバーエッチとする。
- [0149] このようにオーバーエッチとしても、第5キャパシタ保護絶縁膜50はカバー絶縁膜51で覆われているので、上記のパターンニングの際に第5キャパシタ保護絶縁膜50がエッチングされてその膜厚が薄くなるのが防止される。これにより、上記のパターンニングを終了した後でも第5キャパシタ保護絶縁膜50の厚さを十分に維持でき、水素等の還元性物質を第5キャパシタ保護絶縁膜50で効果的にブロックすることができる。
- [0150] 続いて、図25に示すように、カバー絶縁膜51と第2金属配線58のそれぞれの上に、TEOSガスと酸素との混合ガスを使用するプラズマCVD法で酸化シリコン膜を厚さ約2200nmに形成し、この酸化シリコン膜を第3層間絶縁膜62とする。
- [0151] その後に、第3層間絶縁膜62の上面をCMPにより研磨して平坦化する。
- [0152] 続いて、図26に示すように、基板温度350℃、処理時間4分の条件で第3層間絶縁膜62に対して N_2O プラズマ処理を行い、この第3層間絶縁膜62を脱水すると共にその表面を窒化し、水分の再吸着を防止する。その N_2O プラズマ処理は、例えばCVD装置を用いて行われる。
- [0153] 次に、図27に示す断面構造を得るまでの工程について説明する。
- [0154] まず、第3層間絶縁膜62の上にフォトリソレジストを塗布し、それを露光、現像することにより、第2金属配線58の上にホール形状の第8窓68aを備えた第4レジストパター

ン68を形成する。

[0155] そして、平行平板型プラズマエッチングチャンバ内において、第4レジストパターン68をマスクにしながら第3層間絶縁膜62をエッチングすることにより、第2金属配線58上の第3層間絶縁膜に第4ホール67aを形成する。そのエッチングでは、例えば、 C_4F_8 、Ar、及び O_2 の混合ガスがエッチングガスとして使用される。

[0156] このエッチングが終了後、第4レジストパターン68は除去される。

[0157] 続いて、図28に示すように、第4ホール67aの内面と第3層間絶縁膜62の上面に、第2グルー膜70としてスパッタ法により窒化チタン膜を厚さ約50nmに形成する。そして、第2グルー膜70の上にCVD法でタングステン膜71aを形成し、このタングステン膜71aで第4ホール67aを完全に埋め込む。そのタングステン膜71aは、例えば約650nmの厚さに形成される。

[0158] 次に、図29に示すように、第3層間絶縁膜62の上の余分なタングステン膜71aをエッチバックして除去し、第4ホール67a内にのみタングステン膜71aを第6導電性プラグ71として残す。なお、エッチバックに代えて、CMP法でタングステン膜71aを除去するようにしてもよい。

[0159] 次に、図30に示す断面構造を得るまでの工程について説明する。

[0160] まず、第2グルー膜70と第6導電性プラグ71のそれぞれの上面に、下から厚さ約500nmの銅含有アルミニウム膜、及び厚さ約150nmの窒化チタン膜をこの順にスパッタ法に形成する。そして、フォトリソグラフィによりこの金属積層膜とその下の第2グルー膜70とをパターンニングして、セル領域 R_{cell} に第3金属配線72を形成すると共に、パッド領域 R_{pad} にボンディングパッド72aを形成する。

[0161] 次に、図31に示す断面構造を得るまでの工程について説明する。

[0162] まず、第3層間絶縁膜62と第3金属配線72のそれぞれの上面に、第1パッシベーション膜75としてCVD法で酸化シリコン膜を約100nmの厚さに形成する。

[0163] なお、第1パッシベーション膜75に対し、脱水処理と吸湿防止処理のための N_2O プラズマ処理を行ってもよい。その N_2O プラズマ処理は、例えばCVD装置内で行われ、その処理条件は基板温度が350℃、処理時間が2分である。

[0164] 更に、この第1パッシベーション膜75上に、第2パッシベーション膜76として厚さが

約350nmの窒化シリコン膜をCVD法で形成する。

[0165] そして、これら第1、第2パッシベーション膜75、76をパターニングして、パッド領域 R_{pad} のボンディングパッド72aが露出する第1開口76aを形成する。

[0166] 次いで、シリコン基板10の上側全面に、感光性ポリイミドを約3 μm の厚さに形成し、ポリイミド塗膜よりなる保護層77を形成する。次に、保護層77を露光、現像し、ボンディングパッド72aが露出する第2開口77aを保護層77に形成する。その後、基板温度310°C、 N_2 流量100リットル／分、処理時間40分の条件で保護層77を熱硬化する。

[0167] 図32は、ここまでの工程を終了した後のシリコン基板10の拡大平面図である。

[0168] 図32に示されるように、シリコン基板10には複数のチップ領域 R_c が画定されており、その各々に既述の周辺回路領域 $R_{\text{peripheral}}$ 、ロジック回路領域 R_{logic} 、セル領域 R_{cell} 、パッド領域 R_{pad} が更に画定される。また、これらの領域以外にも、チップ領域 R_c には、セル領域 R_{cell} への信号の入出力を制御するセル周辺回路領域 $R_{\text{cell peripheral}}$ も画定される。

[0169] そして、本実施形態では、既述の第5キャパシタ保護絶縁膜50が、チップ領域 R_c の全面に形成される。

[0170] 但し、第5キャパシタ保護絶縁膜50の平面レイアウトはこれに限定されない。例えば、キャパシタQへの水分や水素の侵入をブロックできるのなら、図33のように、セル領域 R_{cell} のみに第5キャパシタ保護絶縁膜50を形成してもよい。

[0171] この後は、各チップ領域 R_c の間のスクライブ領域に沿ってシリコン基板10をダイシングすることにより、シリコン基板10から複数の半導体チップ(半導体装置)を切り出し、本実施形態の主要工程を終了する。

[0172] 以上説明した本実施形態によれば、図31に示すように、第5キャパシタ保護絶縁膜50として、第1絶縁性酸化金属膜50a、中間絶縁膜50b、第2絶縁性酸化金属膜50cをこの順に形成してなる積層膜を採用した。

[0173] このように、水素や水分の侵入をブロックする膜として第1絶縁性酸化金属膜50aと第2絶縁性酸化金属膜50cの二層を用いるので、これらのうちの一層のみを形成する場合よりも水素と水分に対するブロック性が高められる。

[0174] なお、本実施形態と同等のブロック性を得るには、第5キャパシタ保護絶縁膜50に

代えて、第1絶縁性酸化金属膜50aと第2絶縁性酸化金属膜50cの合計膜厚に等しい単層の絶縁性酸化金属膜を形成することも考えられる。

[0175] しかし、本願発明者が行った調査によると、このような単層の絶縁性酸化金属膜を形成する場合よりも、本実施形態の方が半導体チップに不良が発生し難いことが明らかとなった。これは、不良となった半導体チップでは、単層の絶縁性酸化金属膜の一箇所にピンホールが空いただけでも、そのピンホールから水素や水分が浸入してキャパシタ誘電体膜28aが劣化するためと考えられる。

[0176] これに対し、本実施形態では、図34の拡大平面図に示されるように、第1絶縁性酸化金属膜50aと第2絶縁性酸化金属膜50cの両方にピンホール50x、50yが形成されても、それらのピンホール50x、50yが近接して形成される確率が極めて低く、通常はピンホール50x、50y同士が離れて形成されるので、一方のピンホール50yから他方のピンホール50xに水分や水素等の還元性物質Pが移動するのに長時間必要となり、還元性物質Pによってキャパシタ誘電体膜28aが劣化するまでの時間を稼ぐことができ、半導体チップの寿命を延ばすことができる。

[0177] なお、第1絶縁性酸化金属膜50aと第2絶縁性酸化金属膜50cを形成するだけなら、本実施形態のようにそれらを第1金属配線45と第2金属配線58の層間に形成するのではなく、図35の比較例のように各膜50a、50cを異なる層に形成することも考えられる。

[0178] この比較例では、第1金属配線45と第2金属配線58の層間に第1絶縁性酸化金属膜50aを形成し、第2金属配線58と第3金属配線72との間に第2絶縁性酸化金属膜50cを形成している。

[0179] このように各膜50a、50cを異なる層に形成すると、例えば第3層間絶縁膜62に成膜時に形成されたボイド62xの下方と上方に、それぞれ第1絶縁性酸化金属膜50aと第2絶縁性酸化金属膜50cが存在することになる。

[0180] ところが、ボイド62xには水分が溜まっていることがあるので、第3金属配線72等を形成する際の熱によってその水分が気化し、各膜50a、50cによって行き場を失った水分が最終的に第1絶縁性酸化金属膜50aを透過してキャパシタ誘電体膜28aを劣化させてしまう。

[0181] なお、ボイド62xの発生を防ぐために、本実施形態のようにTEOSガスを使用する通常のプラズマCVD法に代えて、シラン(SiH_4)ガスを使用するHDPCVD(High Density Plasma CVD)法により、埋め込み性の良い第3層間絶縁膜62を形成することも考えられる。しかし、HDPCVD法では、成膜雰囲気中に水素プラズマが高密度で存在し、更にシリコン基板10側に印加されたプラズマによってその水素プラズマがキャパシタQに引き付けられるため、キャパシタ誘電体膜28aが水素に曝されて劣化し易く、FeRAMの製造プロセスには不向きである。

[0182] これに対し、本実施形態では、第1金属配線45と第2金属配線58の層間に第1、第2絶縁性酸化金属膜50a、50cを形成するため、これらの膜50a、50bの間の中間絶縁膜50cを薄くできる。そのため、中間絶縁膜50cに既述のボイドが形成される余地が無くなり、ボイドに溜まった水によってキャパシタ誘電体膜28aが劣化するのを防ぐことができる。

[0183] 更に、第5キャパシタ保護絶縁膜50の中間絶縁膜50bは、酸化シリコンよりなる第2層間絶縁膜48と同様に酸化シリコン系の材料、すなわちシリコンと酸素とで主に構成され窒素を含まない材料で構成される。そのため、図21を参照して説明したように、エッチングにより第3ホール54aを形成する際、中間絶縁膜50bと第2層間絶縁膜48との間にエッチングレートに実質的な差は発生しない。従って、エッチングし難い窒化シリコン膜をキャパシタ保護絶縁膜に使用する図1の例よりも短時間に第3ホール54aを開口できると共に、第3ホール54aを綺麗に形成することができ、第3ホール54a内に形成される第5導電性プラグ57のコンタクト抵抗を安定化させることが可能となる。

[0184] (2) 第1実施形態の変形例

次に、上記した第1実施形態の変形例について、図37及び図38を参照して説明する。なお、これらの図において、第1実施形態で説明した要素には第1実施形態と同じ符号を付し、以下ではその説明を省略する。

[0185] 第1変形例

図37は、第1実施形態の第1変形例に係る半導体装置の断面図である。

[0186] 第1変形例では、第3層間絶縁膜62と第3金属配線72との間に、第3キャップ絶縁

膜49、第5キャパシタ保護絶縁膜50、及びカバー絶縁膜51を形成する。

[0187] この場合、第4ホール67aは、これらの絶縁膜49～51にも形成されることになる。

[0188] 第5キャパシタ保護絶縁膜50を構成する中間絶縁膜50bが第3層間絶縁膜62と同様に酸化シリコン系の材料で構成されるので、エッチングにより第4ホール67aを形成する際、中間絶縁膜50bと第3層間絶縁膜62との間でエッチングレートに実質的な差が発生しない。

[0189] そのため、本例では、第4ホール67aの下端の直径が上端のそれと同程度に大きくなり、第6導電性プラグ71のコンタクト抵抗を安定化させることが可能となる。

[0190] 第2変形例

図38は、第1実施形態の第2変形例に係る半導体装置の断面図である。

[0191] 第2変形例では、第1層間絶縁膜35と第1金属配線45との間に、第5キャパシタ保護絶縁膜50とカバー絶縁膜51を形成する。

[0192] このようにすると、第1層間絶縁膜35の第1、第2ホール35a、35bが絶縁膜50、51にも形成されることになる。但し、第5キャパシタ保護絶縁膜50の中間絶縁膜50bと第1層間絶縁膜35が共に酸化シリコン系の材料で構成されるので、第1、第2ホール35a、35bをエッチングで形成する際、中間絶縁膜50bと第1層間絶縁膜35とでエッチングレートに実質的な差が生じない。よって、第1、第2ホール35a、35bの底部を十分に大きく形成することができ、これらのホール35a、35b内に埋め込まれた第1金属配線45のコンタクト抵抗を安定化させることが可能となる。

[0193] なお、エッチングにより第1、第2ホール35a、35bを形成する際、エッチングガスのスパッタ作用でエッチングされる第3キャパシタ保護絶縁膜30と第1、第2絶縁性酸化金属膜50a、50cの合計膜厚が厚すぎると、これらのホール35a、35bのエッチングが困難となる。そのため、第3キャパシタ保護絶縁膜30と第1、第2絶縁性酸化金属膜50a、50cの合計膜厚を100nm未満とし、エッチングによる第1、第2ホール35a、35bの形成を容易にするのが好ましい。

[0194] 図65は、本実施形態における下部電極27aと第1金属配線45とのコンタクト抵抗についての調査結果を示すグラフである。

[0195] なお、このグラフにおける左側の縦軸は、100個のキャパシタQにおけるコンタクト

抵抗の平均値であり、右側の縦軸はその 3σ （標準偏差の3倍）である。

[0196] また、このグラフでは、比較のために、図1で説明した従来例1と、図3で説明した従来例2の結果も併記してある。更に、第5キャパシタ保護絶縁膜50を形成しない場合の調査結果も併記した。

[0197] 図65に示すように、従来例1と従来例2のどちらよりも本実施形態の方がコンタクト抵抗が小さい。これは、上記のように、中間絶縁膜50bとして、第1層間絶縁膜35と同様の酸化シリコン系の材料よりなる絶縁膜を形成したためである。

[0198] 図66は、本実施形態における上部電極29aと第1配線45とのコンタクト抵抗についての調査結果を示すグラフである。なお、図66における縦軸の意味は図65のそれと同様なので省略する。

[0199] 図66に示されるように、上部電極29aとのコンタクト抵抗についても、本実施形態の方が従来例1、2と比較して小さくなる。

[0200] 図67は、本実施形態に従って平面形状が $50\mu\text{m} \times 50\mu\text{m}$ の正方形の複数のキャパシタQを孤立して形成し、そのキャパシタQの残留分極電荷量(Q_{sw})を調査して得られたグラフである。このグラフにおける左側の縦軸は、ウエハ内の80個のキャパシタQにおける残留分極量の平均値であり、右側の縦軸はその 3σ である。

[0201] 図67に示されるように、残留分極電荷量(Q_{sw})については、本実施形態が従来例1、2よりも大きくなった。

[0202] 図68は、本実施形態のセル領域 R_{cell} に形成された1200個のキャパシタのうち、ウエハ内の80個のキャパシタQの平均の残留分極電荷量(Q_{sw})を調査して得られたグラフであり、その縦軸の意味は図67と同様である。

[0203] 図68に示されるように、セル領域 R_{cell} におけるキャパシタQについても、本実施形態が従来例1、2よりも大きくなった。

[0204] 図69は、本実施形態に係る半導体装置の不良率の調査結果である。

[0205] 半導体装置の寿命は、通常は10年間保証する必要があるので、図69において336時間で不良率が0%になればこの要求を満たすことができる。

[0206] 第5キャパシタ保護絶縁膜50を形成しない場合では、168時間を経過したときに不良率が50%となり、336時間を経過したときには80%の不良となってしまう、上記

の要求を満たすことができない。

[0207] 一方、本実施形態では、従来例1、2と同様に、336時間を経過しても不良率が0%であるため、半導体装置の保証期間を10年とすることができる。

[0208] 上記した図65～図69の結果から、本実施形態によれば、従来例1、2と同等の長期信頼性を保ちつつ、第1金属配線45と各電極27a、29aとのコンタクト抵抗を低減することが可能となる。

[0209] (3) 第2実施形態

次に、本発明の第2実施形態に係る半導体装置について説明する。

[0210] 図39～図46は、本実施形態に係る半導体装置の製造途中の断面図である。なお、これらの図において、第1実施形態で説明したのと同じ要素に第1実施形態と同じ符号を付し、以下ではその説明を省略する。

[0211] 最初に、図39に示す断面構造を得るまでの工程について説明する。

[0212] まず、第1実施形態で説明した図4～図8の工程を行った後、第1層間絶縁膜35の上にフォトリソを塗布し、それを露光、現像して第1レジストパターン37を形成する。

[0213] 次に、その第1レジストパターン37の第1～第4窓37a～37dを通じて第1層間絶縁膜35からエッチングストップ膜24までをドライエッチングすることにより、これらの絶縁膜に第1～第4下部コンタクトホール80a～80dを形成する。

[0214] このドライエッチングは、平行平板型プラズマエッチング装置(不図示)において3ステップのエッチングで行われる。その第1ステップのエッチングでは、 C_4F_8 、 O_2 、及びArの混合ガスをエッチングガスとして使用し、第1層間絶縁膜35から下地絶縁膜25までをエッチングする。このエッチングはエッチングストップ膜24上で停止し、エッチングストップ膜24はエッチングされない。

[0215] 次の第2ステップでは、エッチングガスとして O_2 とArとの混合ガスを用い、これらのガスのスパッタ作用により、第1ステップでホール内に生じたエッチング生成物を除去する。

[0216] そして、第3ステップのエッチングでは、 C_4F_8 、 CF_4 、 O_2 、及びArの混合ガスをエッチングガスにしてエッチングストップ膜24がエッチングされる。

- [0217] 上記のエッチングが終了後、第1レジストパターン37は除去される。
- [0218] 次に、図40に示す断面構造を得るまでの工程について説明する。
- [0219] まず、第1～第4下部コンタクトホール80a～80dの内面と第1層間絶縁膜35の上面に、スパッタ法によりチタン膜と窒化チタン膜をそれぞれ厚さ20nm、50nmに形成し、これらの膜をグルー膜とする。そして、このグルー膜の上に、六フッ化タングステンガスを使用するCVD法でタングステン膜を形成し、このタングステン膜で第1～第4下部コンタクトホール80a～80dを完全に埋め込む。
- [0220] その後、第1層間絶縁膜35上の余分なグルー膜とタングステン膜とをCMP法で研磨して除去し、これらの膜を第1～第4下部コンタクトホール80a～80d内にそれぞれ第1～第4下部導電性プラグ81a～81dとして残す。
- [0221] これらの導電性プラグのうち、セル領域_{cell}R_{cell}に形成された第1、第2下部導電性プラグ81a、81bは、それぞれ第1、第2ソース／ドレイン領域19a、19bと電氣的に接続される。一方、ロジック回路領域_{logic}R_{logic}に形成された第3下部導電性プラグ81cは第3ソース／ドレイン領域19cと電氣的に接続される。そして、周辺回路領域_{peripheral}R_{peripheral}に形成された第4下部導電性プラグ81dは配線16と電氣的に接続される。
- [0222] 次に、図41に示すように、第1層間絶縁膜35と第1～第4下部導電性プラグ81a～81dのそれぞれの上面に、第3キャパシタ保護絶縁膜30としてアルミナ膜をスパッタ法で50～100nmの厚さに形成する。
- [0223] 第1実施形態で説明したように、この第3キャパシタ保護絶縁膜30は、水分や水素等の還元性物質をブロックし、これらの物質によってキャパシタ誘電体膜28aが劣化するのを防止する役割を担う。
- [0224] 更に、この第3キャパシタ保護絶縁膜30の上に、TEOSガスを使用するプラズマCVD法により、第2キャップ絶縁膜32として酸化シリコン膜を厚さ約200～300nmに形成する。
- [0225] 続いて、図42に示すように、第2キャップ絶縁膜32上にフォトリジストを塗布し、それを露光、現像することにより、上部電極29aと下部電極27aのそれぞれの上面にホール形状の第5、第6窓43a、43bを備えた第2レジストパターン43を形成する。
- [0226] そして、この第2レジストパターン43をマスクにしながら、第2キャップ絶縁膜32、第

1層間絶縁膜35、及び第1～第3キャパシタ保護絶縁膜31、33、30をエッチングすることにより、上部電極29aの上に第1ホール35aを形成すると共に、下部電極27aのコンタクト領域上に第2ホール35bを形成する。

[0227] そして、第2レジストパターン43を除去した後、ここまでの工程でキャパシタ誘電体膜28aが受けたダメージを回復させるために、酸素含有雰囲気となっている縦型炉にシリコン基板10を入れ、基板温度500℃、処理時間60分の条件で、キャパシタ誘電体膜28aに対して回復アニールを施す。このとき、酸素の流量は例えば20リットル／分とされる。

[0228] このように酸素雰囲気中でアニールを行っても、第3キャパシタ保護絶縁膜30が酸素の侵入を阻止するので、第1～第4下部導電性プラグ81a～81dの酸化を防止することができる。

[0229] 次に、図43に示すように、第2キャップ絶縁膜32上と第1、第2ホール35a、35b内にフォトリソを塗布し、そのフォトリソを露光、現像して第5レジストパターン84を形成する。

[0230] 図示のように、その第5レジストパターン84は、第1～第4下部導電性プラグ81a～81dの上に第9～第12窓84a～84dを備える。

[0231] そして、第5レジストパターン84をマスクにして第2キャップ絶縁膜32と第3キャパシタ保護絶縁膜30とをエッチングすることにより、第1～第4下部導電性プラグ81a～81dの上のこれらの絶縁膜に第1～第4上部コンタクトホール32a～32dを形成する。

[0232] このエッチングを終了後、第5レジストパターン84は除去される。

[0233] 本実施形態では、第1～第4下部導電性プラグ81a～81dの上に直接第3キャパシタ保護絶縁膜30を形成したので、第3キャパシタ保護絶縁膜30によってこれらの導電性プラグ81a～81dが酸素雰囲気から保護され、このエッチングが行われるまで各導電性プラグ81a～81dが酸化してコンタクト不良が発生するのを抑制できる。

[0234] 続いて、図44に示すように、第1～第4上部コンタクトホール32a～32d内に第1～第4上部導電性プラグ86a～86dを形成すると共に、第1、第2ホール35a、35b内にそれぞれ上部電極用導電性プラグ86eと下部電極用導電性プラグ86fとを形成する。

- [0235] これらの導電性プラグ86a～86fは、例えば、窒化チタン膜等のグルー膜とタングステン膜とを上部コンタクトホール32a～32d内と第1、第2ホール35a、35b内とに形成し、第2キャップ絶縁膜32上の不要なグルー膜とタングステン膜とをCMP法により研磨して除去することで形成される。
- [0236] また、第1～第4上部導電性プラグ86a～86dは、その下の第1～第4下部導電性プラグ81a～81dとそれぞれ電氣的に接続される。そして、上部電極用導電性プラグ86eと下部電極用導電性プラグ86fは、それぞれ上部電極29aと下部電極27aとに電氣的に接続される。
- [0237] 次に、図45に示すように、第2キャップ絶縁膜32と導電性プラグ86a～86fのそれぞれに金属積層膜を形成し、この金属積層膜をパターニングして第1金属配線45を形成する。その金属積層膜として、例えば、約150nmの厚さの窒化チタン膜、約550nmの厚さの銅含有アルミニウム膜、約5nmの厚さのチタン膜、及び約150nmの厚さの窒化チタン膜をこの順に形成する。
- [0238] この後は、第1実施形態で説明した図15～図31の工程を行うことにより、図46に示すような本実施形態に係る半導体装置の基本構造を完成させる。
- [0239] 以上説明した本実施形態によれば、図46に示されるように、第1～第3ソース／ドレイン領域19a～19cの上の導電性プラグを、第1～第4下部導電性プラグ81a～81dと第1～第4上部導電性プラグ86a～86dの二段に分けて形成した。
- [0240] これによれば、第1実施形態の図11の工程のようにコンタクトホール38a～38dを一括エッチングによって形成する場合と比較して、図39における第1～第4下部コンタクトホール80a～80dの形成する際のエッチング量が少なくなる。
- [0241] そのため、図39の工程において、第1～第4下部コンタクトホール80a～80dを完全に開口させるために行われるオーバーエッチングが過剰になるのが防止される。これにより、例えば第1コンタクトホール80aが第1ソース／ドレイン領域19aからずれて素子分離絶縁膜11に重なって形成されても、第1コンタクトホール80aが素子分離絶縁膜11を貫通してシリコン基板10に至る危険性を低減することができる。
- [0242] しかも、第1実施形態と同様に、第5キャパシタ保護絶縁膜50(図46参照)に、水素や水分等の還元性物質の侵入を阻止する二層の第1、第2絶縁性酸化金属膜50a、

50bが形成されるので、還元性物質によってキャパシタ誘電体膜28aが劣化するのを効果的に防止することができる。

[0243] 更に、その第5キャパシタ保護絶縁膜50を構成する中間絶縁膜50bが、第2層間絶縁膜48と同じ酸化シリコン系の低誘電率材料で構成されるので、中間絶縁膜50bと第2層間絶縁膜48とが略同じエッチングレートを有するようになり、エッチングによってこれらの絶縁膜に第3ホール54aを綺麗に開口できる。その結果、第3ホール54a内の第5導電性プラグ57が第1金属配線45と広い接触面積で接続され、第5導電性プラグ57のコンタクト抵抗を安定化させることが可能となる。

[0244] (4) 第2実施形態の変形例

次に、上記した第2実施形態の変形例について、図47及び図48を参照して説明する。なお、これらの図において、第2実施形態で説明した要素には第2実施形態と同じ符号を付し、以下ではその説明を省略する。

[0245] 第1変形例

図47は、第2実施形態の第1変形例に係る半導体装置の断面図である。

[0246] 第1変形例では、第3層間絶縁膜62と第3金属配線72との間に、第3キャップ絶縁膜49、第5キャパシタ保護絶縁膜50、及びカバー絶縁膜51を形成する。

[0247] この場合、第4ホール67aは、これらの絶縁膜49～51にも形成されることになる。

[0248] 第5キャパシタ保護絶縁膜50を構成する中間絶縁膜50bが第3層間絶縁膜62と同様に酸化シリコン系の材料で構成されるので、エッチングにより第4ホール67aを形成する際、中間絶縁膜50bと第3層間絶縁膜62との間でエッチングレートに実質的な差が発生しない。

[0249] そのため、第4ホール67aの下端の直径が上端のそれと同程度に大きくなり、第6導電性プラグ71のコンタクト抵抗を安定化させることができる。

[0250] 第2変形例

図48は、第2実施形態の第2変形例に係る半導体装置の断面図である。

[0251] 第2変形例では、第1層間絶縁膜35と第1金属配線45との間に、第5キャパシタ保護絶縁膜50とカバー絶縁膜51を形成する。

[0252] この場合、第1層間絶縁膜35の第1、第2ホール35a、35bや、図43で説明した第

1～第4上部コンタクトホール32a～32dが絶縁膜50、51にも形成されることになる。

[0253] このようにしても、第5キャパシタ保護絶縁膜50の中間絶縁膜50bと第1層間絶縁膜35が共に酸化シリコン系の材料で構成されるので、上記のホール32a～32d、35a、35bをエッチングで形成する際、中間絶縁膜50bと第1層間絶縁膜35とでエッチングレートに実質的な差が生じない。よって、各ホール32a～32d、35a、35bの底部を十分に大きく形成することができ、これらのホール内に埋め込まれた導電性プラグ86a～86fのコンタクト抵抗を安定化させることが可能となる。

[0254] (5)第3実施形態

次に、本発明の第3実施形態に係る半導体装置について、その製造工程を追いながら説明する。

[0255] 図49～図62は、本実施形態に係る半導体装置の製造途中の断面図である。これらの図では、一つの半導体チップにおけるセル領域 R_{cell} とパッド領域 R_{pad} とを併記してある。

[0256] この半導体装置は、微細化に有利なスタック型のFeRAMであって、以下のようにして作製される。

[0257] 最初に、図49(a)に示す断面構造を得るまでの工程について説明する。

[0258] まず、n型又はp型のシリコン基板101表面に、トランジスタの活性領域を画定するSTI用の溝を形成し、その中に酸化シリコン等の絶縁膜を埋め込んで素子分離絶縁膜102とする。なお、素子分離構造はSTIに限られず、LOCOS法で素子分離絶縁膜102を形成してもよい。

[0259] 次に、シリコン基板101の活性領域にp型不純物を導入してpウェル103を形成した後、その活性領域の表面を熱酸化することにより、ゲート絶縁膜104となる熱酸化膜を形成する。

[0260] 続いて、シリコン基板101の上側全面に非晶質又は多結晶のシリコン膜を形成し、これらの膜をフォトリソグラフィによりパターンニングして二つのゲート電極105を形成する。

[0261] pウェル103上には、上記の2つのゲート電極105が間隔をおいて平行に配置され、それらのゲート電極105はワード線の一部を構成する。

- [0262] 次いで、ゲート電極105をマスクにするイオン注入により、ゲート電極105の横のシリコン基板101にn型不純物を導入し、第1、第2ソース／ドレインエクステンション106a、106bを形成する。
- [0263] その後、シリコン基板101の上側全面に絶縁膜を形成し、その絶縁膜をエッチバックしてゲート電極105の横に絶縁性サイドウォール107を形成する。その絶縁膜として、例えばCVD法により酸化シリコン膜を形成する。
- [0264] 続いて、絶縁性サイドウォール107とゲート電極105をマスクにしながら、シリコン基板101にn型不純物を再びイオン注入することにより、二つのゲート電極105の側方のシリコン基板1の表層に第1、第2ソース／ドレイン領域108a、108bを形成する。
- [0265] 次に、シリコン基板101の上側全面に、スパッタ法によりコバルト層等の高融点金属層を形成した後、この高融点金属層を加熱してシリコンと反応させ、シリコン基板101上に高融点金属シリサイド層109を形成する。その高融点金属シリサイド層109はゲート電極105の表層部分にも形成され、それによりゲート電極105が低抵抗化されることになる。
- [0266] その後、素子分離絶縁膜102の上等で未反応となっている高融点金属層をウェットエッチングして除去する。
- [0267] ここまでの工程により、シリコン基板101の活性領域には、ゲート絶縁膜104、ゲート電極105、及び第1、第2ソース／ドレイン領域108a、108bによって構成される第1、第2MOSTランジスタ TR_1 、 TR_2 が形成されたことになる。
- [0268] 続いて、図49(b)に示すように、プラズマCVD法によりシリコン基板101の上側全面に酸窒化シリコン膜を厚さ約80nmに形成し、それをエッチングストップ膜110とする。次いで、このエッチングストップ膜110の上に、TEOSガスを使用するプラズマCVD法により下地絶縁膜111として酸化シリコン膜を厚さ約1100nmに形成する。
- [0269] そして、上記の下地絶縁膜111の上面をCMP法により研磨して平坦化する。このCMPの結果、下地絶縁膜111の厚さは、シリコン基板101の平坦面上で約800nmとなる。
- [0270] その後、フォトリソグラフィにより下地絶縁膜111とエッチングストップ膜110とをパターンニングして、第1ソース／ドレイン領域108aの上のこれらの絶縁膜に第1コンタク

トホール111aを形成する。そのパターニングは、下地絶縁膜111に対するエッチングと、エッチングストップ膜110に対するエッチングの2ステップのエッチングにより行われる。

[0271] 続いて、下地絶縁膜111の上面と第1コンタクトホール111aの内面とに、スパッタ法により厚さ約30nmのチタン膜と厚さ約50nmの窒化チタン膜とを順に形成し、これら膜をグルー膜とする。

[0272] 更に、六フッ化タングステンガスを使用するCVD法を用いて、このグルー膜上にタングステン膜を形成し、このタングステン膜により第1コンタクトホール111aを完全に埋め込む。

[0273] そして、下地絶縁膜111上の余分なグルー膜とタングステン膜とを研磨して除去し、これらの膜を第1コンタクトホール111a内に第1導電性プラグ113aとして残す。

[0274] ここで、タングステンを主にして構成される第1導電性プラグ113aは、酸素に触れると容易に酸化してコンタクト不良を起こし易い。

[0275] そこで、第1導電性プラグ113aと下地絶縁膜111のそれぞれの上面に酸化防止絶縁膜112として酸窒化シリコン膜を厚さ約100nmに形成し、この酸化防止絶縁膜112により第1導電性プラグ113aを酸素雰囲気から保護する。

[0276] 次に、図49(c)に示すように、各絶縁膜110～112をパターニングし、第2ソース／ドレイン領域108b上のこれらの絶縁膜に第2コンタクトホール111bを形成する。このパターニングは、酸化防止絶縁膜112に対するエッチング、下地絶縁膜111に対するエッチング、及びエッチングストップ膜110に対するエッチングの3ステップのエッチングによって行われる。

[0277] そして、第1導電性プラグ113aの形成方法と同じ方法を採用し、第2コンタクトホール111b内に第2導電性プラグ113bを形成する。

[0278] 次いで、図50(a)に示すように、第2導電性プラグ113bと酸化防止絶縁膜112の上面に、DCスパッタ法によりイリジウム膜を厚さ約200nmに形成し、そのイリジウム膜を第1導電膜121とする。そのイリジウム膜の成膜条件は特に限定されないが、本実施形態では、スパッタガスとしてアルゴンガスを使用し、チャンバ内圧力を約0.11Pa、DCパワーを0.5kW、成膜時間を335秒、基板温度500とする。

- [0279] 更に、第1導電膜121の上に、MOCVD法に強誘電体膜122としてPZT膜を厚さ約120nmに形成する。そのMOCVD法では、例えば、テトラヒドロフラン(THF: C_4H_8O)の流量を0.474ml/分、THF中に $Pb(DPM)_2$ を0.3mol/lの濃度で溶解してなるPb原料の流量を0.326ml/分、THF中に $Zr(dmhd)_4$ を0.3mol/lの濃度で溶解してなるZr原料の流量を0.2ml/分、THF中に $Ti(O-iPr)_2(DPM)_2$ を0.3mol/lの濃度で溶解してなるZr原料の流量を0.2ml/分とする。また、成膜圧力は約5Torr、基板温度は約620℃、成膜時間は約620秒である。
- [0280] なお、強誘電体膜122の成膜方法としては、MOCVD法他に、スパッタ法やゾル・ゲル法もある。更に、強誘電体膜122の材料は上記のPZTに限定されず、 $SrBi_2Ta_2O_9$ 、 $SrBi_2(Ta, Nb)_2O_9$ 等のBi層状構造化合物や、PZTにランタンをドーブしたPLZT、或いはその他の金属酸化物強誘電体で強誘電体膜122を構成してもよい。
- [0281] 次いで、強誘電体膜122の上に、スパッタ法により酸化イリジウム膜を200nmの厚さに形成し、それを第2導電膜123とする。
- [0282] その後に、第2導電膜123の形成時に強誘電体膜122が受けたダメージを回復させるために、酸素含有雰囲気となっているファーンネス内において基板温度500℃、処理時間60分間の条件で回復アニールを行う。
- [0283] 続いて、図50(b)に示すように、キャパシタ上部電極形状のハードマスク(不図示)をエッチングマスクにしながら、第1導電膜121、強誘電体膜122、及び第2導電膜123を一括してドライエッチングすることにより、下部電極121a、キャパシタ誘電体膜122a、及び上部電極123aを順に積層してなるキャパシタQを形成する。そのドライエッチングでは、例えば、ハロゲンガスを含むエッチングガスが使用される。
- [0284] 次に、図51(a)に示すように、シリコン基板101の上側全面に、例えばTMA(トリメチルアルミニウム)と O_3 との混合ガスを使用するALD(Atomic Layer Deposition)法により、厚さ約20nmのアルミナ膜を形成し、このアルミナ膜を第1キャパシタ保護絶縁膜140とする。
- [0285] この第1キャパシタ保護絶縁膜140は、水素等の還元性物質をブロックし、キャパシタ誘電体膜122aが還元されて劣化するのを防止するように機能する。このような機能を有する膜には、アルミナ膜の他に、酸化チタン膜、酸化ジルコニウム膜、酸化マ

グネシウム膜、及び酸化チタンマグネシウム膜があり、これらのいずれかを第1キャパシタ保護絶縁膜140として形成してもよい。

[0286] その後、ここまでの工程でキャパシタ誘電体膜122aが受けたダメージを回復させるための回復アニールを行う。その回復アニールは、ファーネスを使用し、酸素含有雰囲気中において基板温度を約560℃として行われる。

[0287] 続いて、図51(b)に示すように、例えばTEOSガスを使用するプラズマCVD法により、第1キャパシタ保護絶縁膜140の上に酸化シリコン膜を形成し、その酸化シリコン膜を第1層間絶縁膜141とする。

[0288] この後に、CMP法により層間絶縁膜141の上面を研磨して平坦化する。このCMPにより、層間絶縁膜141の厚さは、上部電極123a上で約300nmとなる。

[0289] なお、この層間絶縁膜141の上にカバー絶縁膜を形成してもよい。そのカバー絶縁膜は、CMPの際に層間絶縁膜141の上面に形成されたマイクロクラッチや、隣接するキャパシタQの間の層間絶縁膜141に発生したボイドを埋め込むために形成されるものであって、このようなカバー絶縁膜を形成することでその上に形成される膜の被膜性が向上する。そのカバー絶縁膜としては、例えば、TEOSガスを使用するプラズマCVD法により形成された厚さ約50nmの酸化シリコン膜を採用し得る。

[0290] 次いで、図52(a)に示すように、還元性物質からキャパシタ誘電体膜122aを保護するための第2キャパシタ保護絶縁膜142として、アルミナ膜をスパッタ法で厚さ約40nmに形成する。

[0291] なお、この層間キャパシタ保護絶縁膜142を形成する前に、第1層間絶縁膜141に対して N_2O プラズマを用いた脱水アニールを行ってもよい。

[0292] また、第2キャパシタ保護絶縁膜142はアルミナ膜に限定されず、アルミナ膜、酸化チタン膜、窒化シリコン膜、及び酸窒化シリコン膜の単層膜、或いはこれらの膜の積層膜を層間キャパシタ保護絶縁膜142として形成してもよい。

[0293] 続いて、図52(b)に示すように、TEOSガスを使用するプラズマCVD法により、第2キャパシタ保護絶縁膜142の上に第1カバー絶縁膜143として酸化シリコン膜を厚さ約100～150nmに形成する。

[0294] 次に、図53(a)に示す断面構造を得るまでの工程について説明する。

- [0295] まず、第1カバー絶縁膜143上にフォトリソを塗布し、それを露光、現像することにより、上部電極123a上にホール形状の第1窓144aを備えた第1レジストパターン144を形成する。
- [0296] そして、上記の第1窓144aを通じて各絶縁膜140～143をエッチングして、これらの絶縁膜に上部電極123aに至る深さの第1ホール145を形成する。このエッチングの条件は特に限定されないが、本実施形態では、平行平板型プラズマエッチングチャンバ(不図示)を用い、 C_4F_8 、Ar、及び O_2 の混合ガスをエッチングガスとして使用する。
- [0297] そして、第1レジストパターン144を除去した後に、ここまでの工程でキャパシタ誘電体膜122aが受けたダメージを回復させるため、不図示のファーンネス内にシリコン基板1を入れ、酸素雰囲気中で基板温度を550℃とする回復アニールを約40分間行う。
- [0298] 続いて、図53(b)に示すように、シリコン基板の上側全面に第2レジストパターン150を形成する。その第2レジストパターン150は、第1導電性プラグ113aの上にホール形状の第2窓150aを有する。
- [0299] そして、第2窓150aを通じて各絶縁膜112、140～143をエッチングすることにより、第1導電性プラグ113aが露出する第2ホール141aを形成する。このようなエッチングは、例えば C_4F_8 、Ar、 O_2 、及びCOの混合ガスをエッチングガスとする平行平板プラズマエッチングチャンバ内において行われる。
- [0300] ここで、第1導電性プラグ113aは、このエッチングが行われるまで酸化防止絶縁膜112で覆われていたので、ここまでの各工程において酸素雰囲気から隔離され、酸化に伴うコンタクト不良が発生し難い。
- [0301] このエッチングを終了後、第2レジストパターン150は除去される。
- [0302] 次に、図54(a)に示す断面構造を得るまでの工程について説明する。
- [0303] まず、第1カバー絶縁膜143の上面と、第1、第2ホール145、141aのそれぞれの内面に、スパッタ法によりグルー膜として窒化チタン膜を約50nmの厚さに形成する。そして、このグルー膜の上に、第2、第3ホール145、141aを埋め込むのに十分な厚さ、例えば第1カバー絶縁膜143の平坦面上での厚さが300nmとなるタンゲステン膜

を形成する。

[0304] その後、第1カバー絶縁膜143上の余分なグルー膜とタングステン膜とをCMP法により研磨して除去し、これらの膜を第1、第2ホール145、141a内にそれぞれ第3、第4導電性プラグ147a、147bとして残す。

[0305] これらの導電性プラグのうち、第3導電性プラグ147aは、第1導電性プラグ113aと電氣的に接続され、その第1導電性プラグ113aと共にビット線の一部を構成する。一方、第4導電性プラグ147bは上部電極123aと電氣的に接続される。

[0306] 次に、図54(b)に示す断面構造を得るまでの工程について説明する。

[0307] まず、第1カバー絶縁膜143と第3、第4導電性プラグ147a、147bのそれぞれの上面に、スパッタ法により金属積層膜を形成する。その金属積層膜は、例えば、厚さ約50nmの窒化チタン膜、厚さ約360nmのアルミニウム膜、及び厚さ約70nmの窒化チタン膜をこの順に積層してなる。

[0308] その後、フォトリソグラフィによりこの金属積層膜をパターニングして、第3、第4導電性プラグ147a、147bのそれぞれと電氣的に接続される第1金属配線152を形成する。

[0309] ここで、金属積層膜に対するパターニングでは、第1カバー絶縁膜143の上に金属積層膜のエッチング残渣を残さないようにするためにオーバーエッチングが行われる。このようにオーバーエッチングをしても、第1キャパシタ保護絶縁膜142は、第1カバー絶縁膜143によって覆われているのでエッチングされない。これにより、金属積層膜のパターニングが終わった後でも第1キャパシタ保護絶縁膜142の厚さが減らず、第1キャパシタ保護絶縁膜142における還元性物質の阻止能力を十分に維持することが可能となる。

[0310] 次に、図55に示すように、第1カバー絶縁膜143と第1金属配線152のそれぞれの上面に、第3キャパシタ保護絶縁膜151としてアルミナ膜をスパッタ法で約20nmの厚さに形成する。この第3キャパシタ保護絶縁膜151は、水素や水分等の還元性物質をブロックし、キャパシタ誘電体膜122aが還元性物質によって劣化するのを防止する機能を有する。

[0311] このような機能を有する膜には、アルミナ膜の他に、酸化チタン膜、酸化ジルコニウ

ム膜、酸化マグネシウム膜、及び酸化チタンマグネシウム膜があり、これらのいずれかを第3キャパシタ保護絶縁膜151として形成してもよい。

[0312] なお、第3キャパシタ保護絶縁膜151を形成しなくてもキャパシタ誘電体122aが劣化しないなら、第3キャパシタ保護絶縁膜151を省いてもよい。

[0313] 次いで、第3キャパシタ保護絶縁膜151の上に、プラズマCVD法により第2層間絶縁膜153として酸化シリコン膜を形成する。このプラズマCVD法では、反応ガスとしてTEOSガスが使用され、第1金属配線152の上における第2層間絶縁膜153の厚さは約2600nmとされる。

[0314] そして、CMP法により第2層間絶縁膜153の上面を研磨して平坦化した後、第2層間絶縁膜153の表面に対して N_2O プラズマ処理を行うことにより、第2層間絶縁膜153を脱水する共に、その表面を窒化して水分の再吸着を防止する。この N_2O プラズマ処理は、CVD装置内において基板温度約350℃、処理時間約4分の条件で行われる。

[0315] なお、この第2層間絶縁膜153の上にカバー絶縁膜を形成してもよい。そのカバー絶縁膜は、CMPの際に第2層間絶縁膜153の上面に形成されたマイクロクラッチや、隣接するキャパシタQの間の第2層間絶縁膜153に発生したボイドを埋め込むために形成されるものであって、このようなカバー絶縁膜を形成することでその上に形成される膜の被膜性が向上する。そのカバー絶縁膜としては、例えば、TEOSガスを使用するプラズマCVD法により形成された厚さ約50nmの酸化シリコン膜を採用し得る。

[0316] 次に、図56に示す断面構造を得るまでの工程について説明する。

[0317] まず、第2層間絶縁膜153の上に、キャパシタ誘電体膜122aを還元性物質から保護するための第1絶縁性酸化金属膜154aとしてスパッタ法でアルミナ膜を厚さ約20nmに形成する。

[0318] なお、アルミナ膜に代えて、酸化チタン膜、酸化ジルコニウム膜、酸化マグネシウム膜、及び酸化チタンマグネシウム膜を第1絶縁性酸化金属膜154aとして形成してもよい。

[0319] また、スパッタ法で第1絶縁性酸化金属膜50aを形成する際にはシリコン基板101が加熱されるが、既述のように N_2O プラズマ処理によって第2層間絶縁膜153を十分

に脱水してあるため、第2層間絶縁膜153中の水分によってキャパシタQが蒸し焼きになることはない。

[0320] 次いで、この第1絶縁性酸化金属膜154aの上に、低誘電率の中間絶縁膜154bを厚さ約50nmに形成する。

[0321] この中間絶縁膜154bは、第2層間絶縁膜153を構成する酸化シリコン(比誘電率:約4.1)よりも比誘電率が低い材料、例えば、比誘電率が2.25の多孔質シリカ系材料であるナノクラスタリングシリカで構成される。

[0322] アプライドマテリアルズ社製が開発した酸化シリコン系の「Black Diamond」(比誘電率:約3.8~4.2)や、多孔質MSQ(比誘電率:2.5以下)で中間絶縁膜154bを構成してもよい。

[0323] なお、この中間絶縁膜154bは、厚さが約50nmと薄いため、成膜時にその膜中に取り込まれる水分量は微量である。従って、第2層間絶縁膜153に対して行ったような脱水のための N_2O プラズマ処理(図55参照)は中間絶縁膜154bに対しては不要である。

[0324] 但し、大気に中間絶縁膜154bを長時間曝すと、吸湿によって中間絶縁膜154b中の水分量が増えてしまう。従って、中間絶縁膜154bを形成してからなるべく12時間以内に次の工程を行い、中間絶縁膜154bの吸湿を防ぐようにするのが好ましい。

[0325] また、製造上の都合によって、次の工程を行うまでに12時間以上の時間が必要な場合は、中間絶縁膜154bを形成した後に、図36で説明したような密閉容器300内にシリコン基板10を保管しておき、中間絶縁膜154bの吸湿を極力防ぐのが好ましい。

[0326] その後、この中間絶縁膜154bの上に、第2絶縁性酸化金属膜154cとしてアルミナ膜を厚さ約20nmに形成する。第1絶縁性酸化金属膜154aと同様、第2絶縁性酸化金属膜154cは、水素や水分等の還元性物質がキャパシタ誘電体膜28aに侵入するのを阻止し、キャパシタ誘電体膜122aが劣化するのを防止する役割を担う。

[0327] なお、アルミナ膜に代えて、酸化チタン膜、酸化ジルコニウム膜、酸化マグネシウム膜、及び酸化チタンマグネシウム膜のいずれかを第2絶縁性酸化金属膜154cとして形成してもよい。

[0328] 以上により、第1、第2絶縁性酸化金属膜154a、154cと中間絶縁膜154bとで構成

される第4キャパシタ保護絶縁膜154が第2層間絶縁膜153の上に形成されたことになる。

[0329] この後に、第4キャパシタ保護絶縁膜154の上に、TEOSガスを使用するプラズマCVD法により酸化シリコン膜を形成し、この酸化シリコン膜を第2カバー絶縁膜155とする。

[0330] なお、この第2カバー絶縁膜155の厚さは約100nmと薄く、該第2カバー絶縁膜155に含まれる水分量は少ない。よって、 N_2O プラズマを用いた脱水処理を第2カバー絶縁膜155に対して行う必要は無い。

[0331] 但し、中間絶縁膜154bと同様に、大気中に第2カバー絶縁膜155を長時間にわたって放置すると第2カバー絶縁膜155が吸湿してしまうので、第2カバー絶縁膜155を形成してからなるべく12時間以内に次の工程を行うことで、第2カバー絶縁膜155の吸湿を抑えるのが好ましい。

[0332] なお、製造上の都合によって、次の工程を行うまでに12時間以上の時間が必要な場合は、第2カバー絶縁膜155を形成した後に、図36で説明した密閉容器300内にシリコン基板101を保管し、第2カバー絶縁膜155の吸湿を防ぐのが好ましい。

[0333] 次に、図57に示すように、第1金属配線152の上方に第3窓160aを有する第3レジストパターン160を第2カバー絶縁膜155上に形成する。

[0334] そして、この第3窓160aを通じて各絶縁膜151、153～155をドライエッチングし、第1金属配線152の上方のこれらの絶縁膜に第3ホール156を形成する。そのドライエッチングの条件は特に限定されないが、本実施形態では、平行平板型プラズマエッチングチャンバ(不図示)を用い、 C_4F_8 、Ar、及び O_2 の混合ガスをエッチングガスとして使用する。

[0335] 上記の第3ホール156は第4キャパシタ保護絶縁膜154にも形成されるが、その第4キャパシタ保護絶縁膜154を構成する中間絶縁膜154bが第2層間絶縁膜153と同様の酸化シリコン系の材料よりなるので、中間絶縁膜154aと第2層間絶縁膜153とが実質的に同じエッチングレートでエッチングされる。従って、第3ホール156の直径は、その上端と下端とで略同じとなり、下端におけるその直径が図2(a)、(b)のように極端に小さくなることは無い。

- [0336] このエッチングが終了後、第3レジストパターン160は除去される。
- [0337] なお、このエッチングでは、第1、第2絶縁性酸化金属膜154a、154cはエッチングガスのスパッタ作用によってエッチングされるので、これらの絶縁性酸化金属膜50a、50cの合計膜厚が厚すぎると、エッチングによる第3ホール156の形成が困難となる。従って、エッチングにより第3ホール156を容易に形成するために、第1、第2絶縁性酸化金属膜154a、154cの合計膜厚を100nm未満、より好ましくは20nm以上50nm以下とするのが好ましい。ここで、合計膜厚の下限を20nmとしたのは、これよりも薄いと第1、第2絶縁性酸化金属膜154a、154cによる還元性物質のブロック性が十分に発揮されないためである。
- [0338] 次に、図58に示すように、第3ホール156の内面と第2カバー絶縁膜155の上面にスパッタ法によりグルー膜162として窒化チタン膜を厚さ約150nmに形成する。
- [0339] 更に、このグルー膜162の上に、六フッ化タングステンガスを使用するプラズマCVD法により、第3ホール156を完全に埋め込む厚さ、例えば約650nmの厚さのタングステン膜163aを形成する。
- [0340] この後に、図59に示すように、第2カバー絶縁膜155の表面上の余分なグルー膜162とタングステン膜163aとを除去し、これらの膜を第3ホール156内にのみ第5導電性プラグ163として残す。
- [0341] 既述のように、第3ホール156の下端が十分に大きく開口されているので、第5導電性プラグ163は第1金属配線152と広く接触し、第5導電性プラグ163のコンタクト抵抗が安定化する。
- [0342] 次に、図60に示す断面構造を得るまでの工程について説明する。
- [0343] まず、第5導電性プラグ163と第2カバー絶縁膜155のそれぞれの上に、スパッタ法により金属積層膜を形成する。その金属積層膜として、本実施形態では、厚さ約60nmのTi膜、厚さ約30nmのTiN膜、厚さ約400nmの銅含有アルミニウム膜、厚さ約5nmのTi膜、及び厚さ約70nmのTiN膜をこの順に形成する。
- [0344] その後に、フォトリソグラフィによりこの金属積層膜をパターンニングして第2金属配線165とする。
- [0345] ここで、第4キャパシタ保護絶縁膜154の上に第2カバー絶縁膜155を形成したこと

で、上記の金属積層膜のパターニングの際にエッチングが第1キャパシタ保護絶縁膜154に及ばなくなり、第1キャパシタ保護絶縁膜154の膜減りを防いでその還元性物質の阻止能力を十分に維持することが可能となる。

[0346] 更に、第2カバー絶縁膜155と第2金属配線165のそれぞれの上に、TEOSガスを使用するプラズマCVD法で酸化シリコン膜を形成し、その酸化シリコン膜を第3層間絶縁膜167とする。

[0347] その後に、第3層間絶縁膜167の上面をCMP法で研磨して平坦化する。平坦化後の第3層間絶縁膜167の膜厚は、第2金属配線165の上で例えば約1000nmである。

[0348] なお、このCMPの後に、第3層間絶縁膜167に対する脱水処理として N_2O プラズマ処理を行ってもよい。

[0349] 続いて、図61に示すように、第3層間絶縁膜167をパターニングして第2金属配線165の上に第4ホール167aを形成する。

[0350] 次いで、第5導電性プラグ163と同様の形成方法により、第2金属配線165と電氣的に接続された第6導電性プラグ170を形成する。

[0351] 更に、第6導電性プラグ170と第3層間絶縁膜167のそれぞれの上面にスパッタ法で金属積層膜を形成した後、そのフォトリソグラフィによりその金属積層膜をパターニングして、セル領域 R_{cell} に第3金属配線171を形成すると共に、パッド領域 R_{pad} にボンディングパッド171aを形成する。

[0352] 次に、図62に示す断面構造を得るまでの工程について説明する。

[0353] まず、第3層間絶縁膜167と第3金属配線171のそれぞれの上に、第1パッシベーション膜173としてCVD法で酸化シリコン膜を約100nmの厚さに形成する。

[0354] なお、第1パッシベーション膜173の脱水と再吸湿防止のために、第1パッシベーション膜173に対して N_2O プラズマ処理を行ってもよい。

[0355] 更に、この第1パッシベーション膜173上に、第2パッシベーション膜174として厚さが約350nmの窒化シリコン膜をCVD法で形成する。

[0356] そして、これら第1、第2パッシベーション膜173、174をパターニングして、パッド領域 R_{pad} のボンディングパッド171aが露出する第1開口173aを形成する。

- [0357] 次いで、シリコン基板10の上側全面に、感光性ポリイミドを約 $3\mu\text{m}$ の厚さに形成し、ポリイミド塗膜よりなる保護層175を形成する。
- [0358] そして、保護層175を露光、現像し、ボンディングパッド171aが露出する第2開口175aを保護層175に形成する。その後に、基板温度 310°C 、 N_2 流量 100リットル/分 、処理時間40分の条件で保護層175を熱硬化する。
- [0359] 以上により、本実施形態に係る半導体装置の基本構造が完成した。
- [0360] 上記した本実施形態によれば、キャパシタ誘電体膜122aに還元性物質が侵入するのを阻止する第4キャパシタ保護絶縁膜154として、第1絶縁性酸化金属膜154a、中間絶縁膜154b、及び第2絶縁性酸化金属膜154cをこの順に形成してなる積層膜を採用した。
- [0361] このように第1絶縁性酸化金属膜154aと第2絶縁性酸化金属膜154cとの二層を形成することで、これらのうちの一層のみを形成する場合よりも水素や水分等の還元性物質に対するブロック性が高められる。
- [0362] 更に、第1実施形態で説明したのと同じ理由によって、第1絶縁性酸化金属膜154aと第2絶縁性酸化金属膜154cの合計膜厚に等しい単層の絶縁性酸化金属膜を形成する場合と比較して、半導体装置に不良が発生し難くなる。
- [0363] また、第1絶縁性酸化金属膜154aと第2絶縁性酸化金属膜154cとを同じ層、すなわち両者と共に第2層間絶縁膜153と第2金属配線165との間に形成してそれらの間の間隔を最小限に狭くした。これにより、第1実施形態で説明したように、各絶縁性酸化金属膜154a、154cの間に形成される中間絶縁膜153bの厚さが薄くなり、中間絶縁膜153bにボイドが発生し難くなる。その結果、ボイド中の水分によってキャパシタ誘電体膜122aが劣化するのを防ぐことができる。
- [0364] しかも、その第4キャパシタ保護絶縁膜154を構成する中間絶縁膜154bは、第2層間絶縁膜153よりも比誘電率が低い材料で構成されるため、プラズマCVD法で形成された酸化シリコン膜と比較して膜応力が弱く引張応力が小さい。そのため、図3で説明したようなプラズマCVD法で酸化シリコン膜221、223を形成する場合と比較して、膜の応力に起因するシリコン基板101の反りを防止でき、圧電素子であるキャパシタQが応力によって劣化するのを防ぐことが可能となる。

[0365] (6) 第3実施形態の変形例

次に、上記した第3実施形態の変形例について、図63及び図64を参照して説明する。なお、これらの図において、第3実施形態で説明した要素には第3実施形態と同じ符号を付し、以下ではその説明を省略する。

[0366] 第1変形例

図63は、第3実施形態の第1変形例に係る半導体装置の断面図である。

[0367] この第1変形例では、第3層間絶縁膜167と第3金属配線171との間に、第4キャパシタ保護絶縁膜154と第2カバー絶縁膜155を形成する。

[0368] このようにすると、第4ホール167aは、これらの絶縁膜154、155にも形成されることになる。

[0369] 但し、第4キャパシタ保護絶縁膜154を構成する中間絶縁膜154bが第3層間絶縁膜167と同様に酸化シリコン系の材料で構成されるので、エッチングにより第4ホール167aを形成する際、中間絶縁膜154bと第3層間絶縁膜167との間でエッチングレートに実質的な差が発生しない。

[0370] 従って、第4ホール167aの下端の直径が上端のそれと同程度に大きくなり、第6導電性プラグ170のコンタクト抵抗を安定化させることが可能となる。

[0371] 第2変形例

図64は、第3実施形態の第2変形例に係る半導体装置の断面図である。

[0372] 第2変形例では、第1層間絶縁膜141と第1金属配線152との間に、第4キャパシタ保護絶縁膜154と第2カバー絶縁膜155を形成する。

[0373] この場合、第1層間絶縁膜141の第1、第2ホール145、141aが絶縁膜154、155にも形成されることになる。

[0374] このようにしても、第1変形例で説明したように、中間絶縁膜154bと第1層間絶縁膜141が共に酸化シリコン系の材料で構成されるので、第1、第2ホール145、141aをエッチングで形成する際、中間絶縁膜154bと第1層間絶縁膜141とでエッチングレートに実質的な差が生じない。よって、第1、第2ホール145、141aの底部を十分に大きく形成することができ、これらのホール145、141a内に埋め込まれた第3、第4導電性プラグ147a、147bのコンタクト抵抗を安定化させることが可能となる。

[0375] なお、エッチングにより第1、第2ホール145、141aを形成する際、エッチングガスのスパッタ作用でエッチングされる第2キャパシタ保護絶縁膜142と第1、第2絶縁性酸化金属膜154a、154cの合計膜厚が厚すぎると、これらのホール145、141aのエッチングが困難となる。そのため、第2キャパシタ保護絶縁膜142と第1、第2絶縁性酸化金属膜154a、154cの合計膜厚を100nm未満とし、エッチングによる第1、第2ホール145、141aの形成を容易にするのが好ましい。

請求の範囲

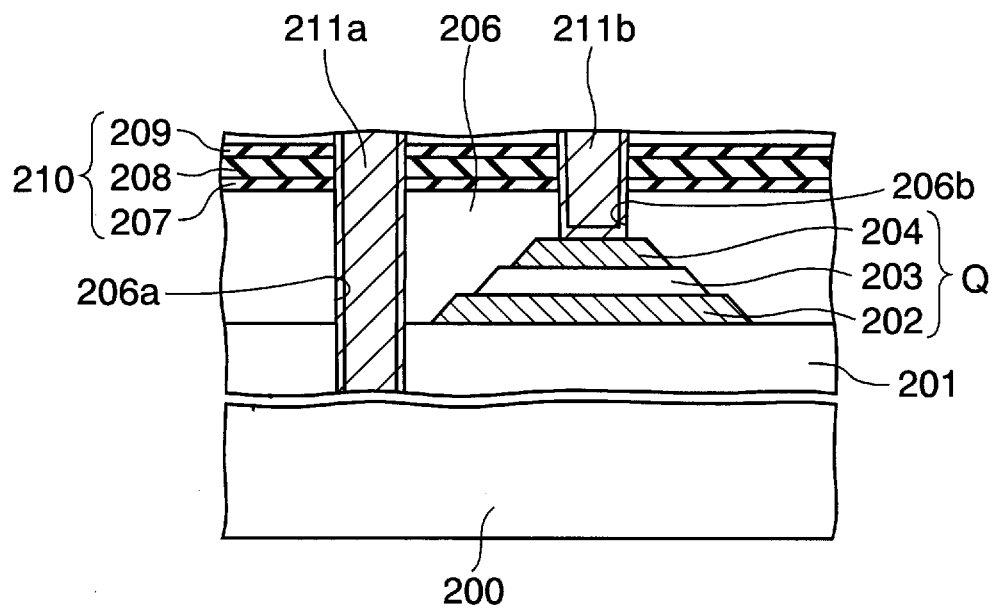
- [1] 半導体基板の上方に形成された下地絶縁膜と、
前記下地絶縁膜の上に形成され、下部電極、強誘電体材料よりなるキャパシタ誘電体膜、及び上部電極を備えたキャパシタと、
前記キャパシタの上に交互に複数形成された層間絶縁膜及び金属配線と、
前記層間絶縁膜が備えるホール内に形成され、前記金属配線と電氣的に接続された導電性プラグとを有し、
前記複数の層間絶縁膜のうち、少なくとも一つの該層間絶縁膜の上面に、第1絶縁性酸化金属膜、前記層間絶縁膜よりも比誘電率が低い中間絶縁膜、及び第2絶縁性金属酸化金属膜を順に積層してなる第1キャパシタ保護絶縁膜が形成され、該第1キャパシタ保護絶縁膜にも前記ホールが形成されたことを特徴とする半導体装置。
- [2] 前記第1キャパシタ保護絶縁膜の上にカバー絶縁膜が形成され、該カバー絶縁膜の上に前記金属配線が形成されたことを特徴とする請求項1に記載の半導体装置。
- [3] 前記複数の層間絶縁膜のうちの一つの該層間絶縁膜の上面にキャップ絶縁膜が形成され、該キャップ絶縁膜の上に前記第1キャパシタ保護絶縁膜が形成されたことを特徴とする請求項1に記載の半導体装置。
- [4] 前記キャップ絶縁膜が形成される前記層間絶縁膜の上面に、絶縁性酸化金属膜よりなる第2キャパシタ保護絶縁膜が形成され、該第2キャパシタ保護絶縁膜の上に前記キャップ絶縁膜が形成されたことを特徴とする請求項3に記載の半導体装置。
- [5] 前記上面に前記第2キャパシタ保護絶縁膜が形成される前記層間絶縁膜は、前記キャパシタ上の一層目の層間絶縁膜であることを特徴とする請求項4に記載の半導体装置。
- [6] 前記第1キャパシタ保護絶縁膜が形成される前記層間絶縁膜の上面が平坦化されていることを特徴とする請求項1に記載の半導体装置。
- [7] 前記キャパシタの上に、絶縁性酸化金属よりなる第3キャパシタ保護絶縁膜が形成され、該第3キャパシタ保護絶縁膜の上に前記層間絶縁膜と前記金属配線とが交互に複数形成されたことを特徴とする請求項1に記載の半導体装置。
- [8] 前記複数の金属配線のうちの少なくとも一つの上に、絶縁性酸化金属よりなる第4

- キャパシタ保護絶縁膜が形成されたことを特徴とする請求項1に記載の半導体装置。
- [9] 前記中間絶縁膜と、前記ホールが形成される前記層間絶縁膜は、共に酸化シリコン系の材料で構成されることを特徴とする請求項1に記載の半導体装置。
- [10] 前記中間絶縁膜は、多孔質絶縁膜であることを特徴とする請求項1に記載の半導体装置。
- [11] 前記第1絶縁性酸化金属膜と前記第2絶縁性酸化金属膜は、アルミナ膜、酸化チタン膜、酸化ジルコニウム膜、酸化マグネシウム膜、及び酸化チタンマグネシウム膜のいずれかであることを特徴とする請求項1に記載の半導体装置。
- [12] 半導体基板の上方に下地絶縁膜を形成する工程と、
前記下地絶縁膜の上に、下部電極、強誘電体材料よりなるキャパシタ誘電体膜、及び上部電極を備えたキャパシタを形成する工程と、
前記キャパシタの上に、層間絶縁膜と金属配線とを交互に複数形成する工程と、
前記複数の層間絶縁膜のうちの少なくとも一つにホールを形成する工程と、
前記ホール内に、前記金属配線と電氣的に接続される導電性プラグを形成する工程とを有し、
前記複数の層間絶縁膜のうち、少なくとも一つの該層間絶縁膜の上面に、第1絶縁性酸化金属膜、前記層間絶縁膜よりも比誘電率が低い中間絶縁膜、及び第2絶縁性金属酸化金属膜を順に積層してなる第1キャパシタ保護絶縁膜を形成する工程を更に有すると共に、
前記ホールを形成する工程において、前記1キャパシタ保護絶縁膜にも該ホールを形成することを特徴とする半導体装置の製造方法。
- [13] 前記中間絶縁膜と、前記ホールが形成される前記層間絶縁膜とを、共に酸化シリコン系の材料で構成することを特徴とする請求項12に記載の半導体装置の製造方法。
- [14] 前記第1キャパシタ保護絶縁膜を形成する工程において、前記中間絶縁膜として、多孔質絶縁膜を形成することを特徴とする請求項12に記載の半導体装置の製造方法。
- [15] 前記第1キャパシタ保護絶縁膜を形成する工程において、前記中間絶縁膜を形成

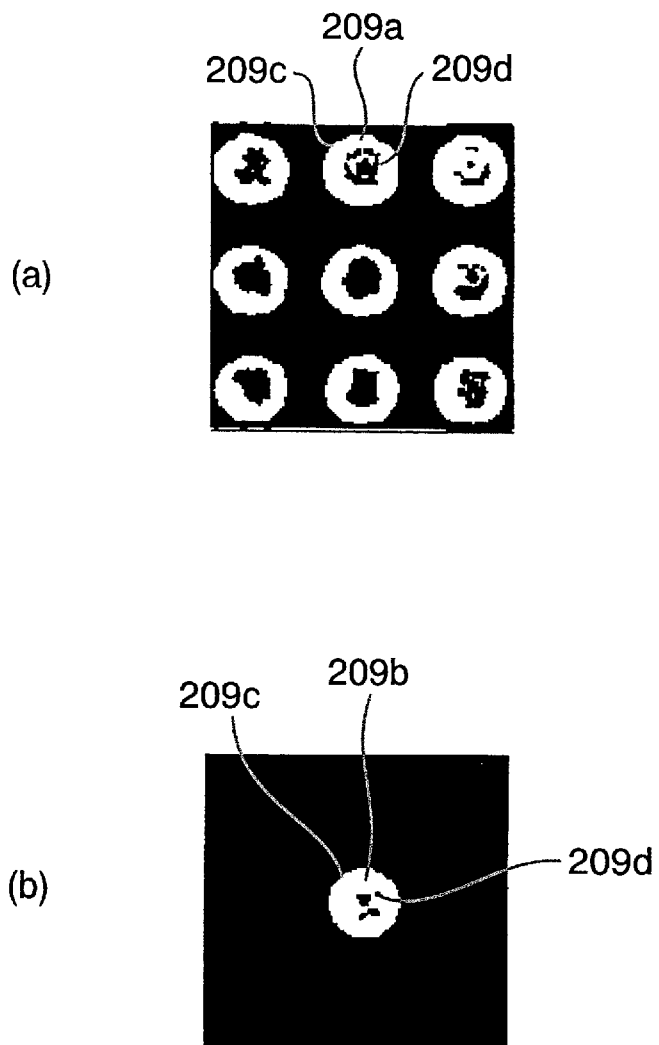
した後に、該中間絶縁膜に対する熱処理を行わずに、前記第2絶縁性金属酸化金属膜を形成することを特徴とする請求項12に記載の半導体装置の製造方法。

- [16] 前記第1キャパシタ保護絶縁膜を形成する工程において、前記中間絶縁膜を形成した後、大気圧よりも圧力が高い不活性ガスで満たされた密閉容器内に前記半導体基板を所定時間保管し、次いで前記密閉容器から前記半導体基板を出して前記第2絶縁性金属酸化金属膜を形成することを特徴とする請求項15に記載の半導体装置の製造方法。
- [17] 前記第1キャパシタ保護絶縁膜を形成する工程において、前記第1絶縁性酸化金属膜と前記第2絶縁性酸化金属膜とを合わせた膜厚を100nm以下にすることを特徴とする請求項12に記載の半導体装置の製造方法。
- [18] 第1キャパシタ保護絶縁膜を形成する工程の後に、該第1キャパシタ保護絶縁膜の上にカバー絶縁膜を形成する工程を更に有し、
前記カバー絶縁膜の上に前記金属配線を形成することを特徴とする請求項12に記載の半導体装置の製造方法。
- [19] 前記複数の層間絶縁膜のうちの一つの該層間絶縁膜の上面を研磨して平坦化する工程と、
前記平坦化された層間絶縁膜の上面にキャップ絶縁膜を形成する工程を更に有し、
前記キャップ絶縁膜の上に前記第1キャパシタ保護絶縁膜を形成することを特徴とする請求項12に記載の半導体装置の製造方法。
- [20] 前記平坦化された層間絶縁膜の上面に、絶縁性酸化金属膜よりなる第2キャパシタ保護絶縁膜を形成する工程を更に有し、
前記第2キャパシタ保護絶縁膜の上に前記キャップ絶縁膜を形成することを特徴とする請求項19に記載の半導体装置の製造方法。

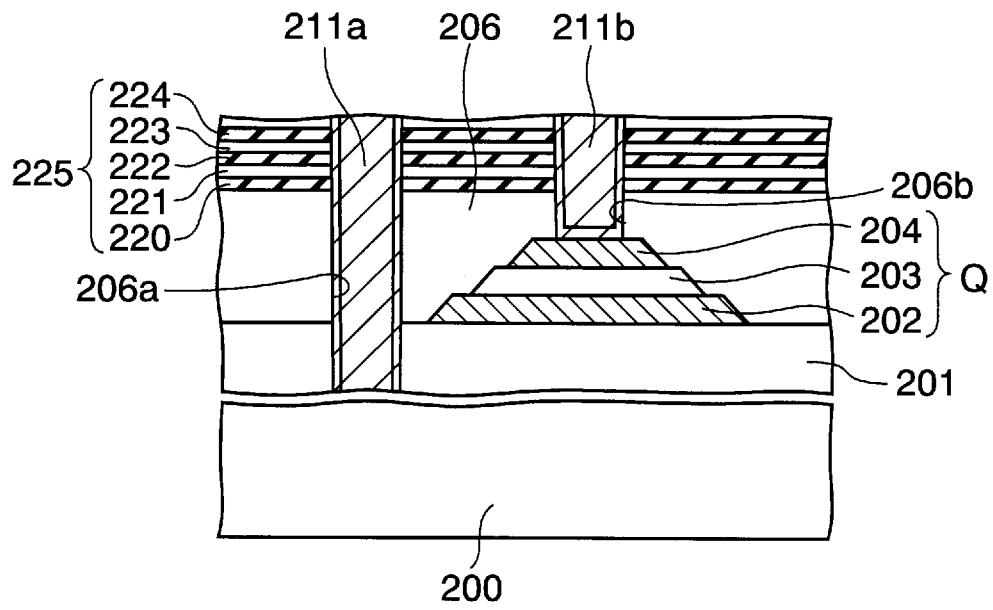
[図1]



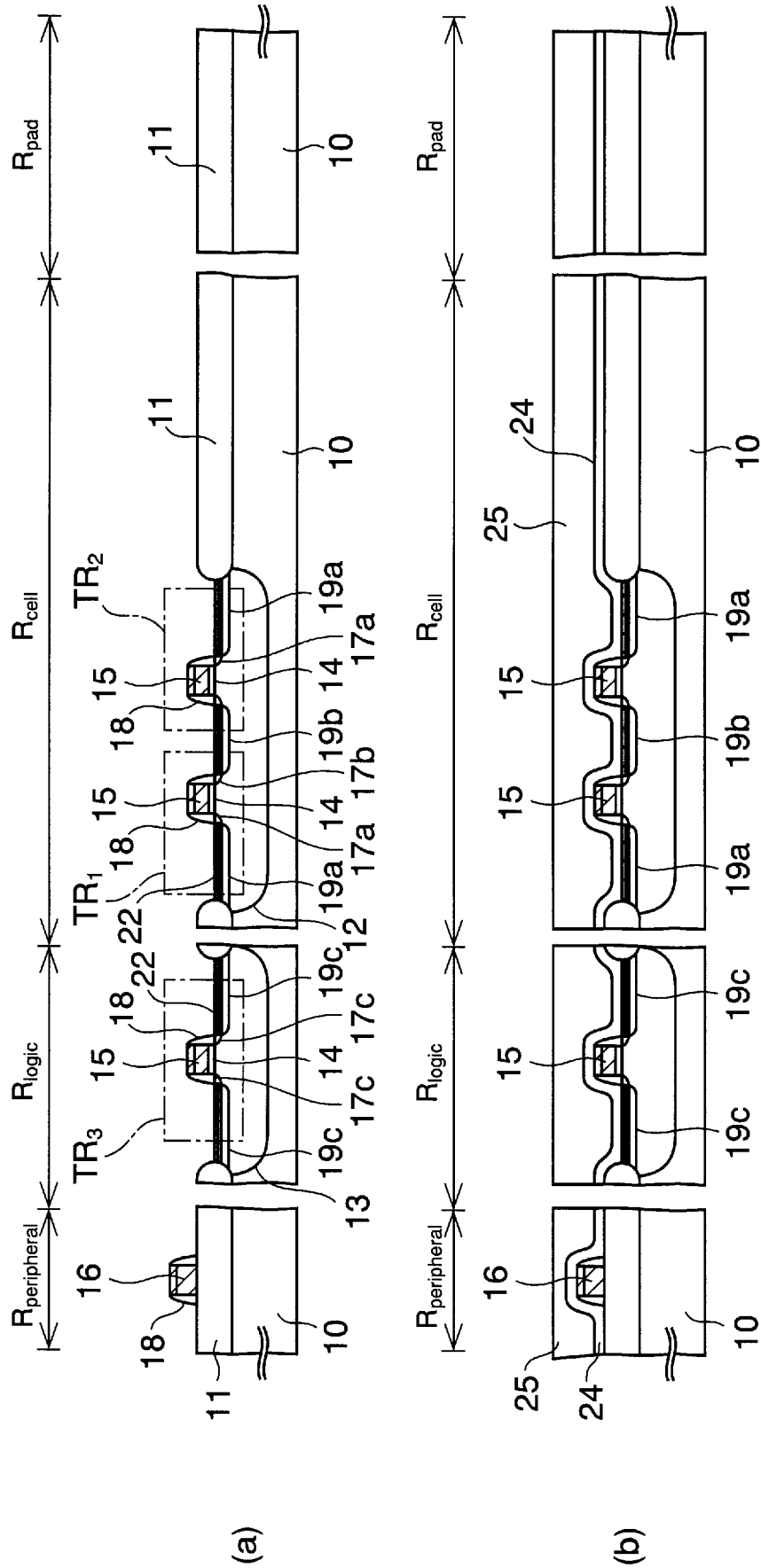
[図2]



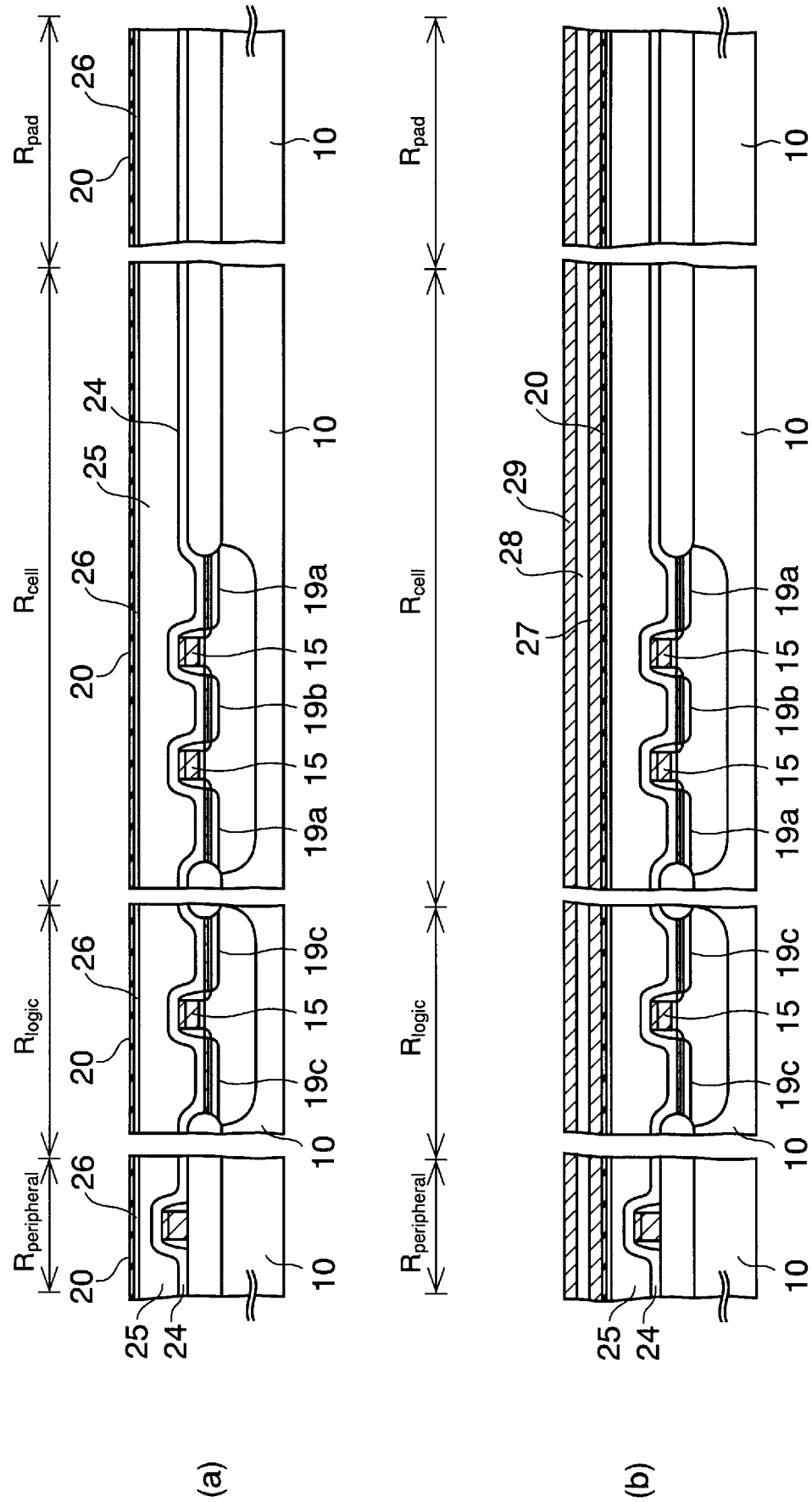
[図3]



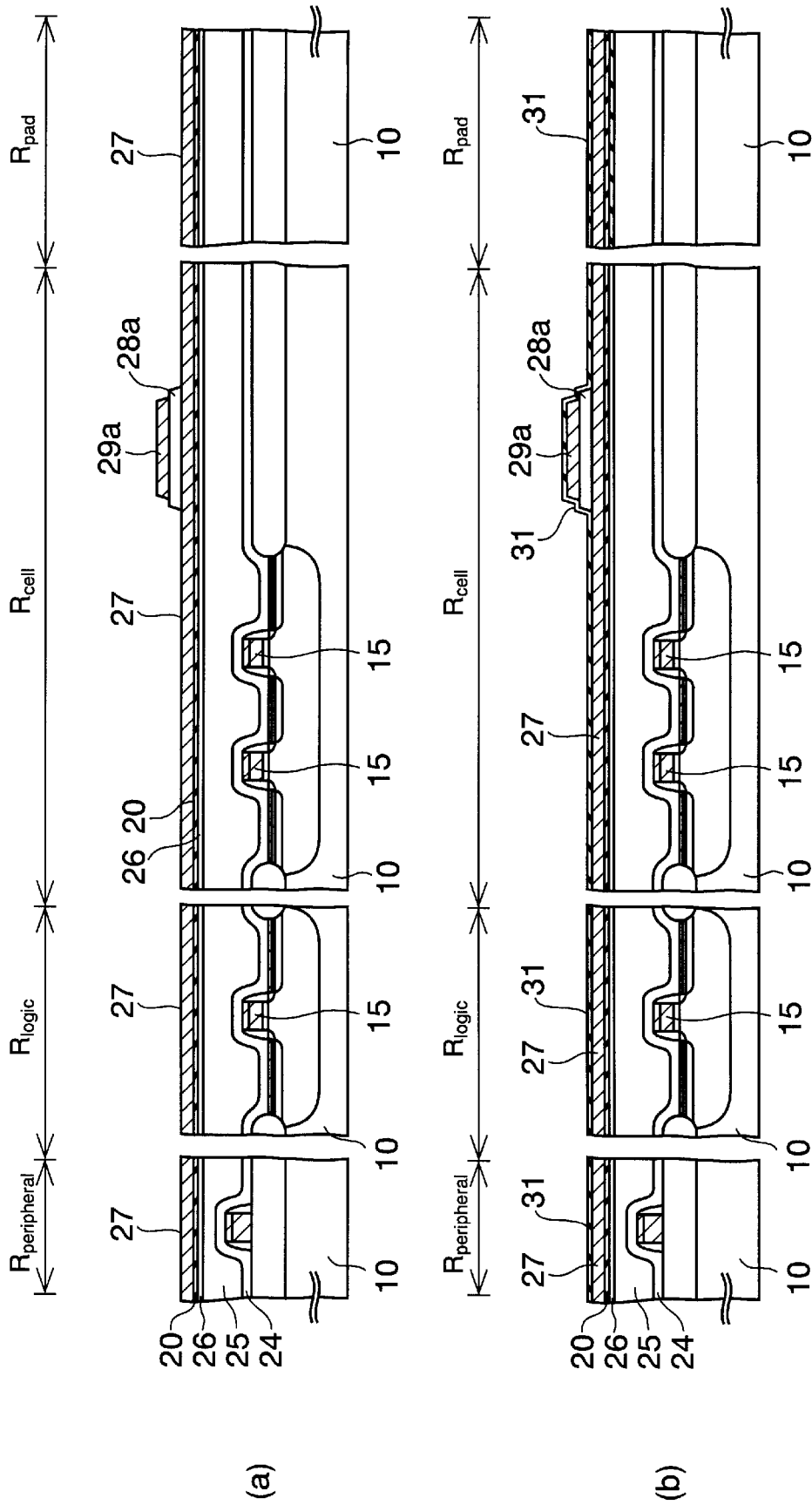
[図4]



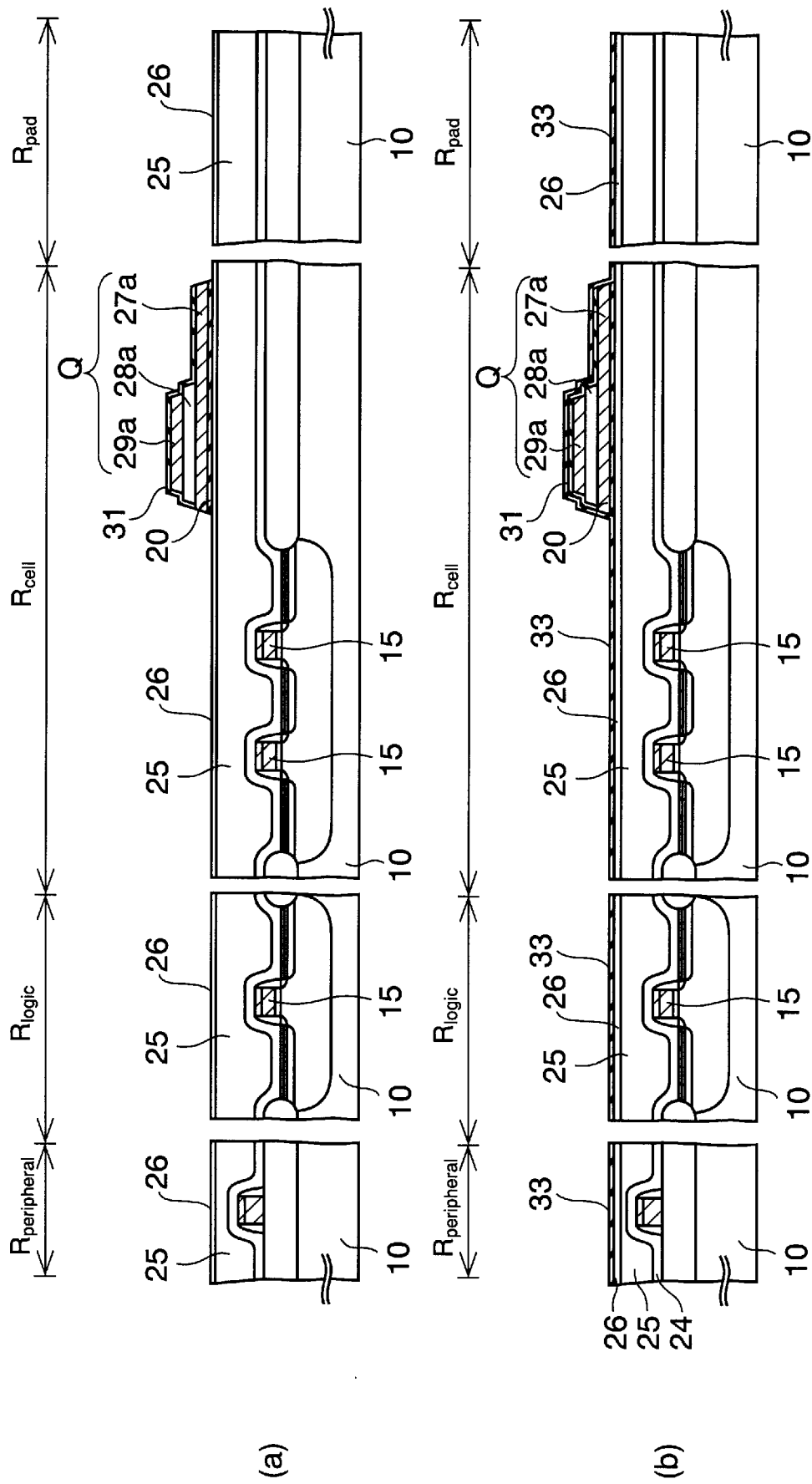
[図5]



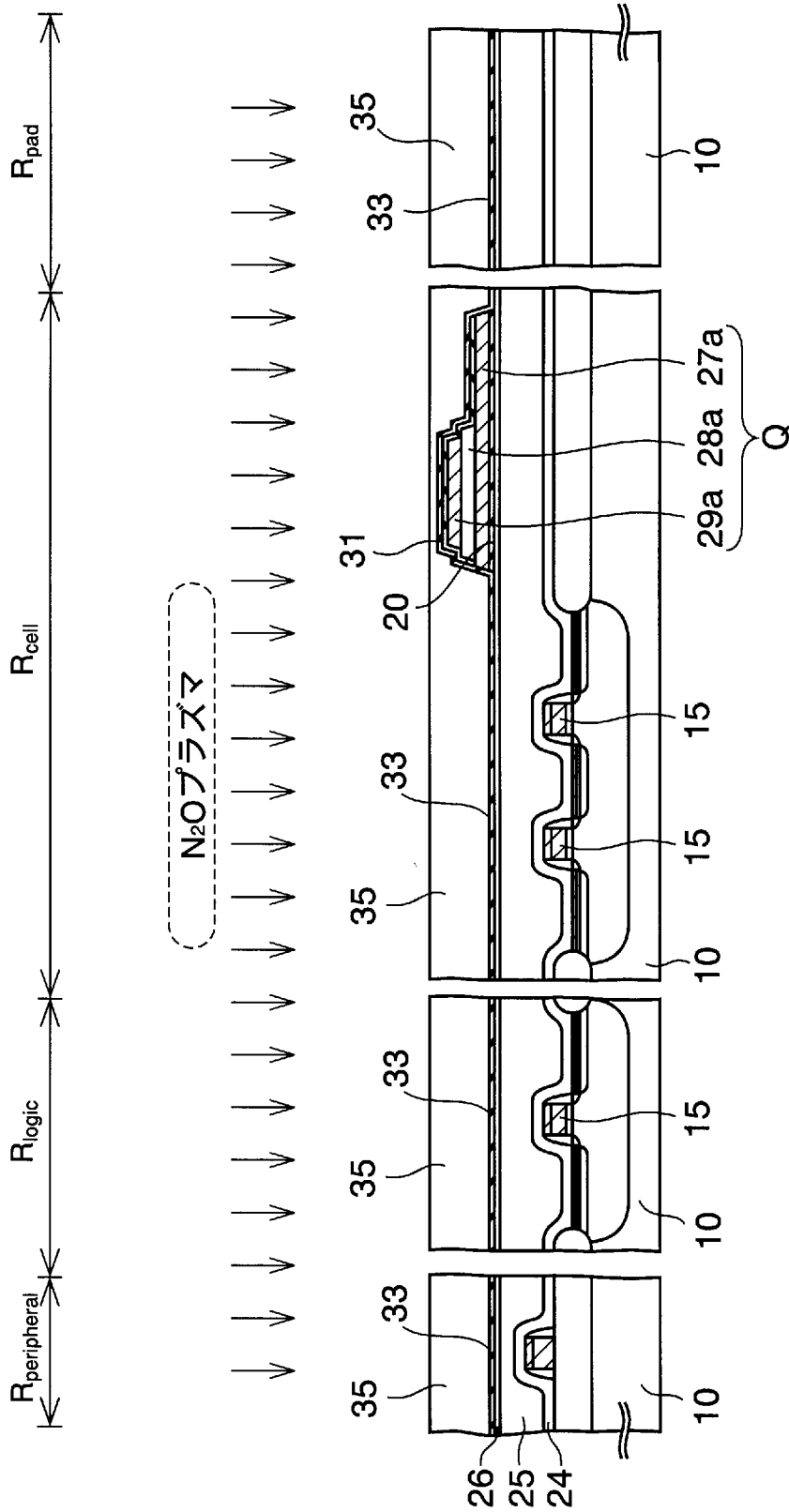
[図6]



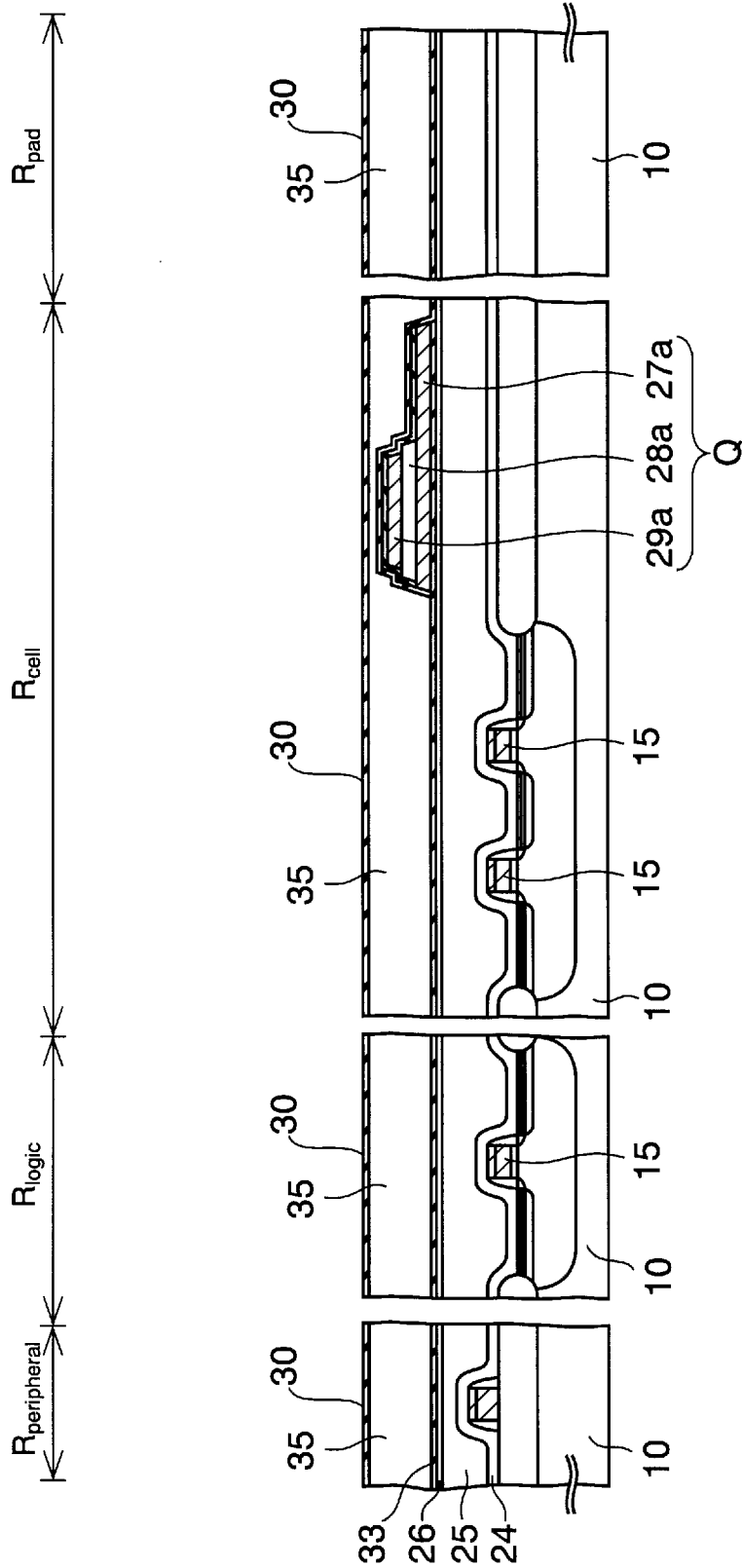
[図7]



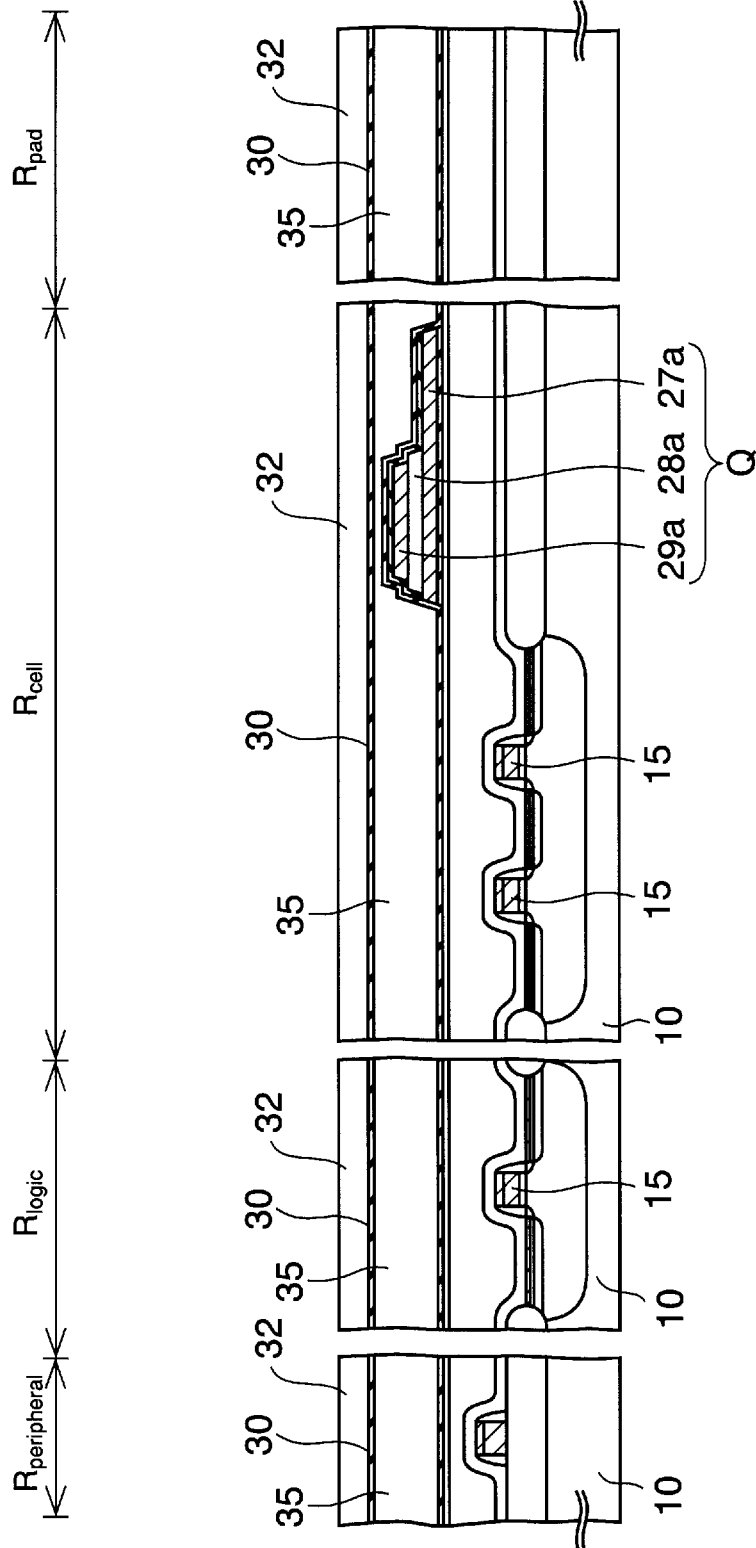
[図8]



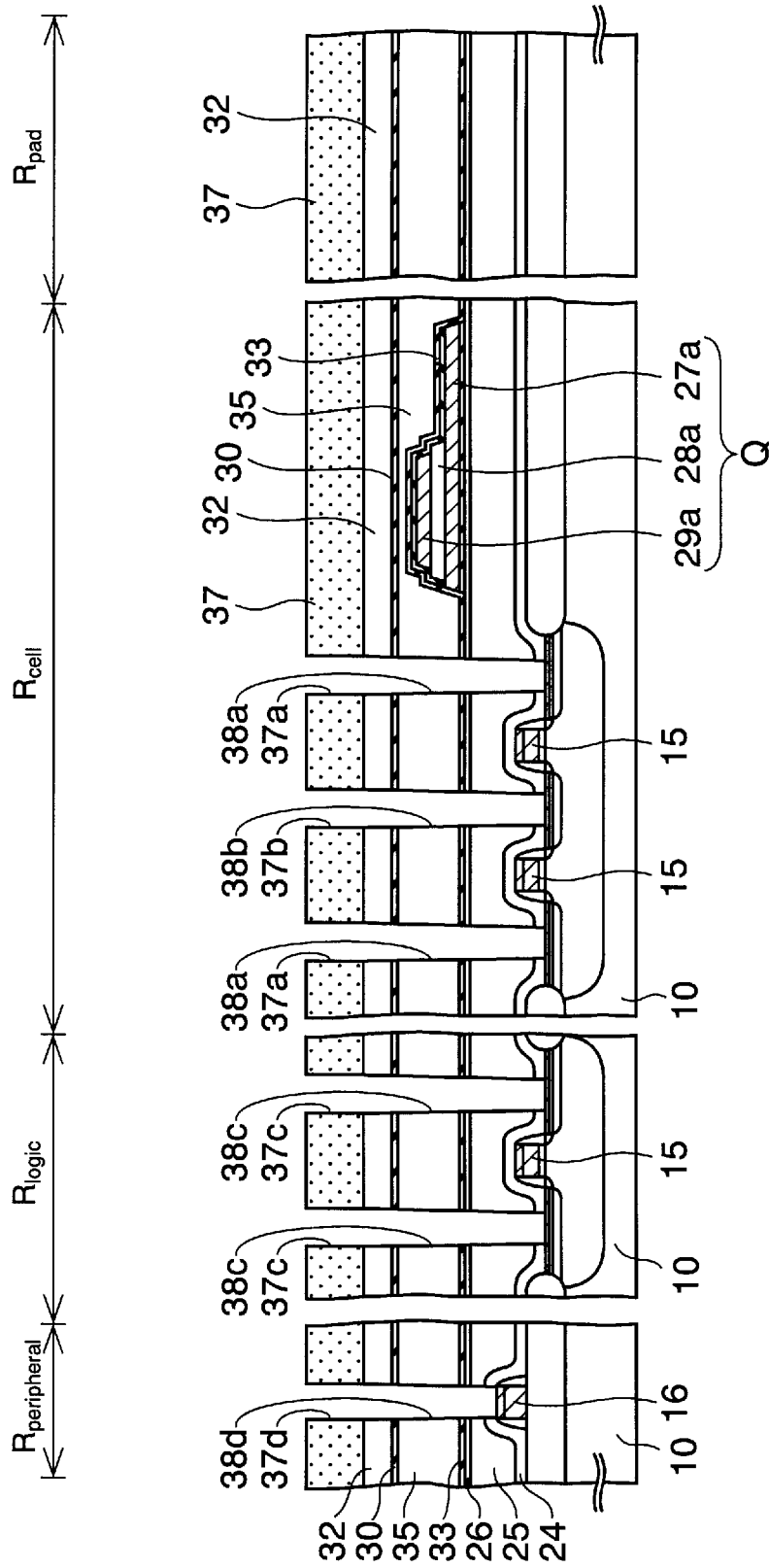
[図9]



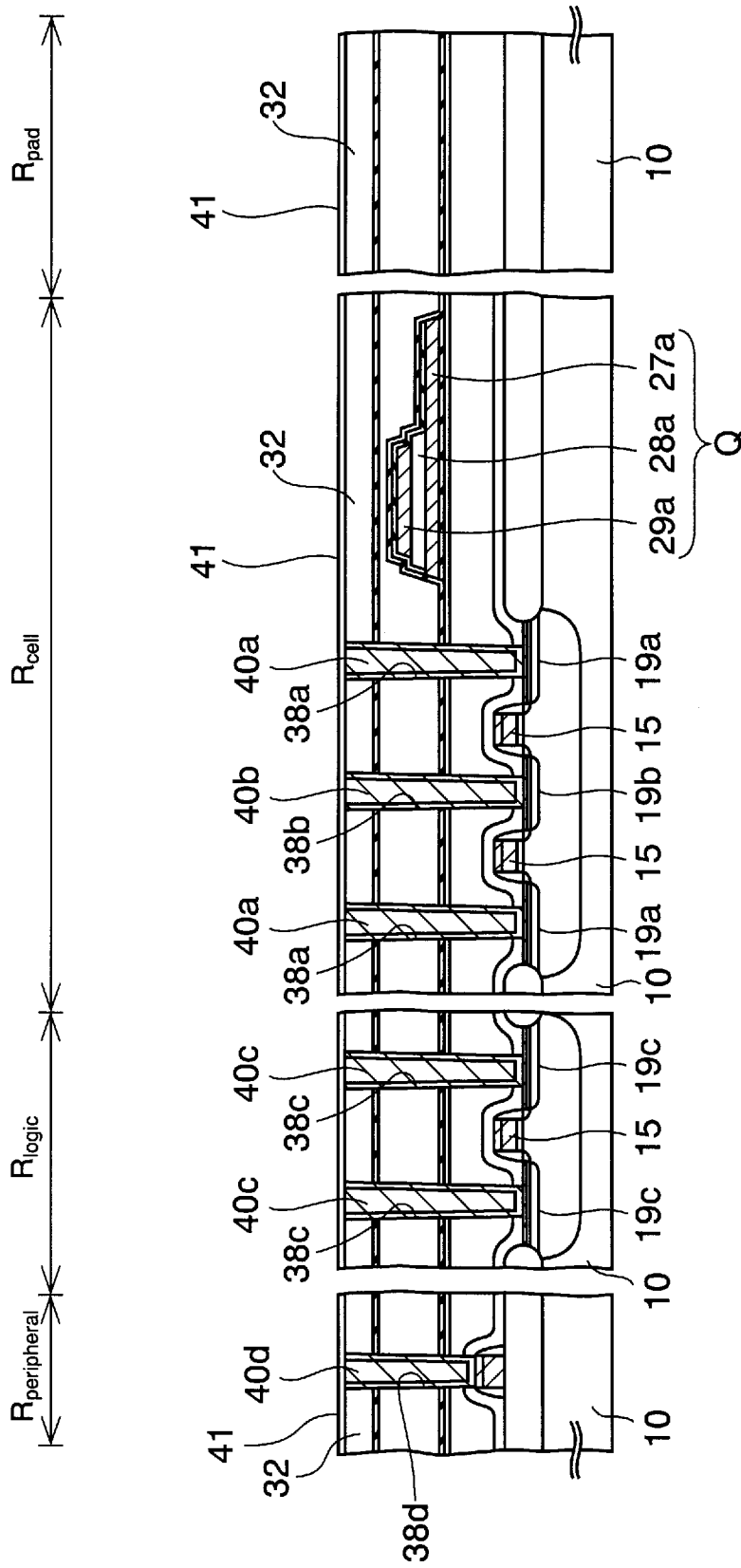
[図10]



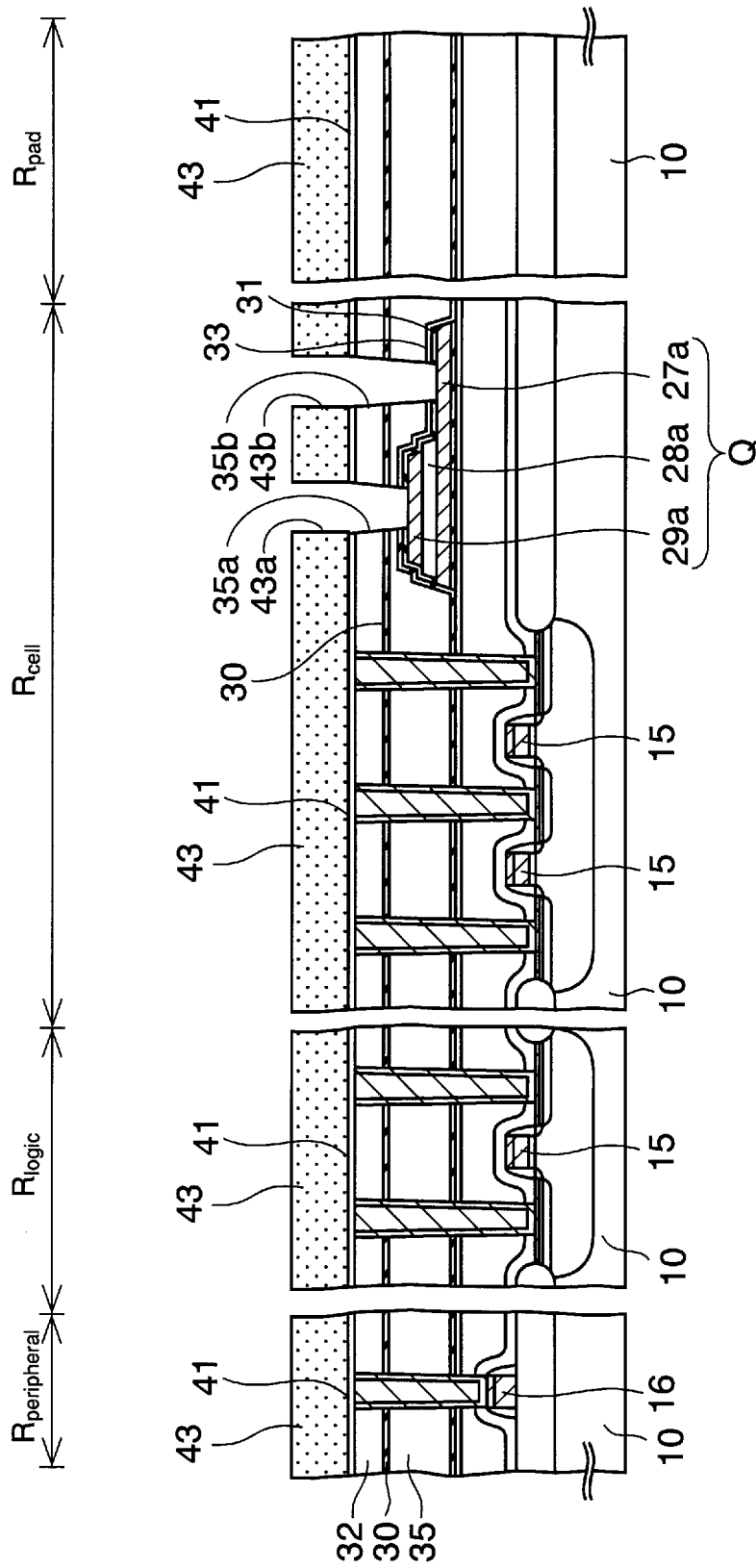
[図11]



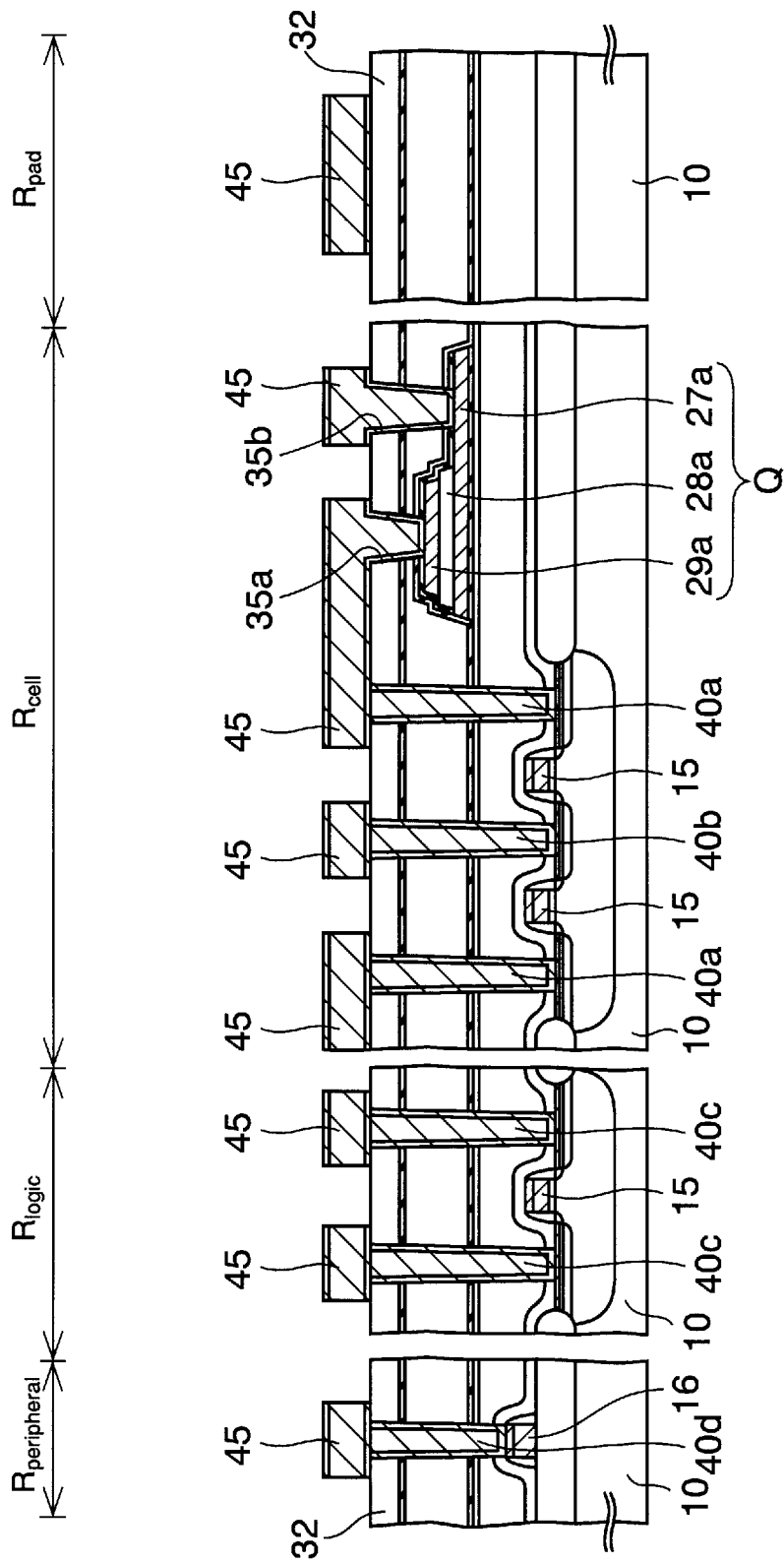
[図12]



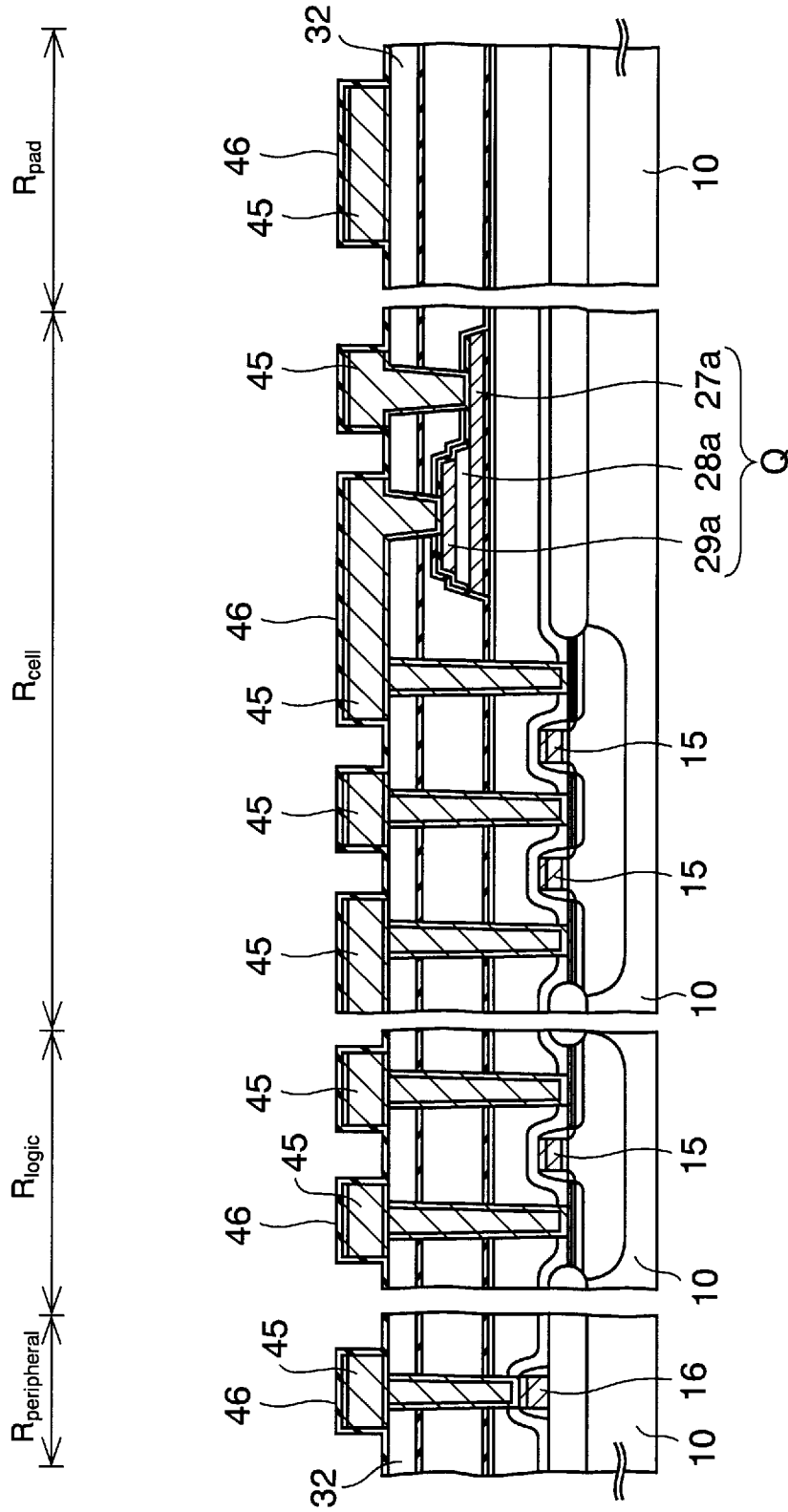
[図13]



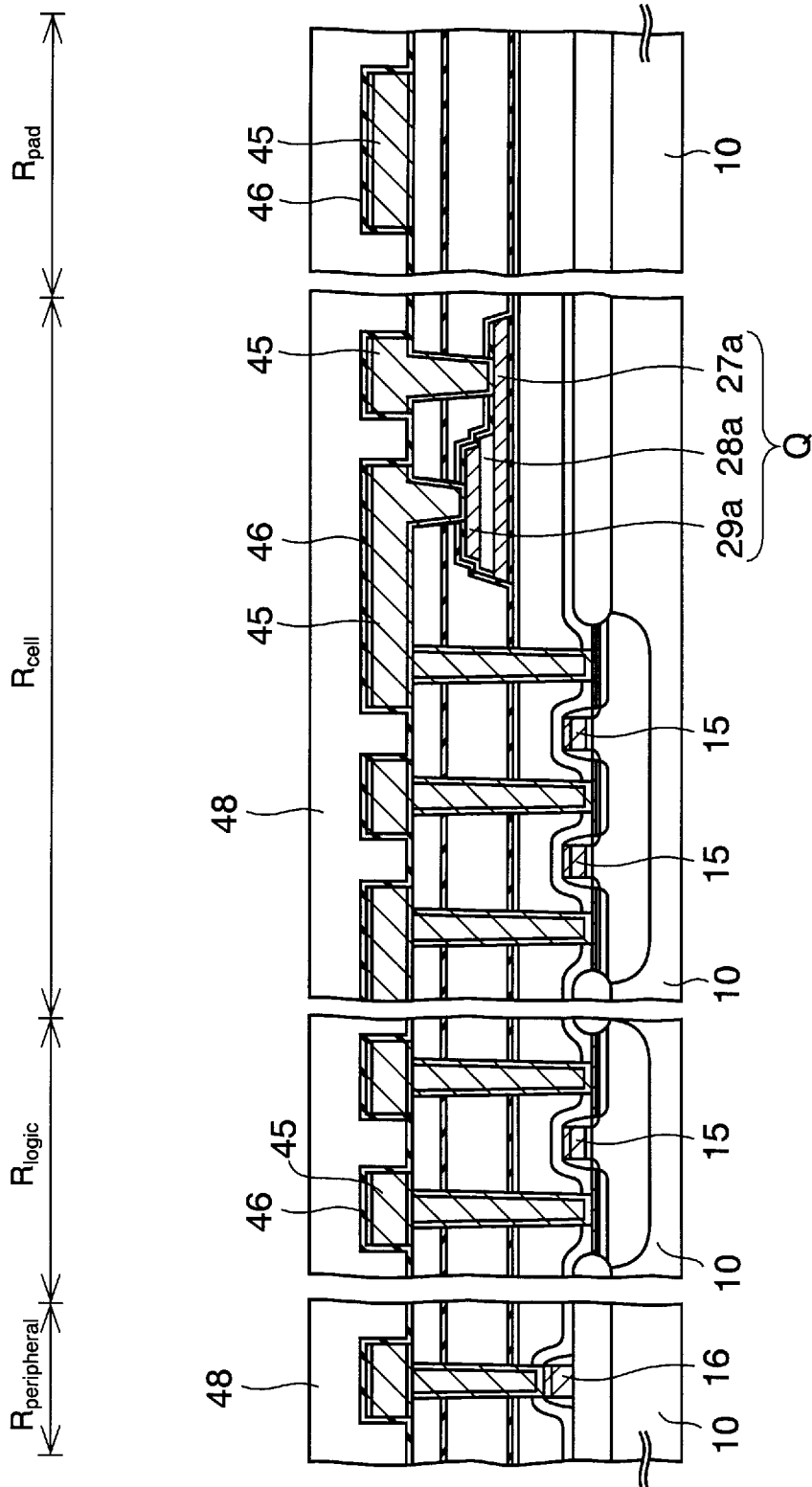
[図14]



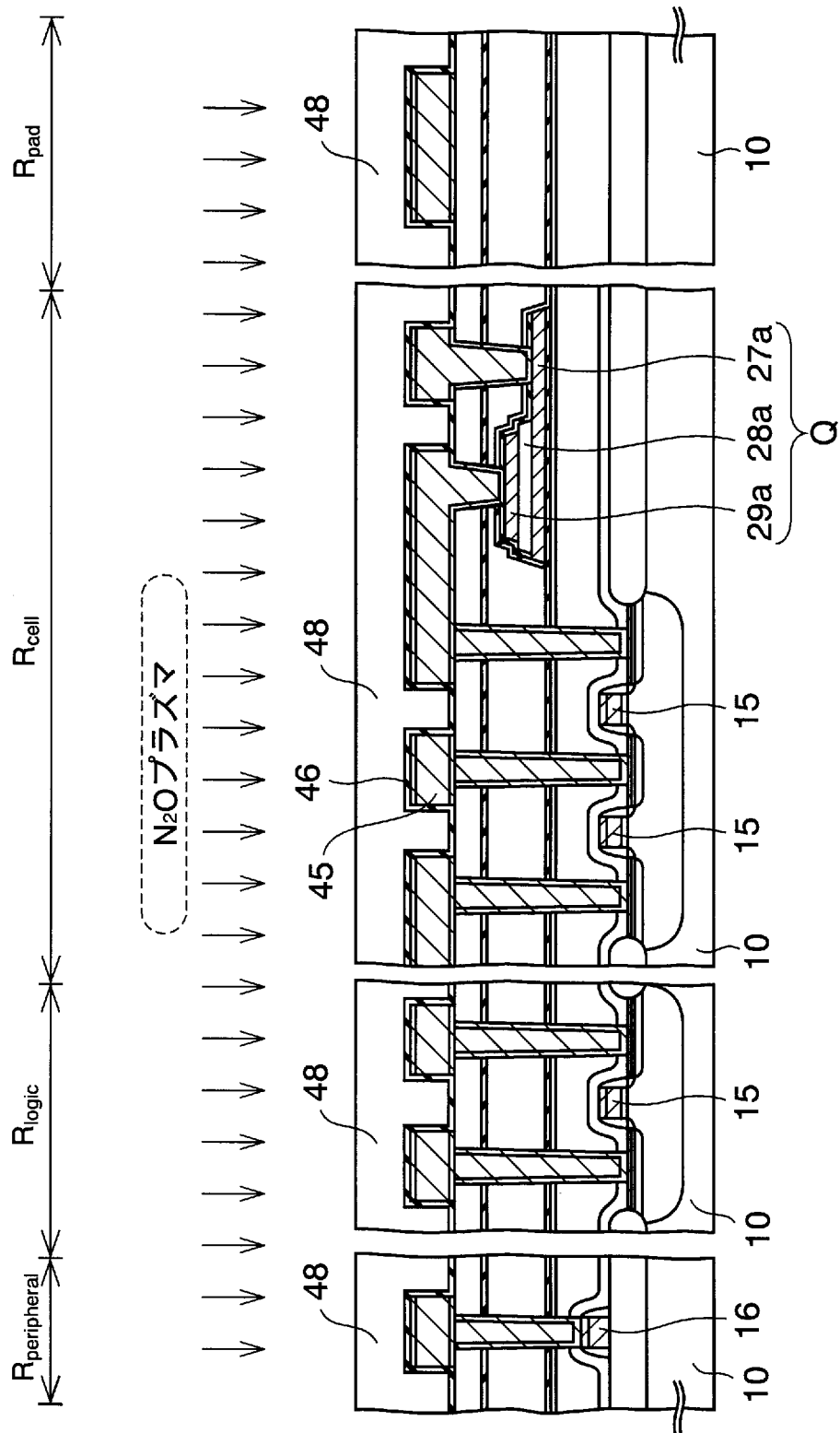
[図15]



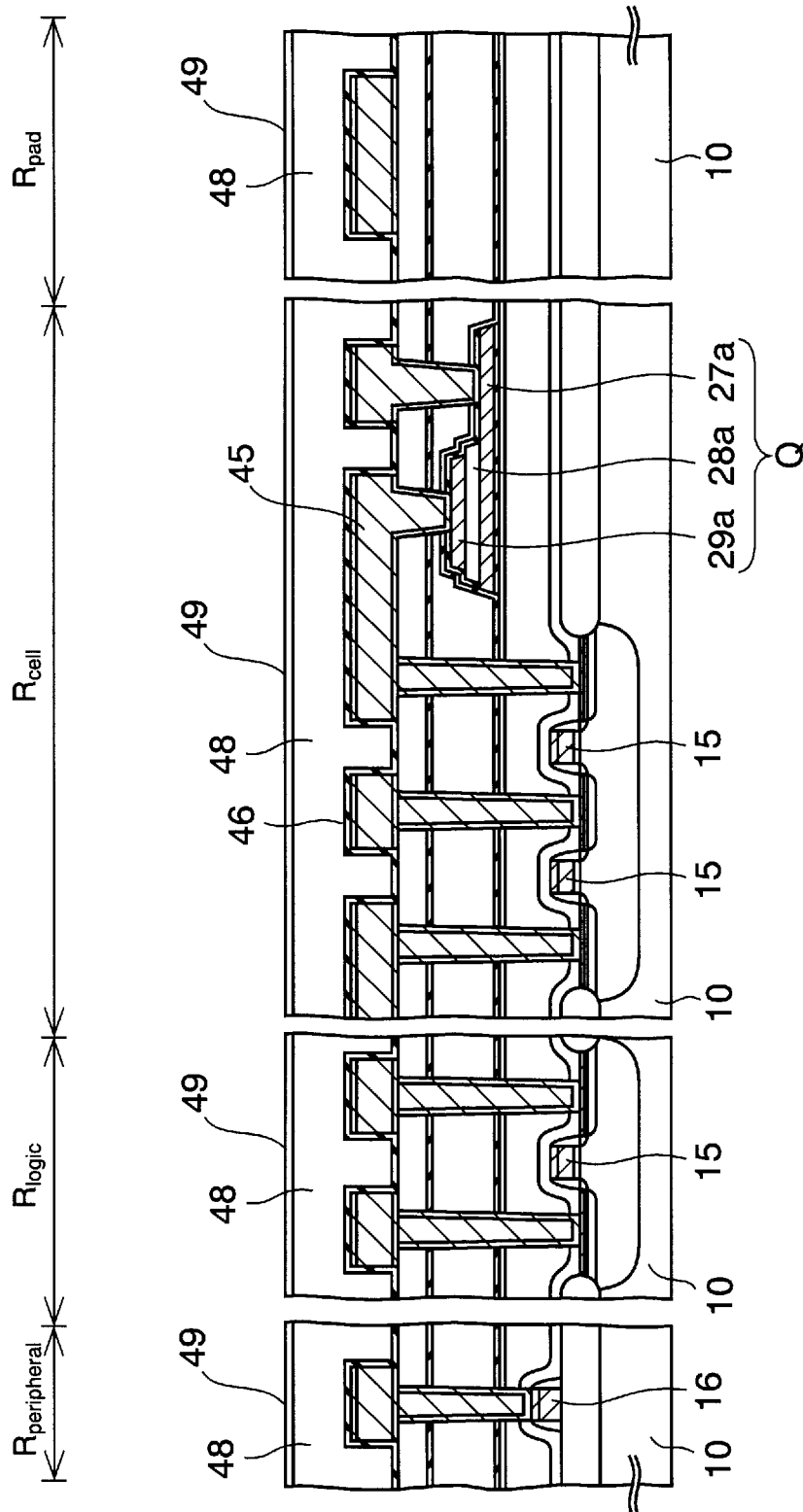
[図16]



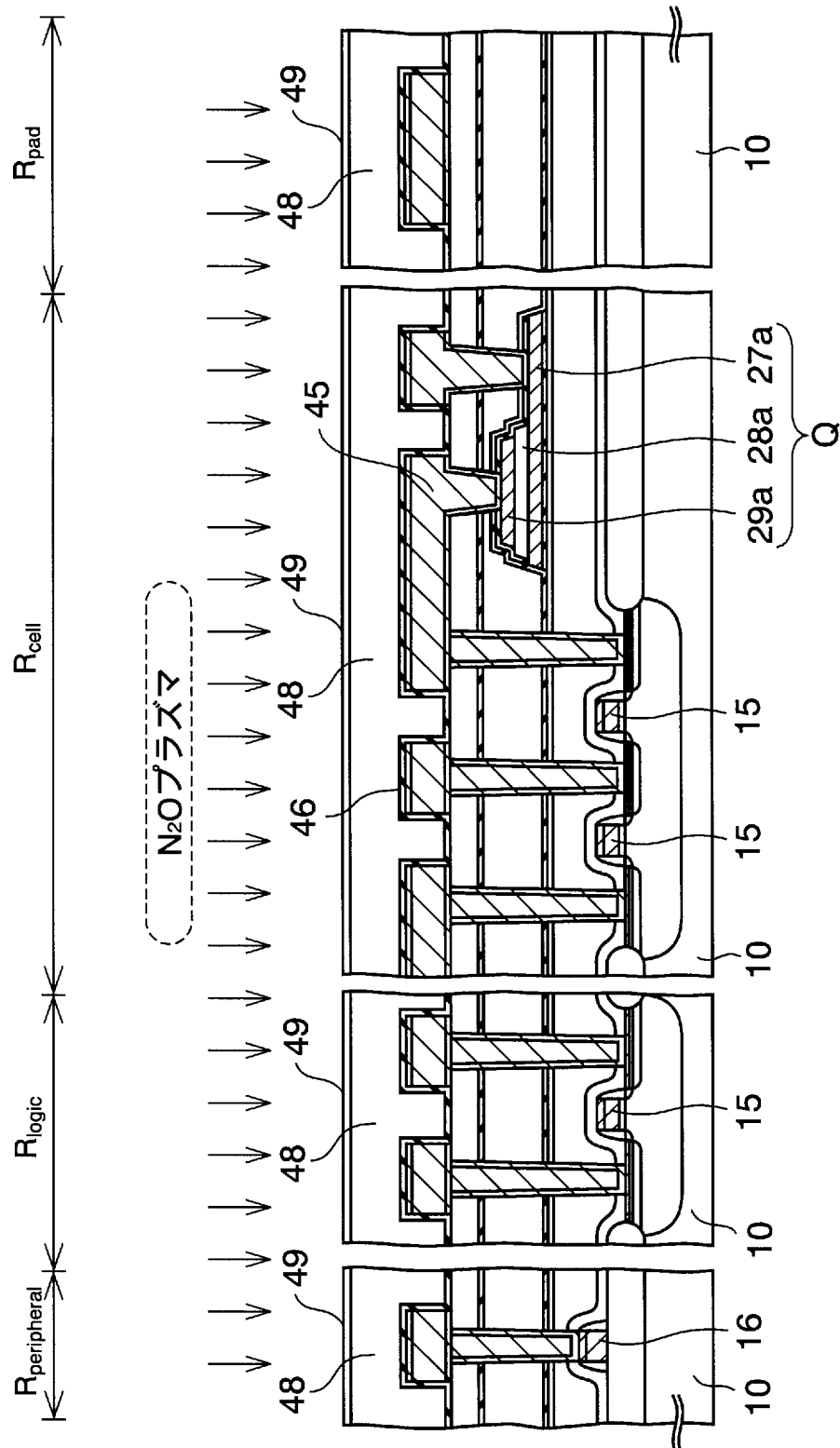
[図17]



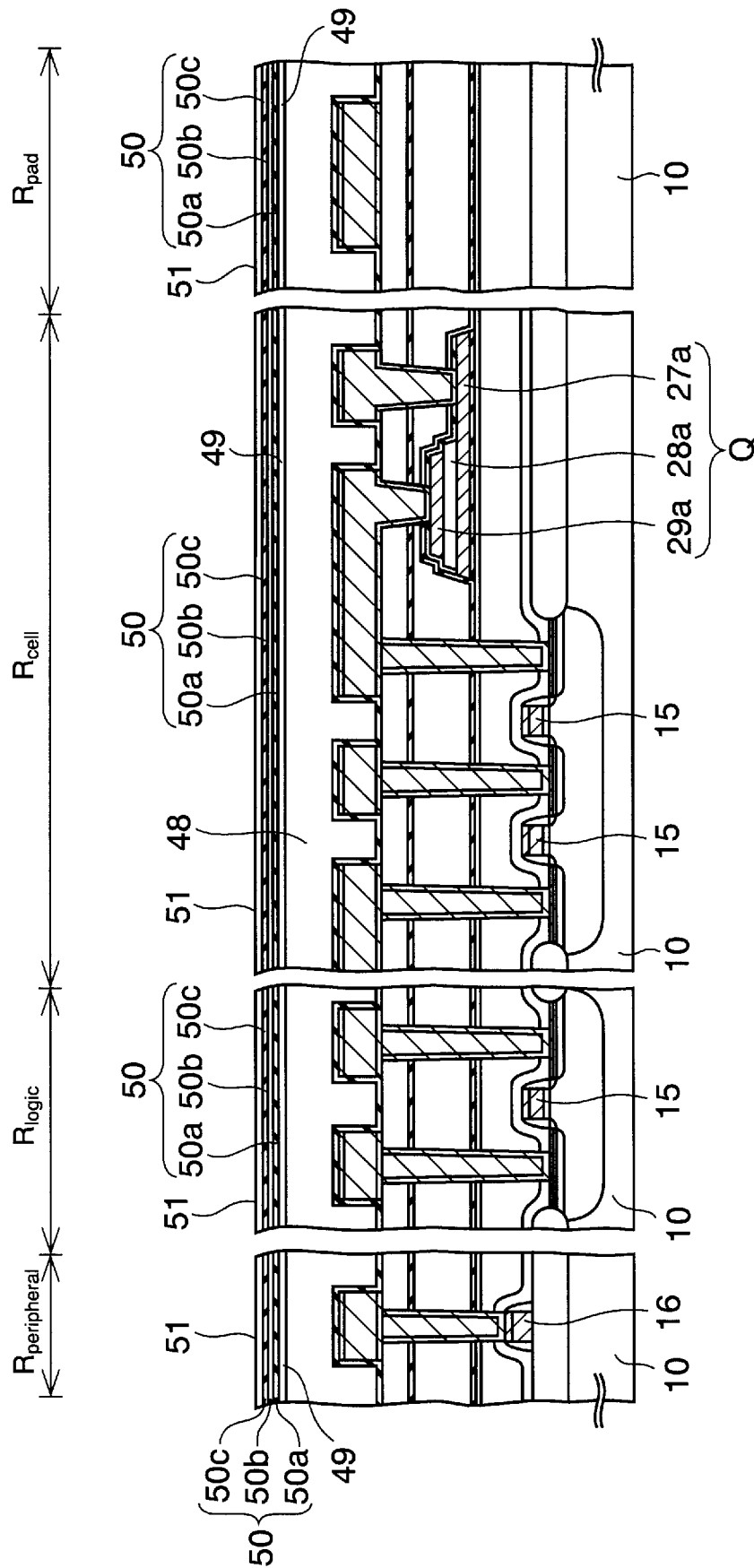
[図18]



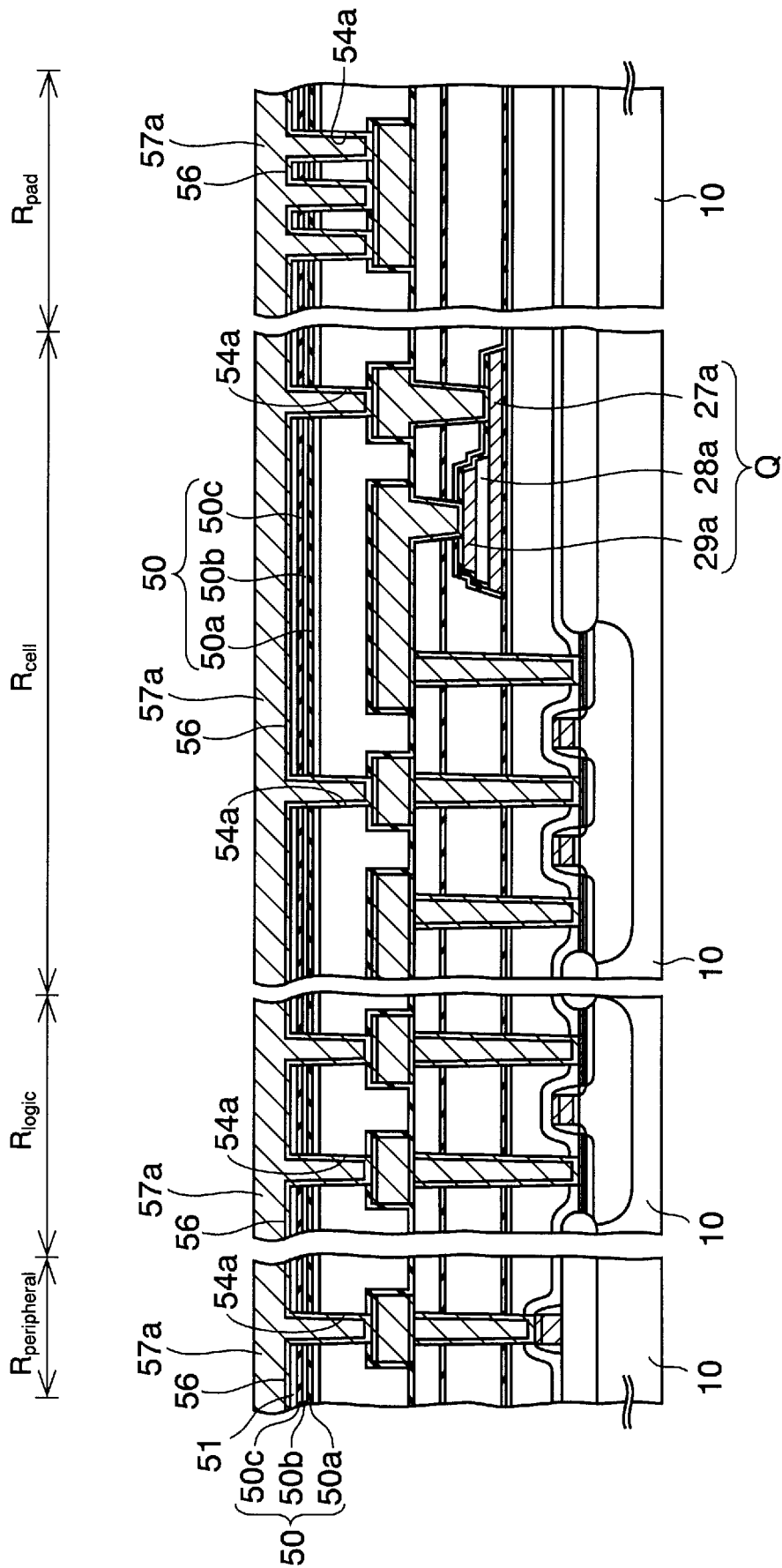
[図19]



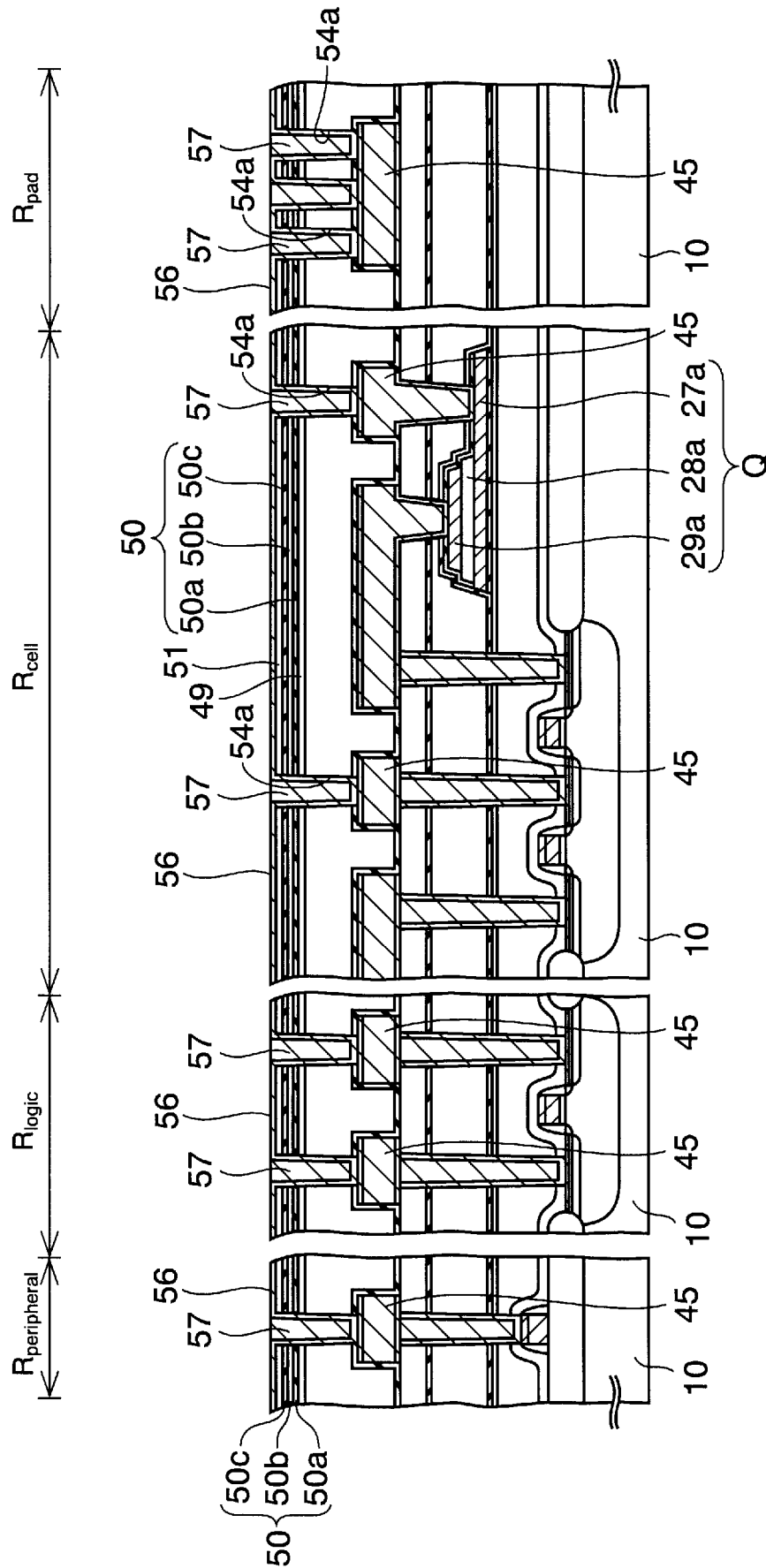
[図20]



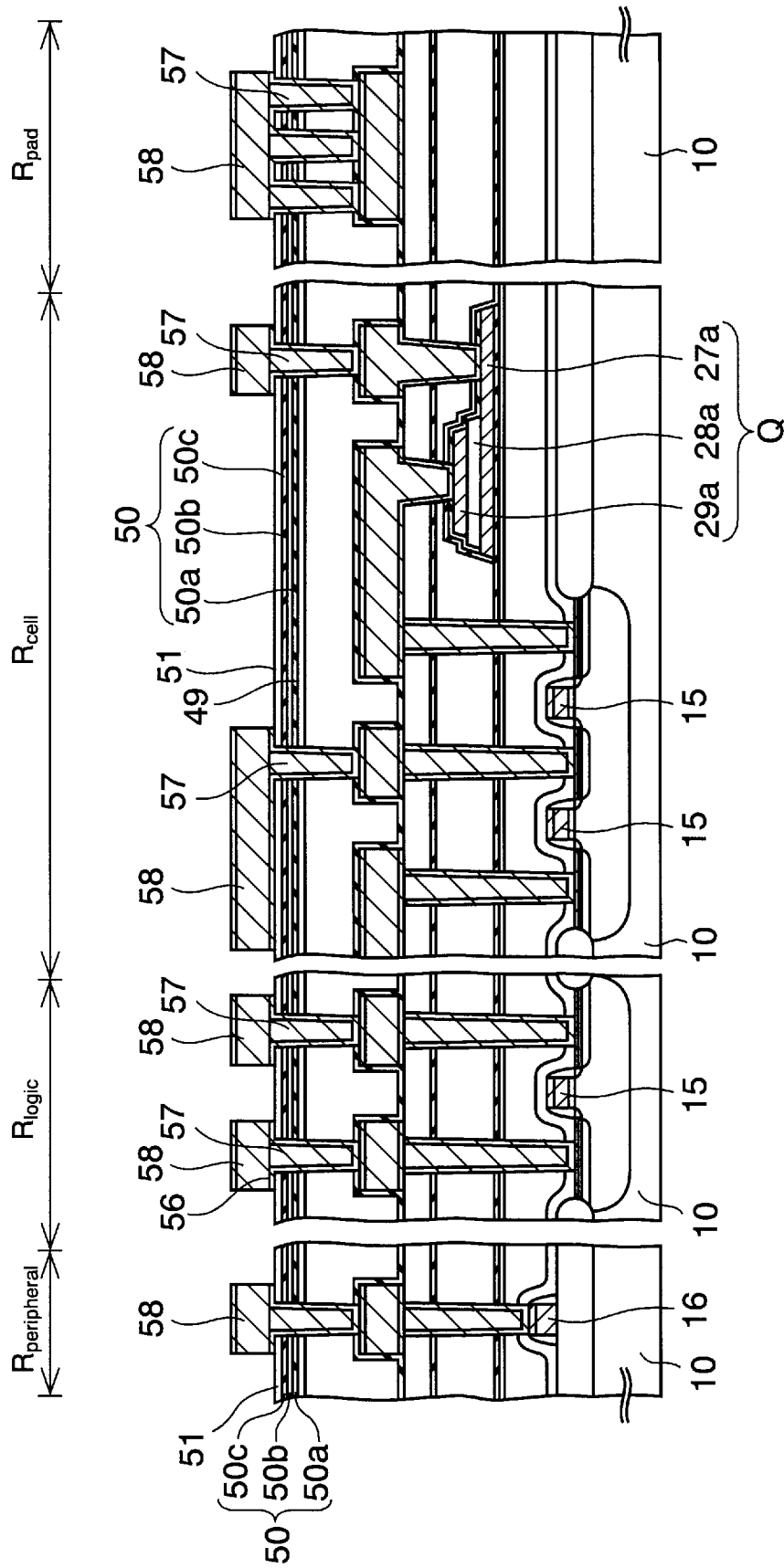
[図22]



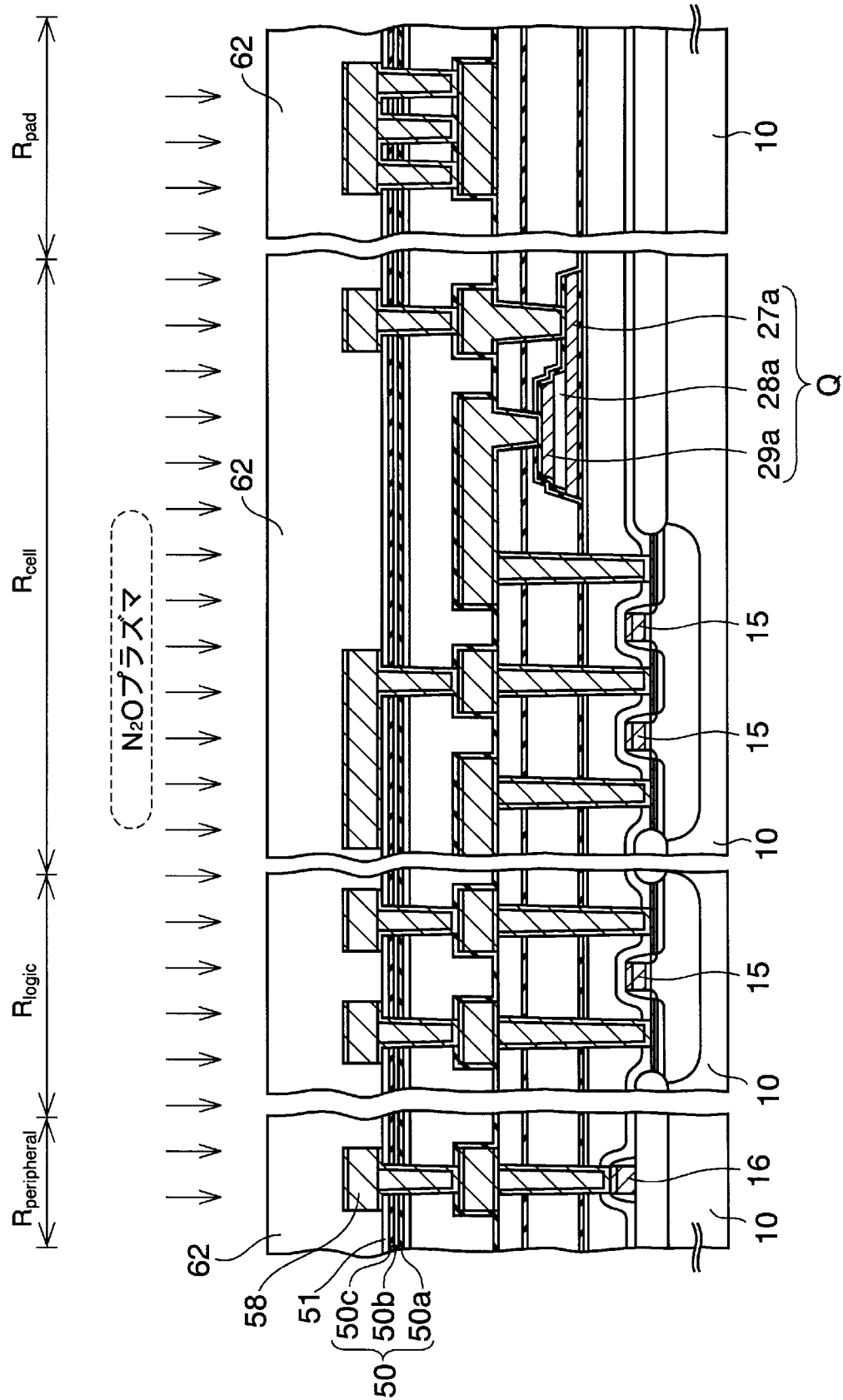
[図23]



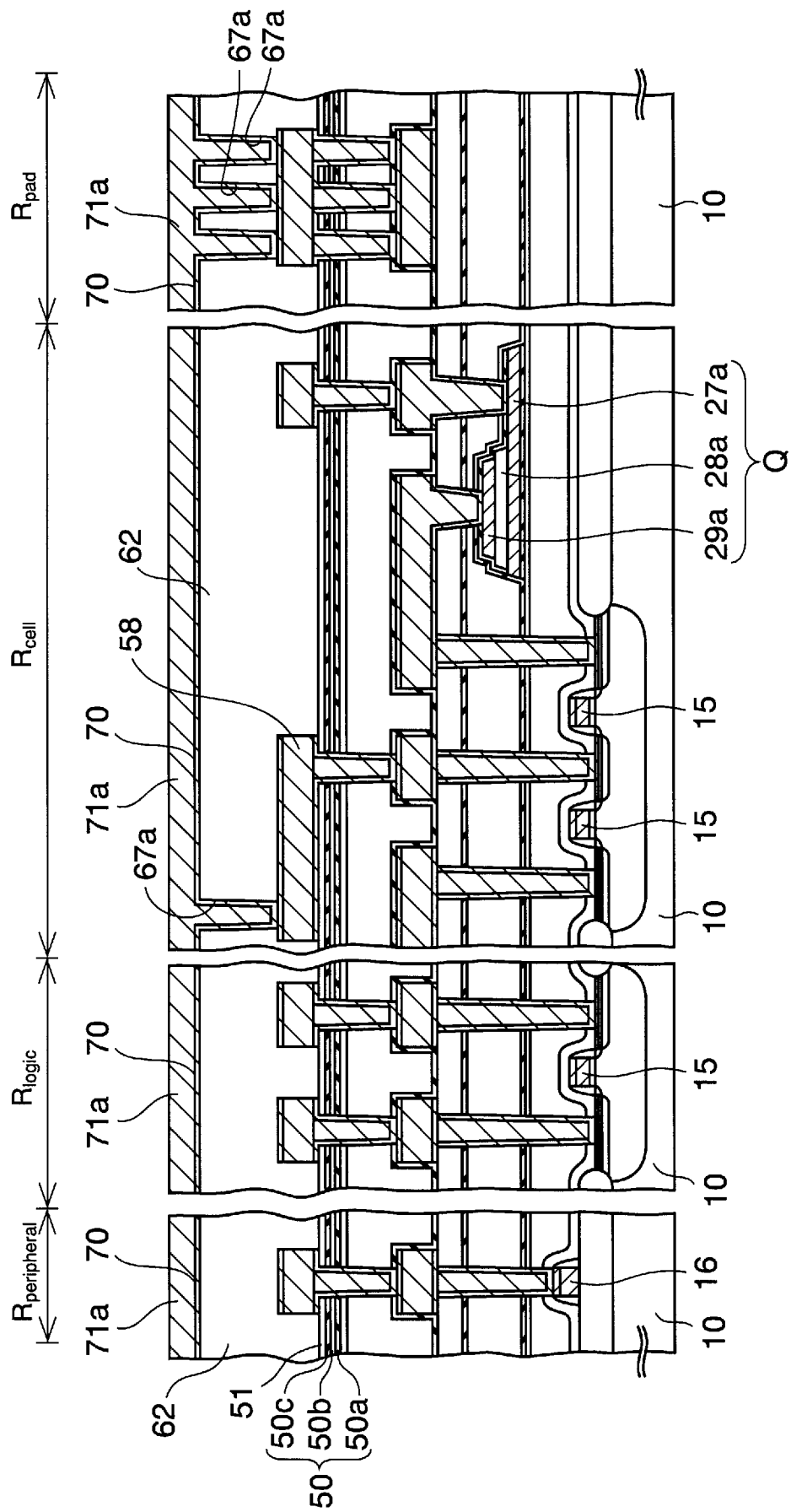
[図24]



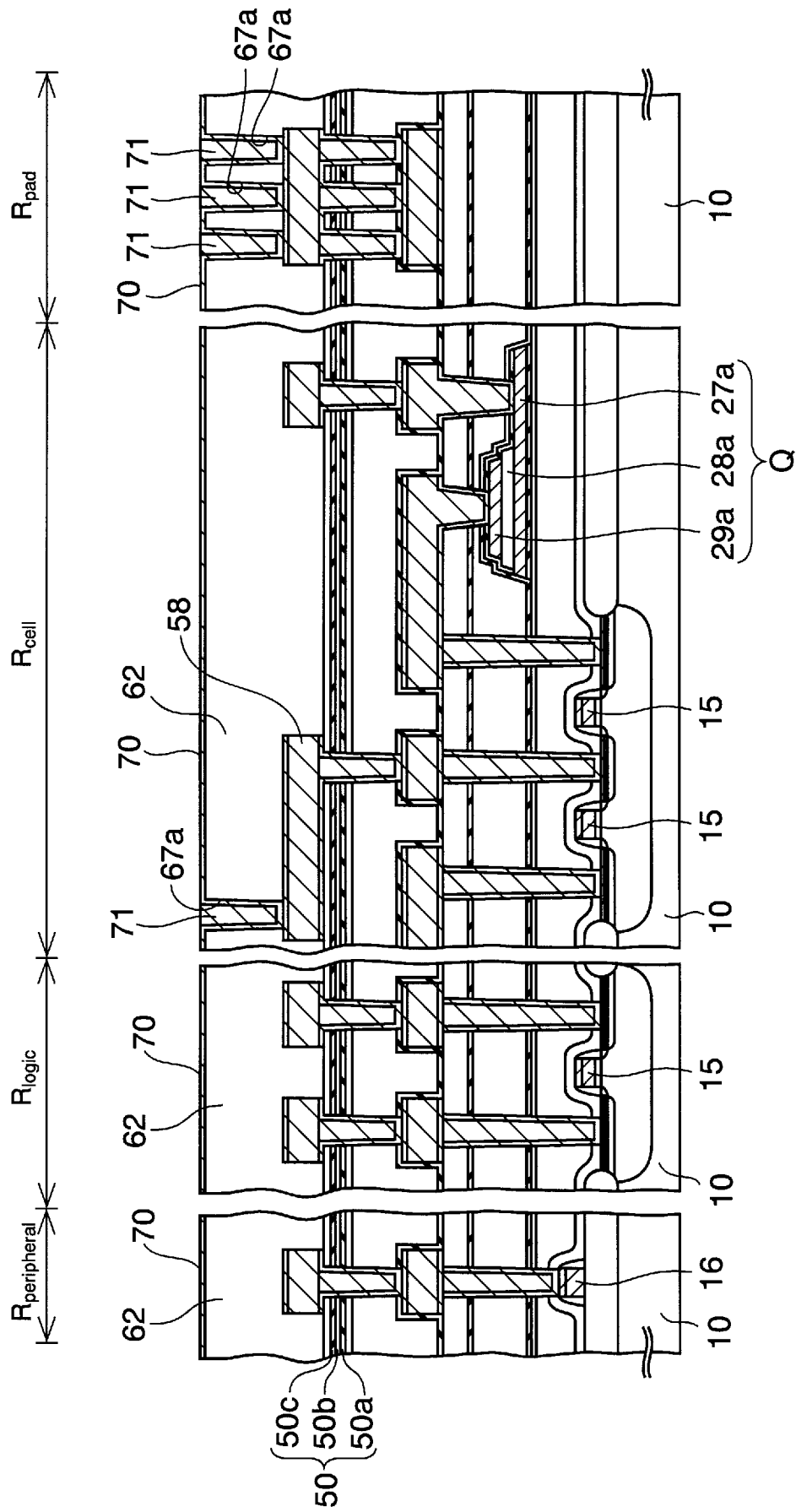
[図26]



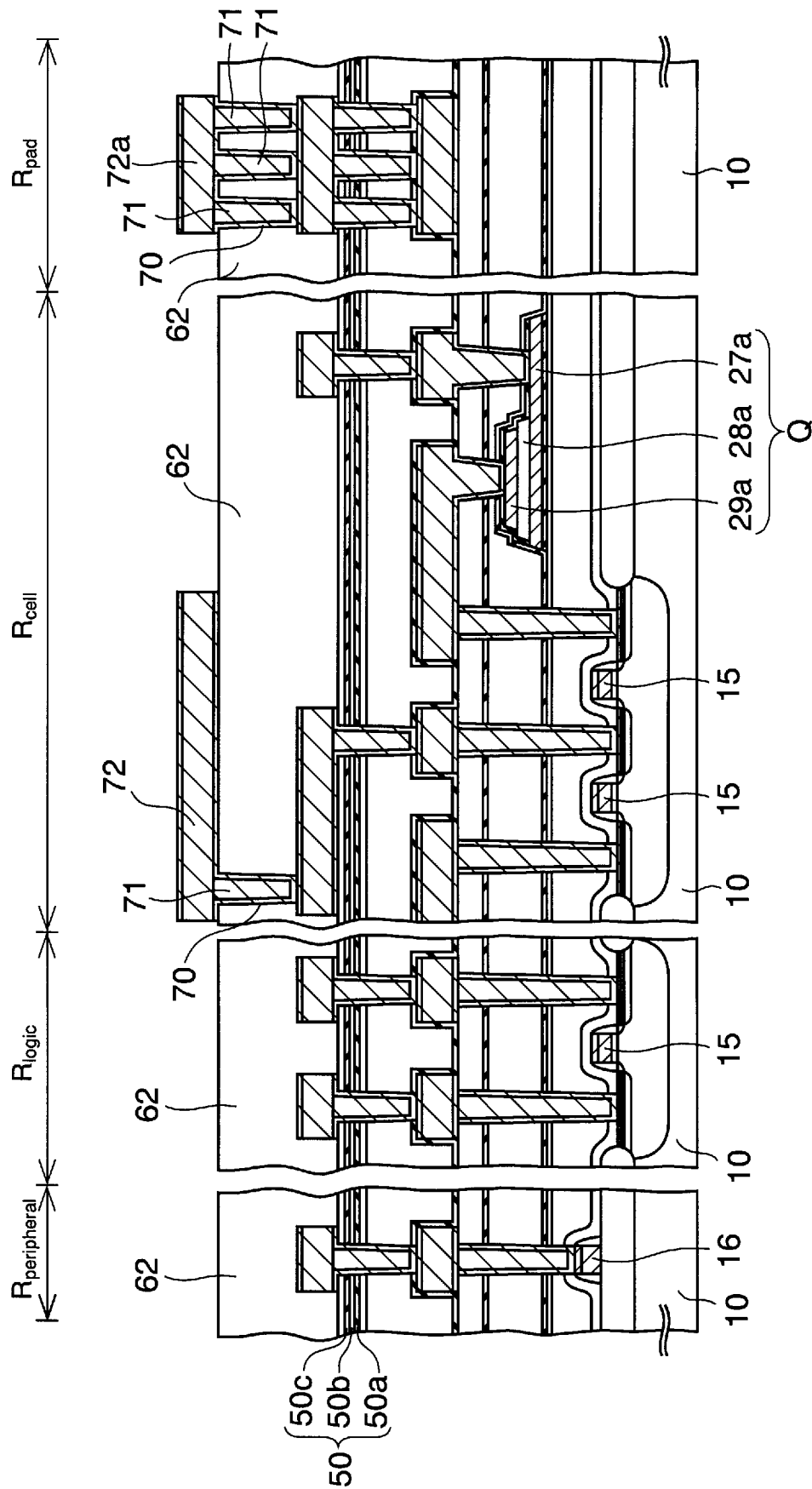
[図28]



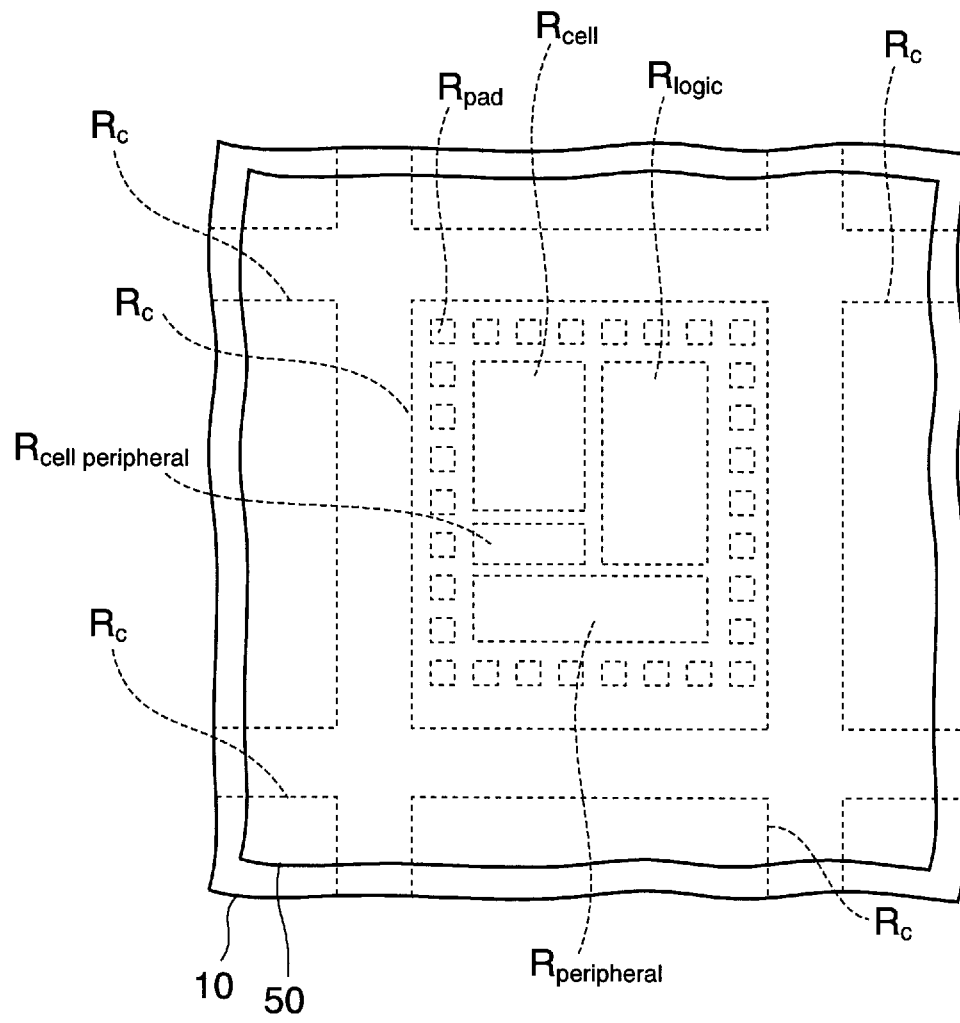
[図29]



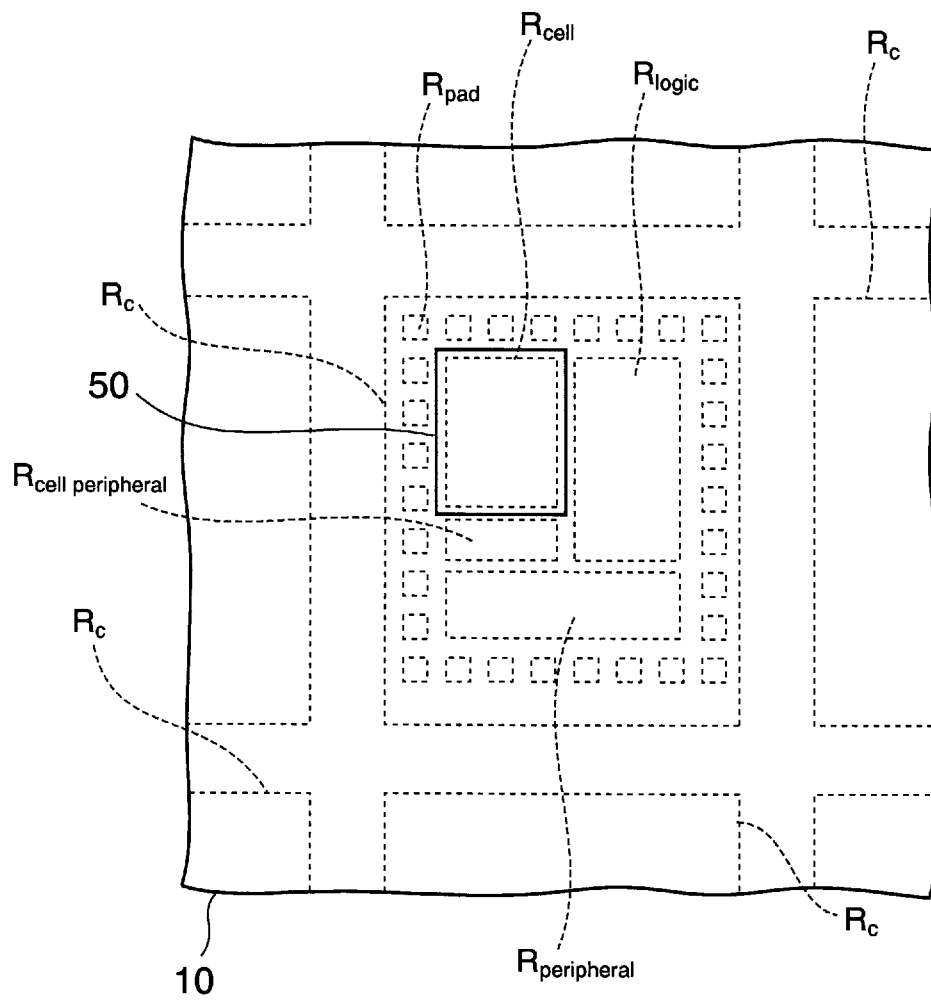
[図30]



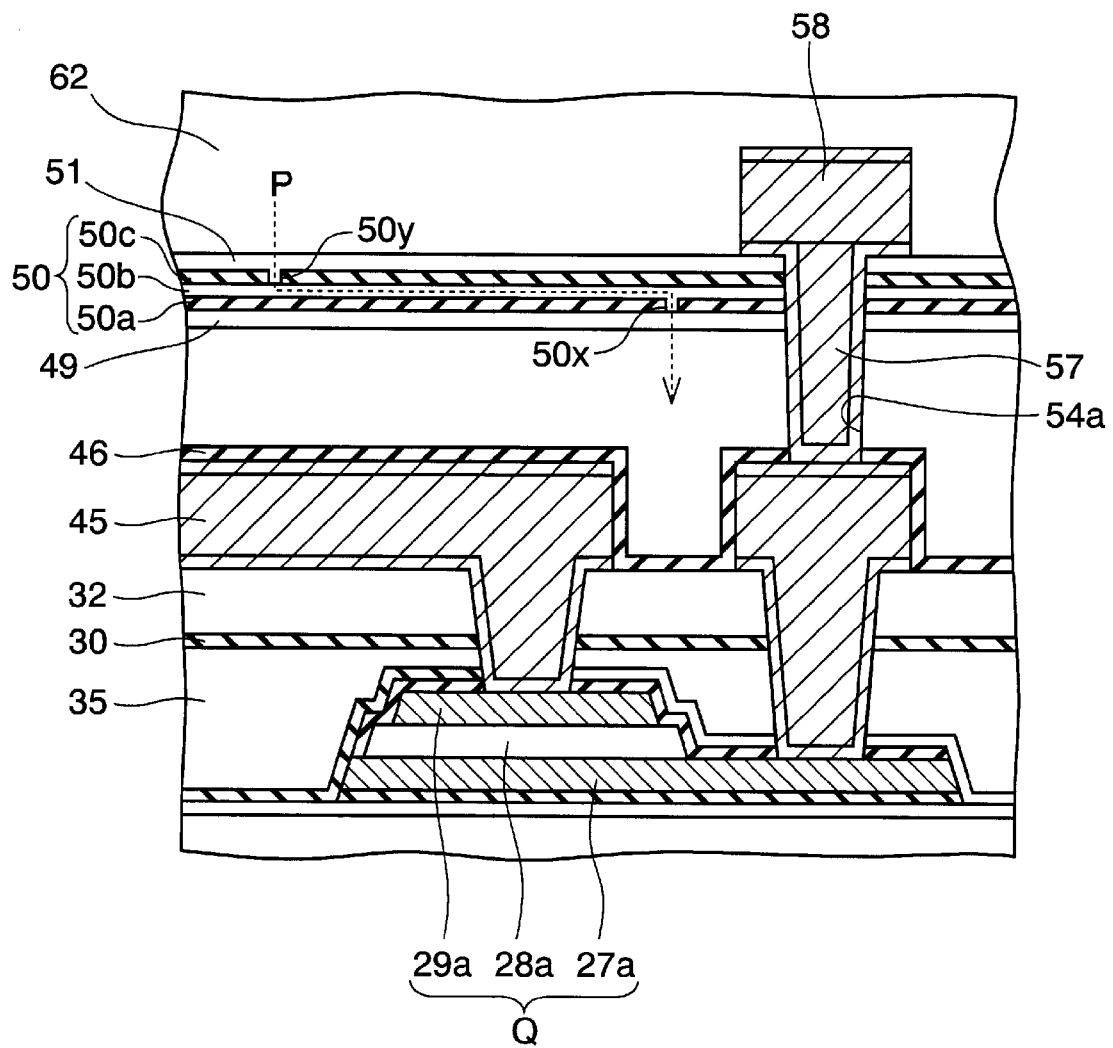
[図32]



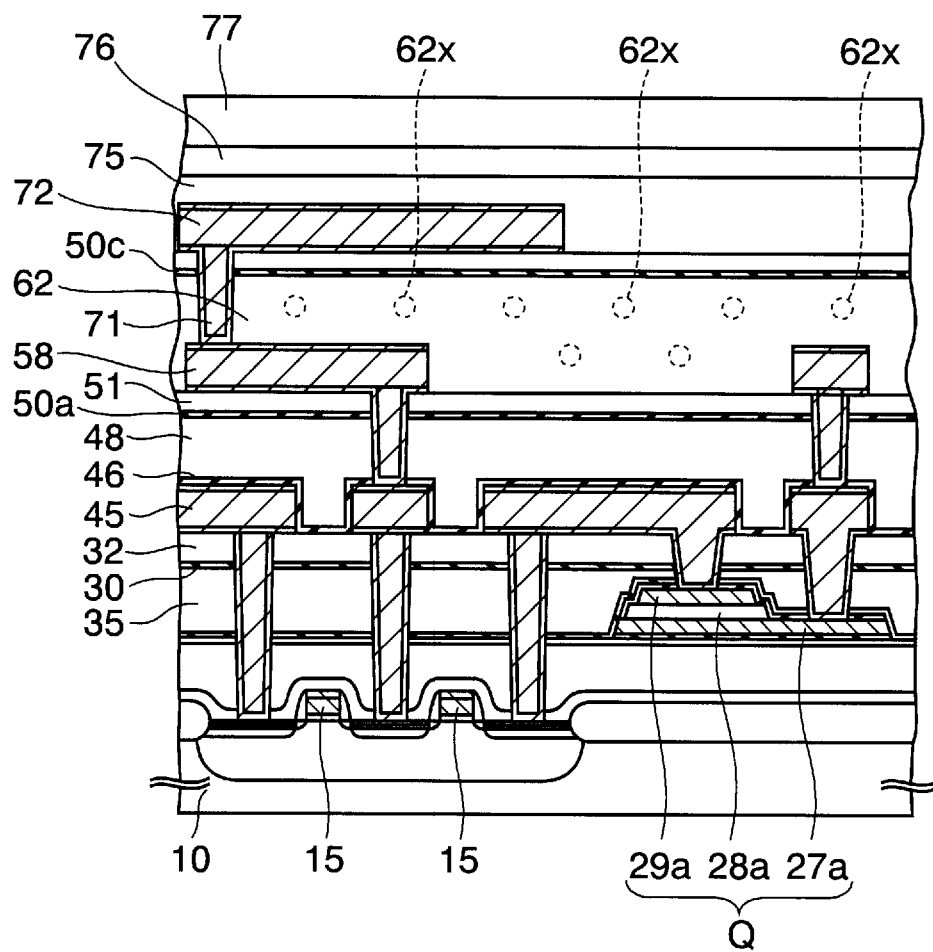
[図33]



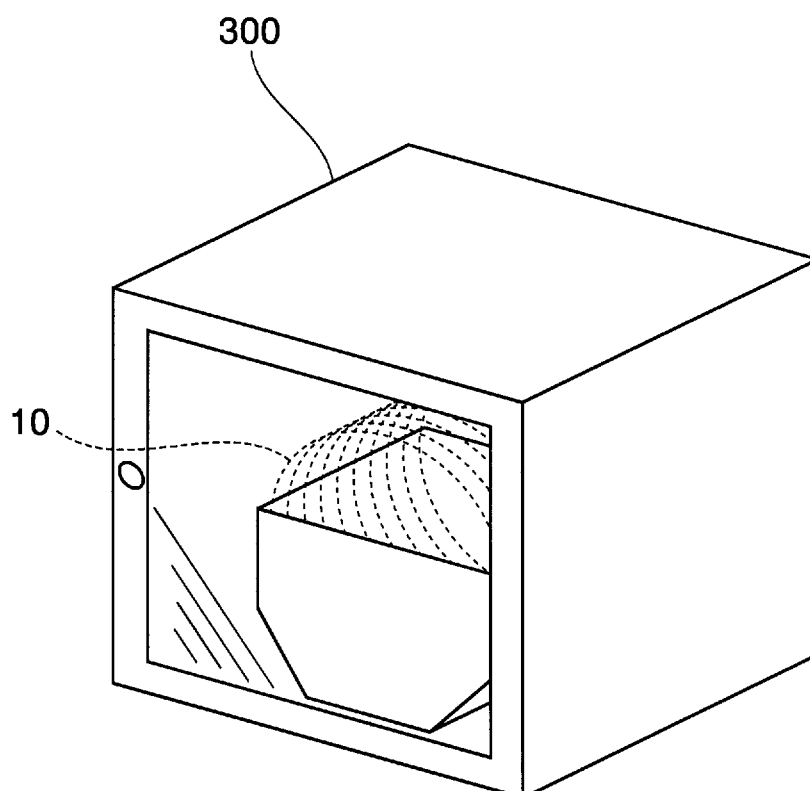
[図34]



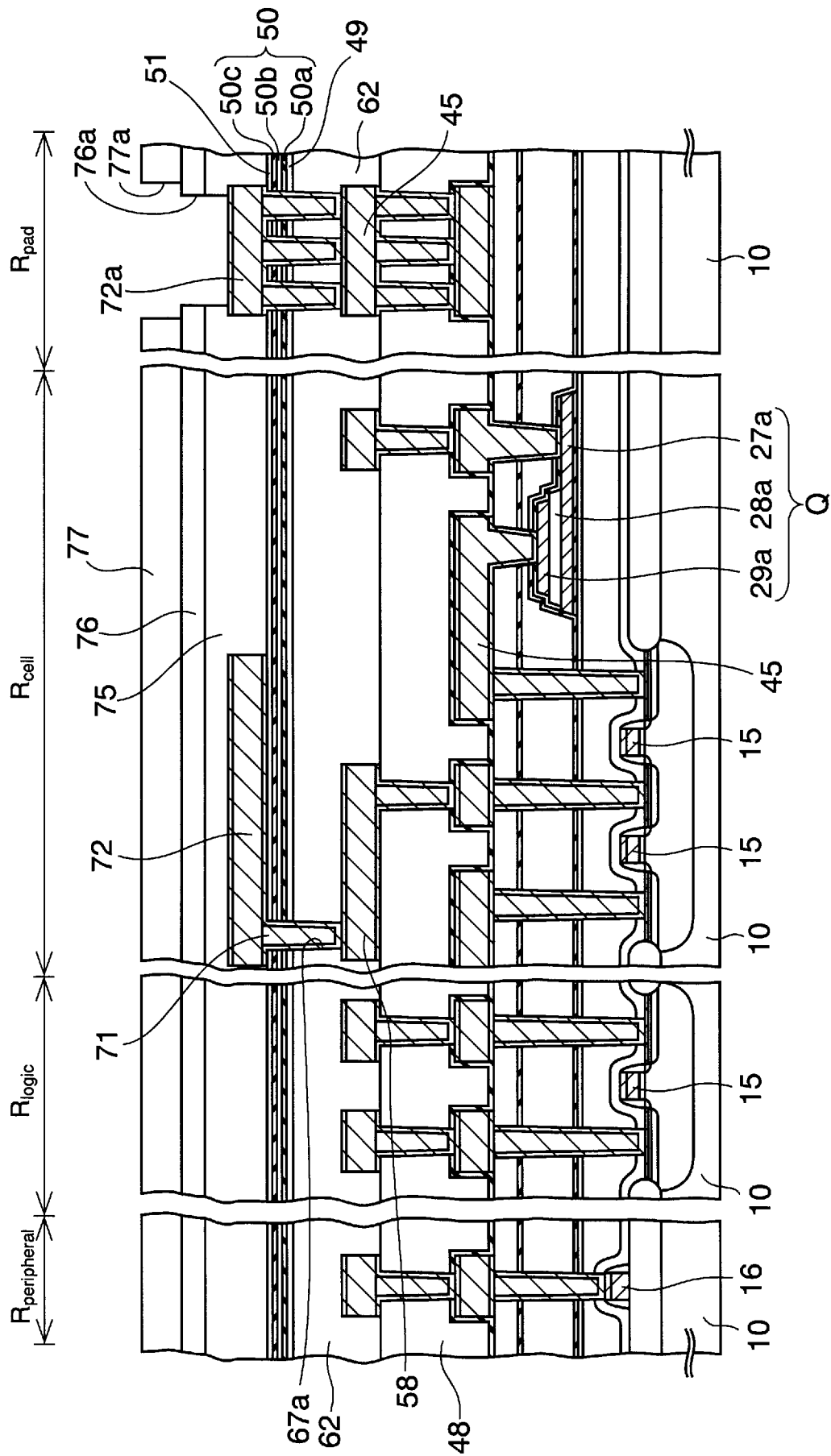
[図35]



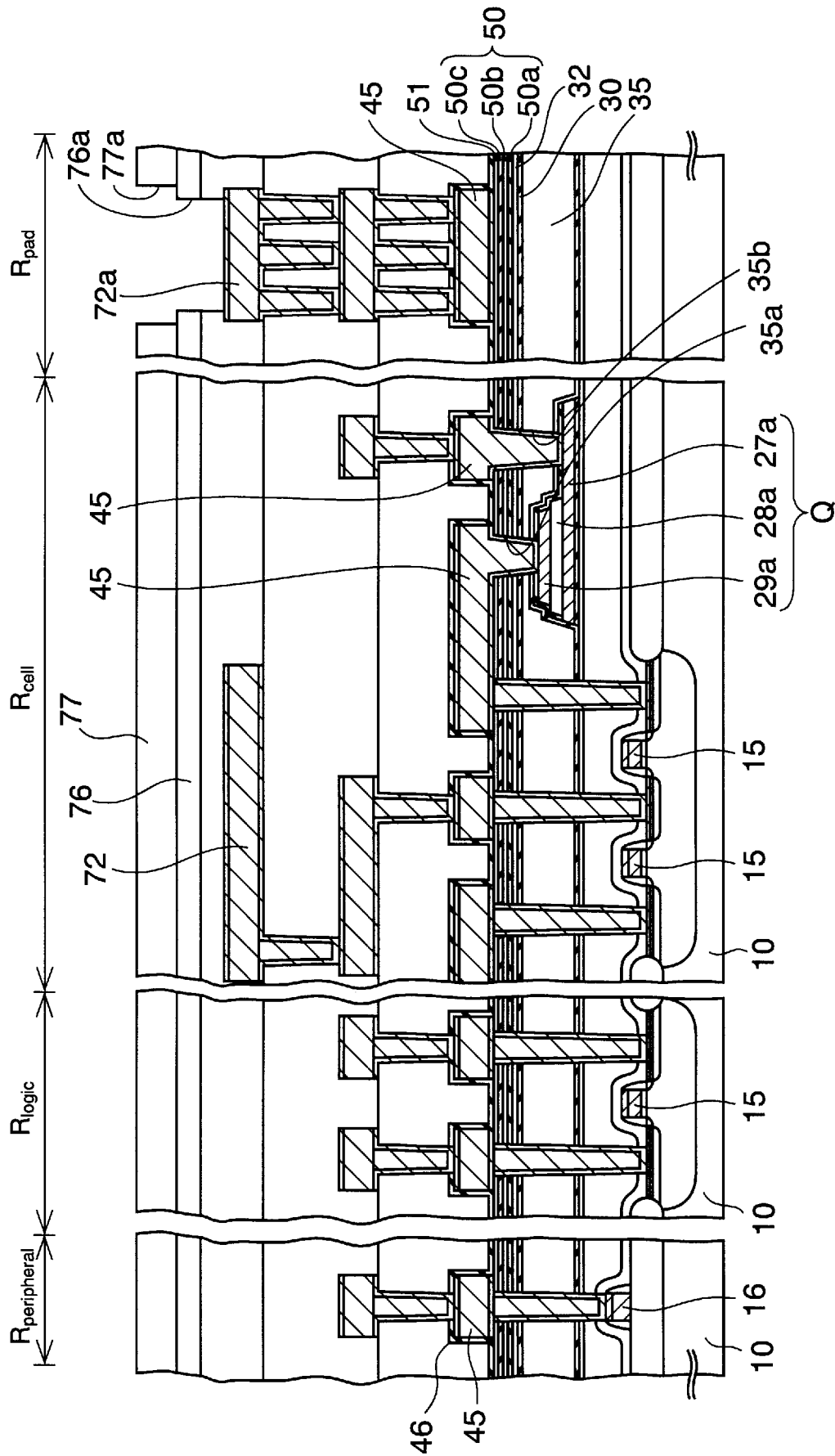
[図36]



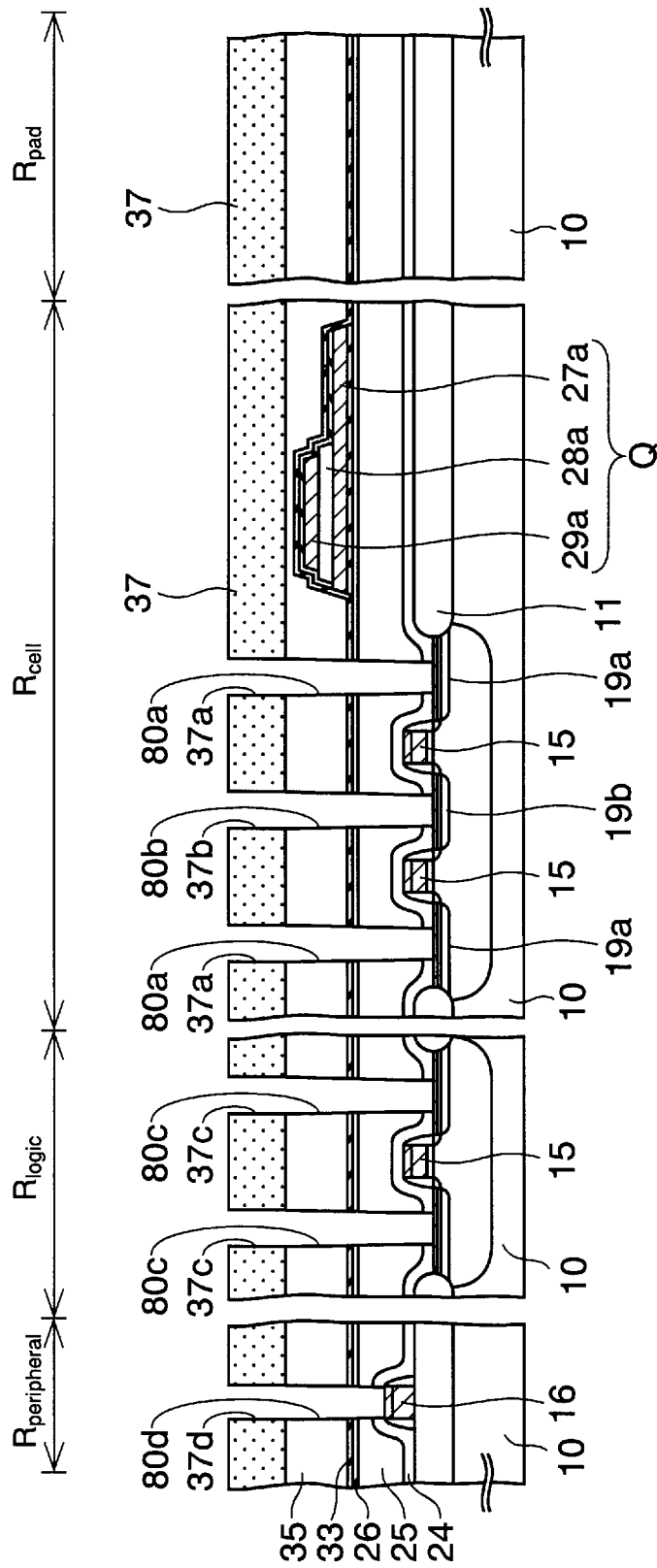
[図37]



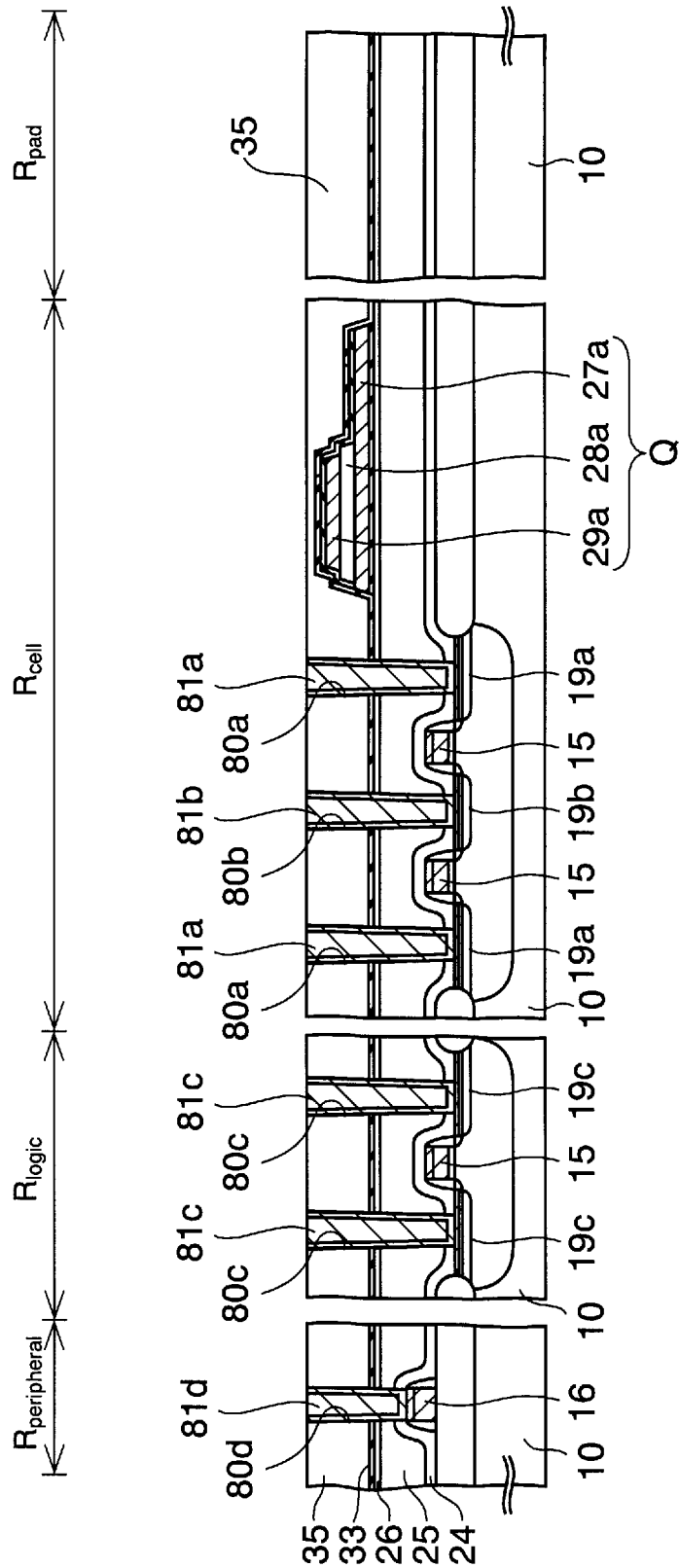
[図38]



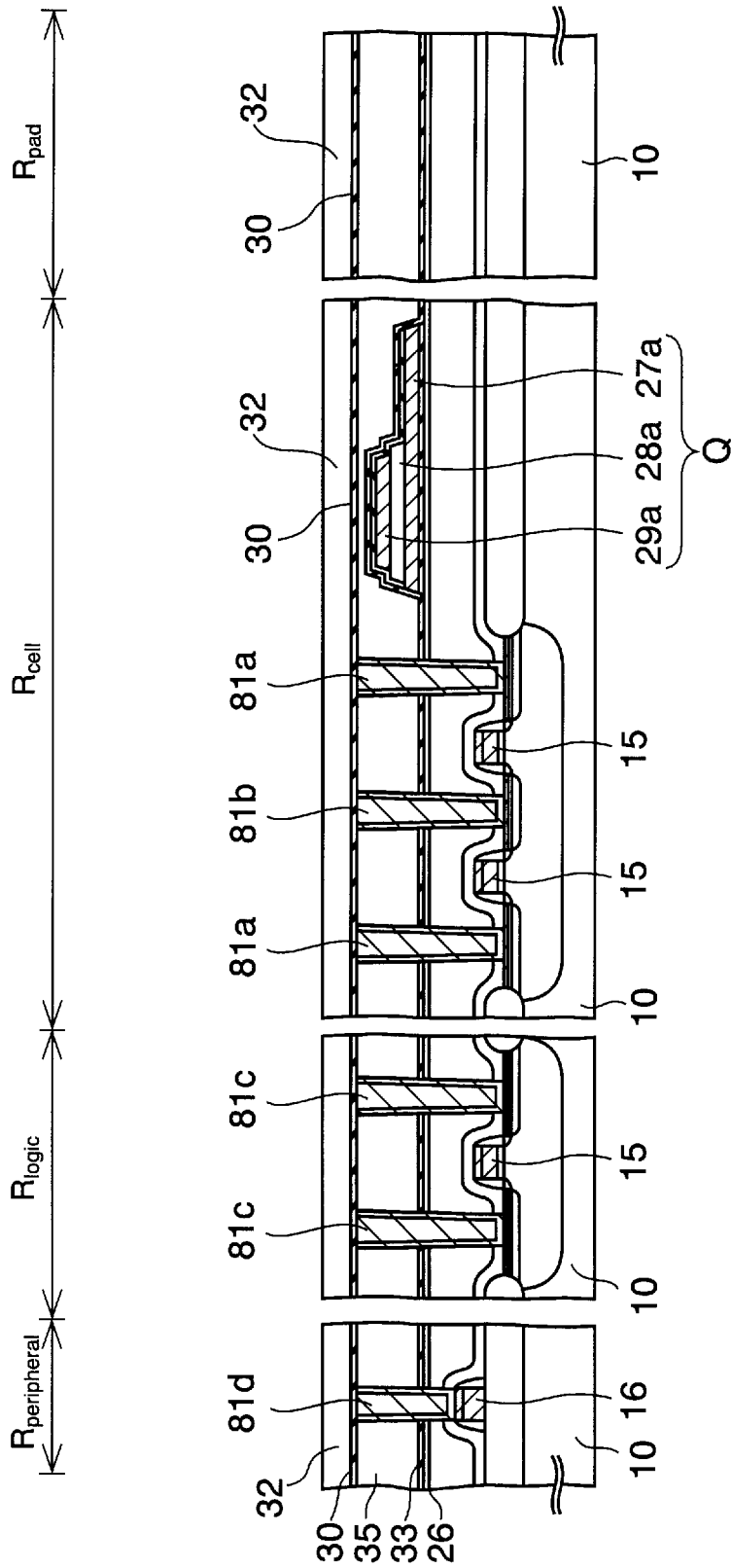
[図39]



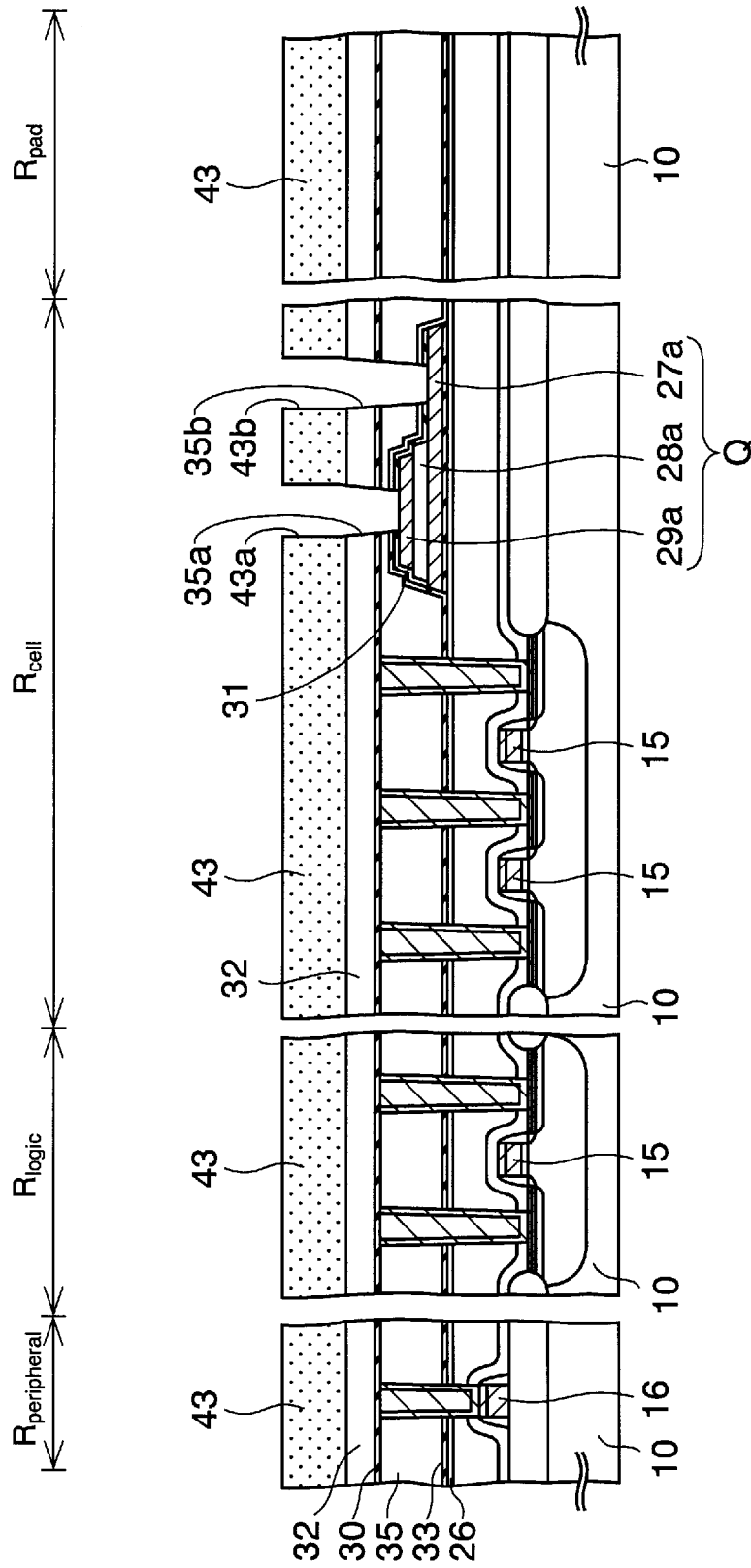
[図40]



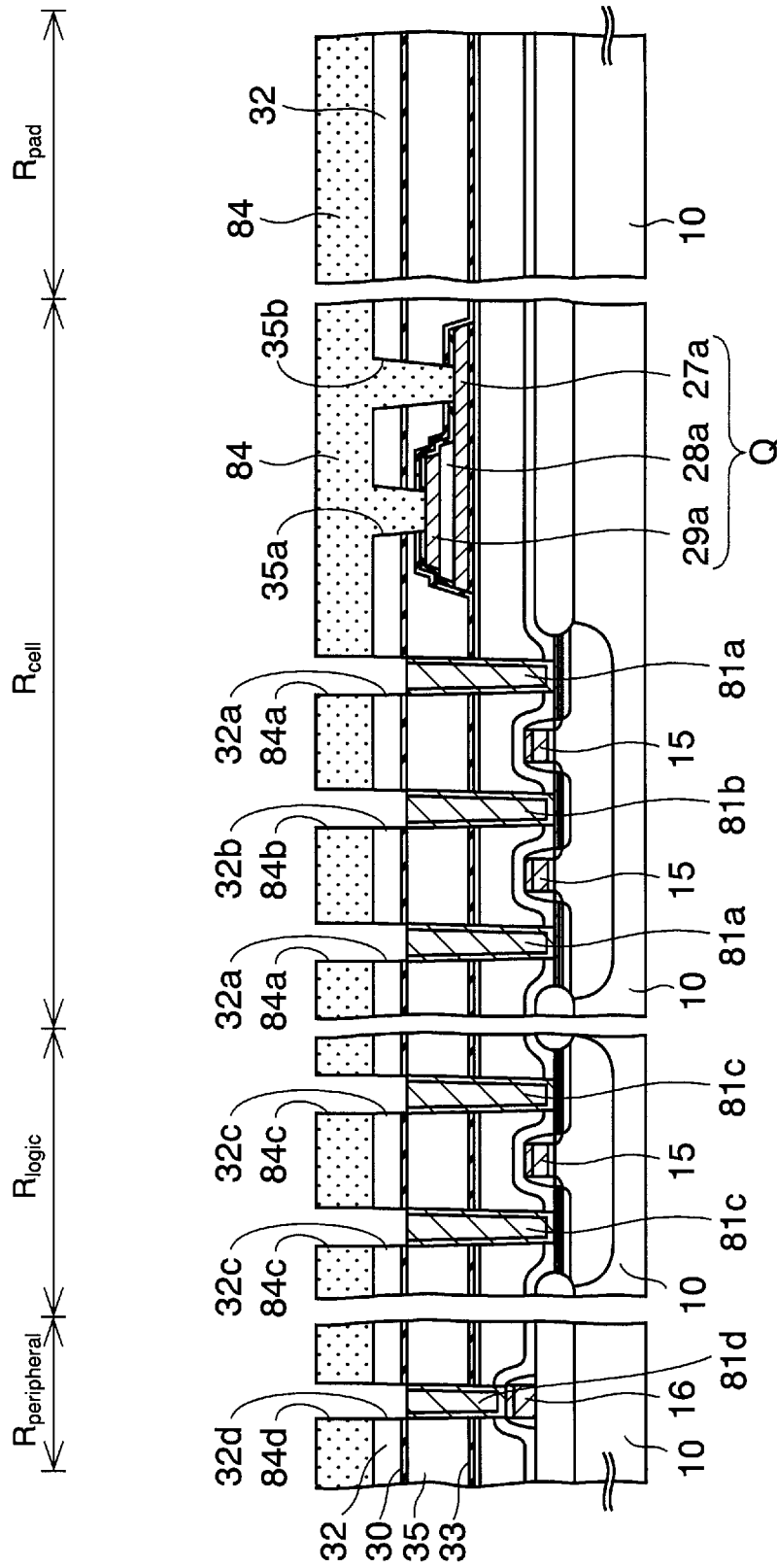
[図41]



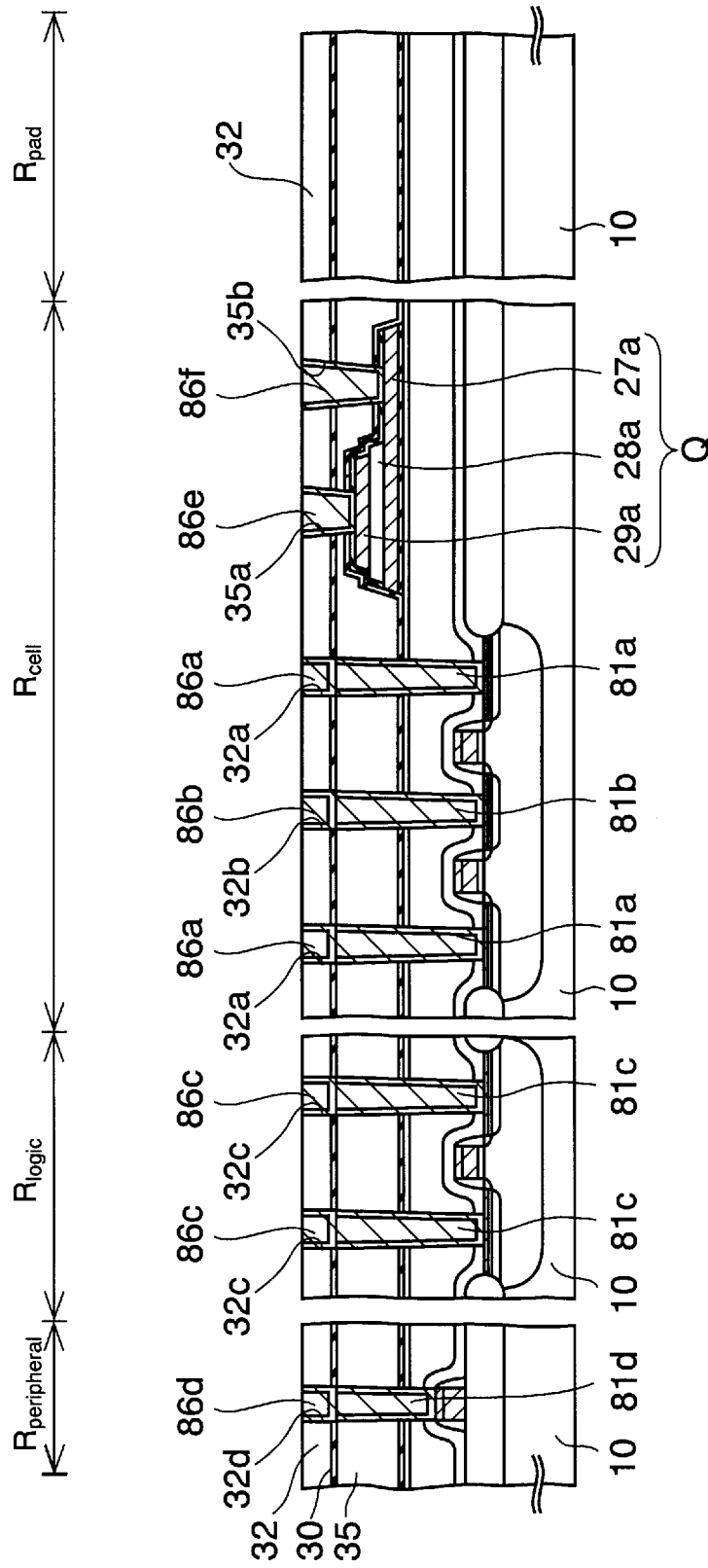
[図42]



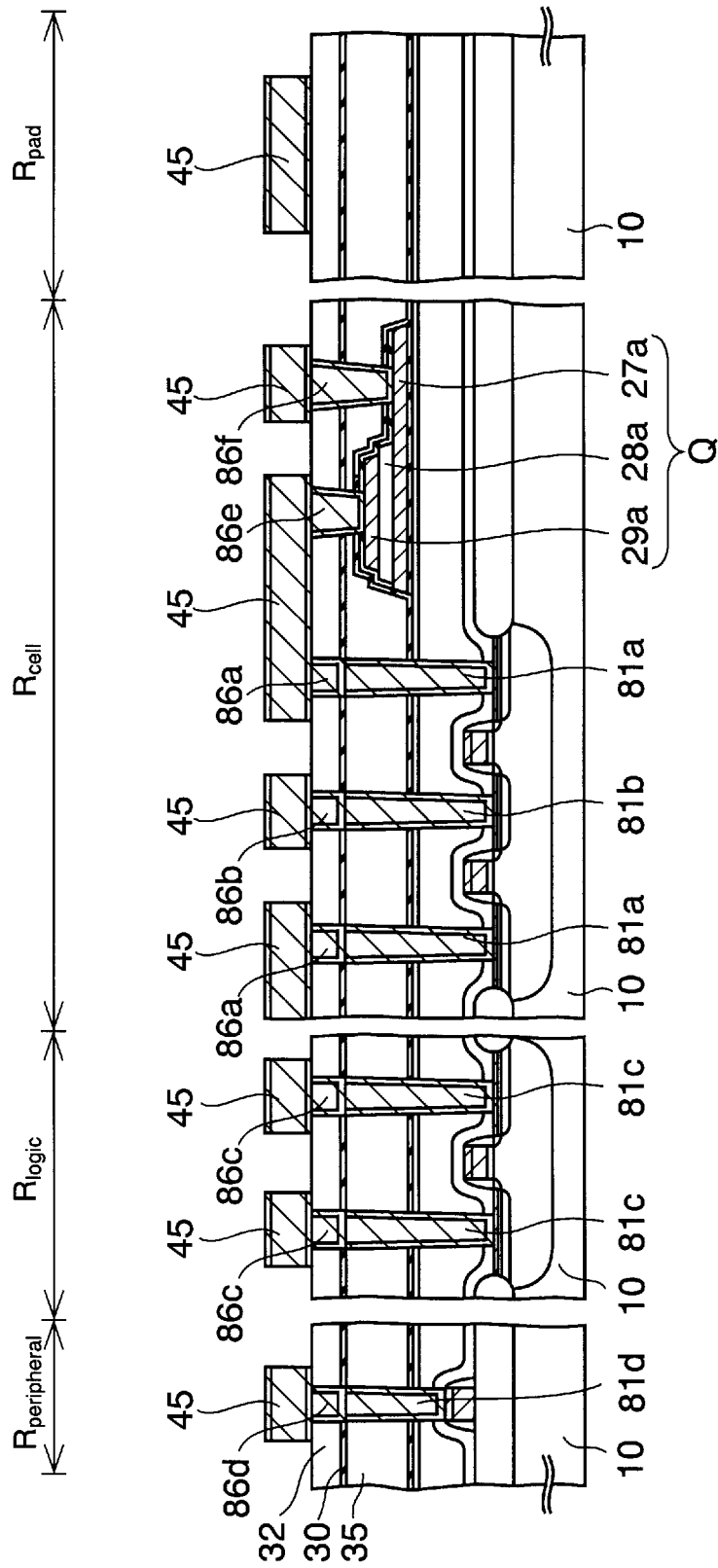
[図43]



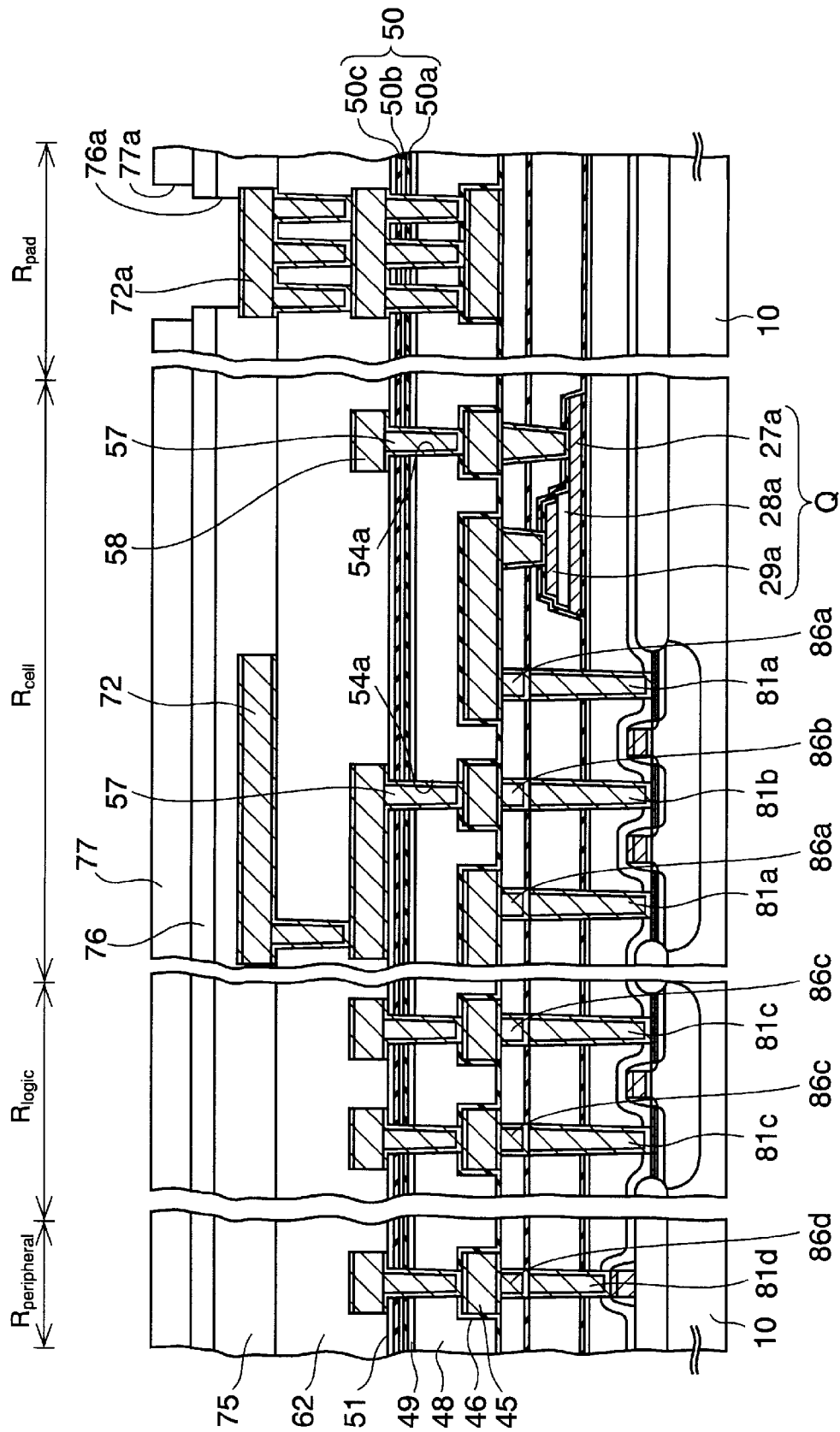
[図44]



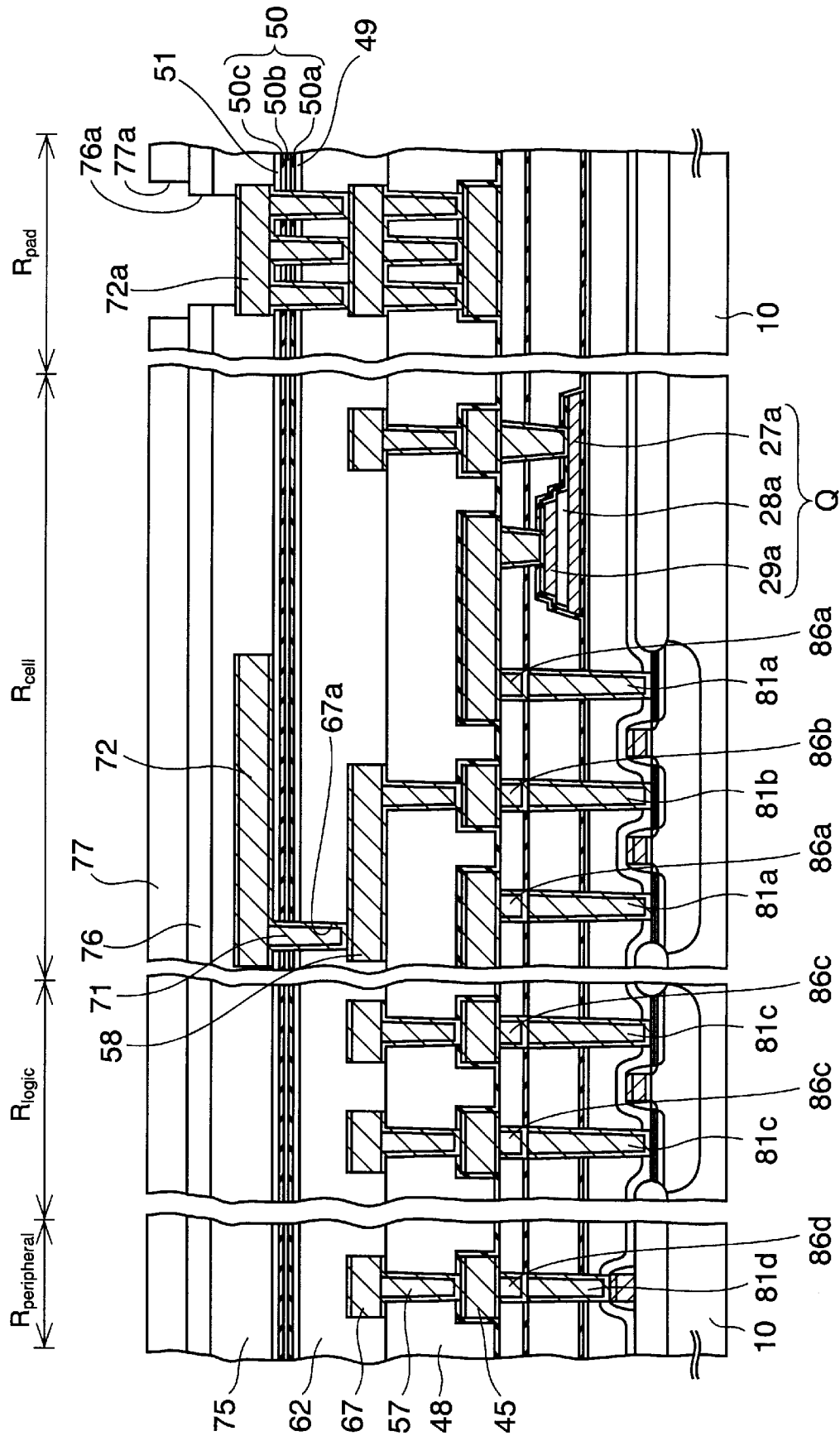
[図45]



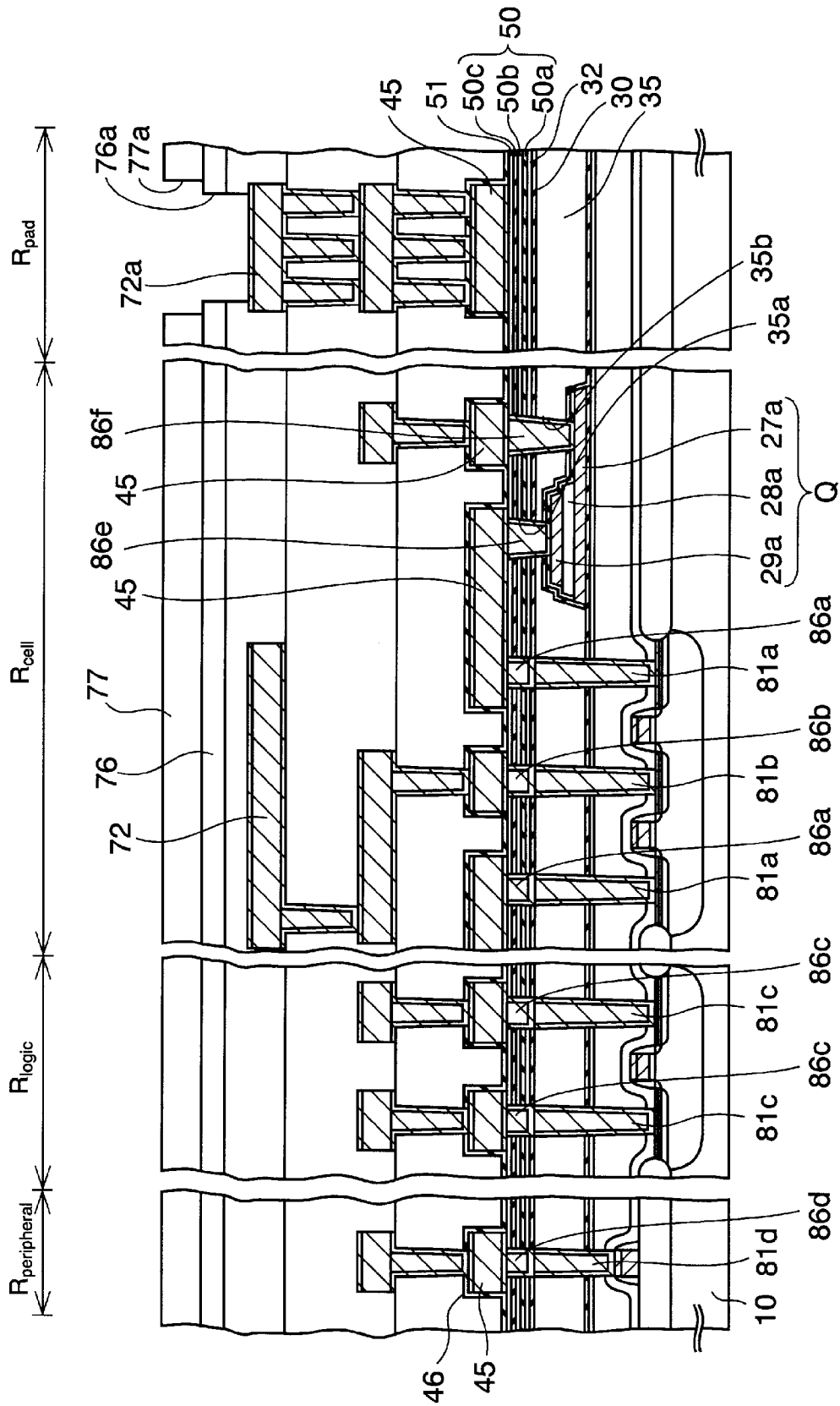
[図46]



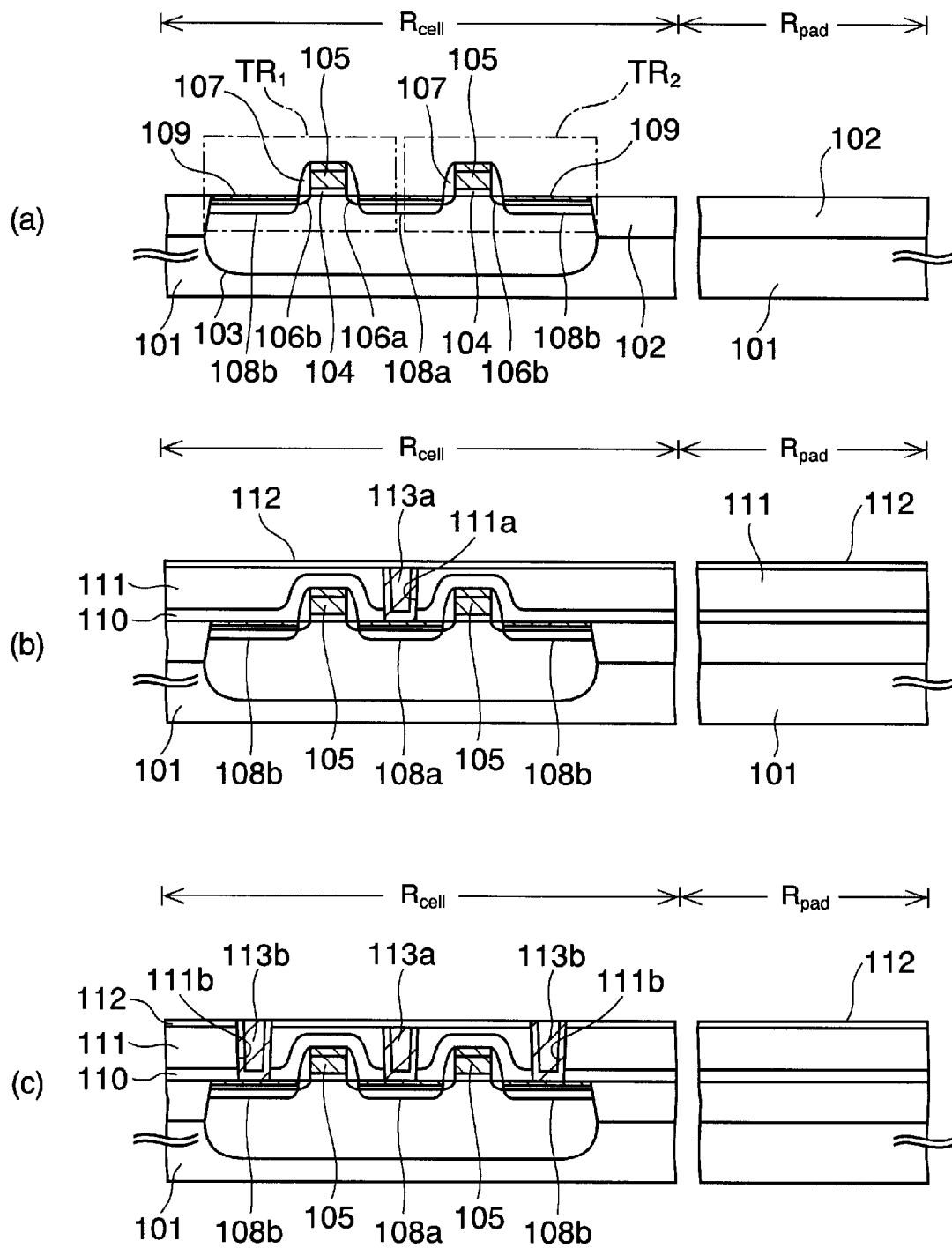
[図47]



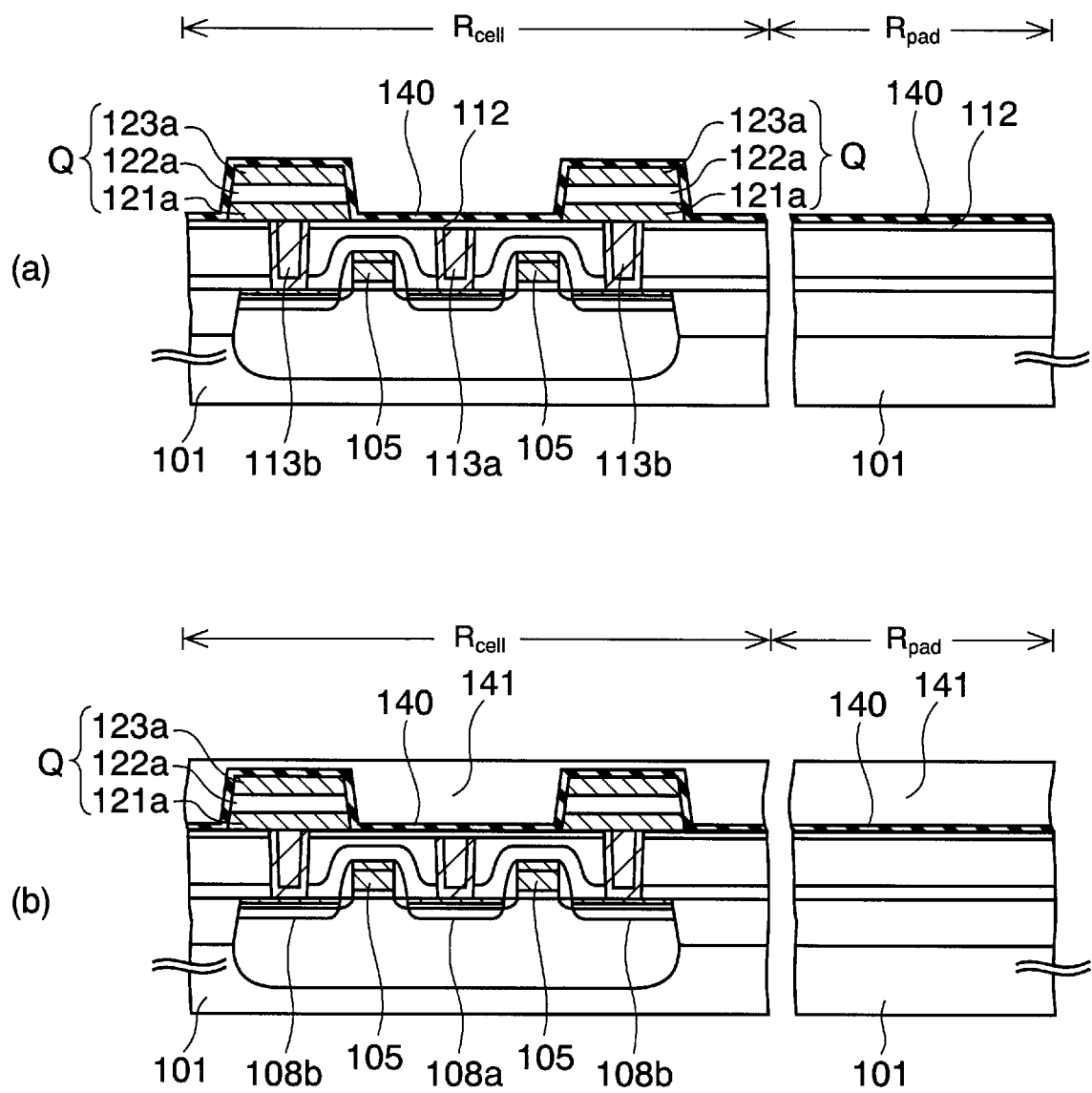
[図48]



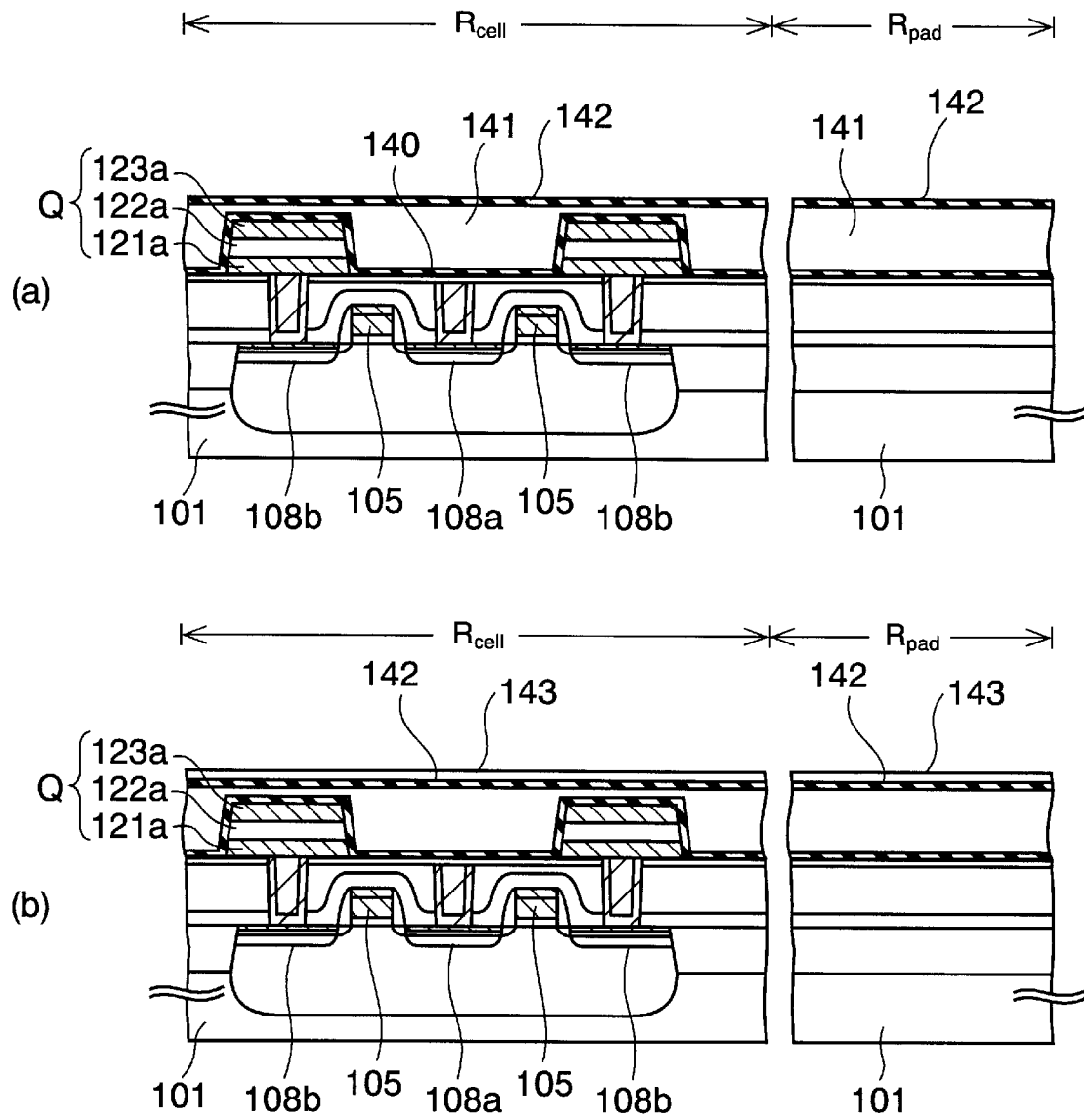
[図49]



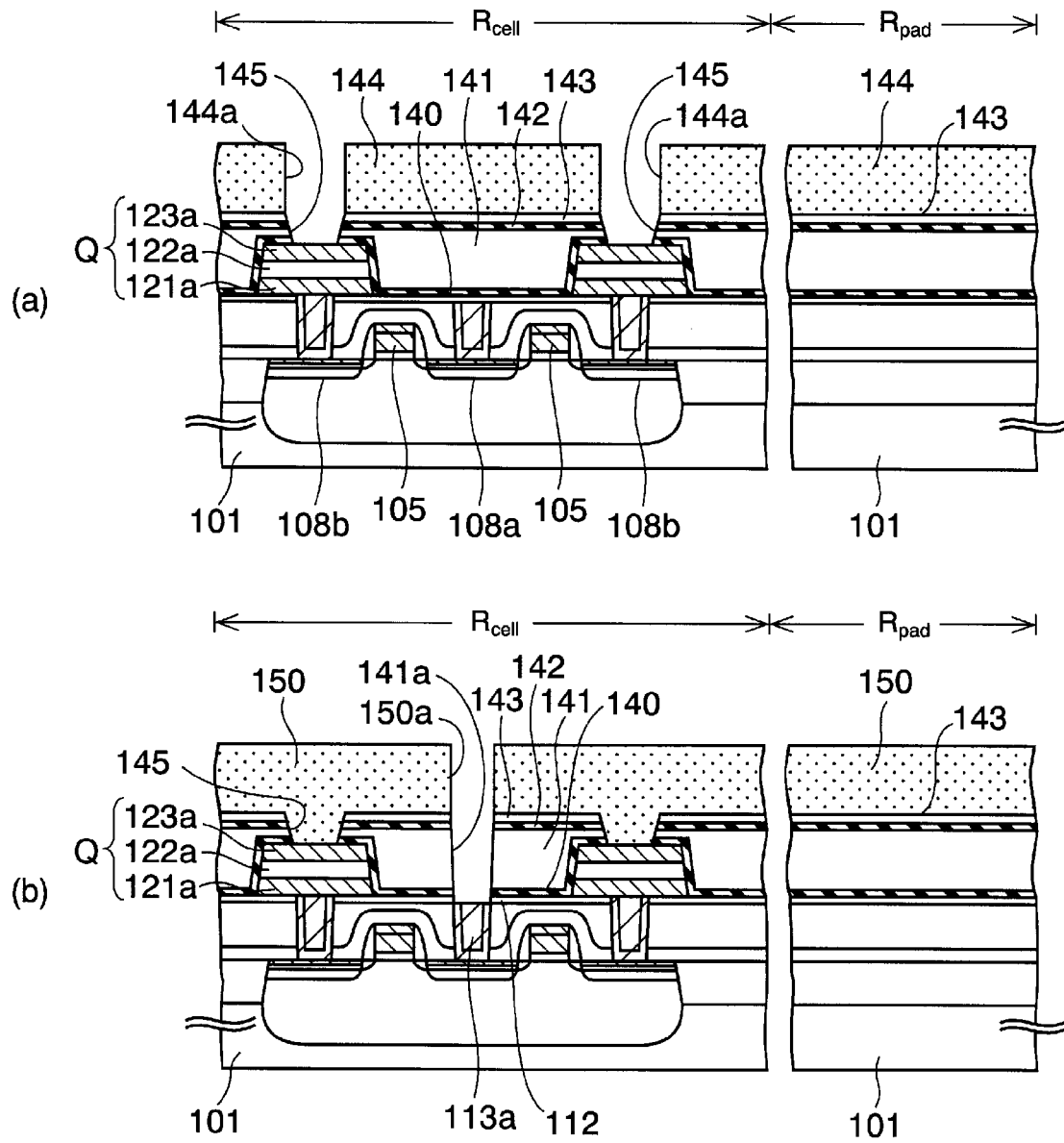
[図51]



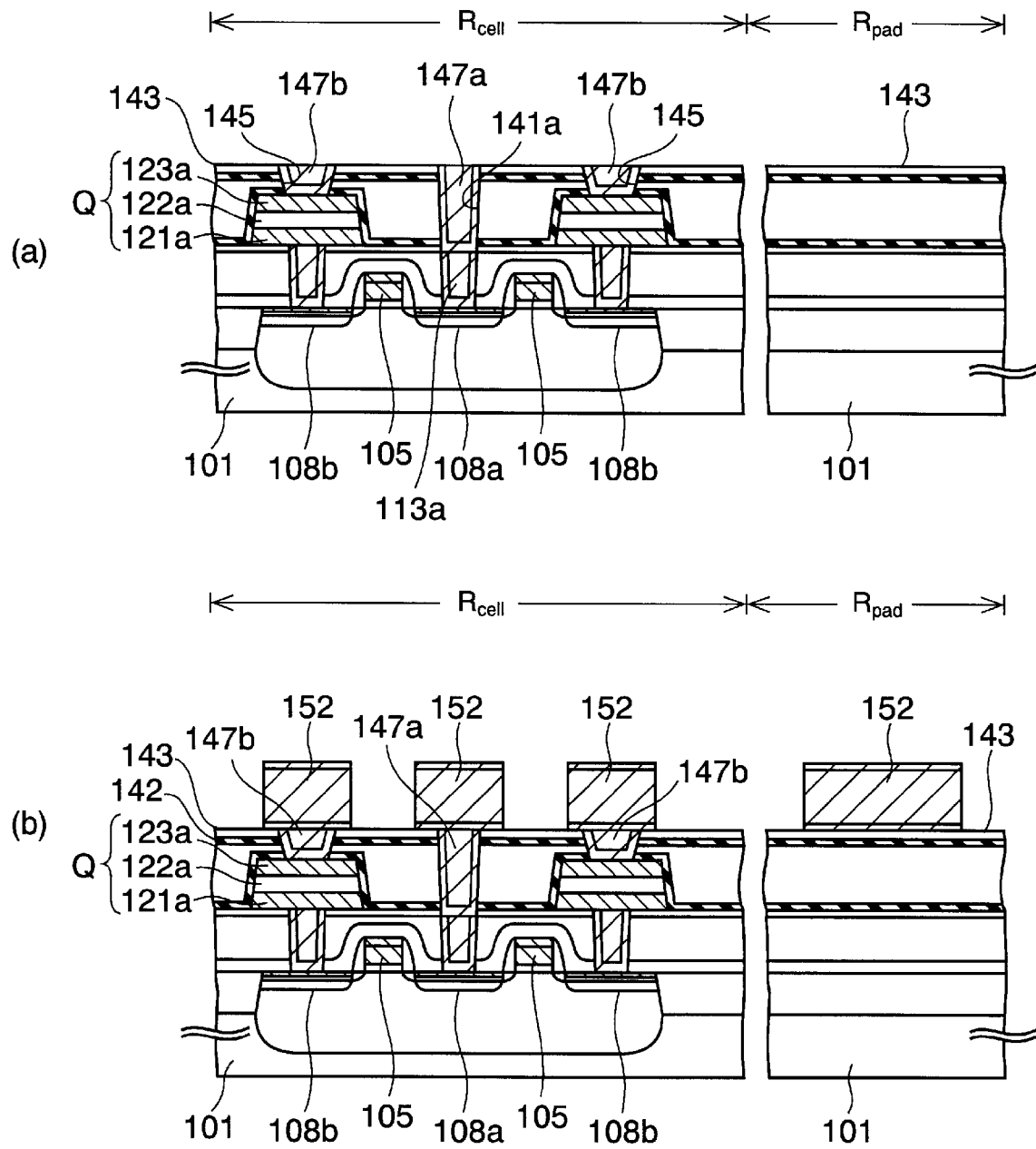
[図52]



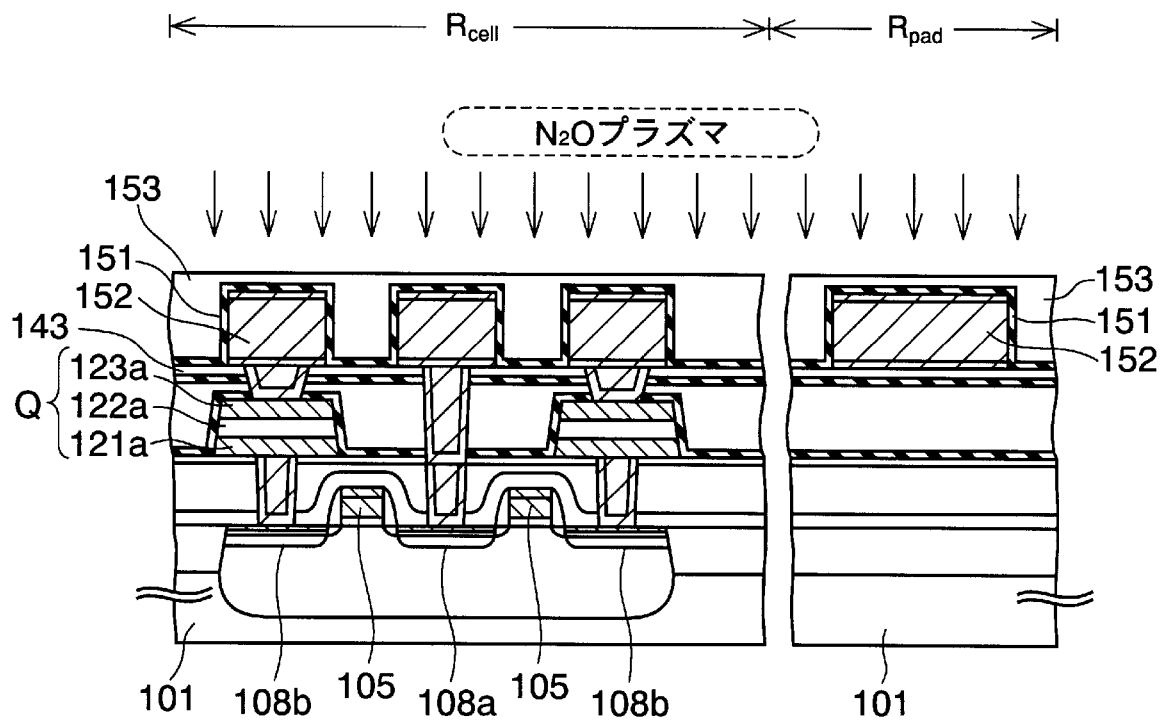
[図53]



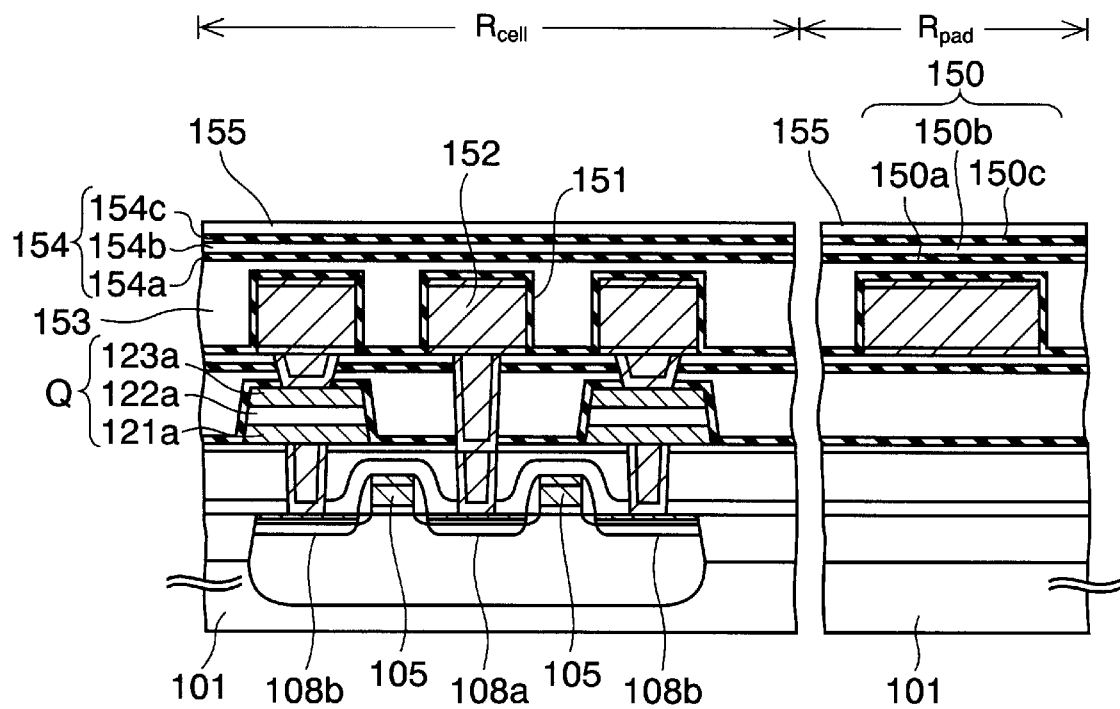
[図54]



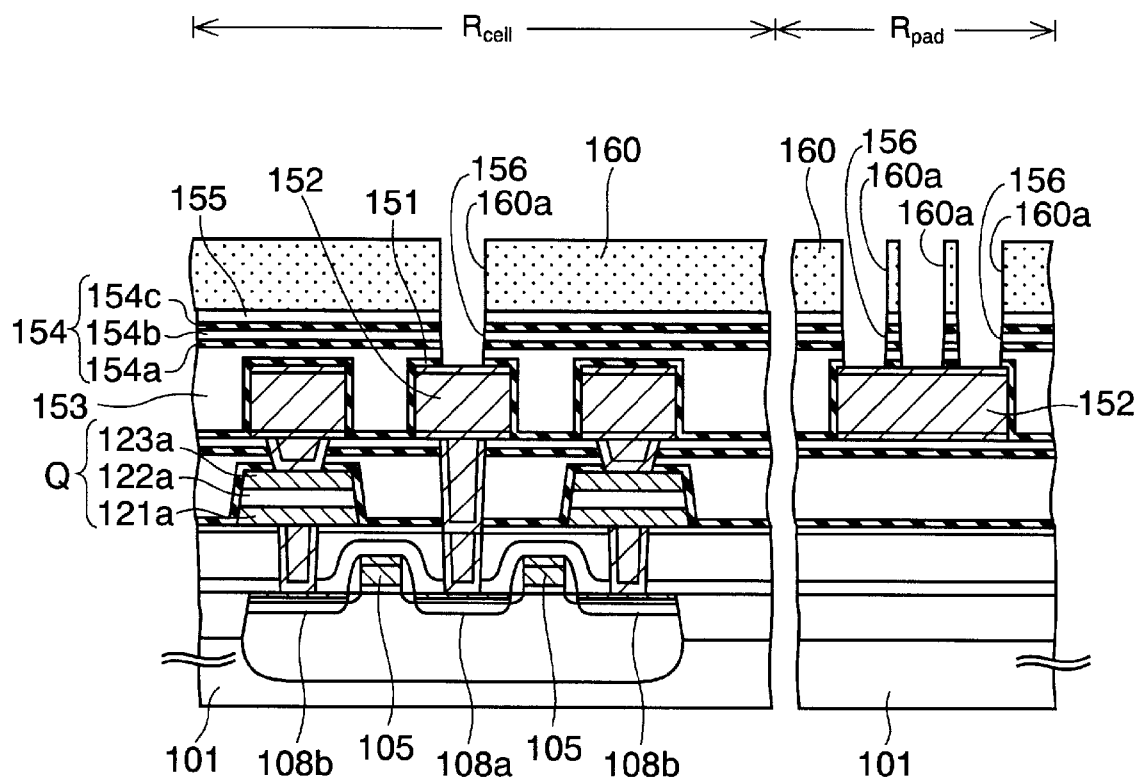
[図55]



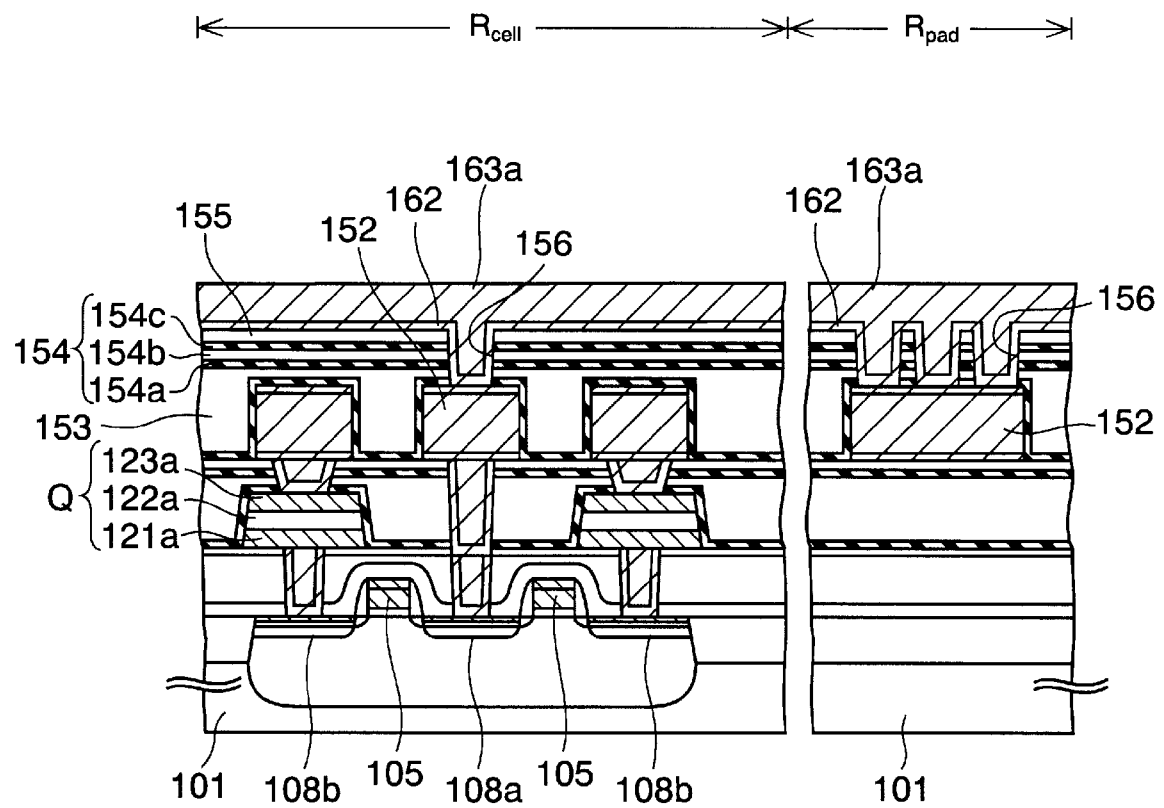
[図56]



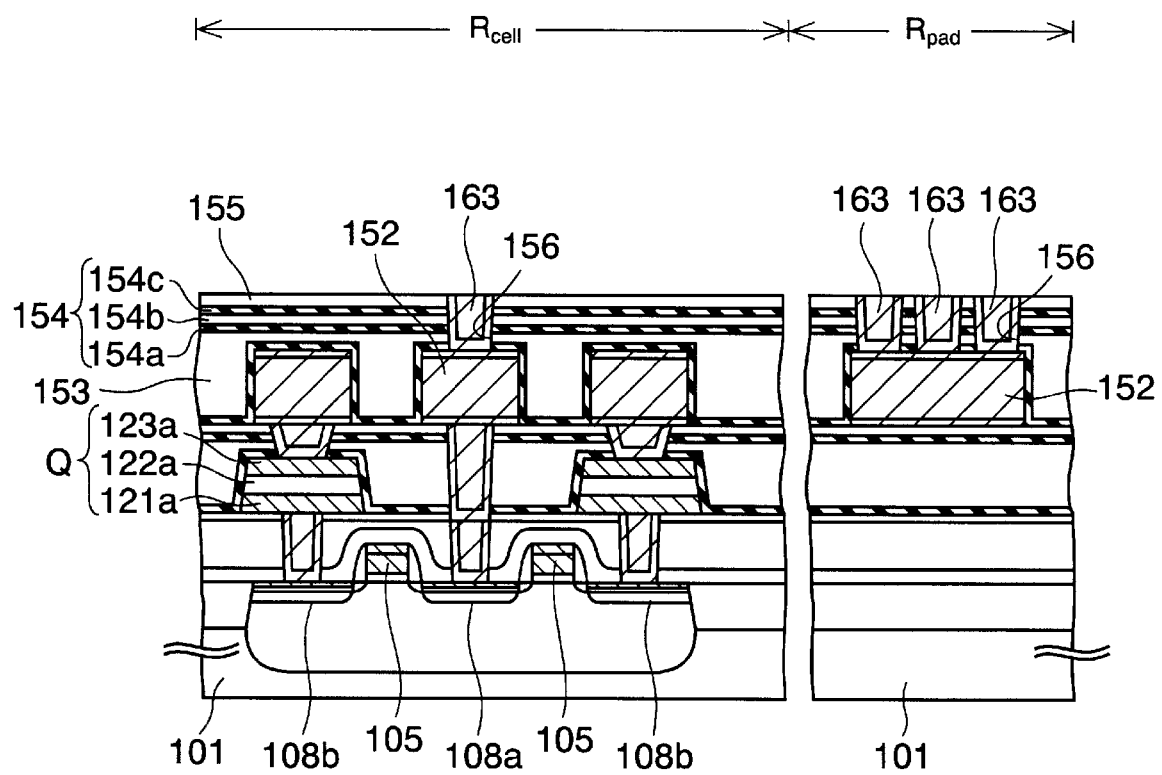
[図57]



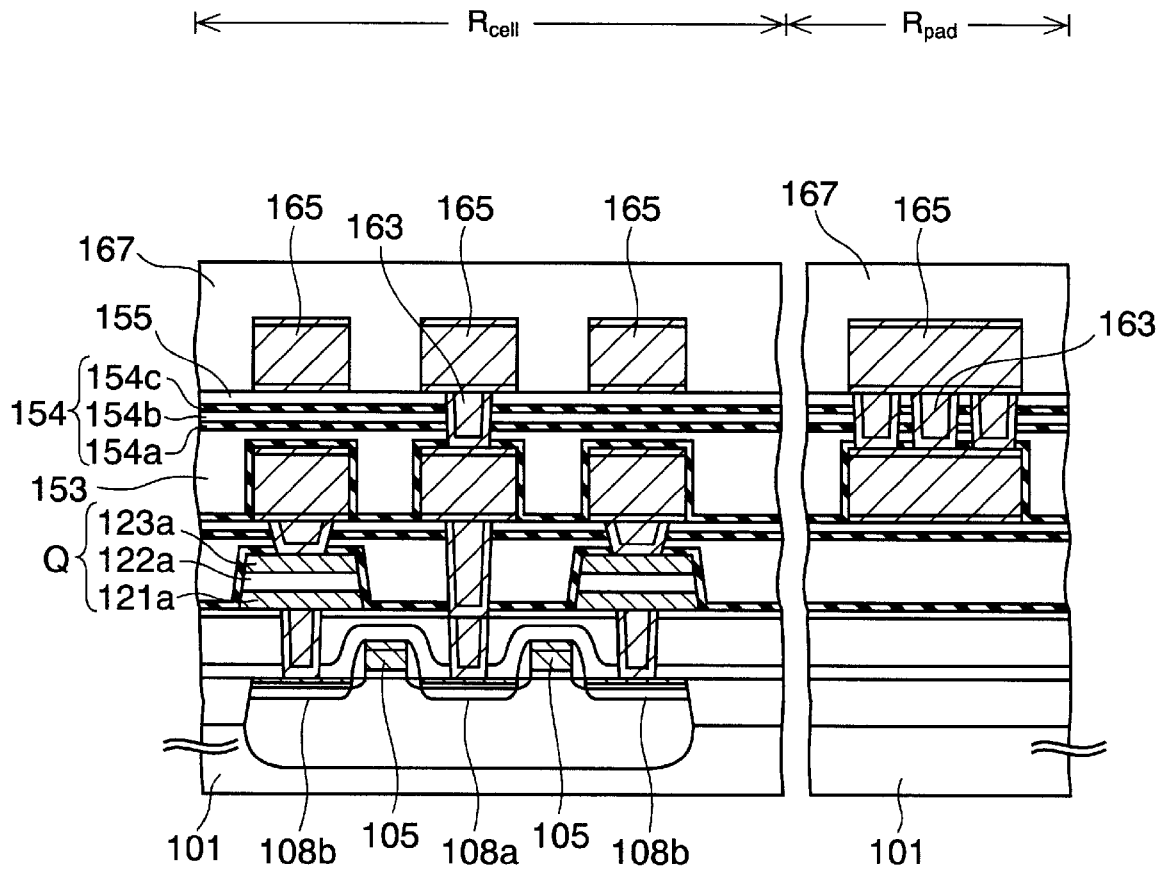
[図58]



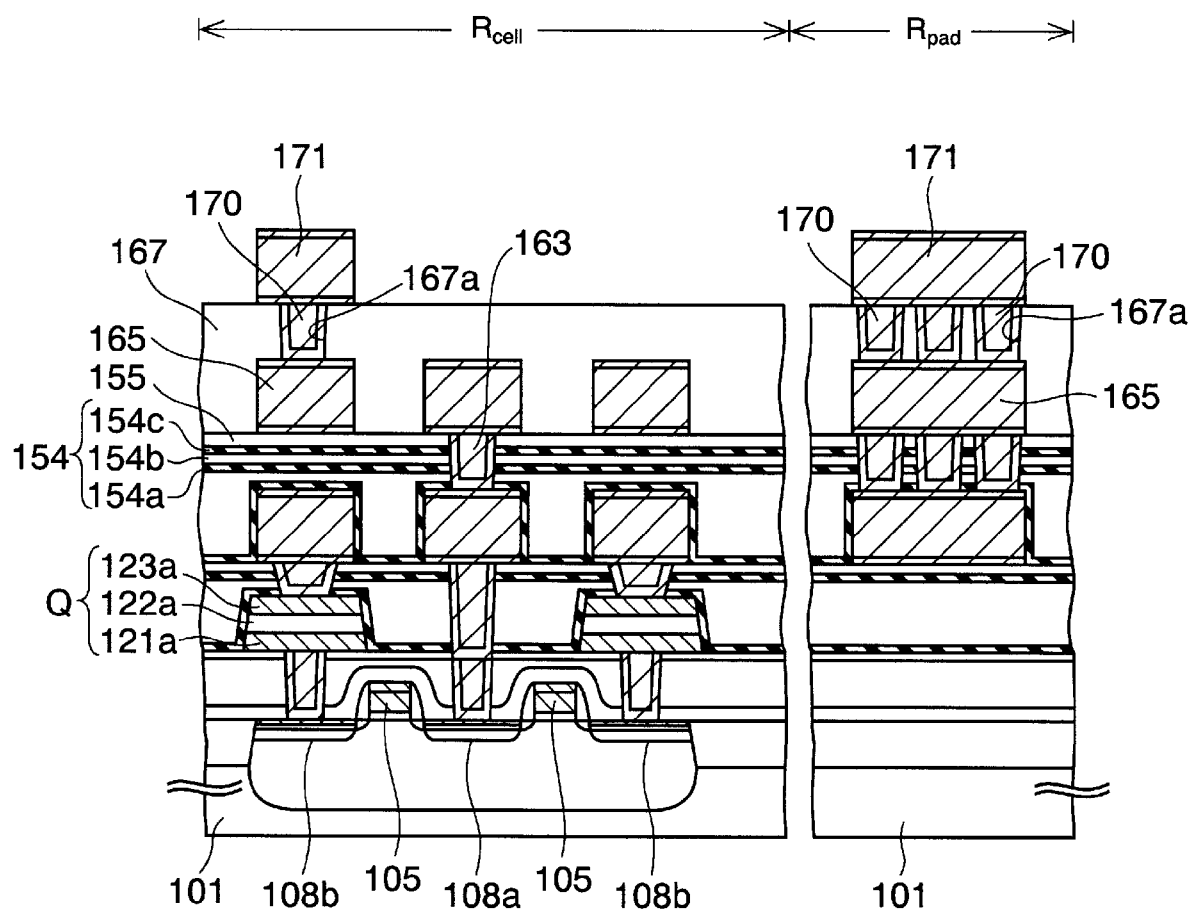
[図59]



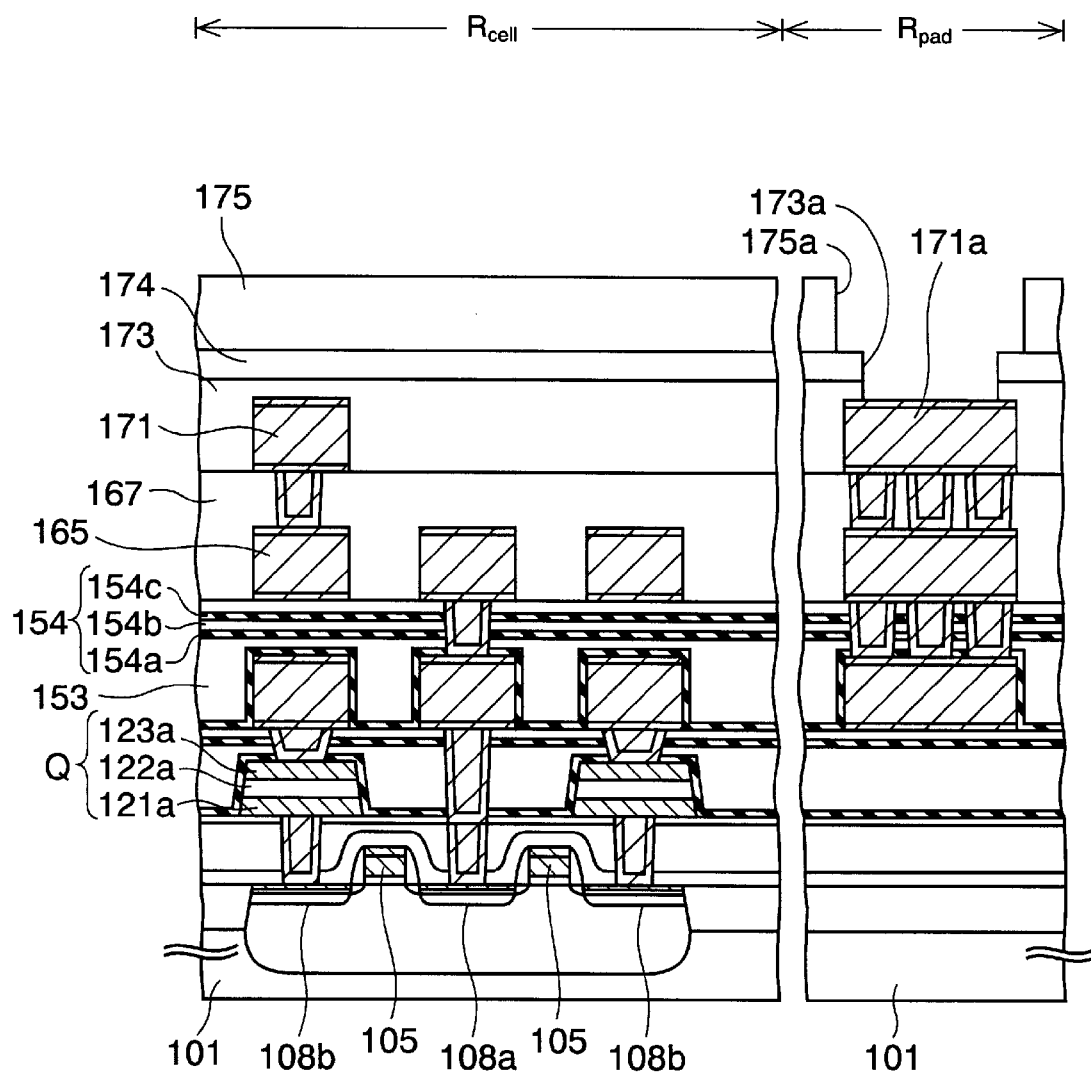
[図60]



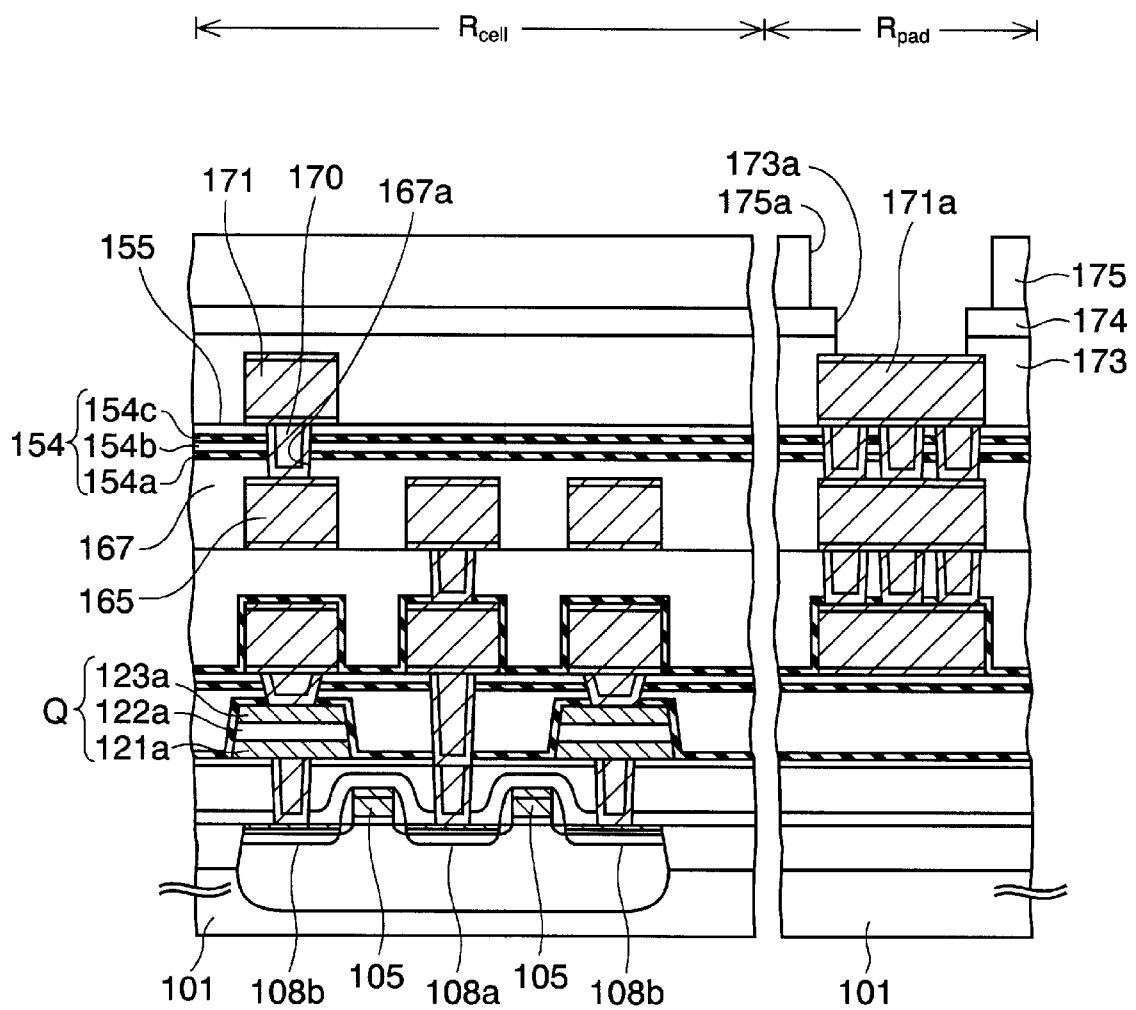
[図61]



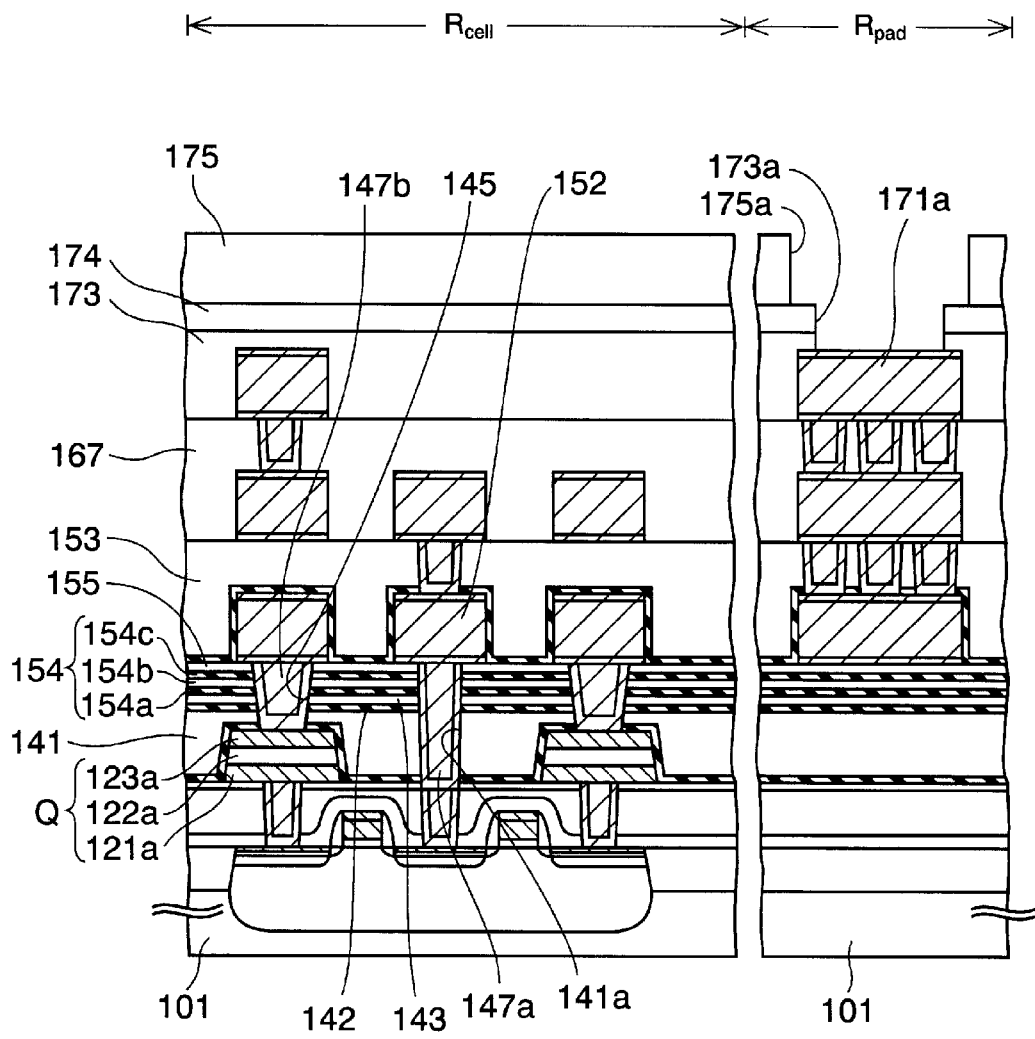
[図62]



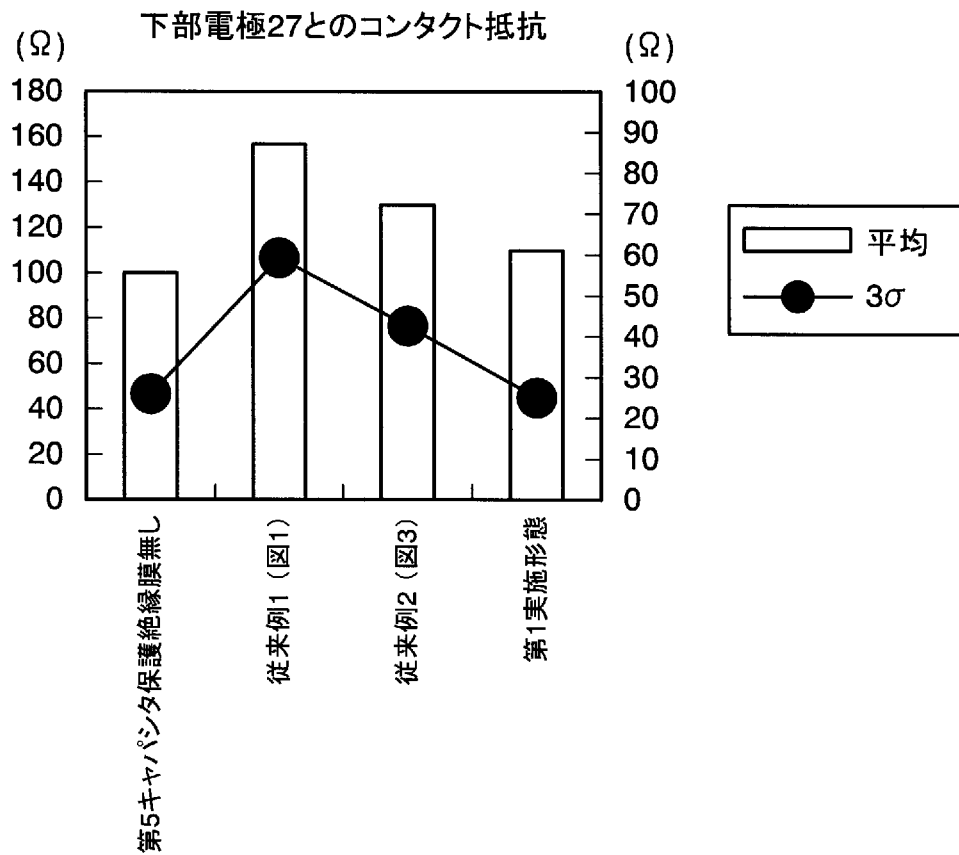
[図63]



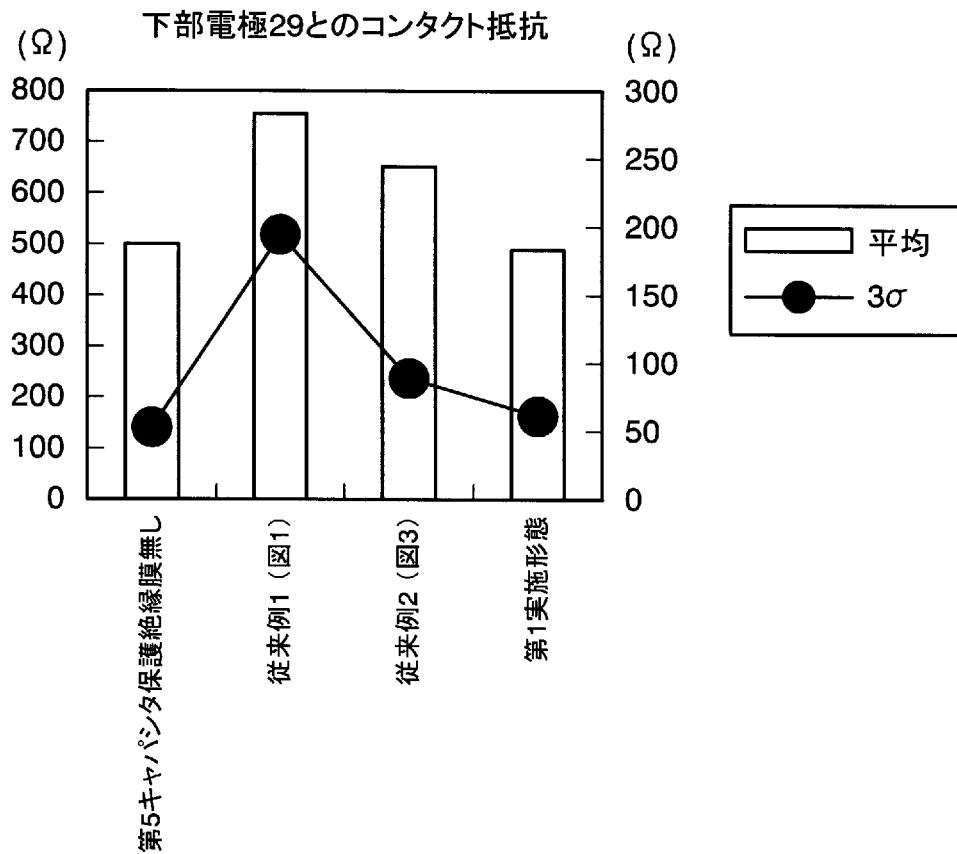
[図64]



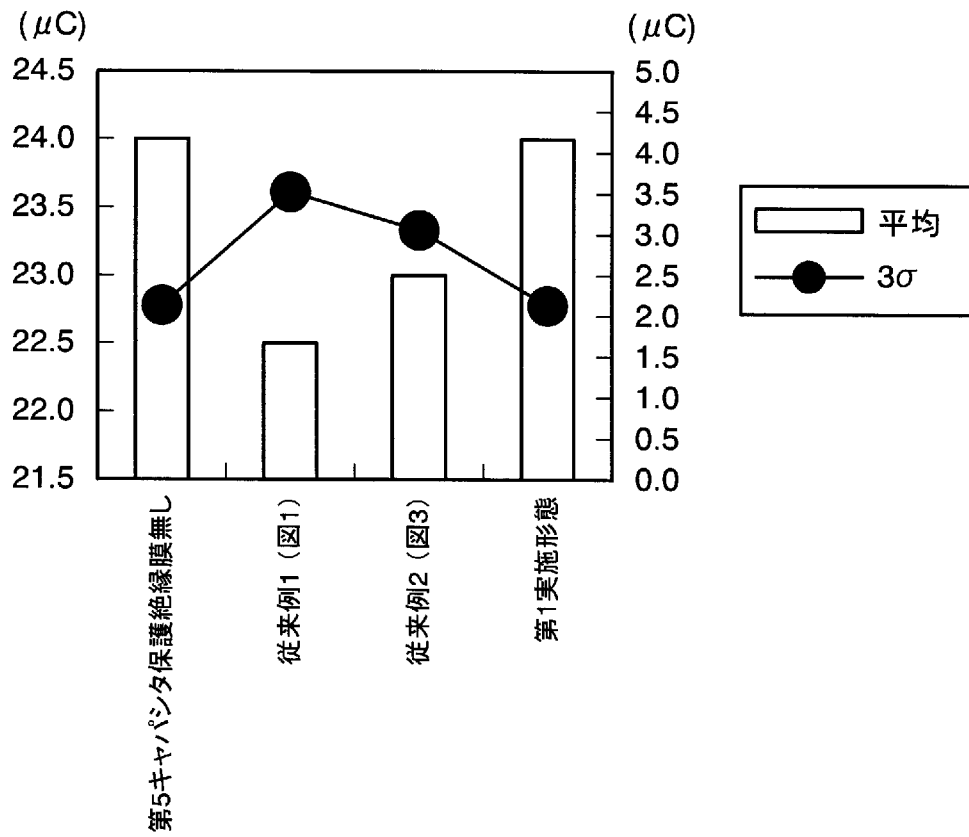
[図65]



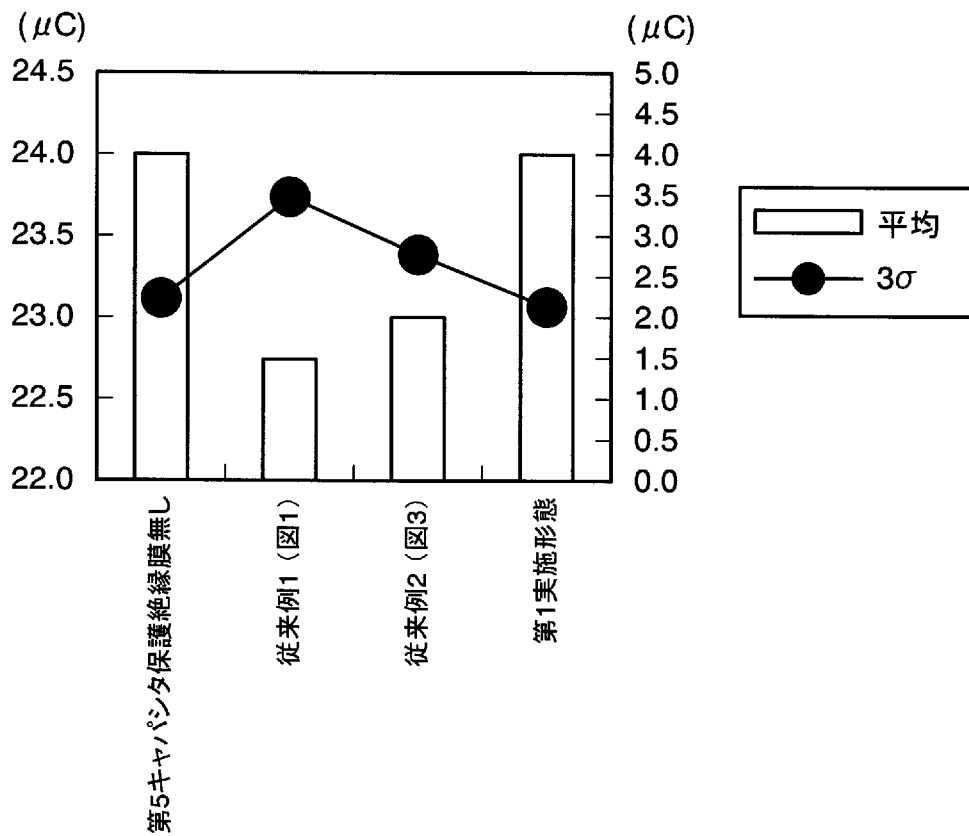
[図66]



[図67]



[図68]



[図69]

UHASt (不良率)

経過時間	168(時間)	336(時間)	504(時間)	1008(時間)
第5キャパシタ保護絶縁膜無し	50	80	100	100
従来例1 (図1)	0	0	20	20
従来例2 (図3)	0	0	20	30
第1実施形態	0	0	20	30

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053210

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01) i, H01L27/105(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-49795 A (Fujitsu Ltd.), 16 February, 2006 (16.02.06), Full text; all drawings & US 2005/285173 A1	1-20
Y	JP 2001-244426 A (Texas Instruments Inc.), 07 September, 2001 (07.09.01), Full text; all drawings & US 6548343 B1	1-20
Y	JP 5-74921 A (Hitachi, Ltd.), 26 March, 1993 (26.03.93), Full text; all drawings (Family: none)	16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 April, 2007 (23.04.07)

Date of mailing of the international search report
15 May, 2007 (15.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H01L21/8246(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8246, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 6 - 4 9 7 9 5 A (富士通株式会社) 2 0 0 6 . 0 2 . 1 6 , 全文, 全図 & U S 2 0 0 5 / 2 8 5 1 7 3 A 1	1-20
Y	J P 2 0 0 1 - 2 4 4 4 2 6 A (テキサス インスツルメンツ インコーポレイテッド) 2 0 0 1 . 0 9 . 0 7 , 全文, 全図 & U S 6 5 4 8 3 4 3 B 1	1-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

23.04.2007

国際調査報告の発送日

15.05.2007

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柴山 将隆

電話番号 03-3581-1101 内線 3462

4M

3035

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 5 - 7 4 9 2 1 A (株式会社日立製作所) 1 9 9 3 . 0 3 . 2 6 , 全文, 全図 (ファミリーなし)	16