

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 11 月 20 日(20.11.2014)



(10) 国際公開番号
WO 2014/184830 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01) *H02J 9/06* (2006.01)
H02J 3/38 (2006.01) *H02M 7/487* (2007.01)
- (21) 国際出願番号: PCT/JP2013/003149
- (22) 国際出願日: 2013 年 5 月 17 日(17.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士電機株式会社(FUJII ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 藤田 悟(FUJITA, Satoru); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 松本 洋一(MATSUMOTO, Yoichi); 〒1918502 東京都日野市富士町 1 番地 富士電機株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

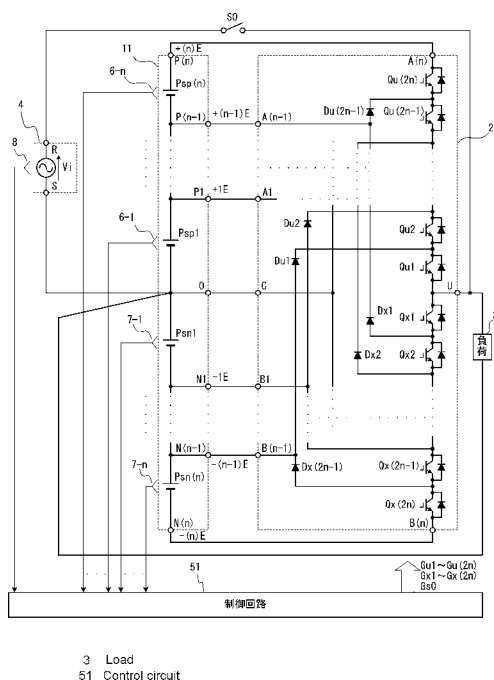
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



(57) Abstract: A power conversion device that outputs voltages, which correspond to an output voltage command, to output terminals in each switching cycle, and comprises: a DC power source which has $(2n+1)$ (n is an integer of 2 or more) output terminals; an AC power source, one end of which is connected to an intermediate potential terminal of the DC power source; a half-bridge circuit which has $(2n+1)$ input terminals and one output terminal, and is connected to the DC power source; and a bidirectional switch which is connected between the other end of the AC power source, and the output terminal of the half-bridge circuit. The power conversion device selects: the voltage (first voltage) that is equal to or greater than the output voltage command, and is closest to the output voltage command, from among the $(2n+1)$ level DC voltage, and the AC power source voltage; and the voltage (second voltage) that is equal to or less than the output voltage command, and is closest to the output voltage command, from among the $(2n+1)$ level DC voltage, and the AC power source voltage. The power conversion device outputs the first voltage, and the second voltage alternately within the switching cycle.

(57) 要約: 各スイッチング周期において、出力電圧指令に対応する電圧を出力端子に出力する電力変換装置であって、
($2n+1$) 個 (n は 2 以上の整数) の出力端子を有する直流電源と、この直流電源の中間電位端子に一端が接続される交流電源と、($2n+1$) 個入力端子と一つの出力端子とを有し、直流電源に接続されるハーフブリッジ回路と、交流電源の他端とハーフブリッジ回路の出力端子との間に接続される双方向スイッチと、を備え、($2n+1$) レベルの直流電圧および交流電源の電圧の中から、出力電圧指令以上であつてかつ出力電圧指令に最も近い電圧 (第 1 の電圧) と、($2n+1$) レベルの直流電圧および交流電源の電圧のうち、出力電圧指令以下であつてかつ出力電圧指令に最も近い電圧 (第 2 の電圧) とを選択し、スイッチング周期内で、第 1 の電圧と第 2 の電圧とを交互に出力する。

WO 2014/184830 A1

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は、 $(2n+1)$ レベルの直流電圧と交流電圧とを選択的に出力することができる電力変換装置に関する。

背景技術

[0002] 図11は、5レベルの電圧を出力することができる電力変換装置の回路構成を説明するための図である。このような電力変換装置は、特許文献1に開示されている。この電力変換装置は、5レベルの電圧を出力する直流電源1と、複数のスイッチング素子と複数のクランプダイオードとからなる5レベルのハーフブリッジ回路2で構成されている。

[0003] 直流電源1は、図示しない交流電源を用いて生成される。ハーフブリッジ回路2は、直流電源1の電圧を用いて、出力端子Uに5レベルの電圧を出力する。出力端子Uに出力される5レベルの電圧は、スイッチング素子 $Q_{u1} \sim Q_{u4}$ および $Q_{x1} \sim Q_{x4}$ を選択的にオンオフさせることにより得られる。図12は、このハーフブリッジ回路2から出力される電圧と、スイッチング素子のオンオフ状態を示している。

[0004] 例えば、出力端子Uに $+2E$ [V] の電圧を出力するとき、ハーフブリッジ回路2は、スイッチング素子 $Q_{u1} \sim Q_{u4}$ をオンにし、スイッチング素子 $Q_{x1} \sim Q_{x4}$ をオフにする。このようにすると、ハーフブリッジ回路2の入力端子A2からスイッチング素子 Q_{u4} 、 Q_{u3} 、 Q_{u2} 、 Q_{u1} を介して、出力端子Uに直流電源1の端子P2の電圧 ($+2E$ [V]) が出力される。次に、出力端子Uに $+1E$ [V] の電圧を出力するとき、ハーフブリッジ回路2は、スイッチング素子 $Q_{u1} \sim Q_{u3}$ およびスイッチング素子 Q_{x1} をオンにし、スイッチング素子 Q_{u4} およびスイッチング素子 $Q_{x2} \sim Q_{x4}$ をオフにする。このようにすると、ハーフブリッジ回路2の入力端子A1からダイオード D_{u3} およびスイッチング素子 Q_{u3} 、 Q_{u2} 、 Q_{u1}

を介して、出力端子Uに直流電源1の端子P1の電圧（+1E [V]）が出力される。

[0005] また、出力端子Uに0 [V]の電圧を出力するとき、ハーフブリッジ回路2は、スイッチング素子 Q_{u1} 、 Q_{u2} 、 Q_{x1} 、 Q_{x2} をオンにし、スイッチング素子 Q_{u3} 、 Q_{u4} 、 Q_{x3} 、 Q_{x4} をオフにする。このようにすると、ハーフブリッジ回路2の入力端子Cからダイオード D_{u2} およびスイッチング素子 Q_{u2} 、 Q_{u1} を介して、出力端子Uに直流電源1の出力端子Oの電圧（0 [V]）が出力される。または、ハーフブリッジ回路2の入力端子Cからダイオード D_{x2} およびスイッチング素子 Q_{x2} 、 Q_{x1} を介して、出力端子Uに直流電源1の出力端子Oの電圧（0 [V]）が出力される。

[0006] また、出力端子Uに-1E [V]の電圧を出力するとき、ハーフブリッジ回路2は、スイッチング素子 Q_{u1} およびスイッチング素子 $Q_{x1} \sim Q_{x3}$ をオンにし、スイッチング素子 $Q_{u2} \sim Q_{u4}$ および Q_{x4} をオフにする。このようにすると、ハーフブリッジ回路2の入力端子B1からスイッチング素子 Q_{x3} 、 Q_{x2} 、 Q_{x1} を介して、出力端子Uに直流電源1の端子N1の電圧（-1E [V]）が出力される。次に、出力端子Uに-2E [V]の電圧を出力するとき、ハーフブリッジ回路2は、スイッチング素子 $Q_{x1} \sim Q_{x4}$ をオンにし、スイッチング素子 $Q_{u1} \sim Q_{u4}$ をオフにする。このようにすると、ハーフブリッジ回路2の入力端子B2からスイッチング素子 Q_{x4} 、 Q_{x3} 、 Q_{x2} 、 Q_{x1} を介して、出力端子Uに直流電源1の端子N2の電圧（-2E [V]）が出力される。

先行技術文献

特許文献

[0007] 特許文献1：特開2010-246267号公報

発明の概要

発明が解決しようとする課題

- [0008] ハーフブリッジ回路2が出力端子に $+2E$ [V]の電圧を出力するとき、出力電流は、スイッチング素子 $Q_{u1} \sim Q_{u4}$ の4個の素子を通れる。また、ハーフブリッジ回路2が出力端子に $+1E$ [V]の電圧を出力するとき、出力電流は、ダイオード D_{u3} およびスイッチング素子 $Q_{u1} \sim Q_{u3}$ の4個の素子を通れる。いずれの場合も、スイッチング素子もしくはダイオードに電流が流れることにより、4素子で導通損失が発生する。
- [0009] また、ハーフブリッジ回路2が出力端子に $-1E$ [V]の電圧を出力するとき、出力電流は、スイッチング素子 $Q_{x1} \sim Q_{x3}$ およびダイオード D_{x1} の4個の素子を通れる。また、ハーフブリッジ回路2が出力端子に $-2E$ [V]の電圧を出力するとき、出力電流は、スイッチング素子 $Q_{x1} \sim Q_{x4}$ の4個の素子を通れる。いずれの場合も、スイッチング素子もしくはダイオードに電流が流れることにより、4素子で導通損失が発生する。
- [0010] また、ハーフブリッジ回路2が出力端子に 0 [V]の電圧を出力するとき、出力電流は、ダイオード D_{u2} およびスイッチング素子 Q_{u1} , Q_{u2} の3個の素子、もしくは、ダイオード D_{x2} およびスイッチング素子 Q_{x1} , Q_{x2} の3個の素子を通れる。いずれの場合も、スイッチング素子もしくはダイオードに電流が流れることにより、3素子で導通損失が発生する。
- [0011] このように、ハーフブリッジ回路2が5レベルの電圧を組み合わせ、交流電圧を出力するとき、3素子もしくは4素子で導通損失が発生する。このように、多くの素子で導通損失が発生すると、電力変換装置の効率が低下するという問題がある。

本発明は、このような従来技術が有している問題を解決するためになされたものである。すなわち、本発明の目的は、導通損失を発生させる素子の数を低減することにより、導通損失を低減することである。

課題を解決するための手段

- [0012] 上記目的を達成するため、本発明の形態の一側面は、 $(2n+1)$ レベル (n は2以上の整数)の直流電圧を出力するための $(2n+1)$ 個の出力端子を有する直流電源と、この直流電源の中間電位端子に一端が接続される交

流電源と、 $(2n+1)$ 個の入力端子と一つの出力端子とを有し、直流電源から出力される $(2n+1)$ レベルの直流電圧を、対応する $(2n+1)$ 個の入力端子に入力するハーフブリッジ回路と、交流電源の他端とハーフブリッジ回路の出力端子との間に接続される双方向スイッチと、を備える電力変換装置である。

双方向スイッチは、炭化ケイ素または窒化ガリウムを材料とするワイドバンドギャップ半導体で構成するのが好ましい。

[0013] そして、この電力変換装置は、あらかじめ定められたスイッチング周期ごとに、 $(2n+1)$ レベルの直流電圧および交流電源の電圧の中から、出力電圧指令に基づいて選択した第1の電圧と第2の電圧とを交互に出力する。

第1の電圧は、 $(2n+1)$ レベルの直流電圧および交流電源の電圧のうち、出力電圧指令以上であって、かつ出力電圧指令に最も近い電圧である。

第2の電圧は、 $(2n+1)$ レベルの直流電圧および交流電源の電圧のうち、出力電圧指令以下であって、かつ出力電圧指令に最も近い電圧である。

発明の効果

[0014] 本発明を適用した電力変換装置は、スイッチング周期ごとに、出力電圧指令に基づいて選択した第1の電圧と第2の電圧とを交互に出力する。これにより、この電力変換装置は、出力電圧指令に対応する交流電圧を出力することができる。また、この電力変換装置は、双方向スイッチを介して交流電源の電圧を出力することができる。したがって、この電力変換装置は、導通損失を発生させる素子の数を低減させることが可能となる。これにより、この電力変換装置は、導通損失を低減することができる。

図面の簡単な説明

[0015] [図1]本発明に係る電力変換装置の実施形態を説明するための図である。

[図2]双方向スイッチの実施形態を説明するための図である。

[図3]制御回路5を説明するための図である。

[図4]制御モードと図1に示す電力変換装置の動作の関係を説明するための図である。

[図5]図1に示す電力変換装置の出力電圧指令 V_o^* と、交流電源4の電圧 V_i の関係を説明するための図である。

[図6]スイッチング周期 T_{90} における出力電圧 V_o の一例を説明するための図である。

[図7]制御モードOAにおける出力電圧 V_o の一例を説明するための図である。

[図8]本発明に係る電力変換装置の他の実施形態を説明するための図である。

[図9]本発明に係る電力変換装置の他の実施形態を説明するための図である。

[図10]本発明に係る電力変換装置の他の実施形態を説明するための図である。

[図11]従来技術に係る電力変換装置の構成を説明するための図である。

[図12]制御モードと図11に示す電力変換装置の動作の関係を説明するための図である。

発明を実施するための形態

[0016] 以下、本発明の実施形態について、詳細に説明する。図1は、本発明に係る電力変換装置の実施形態を説明するための図である。図において、1は直流電源、2はハーフブリッジ回路、3は負荷、4は交流電源、S0は双方向スイッチ、5は制御回路である。この電力変換装置は、5レベルの直流電圧と交流電源4の電圧のうち、いずれかの電圧を選択して出力する。

[0017] 直流電源1は、正側直流電源と負側直流電源とを直列に接続して構成されている。正側直流電源と負側直流電源とは、それぞれ2個の単位直流電源を直列接続してなる直流電源である。正側直流電源と負側直流電源との接続点は、直流電源1の中間電位（ゼロ電圧）を出力する中間電位点である。正側直流電源は、単位直流電源 P_{sp1} 、 P_{sp2} が、中間電位点側から順に、直列接続されている。負側直流電源は、単位直流電源 P_{sn1} 、 P_{sn2} が、中間電位点側から順に、直列接続されている。

[0018] 正側直流電源と負側直流電源との接続点（中間電位点）は、直流電源1の中間電位（ゼロ電圧）を出力するための出力端子Oに接続される。単位直流

電源 P_{sp1} , P_{sp2} それぞれの正側電位を出力する端子は、順に、直流電源 1 の出力端子 P_1 , P_2 に接続される。単位直流電源 P_{sn1} , P_{sn2} それぞれの負側電位を出力する端子は、順に、直流電源 1 の出力端子 N_1 , N_2 に接続される。

各単位直流電源の電圧は、それぞれ E [V] である。したがって、直流電源 1 の出力端子 P_2 , P_1 , O , N_1 , N_2 は、順に、 $+2E$ [V], $+1E$ [V], 0 [V], $-1E$ [V], $-2E$ [V] の電圧を出力する。

[0019] ハーフブリッジ回路 2 は、入力端子 A_2 , A_1 , C , B_1 , B_2 および出力端子 U を備える。ハーフブリッジ回路 2 の各入力端子は、順に、直流電源 1 の出力端子 P_2 , P_1 , O , N_1 , N_2 に接続される。したがって、ハーフブリッジ回路 2 の入力端子 A_2 , A_1 , C , B_1 , B_2 には、順に、 $+2E$ [V], $+1E$ [V], 0 [V], $-1E$ [V], $-2E$ [V] の電圧が入力される。

[0020] ハーフブリッジ回路 2 は、スイッチング素子 $Q_{u1} \sim Q_{u4}$, $Q_{x1} \sim Q_{x4}$ およびダイオード D_{u1} , D_{u2} , D_{x1} , D_{x2} で構成されている。スイッチング素子 $Q_{u1} \sim Q_{u4}$, $Q_{x1} \sim Q_{x4}$ には、それぞれダイオードが逆並列に接続されている。スイッチング素子 Q_{u4} , Q_{u3} , Q_{u2} , Q_{u1} , Q_{x1} , Q_{x2} , Q_{x3} , Q_{x4} は、ハーフブリッジ回路 2 の入力端子 A_2 と B_2 との間に、順に直列接続されている。そして、スイッチング素子 Q_{u4} と Q_{u3} の接続点と、スイッチング素子 Q_{x1} と Q_{x2} の接続点との間に、ダイオード D_{u3} と D_{x1} とが、順に直列接続されている。また、スイッチング素子 Q_{u3} と Q_{u2} の接続点と、スイッチング素子 Q_{x2} と Q_{x3} の接続点との間に、ダイオード D_{u2} と D_{x2} とが、順に直列接続されている。さらに、スイッチング素子 Q_{u2} と Q_{u1} の接続点と、スイッチング素子 Q_{x3} と Q_{x4} の接続点との間に、ダイオード D_{u1} と D_{x3} とが、順に直列接続されている。

そして、ダイオード D_{u3} と D_{x1} の接続点は、入力端子 A_1 に接続されている。ダイオード D_{u2} と D_{x2} の接続点は、入力端子 C に接続されてい

る。ダイオード D_{u1} と D_{x3} の接続点は、入力端子 $B1$ に接続されている。また、スイッチング素子 Q_{u1} と Q_{x1} の接続点は、出力端子 U に接続されている。

[0021] 交流電源 4 は、双方向スイッチ $S0$ を介して、直流電源 1 の出力端子 O とハーフブリッジ回路 2 の出力端子 U との間に接続される。交流電源 4 は、直流電源 1 の出力端子 O の電位を基準に、交流電圧 V_i を出力する。交流電圧 V_i は、直流電源 1 の正側最大電圧 $+2E$ [V] と負側最大電圧 $-2E$ [V] との間で変化する正弦波電圧である。

[0022] 負荷 3 は、直流電源 1 の出力端子 O とハーフブリッジ回路 2 の出力端子 U との間に接続される。したがって、負荷 3 には、直流電源 1 から出力される 5 レベルの直流電圧と交流電源 4 の電圧 V_i のうち、いずれかの電圧が印加される。

[0023] 直流電源 1 の各単位直流電源の電圧は、電圧検出器 $6-1$, $6-2$, $7-1$, $7-2$ で検出されて、制御回路 5 に入力される。また、交流電源 4 の電圧 V_i は、電圧検出器 8 で検出されて、制御回路 5 に入力される。

[0024] ここで、ハーフブリッジ回路 2 を構成するスイッチング素子は、IGBT (Insulated Gate Bipolar Transistor) である。しかし、スイッチング素子は、IGBT に限られず、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) など、交流電源 4 の周波数に対して十分に高い周波数でオンオフ動作ができる半導体素子であれば良い。

また、双方向スイッチ $S0$ は、IGBT を逆並列に接続して構成されており、双方向の導通を制御することができるスイッチである。この双方向スイッチの構成は図 2 (a) に示されている。しかし、双方向スイッチ $S0$ は図 2 (a) に示す構成に限られず、図 2 (b) ~ 図 2 (d) に示す構成からなる回路など、双方向の導通を制御することができるスイッチであればよい。図 2 (b) は、IGBT とダイオードとを直列接続した 2 組の回路を逆並列に接続した回路である。図 2 (c) は、IGBT にダイオードを逆並列に接続した 2 組の回路を逆直列に接続して構成した回路である。図 2 (d) は、

図2(c)の回路において、IGBTをMOSFETに置き換えて構成した回路である。

[0025] 各スイッチング素子には、 $1E$ [V] の電圧が印加される。したがって、各スイッチング素子は、 $1E$ [V] 以上の耐圧を有する半導体素子であれば良い。双方向スイッチS0には、最大で、直流電源1の正側直流電源または負側直流電源の電圧 $2E$ [V] と交流電源4の電圧 V_i [V] とを加算した電圧が印加される。したがって、双方向スイッチS0は、各スイッチング素子よりも高い耐電圧を有する必要がある。双方向スイッチS0は、炭化ケイ素または窒化ガリウムを材料とするワイドバンドギャップ半導体で構成するのが良い。ワイドバンドギャップ半導体は、シリコンを材料とする半導体よりも耐圧が高いという特徴を有する。

[0026] 制御回路5は、スイッチング素子 $Q_{u1} \sim Q_{u4}$, $Q_{x1} \sim Q_{x4}$ それぞれをオンオフさせるための制御信号 $G_{u1} \sim G_{u4}$, $G_{x1} \sim G_{x4}$ を生成する。また、制御回路5は、双方向スイッチS0をオンオフさせるための制御信号 G_{s0} を生成する。双方向スイッチS0は、前述のとおり、2つのスイッチング素子で構成されている。したがって、双方向スイッチS0の制御信号 G_{s0} は、2つの制御信号からなる。

[0027] この電力変換装置は、双方向スイッチS0を介して、交流電源1の電圧 V_i を出力端子Uに出力することができる点に特徴を有している。以下、この電力変換装置の動作を説明する。

図3は、制御回路5を説明するための制御ブロック図である。制御回路5は、あらかじめ定められたスイッチング周期ごとに、ハーフブリッジ回路2の各スイッチング素子および双方スイッチS0をオンオフ動作させるための制御信号を生成する。各素子の制御信号は、電力変換装置の出力電圧指令 V_o^* と直流電源1の各出力端子から出力される5レベルの直流電圧および交流電源4の電圧 V_i とに基づいて生成される。

[0028] 出力電圧指令生成手段51は、出力電圧指令 V_o^* を生成する。出力電圧指令 V_o^* は、出力電圧選択手段52と制御モード判定手段53とに、入力

される。また、電圧検出器 6-1, 6-2, 7-1, 7-2 で検出された直流電源 1 の各単位直流電源の電圧と、電圧検出器 8 で検出された交流電源 4 の電圧 V_i とが、出力電圧選択手段 5 2 に入力される。出力電圧選択手段 5 2 は、直流電源 1 の各単位直流電源の電圧から、直流電源 1 の各出力端子から出力される 5 レベルの直流電圧を算出する。以下では、直流電源 1 から出力される 5 レベルの直流電圧と交流電源 4 の電圧 V_i とからなる電圧群を、第 1 グループの電圧という。

[0029] 出力電圧選択手段 5 2 は、第 1 グループの電圧と出力電圧指令 V_o^* とに基づいて、第 1 の電圧 V_1 と第 2 の電圧 V_2 とを選択する。出力電圧選択手段 5 2 は、併せて、第 1 の電圧 V_1 と第 2 の電圧 V_2 の出力時間 t_1 、 t_2 とを算出する。第 1 の電圧 V_1 は、第 1 グループに含まれる電圧のうち、出力電圧指令 V_o^* 以上であって、かつ出力電圧指令 V_o^* に最も近い電圧である。第 2 の電圧 V_2 は、第 1 グループに含まれる電圧のうち、出力電圧指令 V_o^* 以下であって、かつ出力電圧指令 V_o^* に最も近い電圧である。第 1 の電圧の出力時間 t_1 は、スイッチング周期を T_s [s] として、 $t_1 = T_s \times (V_o^* - V_i) / (2E - V_i)$ で算出する。第 2 の電圧の出力時間 t_2 は、 $t_2 = T_s - t_1$ で算出することができる。ここで、 $(V_o^* - V_i) / (2E - V_i)$ は、パルス幅変調制御における変調率に相当する。

[0030] 制御モード判定手段 5 3 は、出力電圧選択手段 5 2 から出力される第 1 の電圧 V_1 と第 2 の電圧 V_2 とに基づいて、電力変換装置の制御モード δ を判定する。制御信号生成手段 5 4 は、制御モード判定手段 5 3 から出力される制御モード δ と、出力電圧選択手段 5 2 から出力される第 1 と第 2 の電圧 V_1 、 V_2 およびこれらの出力時間 t_1 、 t_2 とから、スイッチング素子 $Q_{u1} \sim Q_{u4}$ 、 $Q_{x1} \sim Q_{x4}$ および双方向スイッチ S_0 をオンオフするための制御信号 $G_{u1} \sim G_{u4}$ 、 $G_{x1} \sim G_{x4}$ および G_{s0} を生成する。

[0031] ハーフブリッジ回路 2 および双方向スイッチ S_0 は、制御信号生成手段 5 4 から出力される制御信号に基づいて動作する。この動作により、電力変換装置から、スイッチング周期ごとに、時間幅 t_1 の第 1 の電圧と時間幅 t_2

の第2の電圧とが交互に出力される。電力変換装置から出力される電圧 V_o のスイッチング周期ごとの平均値は、そのスイッチング周期における出力電圧指令 V_o^* に等しい。

[0032] 図4は、制御モード δ と電力変換装置の動作の関係を説明するための図である。この電力変換装置は、図12に示す制御モード1～5に加えて、制御モード0を有している。制御モード1は、出力端子Uに $+2E[V]$ を出力する制御モードである。制御モード1では、スイッチング素子 $Q_{u1} \sim Q_{u4}$ がオンし、スイッチング素子 $Q_{x1} \sim Q_{x4}$ および双方向スイッチ S_0 がオフする。制御モード2は、出力端子Uに $+1E[V]$ を出力する制御モードである。制御モード2では、スイッチング素子 $Q_{u1} \sim Q_{u3}$ 、 Q_{x1} がオンし、スイッチング素子 Q_{u4} 、 $Q_{x2} \sim Q_{x4}$ および双方向スイッチ S_0 がオフする。制御モード3は、出力端子Uに $0[V]$ を出力する制御モードである。制御モード3では、スイッチング素子 Q_{u1} 、 Q_{u2} 、 Q_{x1} 、 Q_{x2} がオンし、スイッチング素子 Q_{u3} 、 Q_{u4} 、 Q_{x3} 、 Q_{x4} および双方向スイッチ S_0 がオフする。制御モード4は、出力端子Uに $-1E[V]$ を出力する制御モードである。制御モード4では、スイッチング素子 Q_{u1} 、 Q_{x1} 、 Q_{x2} 、 Q_{x3} がオンし、スイッチング素子 $Q_{u2} \sim Q_{u4}$ 、 Q_{x4} および双方向スイッチ S_0 がオフする。制御モード5は、出力端子Uに $-2E[V]$ を出力する制御モードである。制御モード5では、スイッチング素子 $Q_{x1} \sim Q_{x4}$ がオンし、スイッチング素子 $Q_{u1} \sim Q_{u4}$ および双方向スイッチ S_0 がオフする。制御モード0は、出力端子Uに交流電源4の電圧 V_i を出力するモードである。制御モード0では、双方向スイッチ S_0 がオンし、すべてのスイッチング素子がオフする。

[0033] 電力変換装置から出力される電圧 V_o と、第1グループの電圧および出力電圧指令 V_o^* との関係の一例を、図5～図7を用いて説明する。図5は、スイッチング周期 T_{90} における、出力電圧指令 V_o^* と交流電源4の電圧 V_i との関係を示している。スイッチング周期 T_{90} は、出力電圧指令 V_o^* が正側の最大値となる位相（ $90[度]$ 付近の位相）にあるスイッチング

周期である。

出力電圧指令 V_o^* は、交流電源 4 の電圧 V_i に同期し、交流電源 4 の電圧 V_i よりも高い電圧を出力するための正弦波状の電圧指令である。スイッチング周期 T_{90} において、出力電圧指令 V_o^* と交流電源 4 の電圧 V_i とは、共に、直流電源 1 の出力端子 P 1 から出力される電圧 $+1E$ [V] と出力端子 P 2 から出力される電圧 $+2E$ [V] との間にある。この場合、スイッチング周期 T_{90} における出力電圧 V_o の詳細は、図 6 のようになる。

[0034] この場合、制御回路 5 は、第 1 グループの電圧のうち出力電圧指令 V_o^* 以上であって、かつ出力電圧指令 V_o^* に最も近い電圧 $+2E$ [V] を、第 1 の電圧として選択する。 $+2E$ [V] の電圧を出力する制御モードは、制御モード 1 である。また、制御回路 5 は、第 1 グループの電圧のうち出力電圧指令 V_o^* 以下であって、かつ出力電圧指令 V_o^* に最も近い交流電源 1 の電圧 V_i を、第 2 の電圧として選択する。交流電源 1 の電圧 V_i を出力する制御モードは、制御モード 0 である。そして、制御回路 5 は、スイッチング素子 $Q_{u1} \sim Q_{u4}$ を t_1 の時間オンさせ、スイッチング素子 $Q_{x1} \sim Q_{x4}$ および双方向スイッチ S_0 を t_1 の時間オフさせるための、各素子の制御信号を生成する。さらに、制御回路 5 は、双方向スイッチ S_0 を t_2 の時間オンさせ、スイッチング素子 $Q_{u1} \sim Q_{u4}$ およびスイッチング素子 $Q_{x1} \sim Q_{x4}$ を t_2 の時間オフさせるための、各素子の制御信号を生成する。

[0035] すなわち、出力電圧指令 V_o^* と交流電源 4 の電圧 V_i とが、図 5 に示した関係にある場合、ハーフブリッジ回路 2 は、スイッチング周期 T_{90} において、制御モード 1 と制御モード 0 の組合せで動作する。ハーフブリッジ回路 2 が制御モード 1 と制御モード 0 の組合せで動作すると、出力端子 U には、図 6 に示すように、第 1 の電圧 V_1 と第 2 の電圧 V_2 とからなる電圧 V_o が出力される。

[0036] 上記では、スイッチング周期 T_{90} を例にとって説明したが、この電力変換装置は、すべてのスイッチング周期において、同様に動作する。その結果、出力端子 U には、基本波電圧が出力電圧指令 V_o^* に対応する交流電圧 V

oが出力される。

[0037] この電力変換装置では、多くのスイッチング周期で、交流電源4の電圧 V_i が、第1の電圧または第2の電圧として選択される。交流電源4の電圧 V_i が第1の電圧または第2の電圧として選択されると、スイッチング周期内における出力電圧 V_o の変化幅は、単位直流電源の電圧 E [V] よりも小さくなる。一方、図11に示したハーフブリッジ回路2のみで動作する電力変換装置の出力電圧の変化幅は、単位直流電源の E [V] に固定される。したがって、本実施形態の電力変換装置は、ハーフブリッジ回路2のみで動作する電力変換装置に比べて、出力電圧 V_o の波形ひずみを低減することができる。

[0038] また、交流電源4の電圧 V_i を出力する制御モードは、図4に示すとおり、制御モード0である。制御モード0では、双方向スイッチ S_0 のみがオンし、すべてのスイッチング素子はオフしている。したがって、直流電源1から負荷3に流れる電流によって導通損失を発生させる素子は、双方向スイッチ S_0 のみとなる。一方、図11に示したハーフブリッジ回路2のみで動作する電力変換装置では、常に、3素子もしくは4素子で導通損失が発生する。したがって、制御モード0を有する本実施形態の電力変換装置は、ハーフブリッジ回路2のみで動作する電力変換装置に比べて、導通損失を低減することができる。

[0039] 次に、図7を参照して、制御モード0Aの動作を説明する。制御モード0Aは、交流電源4の電圧 V_i が $(V_o^* - \Delta V)$ と $(V_o^* + \Delta V)$ の間にあるとき、交流電源1の電圧 V_i を出力端子Uに出力する制御モードである。 ΔV の値は、例えば、出力電圧指令 V_o^* の定格電圧値の5%に設定する。制御モード0Aでは、制御モード0と同様、双方向スイッチ S_0 がオンし、すべてのスイッチング素子がオフする。

[0040] 制御回路5は、スイッチング周期がどの制御モードに該当するかを判断するに際し、まず、スイッチング周期が制御モード0Aに該当するか否かを判断する。交流電源4の電圧 V_i が $(V_o^* - \Delta V)$ と $(V_o^* + \Delta V)$ の間

にあるとき、そのスイッチング周期は、制御モード $0A$ に該当する。このとき、制御回路 5 は、制御モードを $0A$ に設定する。そして、制御モード $0A$ のとき、制御回路 5 は、双方向スイッチ $S0$ を双方向にオン（導通）させるとともに、すべてのスイッチング素子をオフさせるための制御信号を生成する。

一方、スイッチング周期が制御モード $0A$ の条件を満たさない場合、制御回路 5 は、スイッチング周期が制御モード $0 \sim 5$ のいずれであるかを判断する。そして、制御回路 5 は、制御モードを $0 \sim 5$ のいずれかに設定する。この場合、スイッチング周期においてオンおよびオフする素子は、図 4 に示すとおりである。

[0041] 制御モード $0A$ では、出力電流が流れる素子を双方向スイッチ $S0$ のみである。この電力変換装置は、制御モード $0A$ を設けることにより、双方向スイッチ $S0$ のみがオンとなるスイッチング周期を大幅に増やすことができる。したがって、この電力変換装置は、制御モード $0 \sim 5$ のうちの 2 つの制御モードを組み合わせ、ハーフブリッジ回路 2 を動作させる場合に比べて、素子の導通損失を、さらに低減することができる。なお、電力変換装置が制御モード $0A$ で動作する場合、スイッチング素子および双方向スイッチは、スイッチング損失を発生しない。

[0042] 交流電圧 V_i の正側最大値が単位直流電源 P_{sp2} の両端から出力される電圧の間にあり、負側最大値が単位直流電源 P_{sn2} の両端から出力される電圧の間にある場合に、上述した電力変換装置の効果がより有効に発揮される。

[0043] 上述した実施形態は図 1 に示したハーフブリッジ回路 2 から負荷 3 に相電圧 V_o を出力する電力変換装置であるが、このハーフブリッジ回路 2 を 2 組用いて単相の電力変換装置を構成しても、同様の効果を得ることができる。また、図 1 に示した電力変換装置を複数組用いて三相の電力変換装置を構成しても、同様の効果を得ることができる。この場合、一部の構成要素を共通の構成要素として、電力変換装置を構成してもよい。

[0044] 次に、図8は、 $(2n+1)$ レベル(n は2以上の整数)の直流電圧と直流電源4の電圧 V_i とを選択的に出力可能な電力変換装置の実施形態を説明するための図である。図8において、11は直流電源、21はハーフブリッジ回路である。51は、ハーフブリッジ回路21および双方向スイッチ S_0 の制御信号を生成するための制御回路である。図8に示した電力変換装置の構成において、図1に示した電力変換装置の構成要素と同じ構成要素には、同じ符号を付している。図1に示した電力変換装置の構成要素と同じ符号を付した構成要素の詳細説明は、省略する。

[0045] 直流電源11は、図1に示した5レベルの電圧を出力する直流電源1を、 $(2n+1)$ レベルの電圧を出力する直流電源に拡張した構成となっている。すなわち、直流電源11の正側直流電源と負側直流電源とは、それぞれ n 個の単位直流電源を直列接続してなる直流電源である。正側直流電源と負側直流電源の接続点は、直流電源11の中間電位点である。直流電源11の中間電位点は、出力端子Oに接続されて、ゼロ電圧を出力する。正側直流電源は、単位直流電源 $P_{sp1}, P_{sp2}, \dots, P_{sp(n-1)}, P_{sp(n)}$ を、中間電位点から順に直列接続して構成されている。負側直流電源は、直流電源 $P_{sn1}, P_{sn2}, \dots, P_{sn(n-1)}, P_{sn(n)}$ を、中間電位点から順に直列接続して構成されている。各単位直流電源の端子間電圧は、 $E[V]$ である。

[0046] 直流電源11は、出力端子 $P(n), P(n-1), \dots, P2, P1, O, N1, N2, \dots, N(n-1), N(n)$ を備えている。出力端子Oは、直流電源11の中間電圧であるゼロ電圧 $0[V]$ を出力する。出力端子 $P1, P2, \dots, P(n-1), P(n)$ は、順に、 $+1E[V], +2E[V], \dots, +(n-1)E[V], +nE[V]$ の電圧を出力する。出力端子 $N1, N2, \dots, N(n-1), N(n)$ は、順に、 $-1E[V], -2E[V], \dots, -(n-1)E[V], -nE[V]$ の電圧を出力する。

[0047] ハーフブリッジ回路21は、図1に示した5レベルの直流電圧を入力する

ハーフブリッジ回路 2 を、 $(2n+1)$ レベルの直流電圧を入力するハーフブリッジ回路に拡張した構成となっている。ハーフブリッジ回路 2 1 は、入力端子 $A(n)$, $A(n-1)$, $\dots$, A_2 , A_1 , C , B_1 , B_2 , $\dots$, $B(n-1)$, $B(n)$ を備える。また、ハーフブリッジ回路 2 1 は、出力端子 U を備える。ハーフブリッジ回路 2 1 の回路構成は、図 1 に示したハーフブリッジ回路 2 を拡張した回路構成であるので、その詳細説明は、省略する。

[0048] ハーフブリッジ回路 2 1 の各入力端子は、直流電源 1 1 の対応する出力端子 $P(n)$, $P(n-1)$, $\dots$, P_2 , P_1 , O , N_1 , N_2 , $\dots$, $N(n-1)$, $N(n)$ に接続される。したがって、ハーフブリッジ回路 2 1 の入力端子 $A(n)$, $A(n-1)$, $\dots$, A_2 , A_1 , C , B_1 , B_2 , $\dots$, $B(n-1)$, $B(n)$ には、順に、 $+(n)E[V]$, $+(n-1)E[V]$, $\dots$, $+2E[V]$, $+1E[V]$, $0[V]$, $-1E[V]$, $-2E[V]$, $\dots$, $-(n-1)E[V]$, $-(n)E[V]$ の電圧が入力される。

[0049] 交流電源 4 は、双方向スイッチ S_0 を介して、直流電源 1 1 の出力端子 O とハーフブリッジ回路 2 1 の出力端子 U との間に接続される。交流電源 4 は、直流電源 1 1 の出力端子 O の電位を基準に、交流電圧 V_i を出力する。交流電圧 V_i は、直流電源 1 1 の正側最大電圧 $+(n)E[V]$ と負側最大電圧 $-(n)E[V]$ との間で変化する正弦波電圧である。

[0050] スイッチング素子は、印加される電圧が $1E[V]$ であるため、 $1E[V]$ 以上の耐圧を有する半導体素子であれば良い。双方向スイッチ S_0 には、最大で、直流電源 1 1 の正側直流電源または負側直流電源の電圧 $(n)E[V]$ と交流電源 4 の電圧 $V_i[V]$ とを加算した電圧が印加される。したがって、双方向スイッチ S_0 は、各スイッチング素子よりも高い耐電圧を有する必要がある。双方向スイッチ S_0 は、炭化ケイ素または窒化ガリウムを材料とするワイドバンドギャップ半導体で構成するのが良い。

[0051] 負荷 3 は、直流電源 1 1 の出力端子 O とハーフブリッジ回路 2 1 の出力端

子 U との間に接続される。したがって、負荷 3 には、直流電源 11 から出力される $(2n+1)$ レベルの直流電圧と交流電源 4 の電圧 V_i のうち、いずれかの電圧が印加される。

[0052] 直流電源 11 の各単位直流電源の電圧は、電圧検出器 $6-1, \dots, 6-n, 7-1, \dots, 7-n$ で検出されて、制御回路 51 に入力される。また、交流電源 4 の電圧 V_i は、電圧検出器 8 で検出されて、制御回路 51 に入力される。以下では、直流電源 11 から出力される $(2n+1)$ レベルの直流電圧と交流電源 4 の電圧 V_i とからなる電圧群を、第 2 グループの電圧という。

[0053] 制御回路 51 は、スイッチング素子 $Q_{u1} \sim Q_{u(2n)}, Q_{x1} \sim Q_{x(2n)}$ それぞれをオンオフさせるための制御信号 $G_{u1} \sim G_{u(2n)}, G_{x1} \sim G_{x(2n)}$ を生成する。また、制御回路 51 は、双方向スイッチ S_0 をオンオフさせるための制御信号 G_{s0} を生成する。双方向スイッチ S_0 の制御信号 G_{s0} は、前述のとおり、 2 つの制御信号からなる。

[0054] 制御回路 51 は、図 1 に示した制御回路 5 と同様の論理で動作する。すなわち、制御回路 51 は、各スイッチング周期において、出力電圧指令 V_o^* に基づいて、第 2 グループの電圧の中から第 1 の電圧と第 2 の電圧を選択する。すなわち、制御回路 51 は、第 2 グループに含まれる電圧のうち、出力電圧指令 V_o^* 以上であって、かつ出力電圧指令 V_o^* に最も近い電圧を第 1 の電圧として選択する。また、制御回路 51 は、第 2 グループに含まれる電圧のうち、出力電圧指令 V_o^* 以下であって、かつ出力電圧指令 V_o^* に最も近い電圧を第 2 の電圧として選択する。制御回路 51 は、さらに、第 1 の電圧の出力時間 t_1 と第 2 の電圧の出力時間 t_2 とを算出する。

[0055] この電力変換装置は、制御モードとして、制御モード $1 \sim (2n+1), 0, 0A$ を有している。制御回路 51 は、上記制御モードの中から、第 1 の電圧を出力するための制御モードと第 2 の電圧を出力するための制御モードとを決定する。そして、制御回路 51 は、決定した制御モードおよび第 1 と第 2 の電圧の出力時間 t_1, t_2 に基づいて、各スイッチング周期内にお

る各スイッチング素子および双方向スイッチ S_0 をオンオフさせるための制御信号を生成する。

[0056] 第1の電圧と第2の電圧とは、各スイッチング周期において、上記制御信号に基づいて交互に出力される。その結果、出力端子 U には、基本波電圧が出力電圧指令 V_o^* に対応する交流電圧 V_o が出力される。

[0057] この電力変換装置では、スイッチング周期の多くで、交流電源4の電圧 V_i が、第1の電圧または第2の電圧として選択される。交流電源4の電圧 V_i が第1の電圧または第2の電圧として選択されると、スイッチング周期内における出力電圧 V_o の変化幅は、単位直流電源の電圧 E [V] よりも小さくなる。一方、ハーフブリッジ回路21の出力電圧の変化幅は、単位直流電源の E [V] に固定される。したがって、本実施形態の電力変換装置は、ハーフブリッジ回路21のみで動作する電力変換装置に比べて、出力電圧 V_o の波形ひずみを低減することができる。

[0058] また、第1の電圧または第2の電圧が交流電源4の電圧 V_i となる制御モード0では、双方向スイッチ S_0 のみがオンし、すべてのスイッチング素子はオフしている。したがって、制御モード0では、直流電源11から負荷3に流れる電流によって導通損失を発生させる素子は、双方向スイッチ S_0 のみとなる。一方、ハーフブリッジ回路21のみで動作する電力変換装置では、常に、3以上の素子で導通損失が発生する。したがって、制御モード0を有する本実施形態の電力変換装置は、ハーフブリッジ回路21のみで動作する電力変換装置に比べて、導通損失を低減することができる。

[0059] また、この電力変換装置において、制御モード0Aは、他の制御モードに優先して設定される。そして、制御モード0Aでは、出力電流が流れる素子を双方向スイッチ S_0 のみにすることができる。したがって、この電力変換装置は、制御モード0～(2n+1)のいずれかの制御モードを組み合わせで動作する電力変換装置に比べて、素子の導通損失を、さらに低減することができる。なお、電力変換装置が制御モード0Aで動作する場合、スイッチング素子および双方向スイッチにおいて、スイッチング損失は発生しない。

[0060] 交流電圧 V_i の正側最大値が単位直流電源 $P_{sp}(n)$ の両端から出力される電圧の間にあり、負側最大値が単位直流電源 $P_{sn}(n)$ の両端から出力される電圧の間にある場合に、上述した電力変換装置の効果がより有効に発揮される。

[0061] 上述した実施形態は図 8 に示したハーフブリッジ回路 21 から負荷 3 に相電圧 V_o を出力する電力変換装置であるが、このハーフブリッジ回路 21 を 2 組用いて单相の電力変換装置を構成しても、同様の効果を得ることができる。また、図 8 に示した電力変換装置を複数組用いて三相の電力変換装置を構成しても、同様の効果を得ることができる。この場合、一部の構成要素を共通の構成要素として、電力変換装置を構成してもよい。

[0062] 次に、図 9 は、図 1 に示したハーフブリッジ回路 2 を他の回路構成からなるハーフブリッジ回路 22 に置き換えた電力変換装置の実施形態を説明するための図である。ハーフブリッジ回路 22 および双方向スイッチ S_0 の制御信号は、制御回路 52 で生成される。図 9 に示した電力変換装置の構成において、図 1 に示した電力変換装置の構成要素と同じ構成要素には同じ符号を付している。図 1 に示した電力変換装置の構成要素と同じ符号を付した構成要素の詳細説明は、省略する。

[0063] 交流電源 4 は、双方向スイッチ S_0 を介して、直流電源 1 の出力端子 O とハーフブリッジ回路 22 の出力端子 U との間に接続される。交流電源 4 は、直流電源 1 の出力端子 O の電位を基準に、交流電圧 V_i を出力する。交流電圧 V_i は、直流電源 1 の正側最大電圧 $+2E$ [V] と負側最大電圧 $-2E$ [V] との間で変化する正弦波電圧である。

[0064] 負荷 3 は、直流電源 1 の出力端子 O とハーフブリッジ回路 22 の出力端子 U との間に接続される。したがって、負荷 3 には、直流電源 1 から出力される 5 レベルの直流電圧と交流電源 4 の電圧 V_i のうち、いずれかの電圧が選択的に印加される。

以下では、図 1 に示した電力変換装置と同様、直流電源 1 から出力される 5 レベルの直流電圧と交流電源 4 の電圧 V_i とからなる電圧群を、第 1 グル

ープの電圧という。

[0065] ハーフブリッジ回路22は、スイッチング素子 Q_{u1} 、 Q_{u2} 、 Q_{x1} 、 Q_{x2} および双方向スイッチ S_{u1} 、 S_c 、 S_{x1} で構成されている。ハーフブリッジ回路22の入力端子A2とB2の間に、それぞれダイオードを逆並列に接続したスイッチング素子 Q_{u2} 、 Q_{u1} 、 Q_{x1} 、 Q_{x2} が、順に直列接続されている。そして、スイッチング素子 Q_{u2} と Q_{u1} の接続点と、入力端子A1との間に、双方向スイッチ S_{u1} が接続されている。出力端子Uと入力端子Cとの間に、双方向スイッチ S_c が接続されている。スイッチング素子 Q_{x1} と Q_{x2} の接続点と、入力端子B1との間に、双方向スイッチ S_{x1} が接続されている。

[0066] 各スイッチング素子には、 $1E[V]$ の電圧が印加される。したがって、各スイッチング素子は、 $1E[V]$ 以上の耐圧を有する半導体素子であれば良い。双方向スイッチ S_{u1} 、 S_c 、 S_{x1} は、双方向スイッチ S_0 と同様の回路構成をとっている。双方向スイッチ S_{u1} 、 S_{x1} には、 $1E[V]$ の電圧が印加される。したがって、双方向スイッチ S_{u1} 、 S_{x1} は、スイッチング素子と同程度の耐圧を有する半導体素子で構成すれば良い。

双方向スイッチ S_c には、最大 $2E[V]$ の電圧が印加される。したがって、双方向スイッチ S_c は、 $2E[V]$ 以上の耐圧を有する半導体素子で構成する必要がある。また、双方向スイッチ S_0 には、最大で、直流電源1の正側直流電源または負側直流電源の電圧 $2E[V]$ と交流電源の電圧 V_i とを加算した電圧が印加される。したがって、双方向スイッチ S_0 、 S_c は、炭化ケイ素または窒化ガリウムを材料とするワイドバンドギャップ半導体で構成するのが良い。

[0067] 制御回路52は、スイッチング素子 Q_{u1} 、 Q_{u2} 、 Q_{x1} 、 Q_{x2} および双方向スイッチ S_{u1} 、 S_c 、 S_{x1} それぞれをオンオフさせるための制御信号 G_{u1} 、 G_{u2} 、 G_{x1} 、 G_{x2} および G_{su1} 、 G_{sc} 、 G_{sx1} を生成する。また、制御回路52は、双方向スイッチ S_0 をオンオフさせるための制御信号 G_{s0} を生成する。双方向スイッチ S_0 の制御信号 G_{s0} は

、前述のとおり、２つの制御信号からなる。

[0068] 制御回路５２は、図１に示した制御回路５と同様の論理で動作する。すなわち、制御回路５２は、各スイッチング周期において、出力電圧指令 V_o^* に基づいて、第１グループの電圧の中から第１の電圧と第２の電圧とを選択する。すなわち、制御回路５２は、第１グループに含まれる電圧のうち、出力電圧指令 V_o^* 以上であって、かつ出力電圧指令 V_o^* に最も近い電圧を第１の電圧として選択する。また、制御回路５２は、第１グループに含まれる電圧のうち、出力電圧指令 V_o^* 以下であって、かつ出力電圧指令 V_o^* に最も近い電圧を第２の電圧として選択する。制御回路５２は、さらに、第１の電圧の出力時間 t_1 と第２の電圧の出力時間 t_2 とを算出する。

[0069] この電力変換装置は、図１に示した電力変換装置と同様に、制御モード１～５，０，０Ａを有する。制御回路５２は、上記制御モードの中から、第１の電圧を出力するための制御モードと第２の電圧を出力するための制御モードとを決定する。そして、制御回路５２は、決定した制御モードと第１と第２の電圧の出力時間 t_1 ， t_2 に基づいて、各スイッチング周期内における各スイッチング素子および各双方向スイッチをオンオフさせるための制御信号を生成する。

[0070] 第１の電圧と第２の電圧とは、各スイッチング周期において、上記制御信号に基づいて交互に出力される。その結果、出力端子Ｕには、基本波電圧が出力電圧指令 V_o^* に対応する交流電圧 V_o が出力される。

[0071] この電力変換装置では、スイッチング周期の多くで、交流電源４の電圧 V_i が、第１の電圧または第２の電圧として選択される。交流電源４の電圧 V_i が第１の電圧または第２の電圧として選択されると、スイッチング周期内における出力電圧 V_o の変化幅は、単位直流電源の電圧 E 〔Ｖ〕よりも小さくなる。一方、ハーフブリッジ回路２２の出力電圧の変化幅は、単位直流電源の E 〔Ｖ〕に固定される。したがって、本実施形態の電力変換装置は、ハーフブリッジ回路２２のみで動作する電力変換装置に比べて、出力電圧 V_o の波形ひずみを低減することができる。

[0072] また、第1の電圧または第2の電圧が交流電源4の電圧 V_i となる制御モード0では、双方向スイッチ S_0 のみがオンし、すべてのスイッチング素子および他の双方向スイッチはオフしている。したがって、制御モード0では、直流電源1から負荷3に流れる電流によって導通損失を発生させる素子は、双方向スイッチ S_0 のみとなる。一方、ハーフブリッジ回路22のみで動作する電力変換装置では、双方向スイッチ S_c をオンさせることによりゼロ電圧を出力する制御モード3以外の制御モードでは、2素子で導通損失が発生する。したがって、制御モード0を有する本実施形態の電力変換装置は、ハーフブリッジ回路22のみで動作する電力変換装置に比べて、導通損失を低減することができる。

[0073] また、この電力変換装置において、制御モード0Aは、他の制御モードに優先して設定される。そして、制御モード0Aでは、出力電流が流れる素子を双方向スイッチ S_0 のみにすることができる。したがって、制御モード0～5のいずれかの制御モードで動作する電力変換装置に比べて、素子の導通損失を、さらに低減することができる。なお、この場合、スイッチング素子および双方向スイッチにおいて、スイッチング損失は発生しない。

[0074] 交流電圧 V_i の正側最大値が単位直流電源 P_{sp2} の両端から出力される電圧の間にあり、負側最大値が単位直流電源 P_{sn2} の両端から出力される電圧の間にある場合に、上述した電力変換装置の効果がより有効に発揮される。

[0075] 上述した実施形態は図9に示したハーフブリッジ回路22から負荷3に相電圧 V_o を出力する電力変換装置であるが、このハーフブリッジ回路22を2組用いて单相の電力変換装置を構成しても、同様の効果を得ることができる。また、図9に示した電力変換装置を複数組用いて三相の電力変換装置を構成しても、同様の効果を得ることができる。この場合、一部の構成要素を共通の構成要素として、電力変換装置を構成してもよい。

[0076] 次に、図10は、 $(2n+1)$ レベル(n は2以上の整数)の直流電圧と直流電源4の電圧 V_i とを選択的に出力可能な電力変換装置の他の実施形態

を説明するための図である。図 10 において、11 は直流電源、23 はハーフブリッジ回路である。53 は、ハーフブリッジ回路 23 および双方向スイッチ S0 の制御信号を生成するための制御回路である。図 10 に示した電力変換装置の構成において、図 8 および図 9 に示した電力変換装置と同じ構成要素には同じ符号を付している。図 8 および図 9 に示した電力変換装置の構成要素と同じ符号を付した構成要素の詳細説明は、省略する。

[0077] ハーフブリッジ回路 23 は、入力端子 A (n), A (n-1), ..., A1, C, B1, ..., B (n-1), B (n) および出力端子 U を備える。ハーフブリッジ回路 23 の各入力端子は、直流電源 11 の対応する出力端子 P (n), P (n-1), ..., P1, O, N1, ..., N (n-1), N (n) に接続される。したがって、ハーフブリッジ回路 23 の入力端子 A (n), A (n-1), ..., A1, C, B1, ..., B (n-1), B (n) には、順に、+ (n) E [V], + (n-1) E [V], ..., +1 E [V], 0 [V], -1 E [V], ..., - (n-1) E [V], - (n) [V] の電圧が入力される。

[0078] ハーフブリッジ回路 23 は、図 10 から明らかなように、図 9 に示した 5 レベルのハーフブリッジ回路 22 を、(2n+1) レベルに拡張したハーフブリッジ回路である。ハーフブリッジ回路 23 の構成の詳細説明は、省略する。

[0079] 交流電源 4 は、双方向スイッチ S0 を介して、直流電源 11 の出力端子 O とハーフブリッジ回路 23 の出力端子 U との間に接続される。交流電源 4 は、直流電源 11 の出力端子 O の電位を基準に、交流電圧 Vi を出力する。交流電圧 Vi は、直流電源 11 の正側最大電圧 + (n) E [V] と負側最大電圧 - (n-1) E [V] との間で変化する正弦波電圧である。

[0080] 各スイッチング素子には、1 E [V] の電圧が印加される。したがって、各スイッチング素子は、1 E [V] 以上の耐圧を有する半導体素子であれば良い。双方向スイッチ Su1 ~ Su (n-1), Sc, Sx1 ~ Sx (n-1) は、双方向スイッチ S0 と同様の回路構成をとっている。双方向スイッ

チ $S_{u1} \sim S_{u(n-1)}$, $S_{x1} \sim S_{x(n-1)}$ には、 $1E [V]$ の電圧が印加される。したがって、双方向スイッチ $S_{u1} \sim S_{u(n-1)}$, $S_{x1} \sim S_{x(n-1)}$ は、スイッチング素子と同程度の耐圧を有する半導体素子で構成すれば良い。

双方向スイッチ S_c には、最大 $(n)E [V]$ の電圧が印加される。したがって、双方向スイッチ S_c は、 $(n)E [V]$ 以上の耐圧を有する半導体素子で構成する必要がある。また、双方向スイッチ S_0 には、最大で、直流電源 11 の正側直流電源または負側直流電源の電圧 $(n)E [V]$ と交流電源の電圧 V_i とを加算した電圧が印加される。したがって、双方向スイッチ S_0 , S_c は、炭化ケイ素または窒化ガリウムを材料とするワイドバンドギャップ半導体で構成するのが良い。

[0081] 負荷 3 は、直流電源 11 の出力端子 O とハーフブリッジ回路 23 の出力端子 U との間に接続される。したがって、負荷 3 には、直流電源 11 から出力される $(2n+1)$ レベルの直流電圧と交流電源 4 の電圧 V_i のうち、いずれかの電圧が印加される。

以下では、図 8 に示した電力変換装置と同様、直流電源 11 から出力される $(2n+1)$ レベルの直流電圧と交流電源 4 の電圧 V_i とからなる電圧群を、第 2 グループの電圧という。

[0082] 制御回路 53 は、スイッチング素子 $Q_{u1} \sim Q_{un}$, $Q_{x1} \sim Q_{xn}$ および双方向スイッチ $S_{u1} \sim S_{u(n-1)}$, S_c , $S_{x1} \sim S_{x(n-1)}$ それぞれをオンオフさせるための制御信号 $G_{u1} \sim G_{un}$, $G_{x1} \sim G_{xn}$ および $G_{su1} \sim G_{su(n-1)}$, G_{sc} , $G_{sx1} \sim G_{sx(n-1)}$ を生成する。また、制御回路 53 は、双方向スイッチ S_0 をオンオフさせるための制御信号 G_{s0} を生成する。双方向スイッチ S_0 の制御信号 G_{s0} は、前述のとおり、2 つの制御信号からなる。

[0083] 制御回路 53 は、図 8 に示した制御回路 51 と同様の論理で動作する。すなわち、制御回路 53 は、各スイッチング周期において、出力電圧指令 V_o^* に基づいて、第 2 グループの電圧の中から第 1 の電圧と第 2 の電圧を選択

する。すなわち、制御回路 53 は、第 2 グループに含まれる電圧のうち、出力電圧指令 V_o^* 以上であって、かつ出力電圧指令 V_o^* に最も近い電圧を第 1 の電圧として選択する。また、制御回路 53 は、第 2 グループに含まれる電圧のうち、出力電圧指令 V_o^* 以下であって、かつ出力電圧指令 V_o^* に最も近い電圧を第 2 の電圧として選択する。制御回路 53 は、さらに、第 1 の電圧の出力時間 t_1 と第 2 の電圧の出力時間 t_2 を算出する。

[0084] この電力変換装置は、制御モードとして、制御モード 1 ~ (2n + 1), 0, 0A を有する。制御回路 53 は、上記制御モードの中から、第 1 の電圧を出力するための制御モードと第 2 の電圧を出力するための制御モードを決定する。そして、制御回路 53 は、決定した制御モードと第 1 と第 2 の電圧出力時間 t_1 , t_2 に基づいて、各スイッチング周期内における各スイッチング素子および各双方向スイッチをオンオフさせるための制御信号を生成する。

[0085] 第 1 の電圧と第 2 の電圧とは、各スイッチング周期において、上記制御信号に基づいて交互に出力される。その結果、出力端子 U には、基本波電圧が出力電圧指令 V_o^* に対応する交流電圧 V_o が出力される。

[0086] この電力変換装置では、スイッチング周期の多くで、交流電源 4 の電圧 V_i が、第 1 の電圧または第 2 の電圧として選択される。交流電源 4 の電圧 V_i が第 1 の電圧または第 2 の電圧として選択されると、スイッチング周期内における出力電圧 V_o の変化幅は、単位直流電源の電圧 E [V] よりも小さくなる。一方、ハーフブリッジ回路 23 の出力電圧の変化幅は、単位直流電源の E [V] に固定される。したがって、本実施形態の電力変換装置は、ハーフブリッジ回路 23 のみで動作する電力変換装置に比べて、出力電圧 V_o の波形ひずみを低減することができる。

[0087] また、第 1 の電圧または第 2 の電圧が交流電源 4 の電圧 V_i となる制御モード 0 では、双方向スイッチ S_0 のみがオンし、すべてのスイッチング素子および他の双方向スイッチはオフしている。したがって、出力電流が流れることによって導通損失を発生させる素子は、双方向スイッチ S_0 のみとなる。

。一方、ハーフブリッジ回路23のみで動作する電力変換装置では、双方向スイッチ S_c をオンさせることによりゼロ電圧を出力する制御モード以外の制御モードでは、常に、2以上の素子で導通損失が発生する。したがって、制御モード0を有する本実施形態の電力変換装置は、ハーフブリッジ回路23のみで動作する電力変換装置に比べて、導通損失を低減することができる。

[0088] また、この電力変換装置において、制御モード0Aは、他の制御モードに優先して設定される。そして、制御モード0Aでは、出力電流が流れる素子を双方向スイッチ S_0 のみにすることができる。したがって、制御モード0～(2n+1)のいずれかの制御モードを組み合わせで動作する電力変換装置に比べて、素子の導通損失を、さらに低減することができる。なお、この場合、スイッチング素子および双方向スイッチにおいて、スイッチング損失は発生しない。

[0089] 交流電圧 V_i の正側最大値が単位直流電源 $P_{sp}(n)$ の両端から出力される電圧の間にあり、負側最大値が単位直流電源 $P_{sn}(n)$ の両端から出力される電圧の間にある場合に、上述した電力変換装置の効果がより有効に発揮される。

[0090] 上述した実施形態は図10に示したハーフブリッジ回路23から負荷3に相電圧 V_o を出力する電力変換装置であるが、このハーフブリッジ回路23を2組用いて单相の電力変換装置を構成しても、同様の効果を得ることができる。また、図10に示した電力変換装置を複数組用いて三相の電力変換装置を構成しても、同様の効果を得ることができる。この場合、一部の構成要素を共通の構成要素として、電力変換装置を構成してもよい。

産業上の利用可能性

[0091] 本発明は、瞬時電圧低下補償装置または無停電電源装置など、交流電源の電圧変動および交流電源の停電が発生しても、負荷に安定な電圧を供給するための装置に適用することができる。

符号の説明

- [0092] 1, 1 1 直流電源
2, 2 1 ~ 2 3 ハーフブリッジ回路
3 負荷
4 交流電源
5, 5 1 ~ 5 3 制御回路

請求の範囲

- [請求項1] (2n+1)レベル(nは2以上の整数)の直流電圧を出力するための(2n+1)個の出力端子を有する直流電源と、
前記直流電源の中間電位端子に一端が接続される交流電源と、
(2n+1)個の入力端子と一つの出力端子とを有し、前記直流電源から出力される(2n+1)レベルの直流電圧を、対応する前記(2n+1)個の入力端子に入力するハーフブリッジ回路と、
前記交流電源の他端と前記ハーフブリッジ回路の前記出力端子との間に接続される双方向スイッチと、
を備えたことを特徴とする電力変換装置。
- [請求項2] 前記双方向スイッチは、前記ハーフブリッジ回路を構成する半導体素子よりも高い耐電圧を有していることを特徴とする請求項1に記載の電力変換装置。
- [請求項3] 前記双方向スイッチは、炭化ケイ素または窒化ガリウムのいずれか一方を材料とするワイドバンドギャップ半導体で構成されていることを特徴とする請求項1に記載の電力変換装置。
- [請求項4] 前記直流電源は、
単位電圧を出力する単位直流電源を中間電位端子側から順にn個直列接続してなる正側直流電源と、
前記中間電位端子側から順にn個直列接続してなる負側直流電源と、
を直列接続して構成されており、
前記(2n+1)レベルの直流電圧は、
前記中間電位端子から出力されるゼロ電圧と、
前記正側直流電源から出力されるnレベルの正側直流電圧と、
前記負側直流電源から出力されるnレベルの負側直流電圧と、
からなることを特徴とする請求項1に記載の電力変換装置。
- [請求項5] 前記交流電源から出力される正弦波電圧の振幅は、前記正側直流電

源と前記負側直流電源とが出力する電圧の最大値よりも小さいことを特徴とする請求項 4 に記載の電力変換装置。

[請求項6] 前記交流電源から出力される正弦波電圧の正側最大値は、前記正側直流電圧を構成する n 番目の単位直流電源の両端から出力される電圧の間にあり、

前記交流電源から出力される正弦波電圧の負側最大値は、前記負側直流電圧を構成する n 番目の単位直流電源の両端から出力される電圧の間にあり、

ことを特徴とする請求項 4 に記載の電力変換装置。

[請求項7] 請求項 4 に記載の電力変換装置を複数組用いて構成されていることを特徴とする三相の電力変換装置。

[請求項8] あらかじめ定められたスイッチング周期ごとに、前記 $(2n + 1)$ レベルの直流電圧および前記交流電源の電圧の中から、出力電圧指令に基づいて選択した第 1 の電圧と第 2 の電圧とを、前記出力端子に交互に出力することを特徴とする請求項 1 に記載の電力変換装置。

[請求項9] 前記第 1 の電圧は、前記 $(2n + 1)$ レベルの直流電圧および前記交流電源の電圧のうち、前記出力電圧指令以上であって、かつ前記出力電圧指令に最も近い電圧であり、

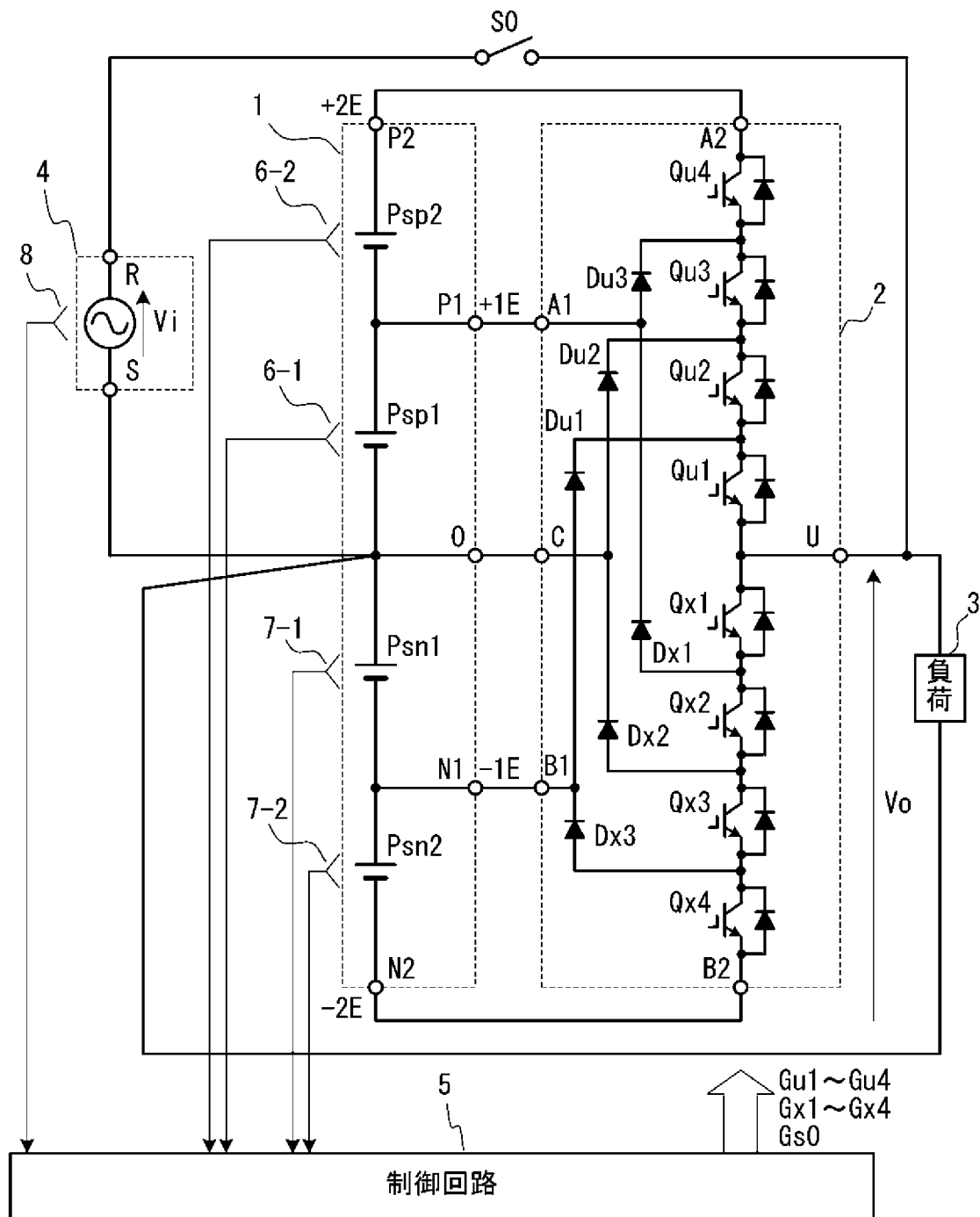
前記第 2 の電圧は、前記 $(2n + 1)$ レベルの直流電圧および前記交流電源の電圧のうち、前記出力電圧指令以下であって、かつ前記出力電圧指令に最も近い電圧である、

ことを特徴とする請求項 8 に記載の電力変換装置。

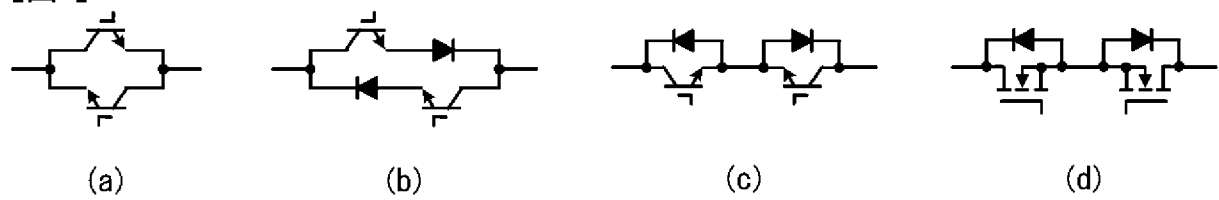
[請求項10] 請求項 9 に記載の電力変換装置を複数組用いて構成されていることを特徴とする三相の電力変換装置。

[請求項11] 前記第 1 の電圧と第 2 の電圧のうち、いずれか一方の電圧は、前記交流電源の電圧であることを特徴とする請求項 9 または請求項 10 のいずれかに記載の電力変換装置。

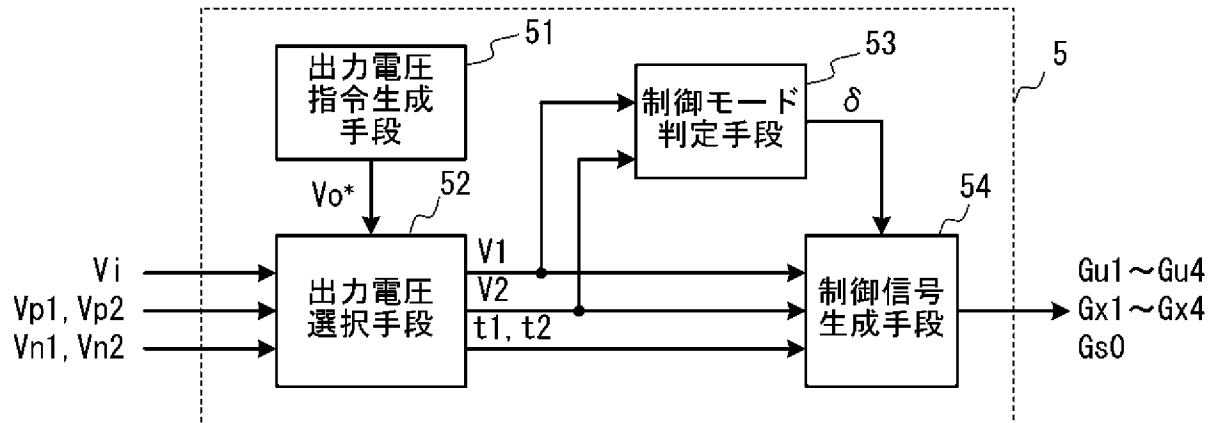
[図1]



[図2]



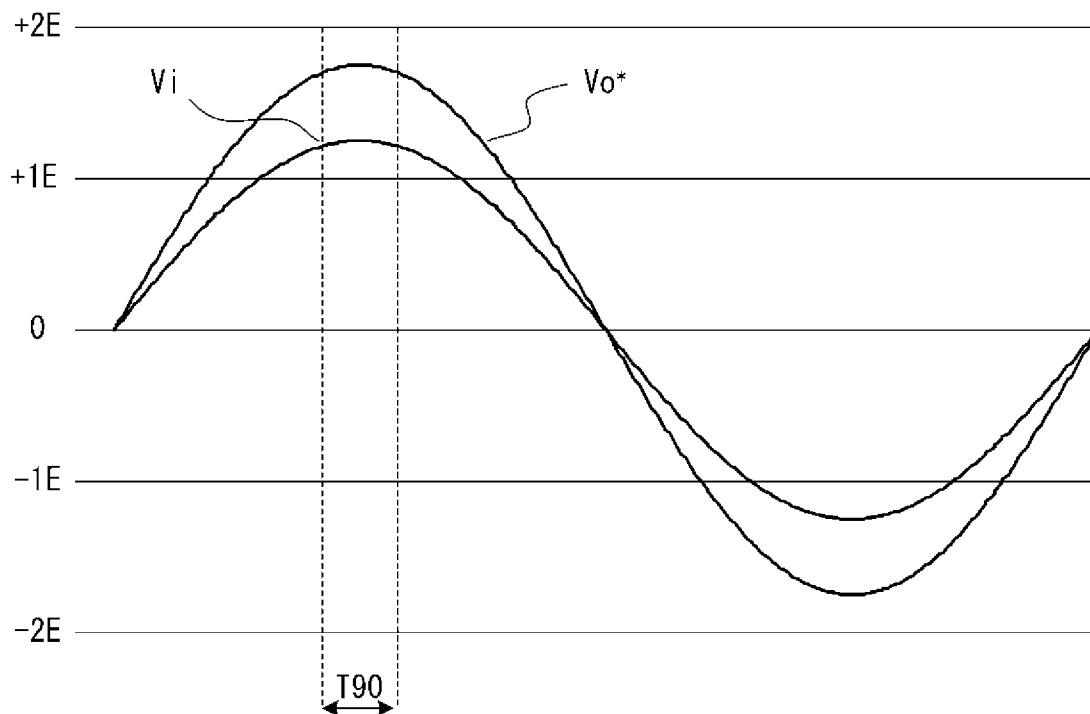
[図3]



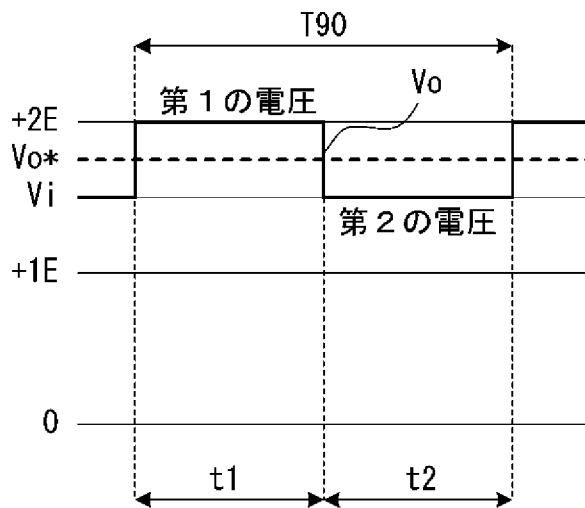
[図4]

制御モード	出力電圧	オンする素子	オフする素子
1	+2E	Qu1, Qu2, Qu3, Qu4	S0, Qx1, Qx2, Qx3, Qx4
2	+1E	Qu1, Qu2, Qu3, Qx1	S0, Qu4, Qx2, Qx3, Qx4
3	0	Qu1, Qu2, Qx1, Qx2	S0, Qu3, Qu4, Qx3, Qx4
4	-1E	Qu1, Qx1, Qx2, Qx3	S0, Qu2, Qu3, Qu4, Qx4
5	-2E	Qx1, Qx2, Qx3, Qx4	S0, Qu1, Qu2, Qu3, Qu4
0	V_i	S0	Qu1, Qu2, Qu3, Qu4, Qx1, Qx2, Qx3, Qx4
0A	V_i	S0	Qu1, Qu2, Qu3, Qu4, Qx1, Qx2, Qx3, Qx4

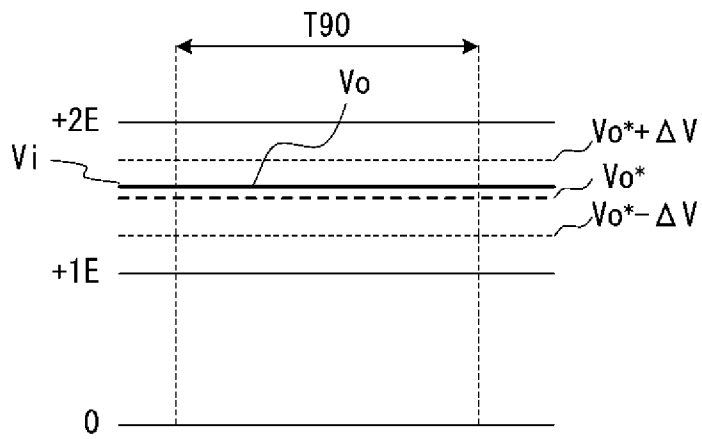
[図5]



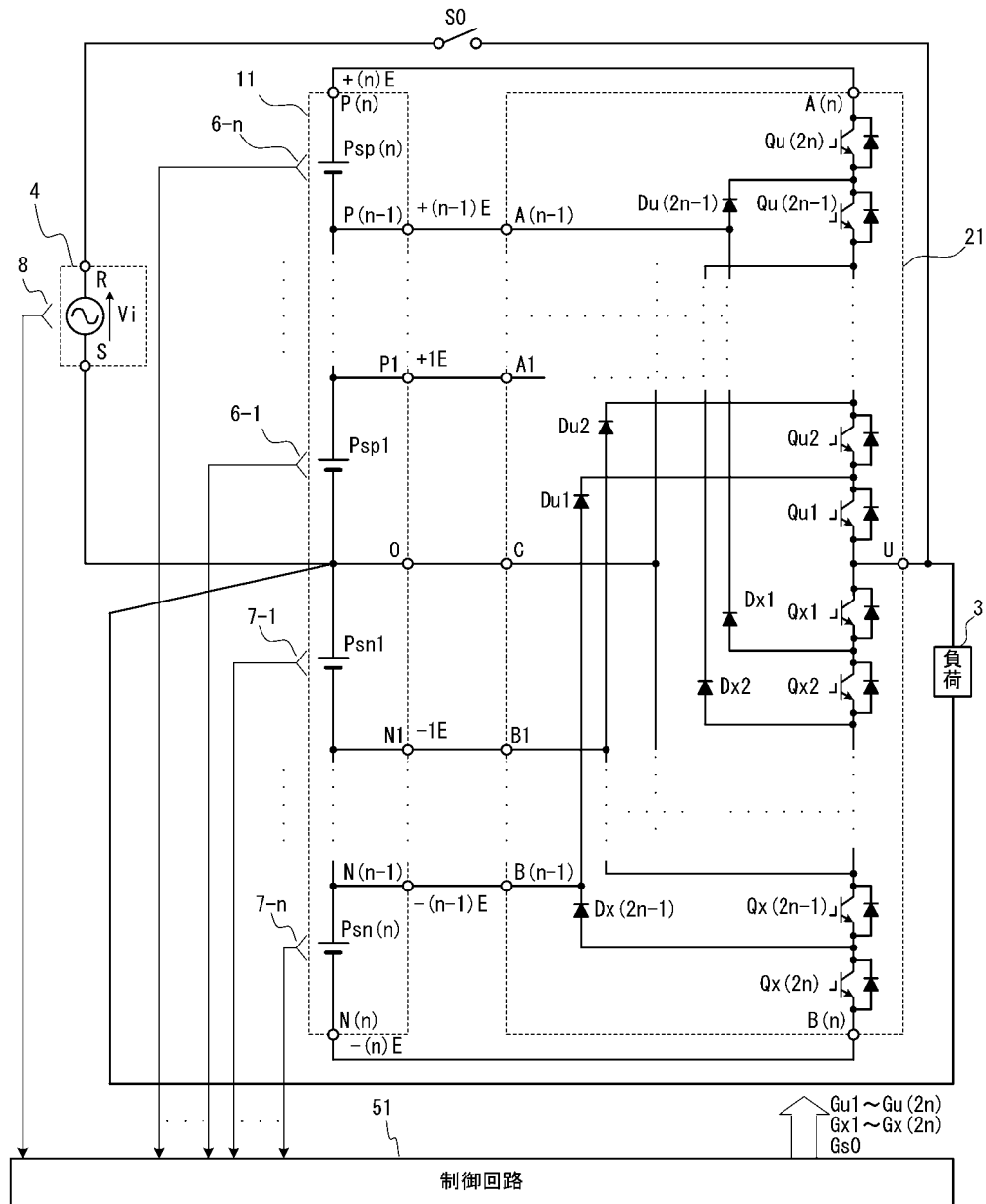
[図6]



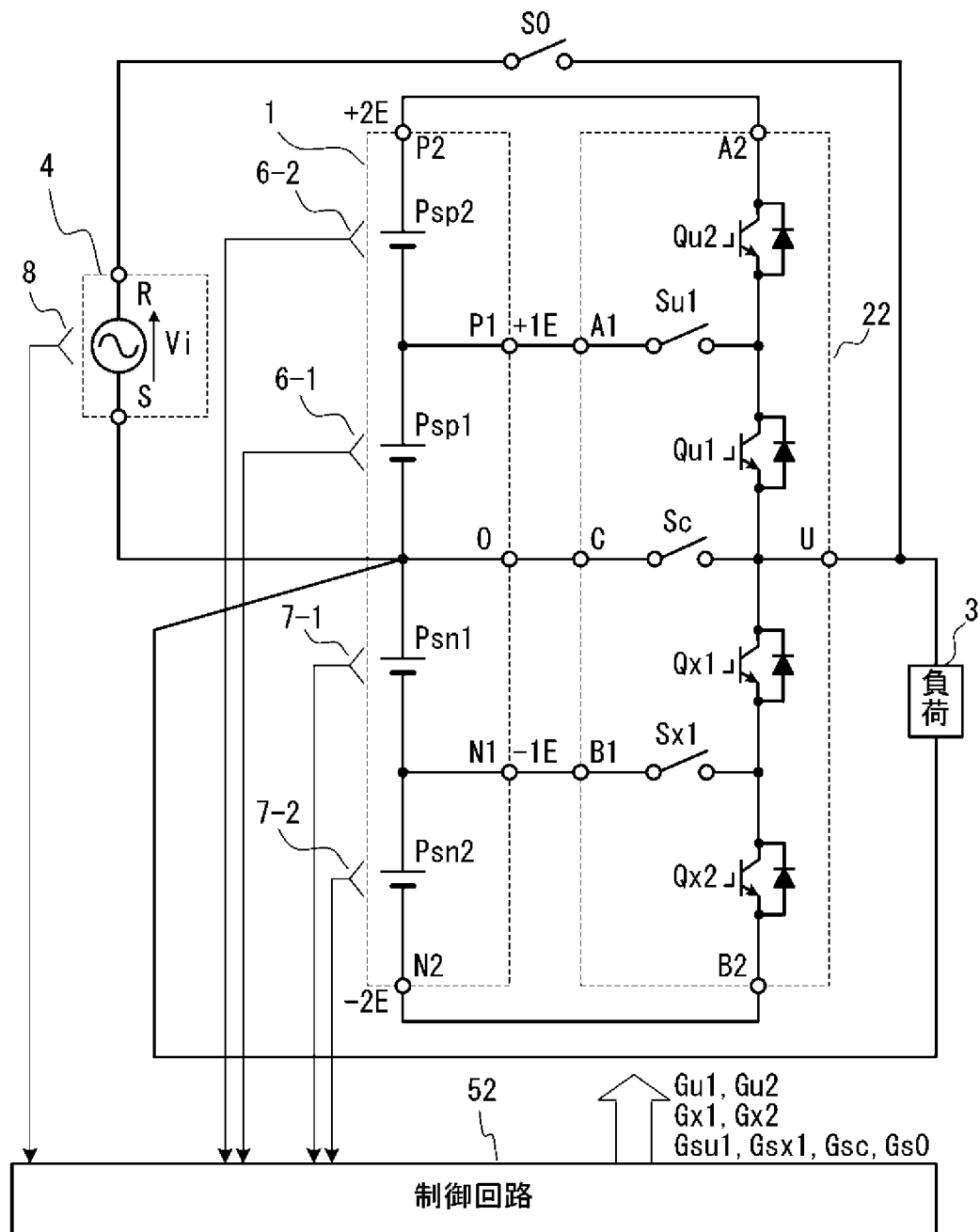
[図7]



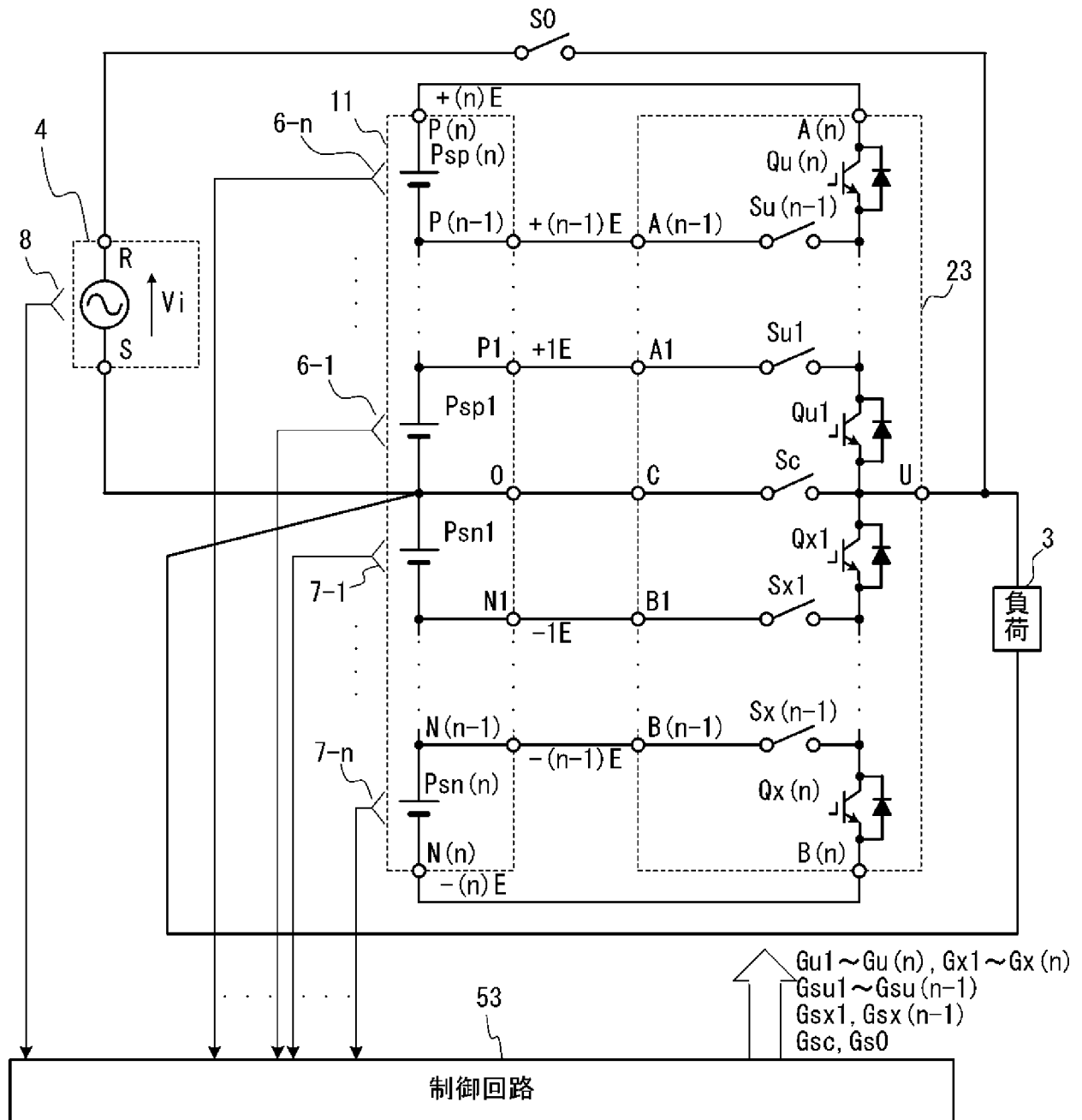
[図8]



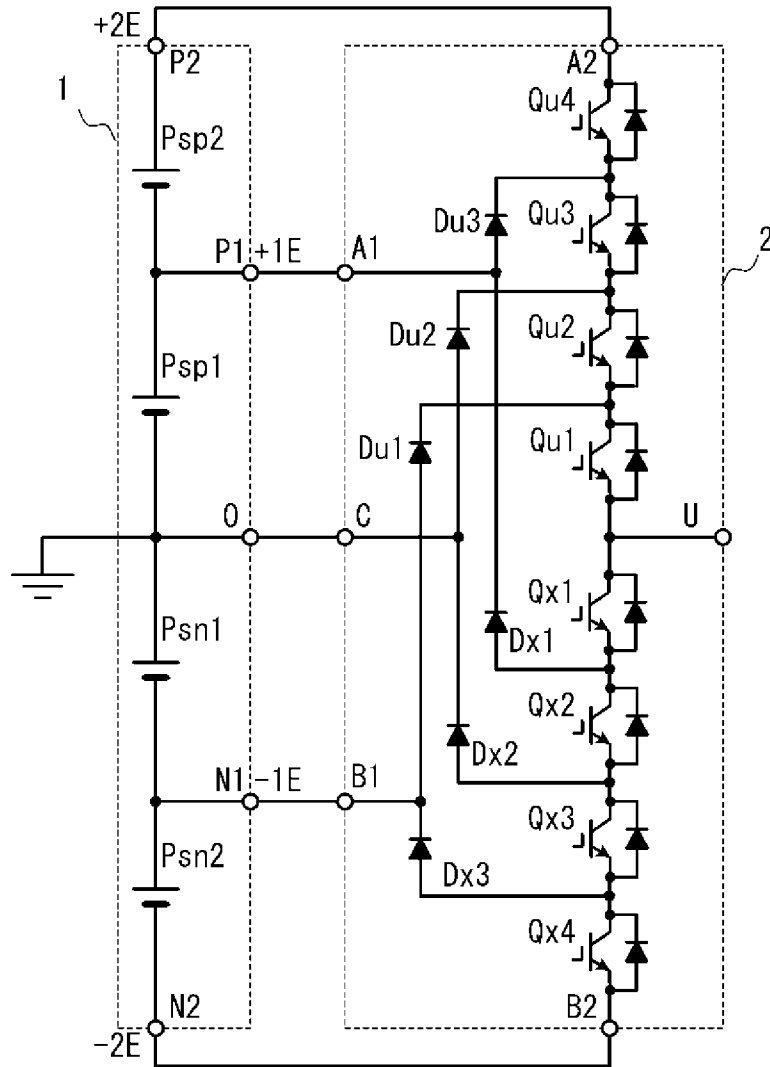
[図9]



[図10]



[図11]



[図12]

制御モード	出力電圧	オンする スイッチング素子	オフする スイッチング素子
1	+2E	Qu1, Qu2, Qu3, Qu4	Qx1, Qx2, Qx3, Qx4
2	+1E	Qu1, Qu2, Qu3, Qx1	Qu4, Qx2, Qx3, Qx4
3	0	Qu1, Qu2, Qx1, Qx2	Qu3, Qu4, Qx3, Qx4
4	-1E	Qu1, Qx1, Qx2, Qx3	Qu2, Qu3, Qu4, Qx4
5	-2E	Qx1, Qx2, Qx3, Qx4	Qu1, Qu2, Qu3, Qu4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/003149

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48(2007.01)i, H02J3/38(2006.01)i, H02J9/06(2006.01)i, H02M7/487(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48, H02J3/38, H02J9/06, H02M7/487

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-120407 A (Toshiba Mitsubishi-Electric Industrial Systems Corp.), 21 June 2012 (21.06.2012), paragraphs [0013] to [0098] (Family: none)	1-5, 7-11 6
Y	JP 2012-253981 A (Fuji Electric Co., Ltd.), 20 December 2012 (20.12.2012), paragraphs [0012] to [0029]; fig. 1 (Family: none)	1-5, 7-11
Y	JP 2012-222968 A (Panasonic Corp.), 12 November 2012 (12.11.2012), paragraph [0012] (Family: none)	2-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 August, 2013 (05.08.13)

Date of mailing of the international search report
13 August, 2013 (13.08.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/003149

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-165539 A (Mitsubishi Electric Corp.), 30 August 2012 (30.08.2012), paragraph [0023] (Family: none)	2-3

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M7/48(2007.01)i, H02J3/38(2006.01)i, H02J9/06(2006.01)i, H02M7/487(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M7/48, H02J3/38, H02J9/06, H02M7/487

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-120407 A（東芝三菱電機産業システム株式会社）	1-5, 7-11
A	2012.06.21, [0013]-[0098]（ファミリーなし）	6
Y	JP 2012-253981 A（富士電機株式会社）2012.12.20, [0012]-[0029], 図1（ファミリーなし）	1-5, 7-11
Y	JP 2012-222968 A（パナソニック株式会社）2012.11.12, [0012]（フ ァミリーなし）	2-3
Y	JP 2012-165539 A（三菱電機株式会社）2012.08.30, [0023]（ファ ミリーなし）	2-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 8 . 2 0 1 3

国際調査報告の発送日

1 3 . 0 8 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松本 泰典

3 V

3 3 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8