



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I517159 B

(45)公告日：中華民國 105 (2016) 年 01 月 11 日

(21)申請案號：099138189

(22)申請日：中華民國 99 (2010) 年 11 月 05 日

(51)Int. Cl. : G11C16/06 (2006.01)

H01L27/115 (2006.01)

(30)優先權：2009/11/06 日本

2009-255448

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 小山潤 KOYAMA, JUN (JP) ; 加藤清
KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 7139214B2

US 7170792B2

US 7608531B2

US 2008/0093595A1

審查人員：蔡明宏

申請專利範圍項數：15 項 圖式數：34 共 132 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

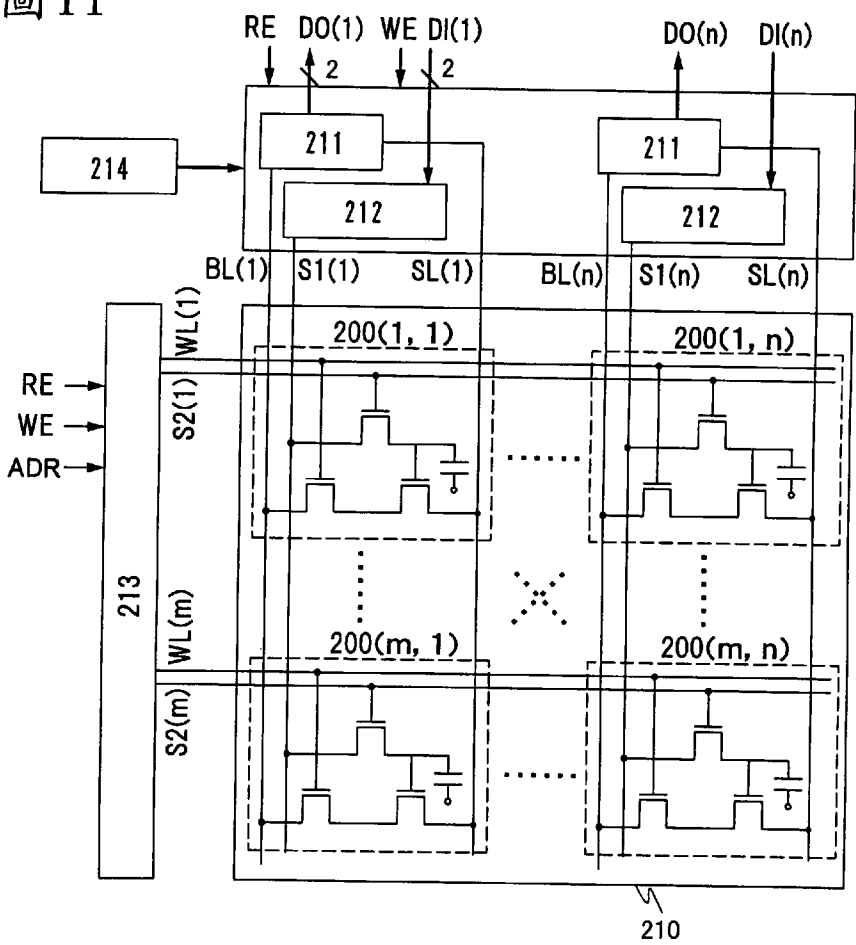
(57)摘要

本發明之一目標為提供具有新穎結構之半導體裝置。該半導體裝置包括第一佈線；第二佈線；第三佈線；第四佈線；第一電晶體，包括第一閘極電極、第一源極電極及第一汲極電極；第二電晶體，包括第二閘極電極、第二源極電極及第二汲極電極。第一電晶體係提供於包括半導體材料之基板上，及第二電晶體包括氧化物半導體層。

An object is to provide a semiconductor device having a novel structure. A first wiring; a second wiring; a third wiring, a fourth wiring; a first transistor including a first gate electrode, a first source electrode, and a first drain electrode; a second transistor including a second gate electrode, a second source electrode, and a second drain electrode are included. The first transistor is provided over a substrate including a semiconductor material and a second transistor includes an oxide semiconductor layer.

指定代表圖：

圖11



符號簡單說明：

- 200 . . . 記憶格
- 210 . . . 記憶格陣列
- 211 . . . 讀取電路
- 212 . . . 信號線驅動電路
- 213 . . . 驅動電路
- 214 . . . 電位產生電路
- WL(1)、WL(m) . . . 字組線
- S1(1)、S1(n) . . . 第一信號線
- S2(1)、S2(m) . . . 第二信號線
- BL(1)至 BL(n) . . . 位元線
- SL(1)至 SL(n) . . . 源極線
- 200(1,1)、200(1,n)、200(m,1)、200(m,n) . . . 記憶格

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099138189

※申請日：099 年 11 月 05 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

G11C 11/06
H01L 27/115
2006.01
2006.01

二、中文發明摘要：

本發明之一目標為提供具有新穎結構之半導體裝置。該半導體裝置包括第一佈線；第二佈線；第三佈線；第四佈線；第一電晶體，包括第一閘極電極、第一源極電極及第一汲極電極；第二電晶體，包括第二閘極電極、第二源極電極及第二汲極電極。第一電晶體係提供於包括半導體材料之基板上，及第二電晶體包括氧化物半導體層。

三、英文發明摘要：

An object is to provide a semiconductor device having a novel structure. A first wiring; a second wiring; a third wiring, a fourth wiring; a first transistor including a first gate electrode, a first source electrode, and a first drain electrode; a second transistor including a second gate electrode, a second source electrode, and a second drain electrode are included. The first transistor is provided over a substrate including a semiconductor material and a second transistor includes an oxide semiconductor layer.

四、指定代表圖：

(一) 本案指定代表圖為：第 11 圖。

(二) 本代表圖之元件符號簡單說明：

200：記憶格

210：記憶格陣列

211：讀取電路

212：信號線驅動電路

213：驅動電路

214：電位產生電路

WL (1) 、 WL (m) ：字組線

S1 (1) 、 S1 (n) ：第一信號線

S2 (1) 、 S2 (m) ：第二信號線

BL (1) 至 BL (n) ：位元線

SL (1) 至 SL (n) ：源極線

200(1, 1)、200(1,n)、200(m,1)、200(m, n)：記憶格

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於使用半導體元件之半導體裝置，及其製造方法。

【先前技術】

使用半導體元件之記憶體裝置概分為揮發性記憶體裝置，當電力供應停止時其儲存內容便流失，及非揮發性記憶體裝置，當電力供應停止時可保持其儲存內容。

有關揮發性記憶體裝置之典型範例，提供動態隨機存取記憶體（DRAM）。在DRAM中，記憶體元件中所包括之電晶體是選擇的，且電荷累積於電容器中，使得以儲存資料。

由於上述原理，當DRAM中之資料讀出時，電容器中電荷流失；因而，需再次執行寫入，使得於讀取資料之後再次儲存資料。此外，記憶體元件中所包括之電晶體中存在洩漏電流，且儲存於電容器中電荷流動，或即使電晶體未被選擇，電荷仍流入電容器，藉此資料保持期間短。因此，需以預定週期再次執行寫入（刷新作業），且其難以充分降低電力消耗。此外，由於當電力未供應予DRAM時，記憶內容流失，長期儲存記憶需要使用磁性材料或光學材料的其他記憶體裝置。

有關揮發性記憶體裝置之另一範例，提供靜態隨機存取記憶體（SRAM）。在SRAM中，使用諸如正反器之電

路保持儲存內容，使得不需要刷新作業。鑑於這一點，SRAM較DRAM更有利。然而，存在一問題其中因為使用諸如正反器之電路，每一儲存容量之成本變高。此外，鑑於當未供應電力時儲存內容流失之點，SRAM便未優於DRAM。

有關非揮發性記憶體裝置之典型範例，提供快閃記憶體。快閃記憶體包括電晶體中閘極電極與通道形成區之間的浮動閘極。快閃記憶體藉由將電荷保持於浮動閘極中而儲存記憶，使得資料保持期間極長（半永久），因而具有不需揮發性記憶體裝置中必要之刷新作業的優點（例如，詳專利文獻1）。

然而，在快閃記憶體中存在一問題，因為記憶體元件中所包括之閘極絕緣層因執行寫入時發生之隧道電流而惡化，記憶體元件在執行預定次數之寫入後無法作用。為減輕此問題之影響，例如使用等量化記憶體元件之寫入作業次數的方法。然而，需要複雜的週邊電路以體現此方法。即使使用該方法，並未解決基本的使用壽命問題。即，快閃記憶體不適用於高度頻繁的資料寫入。

此外，保持浮動閘極中電荷或移除浮動閘極中電荷需要高電壓。此外，保持或移除電荷需要極長時間，且無法輕易提升寫入及擦除之速度。

[參考]

[專利文獻]

[專利文獻 1]日本公開專利申請案 No. S57-105889

【發明內容】

鑑於上述問題，本發明之實施例之目標為提供一種半導體裝置，其具有新穎結構，可在未供應電力之狀態保持儲存內容，及對於寫入次數無限制。

本發明之實施例為一種半導體裝置，具有包括使用氧化物半導體之電晶體與使用氧化物半導體以外材料之電晶體的堆疊。例如，半導體裝置可使用下列結構。

本發明之實施例為一種半導體裝置，包括：源極線；位元線；第一信號線；複數第二信號線；複數字線；源極線與位元線之間彼此並聯之複數記憶格；用於第二信號線及輸入位址信號之字線的驅動電路，其驅動複數第二信號線及複數字線，使得從複數記憶格選擇藉由位址信號指定之記憶格；用於第一信號線之驅動電路，其選擇及輸出任一複數寫入電位至第一信號線；讀取電路，被輸入位元線電位及複數參考電位，及比較位元線電位與複數參考電位以讀出資料；及電位產生電路，產生及供應複數寫入電位及複數參考電位予用於第一信號線之驅動電路及讀取電路。複數記憶格之一包括：第一電晶體，包括第一閘極電極、第一源極電極及第一汲極電極；第二電晶體，包括第二閘極電極、第二源極電極及第二汲極電極；及第三電晶體，包括第三閘極電極、第三源極電極及第三汲極電極。第一電晶體係提供於包括

半導體材料之基板上。第二電晶體包括氧化物半導體層。第一閘極電極與第二源極電極及第二汲極電極之一彼此電性連接。源極線與第一源極電極彼此電性連接。第一汲極電極與第三源極電極彼此電性連接。位元線與第三汲極電極彼此電性連接。第一信號線與第二源極電極及第二汲極電極之另一彼此電性連接。複數第二信號線之一與第二閘極電極彼此電性連接。複數字線之一與第三閘極電極彼此電性連接。

此外，在上述結構中，半導體裝置進一步包括電容器，其電性連接第一閘極電極與第二源極電極及第二汲極電極之一。

本發明之實施例為一種半導體裝置，包括：源極線；位元線；第一信號線；複數第二信號線；複數字線；源極線與位元線之間彼此並聯之複數記憶格；用於第二信號線及輸入位址信號之字線的驅動電路，其驅動複數第二信號線及複數字線，使得從複數記憶格選擇藉由位址信號指定之記憶格；用於第一信號線之驅動電路，其選擇及輸出一複數寫入電位至第一信號線；讀取電路，被輸入位元線電位及複數參考電位，其包括參考記憶格及比較指定記憶格之傳導性與參考記憶格之傳導性以讀出資料；及電位產生電路，產生及供應複數寫入電位及複數參考電位予用於第一信號線之驅動電路及讀取電路。複數記憶格之一包括：第一電晶體，包括第一閘極電極、第一源極電極及第一汲極電極；第二電晶體，包括第二閘極電極、第二源極電

極及第二汲極電極；及第三電晶體，包括第三閘極電極、第三源極電極及第三汲極電極。第一電晶體係提供於包括半導體材料之基板上。第二電晶體包括氧化物半導體層。第一閘極電極與第二源極電極及第二汲極電極之一彼此電性連接。源極線與第一源極電極彼此電性連接。第一汲極電極與第三源極電極彼此電性連接。位元線與第三汲極電極彼此電性連接。第一信號線與第二源極電極及第二汲極電極之另一彼此電性連接。複數第二信號線之一與第二閘極電極彼此電性連接。複數字線之一與第三閘極電極彼此電性連接。

本發明之實施例為一種半導體裝置，包括：源極線；位元線；第一信號線；複數第二信號線；複數字線；源極線與位元線之間彼此並聯之複數記憶格；用於第二信號線及輸入位址信號及複數參考電位之字線的驅動電路，其驅動複數第二信號線及複數字線，使得從複數記憶格選擇藉由位址信號指定之記憶格，及選擇和輸出任一複數參考電位至從字線選擇之一字線；用於第一信號線之驅動電路，其選擇及輸出任一複數寫入電位至第一信號線；與位元線連接之讀取電路，其藉由讀出指定記憶格之傳導性而讀出資料；及電位產生電路，產生及供應複數寫入電位及複數參考電位予用於第一信號線之驅動電路及讀取電路。複數記憶格之一包括：第一電晶體，包括第一閘極電極、第一源極電極及第一汲極電極；第二電晶體，包括第二

閘極電極、第二源極電極及第二汲極電極；及電容器。第一電晶體係提供於包括半導體材料之基板上。第二電晶體包括氧化物半導體層。第一閘極電極、第二源極電極及第二汲極電極之一、與電容器之一電極彼此電性連接。源極線與第一源極電極彼此電性連接。位元線與第一汲極電極彼此電性連接。第一信號線與第二源極電極及第二汲極電極之另一彼此電性連接。複數第二信號線之一與第二閘極電極彼此電性連接。複數字線之一與電容器之另一電極彼此電性連接。

在上述結構中，第一電晶體包括提供於包括半導體材料之基板上之通道形成區，其間提供通道形成區之雜質區，通道形成區上之第一閘極絕緣層，第一閘極絕緣層上之第一閘極電極，及分別電性連接雜質區之第一源極電極及第一汲極電極。

此外，在上述結構中，第二電晶體包括基板（包括半導體材料）上之第二閘極電極，第二閘極電極上之第二閘極絕緣層，第二閘極絕緣層上之氧化物半導體層，及電性連接氧化物半導體層之第二源極電極及第二汲極電極。

此外，在上述結構中，第三電晶體包括提供於包括半導體材料之基板上之通道形成區，其間提供通道形成區之雜質區，通道形成區上之第三閘極絕緣層，第三閘極絕緣層上之第三閘極電極，及分別電性連接雜質區之第三源極電極及第三汲極電極。

此外，在上述結構中，有關包括半導體材料之基板，

較佳地使用單晶半導體基板。尤其，半導體材料較佳地為矽。此外，SOI基板可用做包括半導體材料之基板。

此外，在上述結構中，氧化物半導體層較佳地包括In-Ga-Zn-O基氧化物半導體材料。尤其，氧化物半導體層較佳地包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 晶體。此外，氧化物半導體層之氫濃度較佳地小於或等於 5×10^{19} 原子/ cm^3 。此外，第二電晶體之關閉電流較佳地小於或等於 1×10^{-13} A。

此外，在上述結構中，可於與第一電晶體重疊之區域中提供第二電晶體。

請注意，在本說明書等中，「之上」與「之下」在元件之間實體關係的說明中，並不必然分別表示「直接之上」及「直接之下」。例如，「閘極絕緣層上之第一閘極電極」的表示可指另一元件插於閘極絕緣層與第一閘極電極之間的狀況。此外，「之上」與「之下」用詞僅為說明方便而使用，且除非指明，元件可彼此交換。

在本說明書等中，「電極」或「佈線」用詞並不限制元件功能。例如，「電極」有時用做「佈線」之一部分，及「佈線」可用做「電極」之一部分。此外，名詞「電極」或「佈線」亦可表示例如複數「電極」及「佈線」之組合。

此外，例如當使用不同極性之電晶體，或當電路操作中電流流動方向改變，「源極」與「汲極」之功能有時被轉換。因此，「源極」與「汲極」用詞在本說明書等中可被轉換。

請注意，在本說明書等中，「電性連接」表示包括經由「具有任何電氣功能之目標」之電性連接的狀況。此處，對於「具有任何電氣功能之目標」並無特別限制，只要目標可啟動目標連接之元件之間電氣信號的傳輸及接收即可。

例如，在「具有任何電氣功能之目標」中，包括諸如電晶體、電阻器、電感器、電容器之開關元件，及具許多功能之其他元件，以及電極及佈線。

通常，「SOI基板」用詞意即具有絕緣表面上之矽半導體層的基板。在本說明書等中，「SOI基板」用詞亦表示具有絕緣表面上使用矽以外材料之半導體層的基板。即，「SOI基板」中所包括之半導體層不侷限於矽半導體層。此外，「SOI基板」中基板不限於諸如矽晶圓之半導體基板，並可為非半導體基板，諸如玻璃基板、石英基板、藍寶石基板或金屬基板。即，「SOI基板」亦包括導電基板及其上具使用半導體材料形成之層的絕緣基板。此外，在本說明書等中，「半導體基板」不僅表示半導體材料之基板，亦表示包括半導體材料之一般基板。換言之，在本說明書等中，「SOI基板」亦包括於「半導體基板」之廣闊分類中。

本發明之一實施例提供半導體裝置，包括於其下部使用氧化物半導體以外材料之電晶體，及於其上部使用氧化物半導體之電晶體。

使用氧化物半導體之電晶體具有極低關閉狀態電流；

因此，藉由使用電晶體，可極長時間保持儲存內容。即，可變得不需刷新作業，或可相當程度降低刷新作業頻率，使得可充分降低電力消耗。此外，即使未供應電力，仍可長時間保持儲存內容。

此外，寫入資料不需高電壓，且無元件惡化之問題。此外，依據電晶體之開啓狀態及關閉狀態而執行資料寫入，使得可輕易體現高速作業。此外，存在一優點，即當執行資料覆寫時，不需擦除先前資料之作業。

此外，使用氧化物半導體以外材料之電晶體，可以充分高速操作，藉此可以高速讀出儲存內容。

因此，藉由具使用氧化物半導體材料以外材料之電晶體及使用氧化物半導體之電晶體之組合。可體現具有新穎特徵之半導體裝置。

【實施方式】

以下，將參照圖式說明本發明之實施例範例。請注意，本發明不侷限於下列說明，且熟悉本技藝之人士將輕易理解在不偏離本發明之精神及範圍下，可以各種方式修改模式及細節。因此，本發明並不解譯為侷限於下列實施例之說明。

請注意，圖式等中所描繪之每一元件的位置、尺寸、範圍等，有時為求易於理解並非實際。因此，本發明不侷限於圖式等中所揭露之位置、尺寸、範圍等。

請注意，在本說明書等中，諸如「第一」、「第二」

及「第三」之序數，係用於避免元件間混淆，且此用詞並非限制元件數量。

[實施例 1]

在本實施例中，參照圖 1、圖 2A 及 2B、圖 3A 至 3H、圖 4A 至 4G、圖 5A 至 5D、圖 6、圖 7A 及 7B、圖 8A 及 8B 和圖 9A 及 9B 說明依據本發明所揭露之一實施例的半導體裝置結構及製造方法。

<半導體裝置之電路結構>

圖 1 描繪半導體裝置之電路組態範例。半導體裝置包括使用氧化物半導體以外材料形成之電晶體 160，及使用氧化物半導體形成之電晶體 162。請注意，記號「OS」附加至圖 1 中電晶體 162，以顯示電晶體 162 係使用氧化物半導體（OS）予以形成。

此處，電晶體 160 之閘極電極電性連接電晶體 162 之源極電極與汲極電極之一。第一佈線（標示為「第一線」，亦稱為源極線）及第二佈線（標示為「第二線」，亦稱為位元線）分別電性連接電晶體 160 之源極電極及電晶體 160 之汲極電極。此外，第三佈線（標示為「第三線」，亦稱為第一信號線）及第四佈線（標示為「第四線」，亦稱為第二信號線）分別電性連接電晶體 162 之源極電極與汲極電極之另一及電晶體 162 之閘極電極。

使用氧化物半導體以外材料形成之電晶體 160 可以高

速操作。因此，基於使用電晶體 160，可高速讀取儲存內容等。此外，使用氧化物半導體形成之電晶體 162 中關閉電流極小。因此，當電晶體 162 關閉時，電晶體 160 之閘極電極電位可保持極長時間。此外，在使用氧化物半導體形成之電晶體 162 中，極不可能造成短通道效應，此為優點。

閘極電極之電位可保持極長時間之優點，使得可如下列說明執行資料之寫入、保持及讀取。

首先進行資料之寫入及保持說明。首先，第四佈線之電位設定為電晶體 162 開啓之電位，藉此使電晶體 162 處於開啓狀態。因此，第三佈線之電位被施加於電晶體 160 之閘極電極（資料寫入）。之後，第四佈線之電位設定為電晶體 162 關閉之電位，藉此使電晶體 162 處於關閉狀態；因此，保持電晶體 160 之閘極電極的電位（資料保持）。

由於電晶體 162 之關閉電流極小，電晶體 160 之閘極電極的電位可長時間保持。例如，當電晶體 160 之閘極電極的電位為電晶體 160 開啓之電位時，便長時間保持電晶體 160 之開啓狀態。當電晶體 160 之閘極電極的電位為電晶體 160 關閉之電位時，便長時間保持電晶體 160 之關閉狀態。

其次，進行資料之讀取說明。當電晶體 160 開啓狀態或關閉狀態如上述保持，並施加特定電位（低電位）於第一佈線時，第二佈線之電位值便隨電晶體 160 之狀態（開啓狀態或關閉狀態）而改變。例如，當電晶體 160 處於開啓狀態，第二佈線之電位便受第一佈線之電位影響而降低

。另一方面，當電晶體 160 處於關閉狀態，第二佈線之電位便不改變。

以此方式，藉由比較第一佈線之電位與處於資料保持狀態之第二佈線的電位，可讀出資料。

接著，進行資料之覆寫說明。資料之覆寫係以類似於上述資料之寫入及保持的方式予以執行。即，第四佈線之電位設定為電晶體 162 開啓之電位，藉此使電晶體 162 處於開啓狀態。因此，第三佈線之電位（關於新資料之電位）施加於電晶體 160 之閘極電極。之後，第四佈線之電位設定為電晶體 162 關閉之電位，藉此使電晶體 162 處於關閉狀態；因此，保持新資料。

如上述，在依據本發明所揭露之一實施例的半導體裝置中，可藉由再次執行資料之寫入而直接覆寫資料。因而不需要快閃記憶體等中必要之擦除作業；因此，可抑制因擦除作業之作業速度下降。換言之，體現半導體裝置的高速作業。

請注意，於上述說明中，使用 n 型電晶體（n 通道電晶體），其係使用電子做為載子；然而，不用說可使用 p 通道電晶體（其係使用電洞做為載子）取代 n 通道電晶體。

<半導體裝置之平面結構及截面結構>

圖 2A 及 2B 中描繪上述半導體裝置之結構範例。圖 2A 及 2B 分別為半導體裝置之截面圖及其平面圖。此處，圖 2A 相應於沿圖 2B 線 A1-A2 及線 B1-B2 之截面。圖 2A 及 2B 中

所描繪之半導體裝置包括於下部使用氧化物半導體以外材料形成之電晶體160，及於上部使用氧化物半導體形成之電晶體162。請注意，儘管說明n通道電晶體做為電晶體160及162，但可使用p通道電晶體。尤其，可使用p通道電晶體做為電晶體160。

電晶體160包括：通道形成區116，其係提供用於包含半導體材料之基板100；通道形成區116夾於其間之雜質區114及通道形成區116夾於其間之高濃度雜質區120（亦統稱為雜質區）；提供於通道形成區116上之閘極絕緣層108a；提供於閘極絕緣層108a上之閘極電極110a；及電性連接雜質區114之源極或汲極電極130a及源極或汲極電極130b。

此處，側壁絕緣層118係提供於閘極電極110a側面。此外，當觀看平面圖時，在未與側壁絕緣層118重疊之基板100的區域中，提供高濃度雜質區120，並進一步於高濃度雜質區120之上提供金屬化合物區124。在基板100上，提供元件隔離絕緣層106以便圍繞電晶體160，並提供層間絕緣層126及層間絕緣層128以便覆蓋電晶體160。源極或汲極電極130a及源極或汲極電極130b經由形成於層間絕緣層126及128中之開口而電性連接金屬化合物區124。換言之，源極或汲極電極130a及源極或汲極電極130b經由金屬化合物區124而電性連接高濃度雜質區120及雜質區114。此外，閘極電極110a電性連接以類似於源極或汲極電極130a及源極或汲極電極130b之方式提供的電極130c。

電晶體 162 包括：提供於層間絕緣層 128 上之閘極電極 136d；提供於閘極電極 136d 上之閘極絕緣層 138；提供於閘極絕緣層 138 上之氧化物半導體層 140；及提供於氧化物半導體層 140 上並與其電性連接之源極或汲極電極 142a 及源極或汲極電極 142b。

此處，提供閘極電極 136d 以便嵌入形成於層間絕緣層 128 上之絕緣層 132。此外，類似於閘極電極 136d，電極 136a、電極 136b 及電極 136c 經形成而分別接觸源極或汲極電極 130a、源極或汲極電極 130b 及電極 130c。

在電晶體 162 之上，提供保護絕緣層 144 而接觸氧化物半導體層 140 之一部分。層間絕緣層 146 係提供於保護絕緣層 144 之上。此處，於保護絕緣層 144 及層間絕緣層 146 中形成達到源極或汲極電極 142a 及源極或汲極電極 142b 之開口。在開口中，形成電極 150d 及電極 150e 而分別接觸源極或汲極電極層 142a 及源極或汲極電極 142b。類似於電極 150d 及 150e，形成電極 150a、電極 150b 及電極 150c，而於閘極絕緣層 138、保護絕緣層 144 及層間絕緣層 146 中所提供之開口，分別接觸電極 136a、電極 136b 及電極 136c。

此處，氧化物半導體層 140 較佳地為氧化物半導體層，其藉由移除諸如氫之雜質而被高度純化。具體地，氧化物半導體層 140 中氫濃度為小於或等於 5×10^{19} 原子/cm³，較佳地為小於或等於 5×10^{18} 原子/cm³，或更佳地為小於或等於 5×10^{17} 原子/cm³。在藉由充分降低氫濃度而被高度純化之氧化物半導體層 140 中，載子濃度為小於或等於 $5 \times$

$10^{14} / \text{cm}^3$ ，較佳地為小於或等於 $5 \times 10^{12} / \text{cm}^3$ 。以此方式，藉由使用充分降低氫濃度而被高度純化並製成 i 型氧化物半導體或實質上 i 型氧化物半導體之氧化物半導體，可獲得具有極有利關閉電流特性之電晶體 162。例如，當汲極電壓 V_d 為 +1 V 或 +10 V 及閘極電壓 V_g 介於 -5 V 至 -20 V 時，關閉電流為小於或等於 1×10^{-13} A。當使用藉由充分降低氫濃度而被高度純化之氧化物半導體層 140，且電晶體 162 之關閉電流降低時，可體現具有新穎結構之半導體裝置。請注意，氧化物半導體層 140 中氫濃度係藉由二次離子質譜 (SIMS) 予以測量。

此外，絕緣層 152 係提供於層間絕緣層 146 之上。提供電極 154a、電極 154b、電極 154c 及電極 154d，以便嵌入絕緣層 152。此處，電極 154a 接觸電極 150a；電極 154b、電極 150b；電極 154c、電極 150c 及 150d；及電極 154d、電極 150e。

即，在圖 2A 及 2B 中所描繪之半導體裝置中，電晶體 160 之閘極電極 110a 經由電極 130c、136c、150c、154c 及 150d 而電性連接電晶體 162 之源極或汲極電極 142a。

<半導體裝置之製造方法>

其次，將說明上述半導體裝置之製造方法範例。首先，將參照圖 3A 至 3H 說明下部中電晶體 160 之製造方法，接著，將參照圖 4A 至 4G 及圖 5A 至 5D 說明上部中電晶體 162 之製造方法。

<下部中電晶體之製造方法>

首先，準備包含半導體材料之基板100（詳圖3A）。有關包含半導體材料之基板100，可使用包含矽、碳化矽等之單晶半導體基板或多晶半導體基板；包含鍺化矽等之化合物半導體基板；SOI基板等。此處，說明使用單晶矽基板做為包含半導體材料之基板100的範例。請注意，通常，「SOI基板」用詞表示半導體基板具有其絕緣表面上之矽半導體層。在本說明書中，「SOI基板」用詞亦表示具有使用其絕緣表面上之矽以外材料的半導體層之基板。換言之，「SOI基板」中所包括之半導體層不侷限於矽半導體層。SOI基板之範例包括於其絕緣基板（諸如玻璃基板）之上具有半導體層之基板，且絕緣層插於半導體層與絕緣基板之間。

在基板100之上，做為遮罩之保護層102形成元件隔離絕緣層（詳圖3A）。有關保護層102，可使用例如以氧化矽、氮化矽、氮氧化矽等形成之絕緣層。請注意，在上述步驟之前或之後，可將提供n型傳導性之雜質元素或提供p型傳導性之雜質元素添加至基板100，使得以控制電晶體之閾值電壓。有關提供n型傳導性之雜質，當基板100中所包括之半導體材料為矽時，可使用磷、砷等。有關提供p型傳導性之雜質，可使用硼、鋁、銻等。

其次，使用上述保護層102做為遮罩，藉由蝕刻移除未被保護層102覆蓋之區域（暴露區域）中部分基板100。

因而形成隔離的半導體區 104（詳圖 3B）。對蝕刻而言，較佳地執行乾式蝕刻，但可執行濕式蝕刻。依據將蝕刻目標之材料，可適當地選擇蝕刻氣體及蝕刻劑。

其次，形成絕緣層以便覆蓋半導體區 104，並選擇性移除與半導體區 104 重疊之區域中絕緣層，藉此形成元件隔離絕緣層 106（詳圖 3B）。使用氧化矽、氮化矽、氮氧化矽等而形成絕緣層。有關移除絕緣層之方法，存在蝕刻及諸如 CMP 之拋光處理，可使用其任一項。請注意，於半導體區 104 形成之後或元件隔離絕緣層 106 形成之後，移除保護層 102。

接著，於半導體區 104 之上形成絕緣層，並於絕緣層之上形成包含導電材料之層。

絕緣層之後做為閘極絕緣層，並較佳地具有使用包含藉由 CVD 法、濺鍍法等獲得之氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等膜之單層結構或堆疊層結構。另一方面，上述絕緣層可以下列方式獲得，即半導體區 104 之表面藉由高密度電漿處理或熱氧化處理而予以氧化或氮化。可使用例如稀有氣體（諸如 He、Ar、Kr、Xe）及氧、氮氧化物、氨、氮、氫等之組合的混合氣體，而執行高密度電漿處理。對於絕緣層之厚度並無特別限制，絕緣層可具有例如大於或等於 1 nm 及小於或等於 100 nm 之厚度。

可使用諸如鋁、銅、鈦、鉭或鎢之金屬材料形成包含導電材料之層。另一方面，可使用諸如包含導電材料之多

晶矽的半導體材料形成包含導電材料之層。對於形成包含導電材料之層的方法並無特別限制，且任一各種膜形成法是可應用的，諸如蒸發法、CVD法、濺鍍法及旋塗法。請注意，在本實施例中，說明使用金屬材料形成包含導電材料之層的範例。

之後，藉由選擇性蝕刻絕緣層及包含導電材料之層，而形成閘極絕緣層108a及閘極電極110a（詳圖3C）。

其次，形成覆蓋閘極電極110a之絕緣層112（詳圖3C）。接著，磷（P）、砷（As）等添加至半導體區104，藉此於淺區形成具淺接合深度之雜質區114（詳圖3C）。請注意，儘管此處添加磷或砷使得以形成n通道電晶體，在形成p通道電晶體之狀況下，可添加其他雜質元素，諸如硼（B）或鋁（Al）。亦請注意，藉由雜質區114之形成，於閘極絕緣層108a之下的半導體區104中形成通道形成區116（詳圖3C）。此處，適當地設定所添加雜質之濃度；若半導體元件為高度小型化，濃度較佳地設定為高。此外，可使用於雜質區114形成之後形成絕緣層112之程序，取代此處所使用之於絕緣層112形成之後形成雜質區114之程序。

接著，形成側壁絕緣層118（詳圖3D）。形成絕緣層以便覆蓋絕緣層112，接著歷經高度各向異性蝕刻，藉此可以自我對齊方式形成側壁絕緣層118。此時，較佳的是局部蝕刻絕緣層112，使得以暴露閘極電極110a之頂面及雜質區114之頂面。

之後，形成絕緣層，以便覆蓋閘極電極 110a、雜質區 114、側壁絕緣層 118 等。接著，於雜質區 114 接觸絕緣層之區域中添加磷（P）、砷（As）等，藉此形成高濃度雜質區 120（詳圖 3E）。其次，移除上述絕緣層，並形成金屬層 122 以便覆蓋閘極電極 110a、側壁絕緣層 118、高濃度雜質區 120 等（詳圖 3E）。任一各種方法，諸如真空蒸發法、濺鍍法及旋塗法，可應用於形成金屬層 122。較佳的金屬層 122 是使用與半導體區 104 中所包含之半導體材料反應之金屬材料，以便形成具有低電阻之金屬化合物。該等金屬材料之範例包括鈦、鉭、鎢、鎳、鈷及鉑。

其次，執行熱處理藉此金屬層 122 與半導體材料反應。因此，形成與高濃度雜質區 120 接觸之金屬化合物區 124（詳圖 3F）。請注意，若使用用於閘極電極 110a 之多晶矽，與金屬層 122 接觸之閘極電極 110a 的一部分亦具有金屬化合物區。

有關熱處理，可使用閃光燈輻照。儘管不用說可使用其他熱處理方法，但較佳地使用可極短時間達成熱處理之方法，以改進金屬化合物之形成中化學反應的控制性。請注意，上述金屬化合物區係經由金屬材料與半導體材料之反應而予形成，並具有充分提升之傳導性。藉由金屬化合物區之形成可充分地減少電阻，並改進元件特性。於金屬化合物區 124 形成之後，移除金屬層 122。

形成層間絕緣層 126 及 128，以便覆蓋於上述步驟中形成之元件（詳圖 3G）。可使用包含無機絕緣材料之材料

，諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁或氧化鋇，形成層間絕緣層126及128。另一方面，可使用有機絕緣材料，諸如聚醯亞胺或丙烯酸。請注意，儘管此處層間絕緣層126及層間絕緣層128形成雙層結構，層間絕緣層之結構不侷限於此。亦請注意，在層間絕緣層128形成之後，層間絕緣層128之表面較佳地歷經CMP處理、蝕刻等，以便使其平坦。

之後，於層間絕緣層中形成達到金屬化合物區124之開口，接著於該些開口中形成源極或汲極電極130a及源極或汲極電極130b（詳圖3H）。例如，源極或汲極電極130a及源極或汲極電極130b可形成如下：藉由PVD法、CVD法等於包括該些開口之區域中形成導電層；接著藉由蝕刻、CMP處理等，移除部分導電層。

請注意，若源極或汲極電極130a及源極或汲極電極130b係藉由移除部分導電層而予形成，其表面較佳地處理而成平坦。例如，若鈦膜、氮化鈦膜等經形成而於包括開口之區域中具有小厚度，接著形成鎢膜以便嵌入開口，之後執行CMP可移除鎢膜、鈦膜、氮化鈦膜等不必要部分，及改進表面平坦度。藉由如上述使包括源極或汲極電極130a及源極或汲極電極130b之表面平坦，可於之後步驟形成有利的電極、佈線、絕緣層、半導體層等。

請注意，儘管僅說明接觸金屬化合物區124之源極或汲極電極130a及源極或汲極電極130b，但可於相同步驟中形成接觸閘極電極110a（例如圖2A之電極130c）等之電極

。對於用於源極或汲極電極 130a 及源極或汲極電極 130b 之材料並無特別限制，可使用任一各種導電材料。例如，可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳之導電材料。

經由上述程序，形成使用包括半導體材料之基板 100 的電晶體 160。請注意，於上述程序之後，可進一步形成其餘電極、佈線、絕緣層等。當層間絕緣層及導電層堆疊之多層佈線結構用做佈線結構時，可提供高度整合半導體裝置。

<上部中電晶體之製造方法>

接著，參照圖 4A 至 4G 及圖 5A 至 5D 說明層間絕緣層 128 上之電晶體 162 的製造程序。請注意，描繪層間絕緣層 128 上各類電極、電晶體 162 等的製造程序之圖 4A 至 4G 及圖 5A 至 5D 中，電晶體 162 以下之電晶體 160 等省略。

首先，絕緣層 132 係形成於層間絕緣層 128、源極或汲極電極 130a、源極或汲極電極 130b、及電極 130c 之上（詳圖 4A）。可藉由 PVD 法、CVD 法等而形成絕緣層 132。包含無機絕緣材料之材料，諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁或氧化鉭，可用於絕緣層 132。

其次，於絕緣層 132 中形成達到源極或汲極電極 130a、源極或汲極電極 130b 及電極 130c 之開口。此時，另一開口形成於將形成之閘極電極 136d 的區域中。形成導電層 134 以便嵌入開口（詳圖 4B）。可藉由例如使用遮罩之蝕

刻而形成上述開口。例如可藉由使用光罩之曝光而形成遮罩。對蝕刻而言，可執行濕式蝕刻或乾式蝕刻，但在微細加工方面乾式蝕刻較佳。導電層 134 可藉由諸如 PVD 法或 CVD 法之沉積方法而予形成。用於導電層 134 之材料範例包括諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳及鈳之導電材料，任一該些材料之合金，及包含任一該些材料之化合物（例如任一該些材料之氮化物）。

具體地，例如導電層 134 可形成如下：藉由 PVD 法而於包括開口之區域中形成具有小厚度之鈦膜，及藉由 CVD 法而形成具有小厚度之氮化鈦膜；接著形成鎢膜以便嵌入開口。此處，藉由 PVD 法形成之鈦膜，具有降低與下部電極（此處，為源極或汲極電極 130a、源極或汲極電極 130b、電極 130c 等）之介面處氧化物膜，及降低接觸電阻之功能。此外，後續形成之氮化鈦膜，具有避免導電材料擴散之障壁功能。另一方面，於使用鈦、氮化鈦等而形成障壁膜之後，可藉由電鍍法形成銅膜。

在導電層 134 形成之後，藉由蝕刻、CMP 處理等移除部分導電層 134，使得絕緣層 132 暴露，並形成電極 136a、136b 及 136c 和閘極電極 136d（詳圖 4C）。請注意，當藉由移除部分導電層 134，而形成電極 136a、136b 及 136c 和閘極電極 136d 時，較佳地執行處理使得以獲得平坦表面。藉由使絕緣層 132、電極 136a、136b 及 136c 和閘極電極 136d 之表面平坦化，可於之後步驟形成有利的電極、佈線、絕緣層、半導體層等。

之後，形成閘極絕緣層 138 以便覆蓋絕緣層 132、電極 136a、136b 及 136c、和閘極電極 136d（詳圖 4D）。可藉由濺鍍法、CVD 法等而形成閘極絕緣層 138。閘極絕緣層 138 較佳地包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鉬等。請注意，閘極絕緣層 138 可具有單層結構或堆疊層結構。例如，可藉由電漿 CVD 法及使用矽烷（ SiH_4 ）、氧及氮做為來源氣體，而形成氧氮化矽之閘極絕緣層 138。對於閘極絕緣層 138 之厚度並無特別限制，但厚度例如可大於或等於 10 nm 及小於或等於 500 nm。當使用堆疊層結構時，閘極絕緣層 138 較佳地藉由堆疊具大於或等於 50 nm 及小於或等於 200 nm 厚度之第一閘極絕緣層，及第一閘極絕緣層上之具大於或等於 5 nm 及小於或等於 300 nm 厚度之第二閘極絕緣層，而予形成。

請注意，藉由移除雜質而成爲 i 型氧化物半導體或實質上 i 型氧化物半導體之氧化物半導體（高度純化氧化物半導體），對於介面狀態或介面電荷極敏感；因此，當該等氧化物半導體用於氧化物半導體層時，氧化物半導體層與閘極絕緣層之介面是重要的。換言之，將接觸高度純化氧化物半導體層之閘極絕緣層 138 需具有高品質。

例如，因為藉此可形成具有高耐受電壓之密集及高品質閘極絕緣層 138，使用微波（2.45 GHz）之高密度電漿 CVD 法是有利的。這是因為當高度純化氧化物半導體層與高品質閘極絕緣層彼此接觸時，可降低介面狀態，及可為有利的介面特性。

不用說，當使用高度純化氧化物半導體層時，只要可形成具有高品質絕緣層做為閘極絕緣層，可使用其他方法，諸如濺鍍法或電漿CVD法。另一方面，可應用一絕緣層，其膜品質及介面特性於形成之後藉由熱處理而予改進。無論如何，可接受一層，其為如同閘極絕緣層138之良好品質，並可降低閘極絕緣層與氧化物半導體層之間介面狀態密度，使得以形成良好介面。

再者，當氧化物半導體中包含雜質時，在85℃、 2×10^6 V/cm之電場強度的偏壓溫度測試（BT測試）達12小時，雜質與氧化物半導體之主要成分之間的組合藉由強力電場（B：偏壓）及高溫度（T：溫度）而切斷，且所產生之懸鍵造成閾值電壓（ V_{th} ）偏移。

另一方面，依據本發明所揭露之一實施例，藉由移除氧化物半導體中之雜質，特別是氫及水，並如上述體現閘極絕緣層與氧化物半導體層之間良好介面特性，可提供BT測試中穩定之電晶體。

接著，於閘極絕緣層138之上形成氧化物半導體層，並使用遮罩及藉由諸如蝕刻之方法處理，使得以形成島形氧化物半導體層140（詳圖4E）。

有關氧化物半導體層，可應用使用任一下列材料形成之氧化物半導體層：四成分金屬氧化物諸如In-Sn-Ga-Zn-O；三成分金屬氧化物諸如In-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O及Sn-Al-Zn-O；二成分金屬氧化物諸如In-Zn-O、Sn-Zn-O、Al-Zn-O、Zn-Mg-

O、Sn-Mg-O及In-Mg-O；及單成分金屬氧化物諸如In-O、Sn-O及Zn-O等。此外，上述氧化物半導體材料可包含SiO₂。

有關氧化物半導體層，可使用以 $\text{InMO}_3(\text{ZnO}) \cdot m$ ($m > 0$) 代表之薄膜。此處，M代表一或多項選自Ga、Al、Mn及Co之金屬元素。例如，M可為Ga、Ga及Al、Ga及Mn、Ga及Co等。以 $\text{InMO}_3(\text{ZnO}) \cdot m$ ($m > 0$) 代表之氧化物半導體膜包括Ga做為M，被稱為In-Ga-Zn-O基氧化物半導體，及In-Ga-Zn-O基氧化物半導體之薄膜，被稱為In-Ga-Zn-O基氧化物半導體膜（In-Ga-Zn-O基非結晶膜）。

在本實施例中，有關氧化物半導體層，藉由濺鍍法及使用用於沉積之In-Ga-Zn-O基氧化物半導體靶材，而形成非結晶氧化物半導體層。請注意，藉由添加矽至非結晶氧化物半導體層，可抑制結晶；因此，可使用包含大於或等於2重量%及小於或等於10重量%之SiO₂的靶材，而形成氧化物半導體層。

有關用於藉由濺鍍法而形成氧化物半導體層之靶材，可使用例如包含氧化鋅做為其主要成分之金屬氧化物靶材。再者，可使用例如用於沉積包含In、Ga及Zn ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ 之成分比 = 1 : 1 : 1 [摩爾比]) 之氧化物半導體的靶材。此外，可使用用於沉積包含In、Ga及Zn ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ 之成分比 = 1 : 1 : 2 [摩爾比]，或 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ 之成分比 = 1 : 1 : 4 [摩爾比]) 之氧化物半導體的靶材。用於沉積之氧化物半導體靶材的填充

率為90 %至100 % (含) ，較佳地為大於或等於95 % (例如99.9 %) 。使用用於沉積具高填充率之氧化物半導體靶材，而形成密集氧化物半導體層。

用於形成氧化物半導體層之氣體，較佳地為稀有氣體 (典型為氬) 、氧氣、或包含稀有氣體 (典型為氬) 及氧之混合氣體。具體地，高純度氣體較佳，其中諸如氬、水、羥基及氫化物之雜質的濃度被降低至百萬分之幾 (較佳地為十億分之幾) 。

在氧化物半導體層形成時，基板固定在減壓狀態之處理室中，且基板溫度設定為高於或等於100 °C及低於或等於600 °C，較佳地為高於或等於200 °C及低於或等於400 °C。當形成氧化物半導體層同時加熱基板，可降低氧化物半導體層中所包含之雜質濃度。此外，因濺鍍之損害減少。當移除處理室中剩餘濕氣時，將氬及水移除之濺鍍氣體導入，且金屬氧化物用做靶材，而形成氧化物半導體層。為除剩處理室中移餘濕氣，較佳地使用吸附型真空泵。例如，可使用低溫泵、離子泵或鈦昇華泵。耗盡單元可為具冷阱之渦輪泵。在以低溫泵耗盡之沉積室中，移除氬原子、諸如水 (H_2O) 之包括氬原子之化合物 (較佳地連同包括碳原子之化合物) ，藉此降低沉積室中所形成之氧化物半導體層中所包含之雜質濃度。

例如，沉積狀況可設定如下：基板與靶材之間之距離為100 mm；壓力為0.6 Pa；直流 (DC) 電力為0.5 kW；及氣體為氧氣 (氧流比例為100 %) 。較佳的是因為可減少

粉狀物質（亦稱為粒子或灰塵）並可使膜厚度均勻，而使用脈衝直流（DC）電源。氧化物半導體層之厚度為大於或等於 2 nm 及小於或等於 200 nm，較佳地為大於或等於 5 nm 及小於或等於 30 nm。請注意，適當厚度取決於所應用之氧化物半導體材料，可依據材料而適當設定氧化物半導體層之厚度。

請注意，在藉由濺鍍法而形成氧化物半導體層之前，較佳地藉由導入氬氣並產生電漿之反向濺鍍，而移除附著於閘極絕緣層 138 表面之灰塵。此處，反向濺鍍為一種方法，藉由表面上離子碰撞，改進將處理之目標的表面品質，雖然一般濺鍍係藉由濺鍍靶材上離子碰撞而予達成。用於使離子與將處理之表面碰撞的方法包括一種方法其中高頻電壓於氬氣中施加於表面，並於基板附近產生電漿。請注意，可使用氮氣、氦氣、氧氣等，取代氬氣。

對於氧化物半導體層之蝕刻而言，可使用乾式蝕刻或濕式蝕刻。不用說可使用乾式蝕刻與濕式蝕刻之組合。依據材料可適當設定蝕刻狀況（蝕刻氣體、蝕刻溶液、蝕刻時間、溫度等），使得氧化物半導體層可蝕刻為所需形狀。

用於乾式蝕刻之蝕刻氣體的範例，為包含氯之氣體（氯基氣體，諸如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ））等。另一方面，可使用包含氟之氣體（氟基氣體，諸如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）或三氟甲烷（ CHF_3 ））；溴

化氫（HBr）；氧（O₂）；任一該些氣體附加諸如氦（He）或氬（Ar）之稀有氣體等。

有關乾式蝕刻法，可使用平行板反應離子蝕刻（RIE）法或電感耦合電漿（ICP）蝕刻法。為將層蝕刻為所需形狀，便適當設定蝕刻狀況（施加於線圈狀電極之電量、施加於基板側電極之電量、基板側電極之溫度等）。

有關用於濕式蝕刻之蝕刻劑，可使用磷酸、乙酸及硝酸之混合溶液、過氧化氫混合物（31重量%過氧化氫溶液：28重量%氨水：水 = 5：2：2）等。另一方面，可使用 ITO07N（KANTO CHEMICAL CO., INC.製造）。

接著，氧化物半導體層較佳地歷經第一熱處理。藉由第一熱處理，氧化物半導體層可脫水或脫氫。執行第一熱處理之溫度為高於或等於300℃及低於或等於750℃，較佳地為高於或等於400℃及低於基板之應變點。例如，基板被導入使用耐熱元件等之電熔爐中，且氧化物半導體層140於氮氣中以450℃之溫度歷經熱處理達1小時。此時，避免氧化物半導體層140暴露於空氣，使得以避免水或氫進入。

請注意，熱處理設備不侷限於電熔爐，而是可包括一種裝置，用於藉由諸如加熱氣體等媒體提供之熱傳導或熱輻射而加熱將處理之目標。例如，可使用快速熱降火（RTA）設備，諸如氣體快速熱降火（GRTA）設備或燈快速熱降火（LRTA）設備。GRTA設備為用於使用高溫氣體之熱處理的設備。有關該氣體，係使用未因熱處理而與將

處理之目標反應之惰性氣體，諸如氮，或諸如氬之稀有氣體。LRTA設備為一種設備，用於藉由自諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射（電磁波）而加熱將處理之目標。

例如，有關第一熱處理，可執行GRTA如下。基板被置入被加熱至650℃至700℃高溫之惰性氣體，加熱達若干分鐘，並取出惰性氣體。GRTA能於短時間實施高溫熱處理。此外，當溫度超出基板之應變點時亦可應用該等熱處理，因其僅花費短時間。

請注意，較佳地於包含氮或稀有氣體（例如氮、氬或氬）做為其主要成分且未包含水、氫等氣體中執行第一熱處理。例如，被導入熱處理設備之氮或稀有氣體（例如氮、氬或氬）之純度為大於或等於6N（99.9999%），較佳地為大於或等於7N（99.99999%）（即，雜質之濃度為低於或等於1 ppm，較佳地為低於或等於0.1 ppm）。

有時，依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層結晶為微晶層或多晶層。例如，氧化物半導體層可結晶成為微晶氧化物半導體層，具有大於或等於90%之結晶程度，或大於或等於80%。此外，依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層可成為不包含結晶成分之非結晶氧化物半導體層。

氧化物半導體層可成為一種氧化物半導體層，其中微晶（具有大於或等於1 nm及小於或等於20 nm之粒徑，典型為大於或等於2 nm及小於或等於4 nm）被混入非結晶氧

化物半導體（例如氧化物半導體層之表面）。

此外，藉由非結晶氧化物半導體中微晶配置，可改變氧化物半導體層之電氣特性。例如，若使用用於沉積 In-Ga-Zn-O 基氧化物半導體靶材而形成氧化物半導體層，藉由形成具有電氣各向異性之以 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 為代表的晶體顆粒對齊之微晶部，可改變氧化物半導體層之電氣特性。

更具體地，例如藉由使 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 之 c 軸對齊垂直於氧化物半導體層之表面的方向，可改進平行於氧化物半導體層表面之方向的傳導性，藉此可提升垂直於氧化物半導體層表面之方向的絕緣屬性。此外，該等微晶部具有抑制諸如水或氫之雜質進入氧化物半導體層之功能。

請注意，藉由 GRTA 而加熱氧化物半導體層之表面，可形成包括微晶部之氧化物半導體層。當使用濺鍍靶材時，其中 Zn 的量小於 In 或 Ga 的量，可達成更有利的形成。

於氧化物半導體層 140 上執行之第一熱處理可於尚未處理為島形氧化物半導體層之氧化物半導體層 140 上執行。在此狀況下，於第一熱處理之後，基板被取出加熱設備，並執行光刻步驟。

請注意，上述熱處理可脫水或脫氫氧化物半導體層 140，因而可稱為脫水處理或脫氫處理。該等脫水處理或脫氫處理可於下列任一時機執行，例如氧化物半導體層形成之後、源極及汲極電極堆疊於氧化物半導體層 140 上之後、或保護絕緣層形成於源極及汲極電極上之後。該等脫水處理或脫氫處理可執行複數次。

其次，源極或汲極電極 142a 及源極或汲極電極 142b 經形成而接觸氧化物半導體層 140（詳圖 4F）。源極或汲極電極 142a 及源極或汲極電極 142b 係以下列方式形成，即形成導電層以便覆蓋氧化物半導體層 140，接著實施選擇性蝕刻。

導電層可藉由諸如濺鍍法之 PVD 法或諸如電漿 CVD 法之 CVD 法，予以形成。有關導電層之材料，可使用選自鋁、鉻、銅、鉬、鈦、鉬或鎢之元素；包含任一上述元素做為其成分之合金等。此外，可使用包含一或多項選自錳、鎂、鋅、銻或鈦之元素的材料。其中鋁與一或多項選自鈦、鉬、鎢、鉬、鉻、釩或鈦之元素的組合之材料，亦可適於導電層之材料。

另一方面，可使用導電金屬氧化物形成導電層。有關導電金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦與氧化錫之合金（ In_2O_3 - SnO_2 有時縮寫為 ITO）、氧化銦與氧化鋅之合金（ In_2O_3 - ZnO ）、或包含矽或氧化矽之任一金屬氧化物材料。

導電層可具有單層結構或二或更多層之堆疊層結構。例如，可提供包含矽之鋁膜的單層結構，鋁膜及堆疊於上之鈦膜的雙層結構，鈦膜、鋁膜及鈦膜依此順序堆疊的三層結構等。

此處，紫外光、KrF 雷射光束或 ArF 雷射光束較佳地用於形成蝕刻遮罩之曝光。

電晶體的通道長度（ L ）係藉由源極或汲極電極 142a 之下緣部與源極或汲極電極 142b 之下緣部之間之距離而予決定。若針對低於 25 nm 之通道長度（ L ）的型樣執行曝光，便以介於若干奈米至數百奈米之極短波長的遠紫外光執行製造遮罩之曝光。在使用遠紫外光之曝光中，解析度高且聚焦深度大。因此，之後將形成的電晶體之通道長度（ L ）可為大於或等於 10 nm 及小於或等於 1000 nm，藉此可提升電路的作業速度。此外，電晶體之關閉狀態電流極小，避免電力消耗增加。

適當調整層之材料及蝕刻狀況，使得氧化物半導體層 140 於導電層之蝕刻中不會被移除。請注意，有時依據材料及蝕刻狀況，氧化物半導體層 140 於此步驟中係局部蝕刻，以便成為具有槽（凹部）之氧化物半導體層。

氧化物導電層可形成於氧化物半導體層 140 與源極或汲極電極 142a 之間，和氧化物半導體層 140 與源極或汲極電極 142b 之間。用於形成源極或汲極電極 142a 及源極或汲極電極 142b 之氧化物導電層及導電層可相繼形成（連續沉積）。氧化物導電層可做為源極區或汲極區。藉由提供該等氧化物導電層，可降低源極區及汲極區之電阻，並可體現電晶體之高速作業。

為減少遮罩及步驟數量，可使用以多色調遮罩形成之抗蝕罩執行蝕刻，多色調遮罩為曝光遮罩，光透射以便具有複數強度。使用多色調遮罩形成之抗蝕罩具有具複數厚度之形狀（具有階梯形狀），並可進一步藉由拋光而改變

形狀；因此，抗蝕罩可用於複數蝕刻步驟而處理為不同型樣。即，可藉由使用一多色調遮罩而形成相應於至少兩種或更多種不同型樣之抗蝕罩。因而，可減少曝光遮罩數量，亦可減少相應光刻步驟數量，藉此可體現程序簡化。

請注意，於上述步驟之後，較佳地使用諸如 N_2O 、 N_2 或 Ar 之氣體，而執行電漿處理。藉由此電漿處理，附著於氧化物半導體層的暴露表面之水被移除。另一方面，可使用氧及氬之混合氣體執行電漿處理。

之後，接觸部分氧化物半導體層 140 之保護絕緣層 144，經形成而未暴露於空氣（詳圖 4G）。

可藉由適當地使用一種方法，諸如濺鍍法，而形成保護絕緣層 144，藉此可避免諸如水或氬之雜質進入保護絕緣層 144。保護絕緣層 144 經形成為大於或等於 1 nm 之厚度。有關可用於保護絕緣層 144 之材料，存在氧化矽、氮化矽、氧氮化矽、氮氧化矽等。保護絕緣層 144 可具有單層結構或堆疊層結構。用於形成保護絕緣層 144 之基板溫度較佳地為高於或等於室溫及低於或等於 300 °C。用於形成保護絕緣層 144 之氣體較佳地為稀有氣體（典型為氬）、氧氣、或稀有氣體（典型為氬）及氧之混合氣體。

若保護絕緣層 144 中包含氬，造成氬進入氧化物半導體層，藉由氬提取氧化物半導體層中之氧等，且氧化物半導體層之反向通道側電阻可能變低，此可能形成寄生通道。因此，重要的是使用盡可能少使用氬之形成方法，使得保護絕緣層 144 包含盡可能少的氬。

此外，較佳地形成保護絕緣層144，同時移除處理室中剩餘的濕氣。此係避免氧化物半導體層140及保護絕緣層144中包含氫、羥基或濕氣。

較佳地使用吸附型真空泵以便移除處理室中剩餘濕氣。例如較佳地使用低溫泵、離子泵或鈦昇華泵。耗盡單元可為具冷阱之渦輪泵。從以低溫泵耗盡之沉積室，移除氫原子、諸如水（ H_2O ）之包含氫原子之化合物等，藉此降低沉積室中所形成之保護絕緣層144中所包含之雜質濃度。

有關用於形成保護絕緣層144之濺鍍氣體，較佳地使用高純度氣體，其中諸如氫、水、羥基或氫化物之雜質被降低至約百萬分之幾（較佳地為十億分之幾）。

接著，較佳地於惰性氣體或氧氣中執行第二熱處理（較佳地為高於或等於200℃及低於或等於400℃之溫度，例如高於或等於250℃及低於或等於350℃）。例如，可於氮氣中以250℃執行第二熱處理達一小時。第二熱處理可減少薄膜電晶體之電氣特性變化。

此外，可於空氣中以高於或等於100℃及低於或等於200℃之溫度執行熱處理達大於或等於1小時及小於或等於30小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列溫度週期可重複應用複數次：溫度從室溫上升至高於或等於100℃及低於或等於200℃之溫度，及接著降至室溫。此外，本熱處理可於保護絕緣層形成之前，在減壓下執行。在減壓下，熱處理時間可縮短。請注意，可執

行本熱處理而取代第二熱處理；另一方面，在第二熱處理之前或之後，除了第二熱處理可執行本熱處理。

接著，於保護絕緣層 144 之上形成層間絕緣層 146（詳圖 5A）。可藉由 PVD 法、CVD 法等形成層間絕緣層 146。包含無機絕緣材料之材料，諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁或氧化鉬，可用於層間絕緣層 146。此外，在層間絕緣層 146 形成之後，層間絕緣層 146 之表面較佳地歷經 CMP 處理、蝕刻處理等，以便平坦化。

其次，達到電極 136a、136b 及 136c、源極或汲極電極 142a 及源極或汲極電極 142b 之開口，形成於層間絕緣層 146、保護絕緣層 144 及閘極絕緣層 138 中；接著，形成導電層 148 以便嵌入開口中（詳圖 5B）。上述開口可藉由例如使用遮罩之蝕刻予以形成。遮罩可藉由例如使用光罩之曝光予以形成。對蝕刻而言，可執行濕式蝕刻或乾式蝕刻，但在微細加工方面，乾式蝕刻較佳。導電層 148 可藉由諸如 PVD 法或 CVD 法之沉積法予以形成。用於導電層 148 之材料範例，包括諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳及銦之導電材料，任一該些材料之合金，及包含任一該些材料之化合物（例如，任一該些材料之氮化物）。

具體地，例如導電層 148 可形成如下：藉由 PVD 法於包括開口之區域中形成具有小厚度之鈦膜，及藉由 CVD 法形成具有小厚度之氮化鈦膜；接著形成鎢膜以便嵌入開口中。此處，藉由 PVD 法形成之鈦膜具有減少與下部電極（此處，電極 136a、136b 及 136c、源極或汲極電極 142a、源

極或汲極電極 142b 等) 之介面處氧化物膜，及降低與下部電極之接觸電阻之功能。此外，後續形成之氮化鈦膜具有避免導電材料擴散之障壁屬性。另一方面，於使用鈦、氮化鈦等形成障壁膜之後，可藉由電鍍法形成銅膜。

在導電層 148 形成之後，藉由蝕刻處理、CMP 處理等移除部分導電層 148，使得以暴露層間絕緣層 146，並形成電極 150a、150b、150c、150d 及 150e (詳圖 5C)。請注意，當藉由移除部分上述導電層 148 而形成電極 150a、150b、150c、150d 及 150e 時，較佳地執行處理，使得獲得平坦表面。藉由層間絕緣層 146 和電極 150a、150b、150c、150d 及 150e 之平坦表面，可於之後步驟形成有利的電極、佈線、絕緣層等。

此外，形成絕緣層 152，並於絕緣層 152 中形成達到電極 150a、150b、150c、150d 及 150e 之開口；接著，形成導電層以便嵌入該些開口中。之後，藉由蝕刻、CMP 等移除部分導電層，使得暴露絕緣層 152，並形成電極 154a、154b、154c 及 154d (詳圖 5D)。此步驟類似於形成電極 150a 等之步驟；因此，此處省略詳細說明。

當以上述方法製造電晶體 162 時，氧化物半導體層 140 之氫濃度為小於或等於 5×10^{19} 原子/cm³，且電晶體 162 之關閉狀態電流為小於或等於 1×10^{-13} A。因而，藉由使用高度純化氧化物半導體層 140，其中氫濃度充分降低並減少因缺氧之缺點，可獲得具有卓越特性之電晶體 162。此外，可製造具有卓越特性之半導體裝置，其包括下部中使用

氧化物半導體以外之材料形成的電晶體 160，及上部中使用氧化物半導體形成的電晶體 162。

請注意，碳化矽（例如 4H-SiC）為比得上氧化物半導體之半導體材料。氧化物半導體及 4H-SiC 具有一些共通點。載子密度為一範例。使用室溫下費米-迪拉克分佈，氧化物半導體中少數載子密度估計約 $10^{-7} / \text{cm}^3$ ，與 4H-SiC 之 $6.7 \times 10^{-11} / \text{cm}^3$ 一般極低。當氧化物半導體之少數載子密度相較於矽的固有載子密度（約 $1.4 \times 10^{10} / \text{cm}^3$ ）時，很容易地理解到氧化物半導體的少數載子密度明顯地低。

此外，氧化物半導體之能帶隙為 3.0 eV 至 3.5 eV，而 4H-SiC 之能帶隙為 3.26 eV，表示氧化物半導體及碳化矽為寬帶隙半導體。

相反地，氧化物半導體與碳化矽之間存在大的差異，即程序溫度。使用碳化矽之半導體程序中通常需要 1500 °C 至 2000 °C 之用以啟動的熱處理，使得難以形成碳化矽與使用碳化矽以外之半導體材料形成之半導體元件的堆疊。這是因為半導體基板、半導體元件等因該等高溫而受損。另一方面，可以 300 °C 至 500 °C（低於或等於玻璃轉變溫度之溫度，最高約 700 °C）之熱處理而形成氧化物半導體；因此，可於使用其他半導體材料形成積體電路之後，使用氧化物半導體形成半導體元件。

氧化物半導體具有超越碳化矽之優點，其中可使用諸如玻璃基板之低耐熱基板。再者，相較於碳化矽，氧化物半導體亦具有可充分降低能量成本之優點，因為不需要高

溫熱溫度。

請注意，儘管實施許多實體屬性之研究，諸如氧化物半導體之狀態密度（DOS），但均未提出充分降低能隙侷限狀態之觀念。在本發明所揭露之一實施例中，可導致侷限位準之水或氫從氧化物半導體移除，藉此製造高度純化氧化物半導體。此係基於充分降低侷限狀態之觀念，並體現卓越產業產品之製造。

請注意，當移除氫、水等時，有時亦移除氧。因此，有利的是以下列方式進一步純化氧化物半導體（製成i型氧化物半導體）：將氧供應予藉由缺氧產生之金屬懸鍵，使得以減少缺氧導致之侷限狀態。例如，以下列方式可減少缺氧導致之侷限狀態：形成具有過量氧之氧化物膜而緊密接觸通道形成區；並以200℃至400℃，典型約250℃，執行熱處理，使得氧從氧化物膜供應予氧化物半導體。

此外，氧可於降溫步驟中供應予氧化物半導體，其係於氫、水等充分降低之氣體或氧氣中執行，並接續第二熱處理。

氧化物半導體之缺點的因素，咸信係因超氫之傳導帶以下0.1 eV至0.2 eV之淺位準、因缺氧之深位準等。徹底移除氫及充分供應氧以排除該等缺點之技術觀念應是有效的。

請注意，儘管氧化物半導體通常具有n型傳導性，在本發明所揭露之一實施例中，藉由移除諸如水或氫之雜質並供應氧（其為氧化物半導體之成分），氧化物半導體被

製成 i 型氧化物半導體。由此觀點，本發明所揭露之一實施例包括新穎技術觀念，因為其不同於藉由添加雜質而被製成 i 型矽之矽的狀況。

請注意，使用氧化物半導體形成之電晶體 162 為本實施例中底閘電晶體；然而，本發明之實施例不侷限於此。電晶體 162 可為底閘電晶體、頂閘電晶體或雙閘極電晶體。雙閘極電晶體係指一種電晶體，其中兩閘極電極層係提供於通道區之上及之下，且閘極絕緣層提供於其間。

<使用氧化物半導體之電晶體的導電機構>

將參照圖 31、圖 32、圖 33A 及 33B、和圖 34 說明包括氧化物半導體之電晶體的導電機構。請注意，下列說明係基於易於理解之理想情況的假設，且不必然反映真實情況。亦請注意，下列說明僅為考量，並不影響本發明之有效性。

圖 31 為包括氧化物半導體之電晶體（薄膜電晶體）的截面圖。氧化物半導體層（OS）提供於閘極絕緣層（GI）插於其間之閘極電極（GE1）之上，且源極電極（S）與汲極電極（D）提供於其上。提供絕緣層以便覆蓋源極電極（S）與汲極電極（D）。

圖 32 為沿圖 31 中 A-A' 截面之能帶圖（示意圖）。在圖 32 中，黑圈（•）及白圈（o）分別代表電子及電洞，並具有電荷（ $-q$ ， $+q$ ）。基於正電壓（ $V_D > 0$ ）施加於汲極電極，虛線顯示無電壓施加於閘極電極（ $V_G = 0$ ）之狀況，

及實線顯示正電壓施加於閘極電極（ $V_G > 0$ ）之狀況。若無電壓施加於閘極電極，載子（電子）因高電位障壁而未從電極注入氧化物半導體側，使得電流未流動，此表示關閉狀態。另一方面，當正電壓施加於閘極電極，電位障壁降低，因而電流流動，此表示開啓狀態。

圖 33A 及 33B 爲沿圖 31 中截面 B-B' 之能帶圖（示意圖）。圖 33A 描繪一種開啓狀態，其中正電壓（ $V_G > 0$ ）施加於閘極電極（GE1），且載子（電子）於源極電極與汲極電極之間流動。圖 33B 顯示一種關閉狀態，其中負電壓（ $V_G < 0$ ）施加於閘極電極（GE1），且少數載子未流動。

圖 34 描繪真空位準與金屬之功函數（ ϕ_M ）之間及真空位準與氧化物半導體之電子親和性（ χ ）之間的關係。

在正常溫度，金屬中電子衰退且費米能級位於傳導帶中。另一方面，習知氧化物半導體爲 n 型半導體，其中費米能級（ E_F ）遠離位於帶隙中間之固有費米能級（ E_i ），並較接近傳導帶。請注意，已知氧化物半導體中部分氫爲供體，並爲造成氧化物半導體成爲 n 型半導體之一因子。

另一方面，依據本發明揭露之一實施例之氧化物半導體，被製成固有（i 型）或實質上固有氧化物半導體，其係藉由移除使氧化物半導體具有 n 型傳導性之氫，以便以盡可能少包含並非其主要成分之元素（雜質元素）的方式，而予高度純化。換言之，依據本發明所揭露之一實施例的氧化物半導體，並非藉由添加雜質元素而製成 i 型氧化

物半導體之氧化物半導體，而係藉由盡可能移除諸如氫或水之雜質而被高度純化之i型（固有）或幾乎i型氧化物半導體。以此方式，費米能級（ E_F ）可極接近固有費米能級（ E_i ）。

據說氧化物半導體之帶隙（ E_g ）為3.15 eV，且電子親和性（ χ ）為4.3 V。源極電極及汲極電極中所包括之鈦（Ti）的功函數實質上等於氧化物半導體之電子親和性（ χ ）。在此狀況下，於金屬與氧化物半導體之間之介面未形成電子之蕭特基障壁。

此時，如圖33A中所描繪，電子於閘極絕緣層與純化氧化物半導體之間的介面附近移動（能量穩定之氧化物半導體的最低部分）。

此外，如圖33B中所描繪，當負電位施加於閘極電極（GE1）時，因為少數載子之電洞實質上為零，電流之值極接近零。

以此方式，藉由純化，使得盡可能少包含主要元素以外之元素（即雜質元素），而獲得固有（i型）或實質上固有氧化物半導體。因而，氧化物半導體與閘極絕緣層之間介面的特性成為明顯。為此原因，閘極絕緣層需可形成與氧化物半導體之有利介面。具體地，較佳的是使用例如藉由CVD法並使用以VHF頻帶至微波頻帶之範圍的電源頻率產生之高密度電漿而形成之絕緣層，藉由濺鍍法而形成之絕緣層等。

當氧化物半導體被純化，且氧化物半導體與閘極絕緣

層之間介面被製成有利時，若例如電晶體具有 $1 \times 10^4 \mu\text{m}$ 通道寬度（W）及 $3 \mu\text{m}$ 通道長度（L），便可體現 10^{-13} A 或更低之關閉狀態電流及 0.1 V/dec 之亞閾值擺幅（S值）（具 100 nm 厚之閘極絕緣層）。

如上述，氧化物半導體被純化以便盡可能少包含其主要元素以外之元素（即雜質元素），使得薄膜電晶體可以有利方式操作。

<修改範例>

參照圖 6、圖 7A 及 7B、圖 8A 及 8B 和圖 9A 及 9B 說明半導體裝置之結構的修改範例。請注意，在下列修改範例中，電晶體 162 之結構不同於已說明者。換言之，電晶體 160 之結構類似於已說明者。

在圖 6 中所描繪之範例中，電晶體 162 包括氧化物半導體層 140、源極或汲極電極 142a 及源極或汲極電極 142b 之下的閘極電極 136d，且源極或汲極電極 142a 及源極或汲極電極 142b 接觸氧化物半導體層 140 之底面。由於平面結構可適當改變以相應於截面結構，此處僅說明截面結構。

有關圖 6 中所描繪之結構與圖 2A 及 2B 中所描繪之結構之間的大差異，在於源極或汲極電極 142a 及源極或汲極電極 142b 與氧化物半導體層 140 之連接位置。即，在圖 2A 及 2B 中所描繪之結構中，源極或汲極電極 142a 及源極或汲極電極 142b 於氧化物半導體層 140 之頂面接觸氧化物半導體層 140；另一方面，在圖 6 中所描繪之結構中，源極或汲極

電極 142a 及源極或汲極電極 142b 於氧化物半導體層 140 之底面接觸氧化物半導體層 140。此外，接觸位置之差異導致其他電極、其他絕緣層等的位置改變。有關每一元件之細節，可參照圖 2A 及 2B。

具體地，半導體裝置包括提供於層間絕緣層 128 上之閘極電極 136d、提供於閘極電極 136d 上之閘極絕緣層 138、提供於閘極絕緣層 138 上之源極或汲極電極 142a 及源極或汲極電極 142b、及接觸源極或汲極電極 142a 及源極或汲極電極 142b 之頂面之氧化物半導體層 140。

此處，提供閘極電極 136d 以便嵌入形成於層間絕緣層 128 上之絕緣層 132。此外，類似於閘極電極 136d，電極 136a、電極 136b 及電極 136c 經形成而分別接觸源極或汲極電極 130a、源極或汲極電極 130b 及電極 130c。

於電晶體 162 之上，保護絕緣層 144 經提供而接觸部分氧化物半導體層 140。層間絕緣層 146 係提供於保護絕緣層 144 之上。此處，在保護絕緣層 144 及層間絕緣層 146 中，形成達到源極或汲極電極 142a 及源極或汲極電極 142b 之開口。在開口中，電極 150d 及電極 150e 經形成而分別接觸源極或汲極電極 142a 及源極或汲極電極 142b。類似於電極 150d 及 150e，於閘極絕緣層 138、保護絕緣層 144 及層間絕緣層 146 中所提供之開口中，電極 150a、150b 及 150c 經形成而分別接觸電極 136a、136b 及 136c。

此外，絕緣層 152 係提供於層間絕緣層 146 之上。提供電極 154a、電極 154b、電極 154c 及電極 154d 以便嵌入絕緣

層 152。此處，電極 154a 接觸電極 150a；電極 154b 接觸電極 150b；電極 154c 接觸電極 150c 及電極 150d；及電極 154d 接觸電極 150e。

圖 7A 及 7B 各描繪範例，其中閘極電極 136d 係提供於氧化物半導體層 140 之上。此處，圖 7A 描繪範例，其中源極或汲極電極 142a 及源極或汲極電極 142b 於氧化物半導體層 140 之底面接觸氧化物半導體層 140；及圖 7B 描繪範例，其中源極或汲極電極 142a 及源極或汲極電極 142b 於氧化物半導體層 140 之頂面接觸氧化物半導體層 140。

圖 7A 及 7B 之結構與圖 2A、2B 及圖 6 之結構之間的大差異在於閘極電極 136d 係提供於氧化物半導體層 140 之上。此外，圖 7A 中所描繪之結構與圖 7B 中所描繪之結構之間的大差異在於源極或汲極電極 142a 及源極或汲極電極 142b 接觸氧化物半導體層 140 之表面，係氧化物半導體層 140 之頂面或底面。此外，該些差異導致其他電極、其他絕緣層等的位置改變。有關每一元件之細節，可參照圖 2A 及 2B 或其他圖式中所描繪之結構。

具體地，在圖 7A 中半導體裝置包括提供於層間絕緣層 128 上之源極或汲極電極 142a 及源極或汲極電極 142b，接觸源極或汲極電極 142a 及源極或汲極電極 142b 之頂面的氧化物半導體層 140，提供於氧化物半導體層 140 上之閘極絕緣層 138，及與氧化物半導體層 140 重疊之區域中閘極絕緣層 138 之上的閘極電極 136d。

在圖 7B 中，半導體裝置包括提供於層間絕緣層 128 上

之氧化物半導體層 140；經提供而接觸氧化物半導體層 140 之頂面的源極或汲極電極 142a 及源極或汲極電極 142b；提供於氧化物半導體層 140、源極或汲極電極 142a 及源極或汲極電極 142b 上之閘極絕緣層 138；及與氧化物半導體層 140 重疊之區域中閘極絕緣層 138 上之閘極電極 136d。

請注意，在圖 7A 及 7B 中所描繪之結構中，有時可省略圖 2A 及 2B 等中所描繪之結構的元件（例如電極 150a、電極 154a）等。在此狀況下，可附帶達成製造程序簡化。不用說，圖 2A 及 2B 等中所描繪之結構亦可省略非必要元件。

圖 8A 及 8B 各描繪結構範例，其中元件具有相對大尺寸，且閘極電極 136d 係提供於氧化物半導體層 140 之下。在此狀況下，因為表面平面性及覆蓋之要求不必要極高，使得不需要形成嵌入絕緣層之佈線、電極等。例如，可以導電層形成及接著定型之方式，而形成閘極電極 136d 等。請注意，儘管未描繪，可類似地製造電晶體 160。

圖 8A 中所描繪之結構與圖 8B 中所描繪之結構之間的大差異在於源極或汲極電極 142a 及源極或汲極電極 142b 接觸氧化物半導體層 140 之表面，係氧化物半導體層 140 之頂面或底面。此外，該些差異導致其他電極、其他絕緣層等的位置改變。有關每一元件之細節，可參照圖 2A 及 2B 或其他圖式中所描繪之結構。

具體地，在圖 8A 中所描繪之結構中，半導體裝置包括提供於層間絕緣層 128 上之閘極電極 136d、提供於閘極

電極 136d 上之閘極絕緣層 138、提供於閘極絕緣層 138 上之源極或汲極電極 142a 及源極或汲極電極 142b、及接觸源極或汲極電極 142a 及源極或汲極電極 142b 之頂面的氧化物半導體層 140。

在圖 8B 中所描繪之結構中，半導體裝置包括提供於層間絕緣層 128 上之閘極電極 136d、提供於閘極電極 136d 上之閘極絕緣層 138、提供於閘極絕緣層 138 上以便與閘極電極 136d 重疊之氧化物半導體層 140、及經提供而接觸氧化物半導體層 140 之頂面的源極或汲極電極 142a 及源極或汲極電極 142b。

請注意，亦在圖 8A 及 8B 中所描繪之結構中，有時亦可省略圖 2A 及 2B 中所描繪之結構的元件。亦在此狀況下，可達成製造程序簡化。

圖 9A 及 9B 各描繪結構範例，其中元件具有相對大尺寸，且閘極電極 136d 係提供於氧化物半導體層 140 之上。亦在此狀況下，因為表面平面性及覆蓋之要求不必要極高，使得不需要形成嵌入絕緣層之佈線、電極等。例如，可以導電層形成及接著定型之方式，而形成閘極電極 136d 等。請注意，儘管未描繪，可類似地製造電晶體 160。

圖 9A 中所描繪之結構與圖 9B 中所描繪之結構之間的大差異在於源極或汲極電極 142a 及源極或汲極電極 142b 接觸氧化物半導體層 140 之表面，係氧化物半導體層 140 之頂面或底面。此外，該些差異導致其他電極、其他絕緣層等的位置改變。有關每一元件之細節，可參照圖 2A 及 2B 或

其他圖式中所描繪之結構。

具體地，在圖9A中，半導體裝置包括提供於層間絕緣層128上之源極或汲極電極142a及源極或汲極電極142b；與源極或汲極電極142a及源極或汲極電極142b之頂面接觸之氧化物半導體層140；提供於源極或汲極電極142a、源極或汲極電極142b及氧化物半導體層140上之閘極絕緣層138；及提供於與氧化物半導體層140重疊之區域中閘極絕緣層138上之閘極電極136d。

在圖9B中，半導體裝置包括提供於層間絕緣層128上之氧化物半導體層140；經提供而接觸氧化物半導體層140之頂面的源極或汲極電極142a及源極或汲極電極142b；提供於源極或汲極電極142a、源極或汲極電極層142b及氧化物半導體層140上之閘極絕緣層138；及提供於與氧化物半導體層140重疊之區域中閘極絕緣層138上之閘極電極136d。

請注意，在圖9A及9B中所描繪之結構中，有時亦可省略圖2A及2B等中所描繪之結構的元件。亦在此狀況下，可達成製造程序簡化。

如上述，依據本發明所揭露之一實施例，體現具有新穎結構之半導體裝置。在本實施例中，儘管電晶體160及電晶體162相堆疊，半導體裝置之結構不侷限於此。此外，儘管說明電晶體160之通道長度方向與電晶體162之通道長度方向彼此垂直之範例，電晶體160與162之位置不侷限於此。此外，電晶體160及162可經提供而彼此重疊。

請注意，儘管在本實施例中，為易於理解而說明每一最小儲存單元（一位元）之半導體裝置，半導體裝置之結構不侷限於此。藉由適當連接複數半導體裝置，可形成更先進之半導體裝置。例如，可藉由使用複數半導體裝置而製成非及（NAND）型或非或（NOR）型半導體裝置。佈線之結構不侷限於圖1中所描繪者，可酌情改變。

在依據本實施例之半導體裝置中，電晶體162之小關閉狀態電流特性使資料可保持極長時間。換言之，不需要在DRAM等中為必要之刷新作業；因而可抑制電力消耗。此外，半導體裝置可實質上用做非揮發性半導體裝置。

由於資料係藉由電晶體162之切換作業而被寫入，不需高電壓，且半導體裝置中元件未惡化。此外，因為資料係藉由開啓或關閉電晶體而被寫入及擦除，半導體裝置可輕易地以高速作業。此外，存在一優點即不需用於擦除資料之作業，而其在快閃記憶體等中為必要的。

此外，使用氧化物半導體以外材料形成之電晶體較使用氧化物半導體形成之電晶體可以較高速度操作，並因而體現儲存內容的高速讀取。

本實施例中所說明之結構、方法等，可酌情與任一其他實施例中所之結構及方法組合。

[實施例2]

在本實施例中，說明依據本發明之實施例之半導體裝置之電路組態及作業。

圖 10 中描繪半導體裝置中所包括之記憶體元件（以下亦稱為記憶格）的電路圖範例。圖 10 中所描繪之記憶格 200 為多值記憶格，包括源極線 SL、位元線 BL、第一信號線 S1、第二信號線 S2、字線 WL、電晶體 201、電晶體 202、電晶體 203 及電容器 205。電晶體 201 及 203 係使用氧化物半導體以外材料形成，及電晶體 202 係使用氧化物半導體形成。

此處，電晶體 201 之閘極電極電性連接電晶體 202 之源極電極及汲極電極之一。此外，源極線 SL 電性連接電晶體 201 之源極電極，及電晶體 203 之源極電極電性連接電晶體 201 之汲極電極。位元線 BL 電性連接電晶體 203 之汲極電極，及第一信號線 S1 電性連接電晶體 202 之源極電極及汲極電極之另一。第二信號線 S2 電性連接電晶體 202 之閘極電極，及字線 WL 電性連接電晶體 203 之閘極電極。此外，電容器 205 之一電極電性連接電晶體 201 之閘極電極及電晶體 202 之源極電極及汲極電極之一。電容器 205 之另一電極被供應予預定電位，例如 GND。

其次，說明圖 10 中所描繪之記憶格 200 的作業。說明若記憶格 200 為四值記憶格。記憶格 200 之四種狀態為資料「00b」、「01b」、「10b」及「11b」，且四種狀態中節點 A 之電位分別為 V_{00} 、 V_{01} 、 V_{10} 及 V_{11} （ $V_{00} < V_{01} < V_{10} < V_{11}$ ）。

當執行寫入至記憶格 200 時，源極線 SL 被設定為 0 [V]，字線 WL 被設定為 0 [V]，位元線 BL 被設定為 0 [V]，及第

二信號線 S2 被設定為 2 [V]。當執行資料「00b」寫入時，第一信號線 S1 被設定為 V_{00} [V]。當執行資料「01b」寫入時，第一信號線 S1 被設定為 V_{01} [V]。當執行資料「10b」寫入時，第一信號線 S1 被設定為 V_{10} [V]。當執行資料「11b」寫入時，第一信號線 S1 被設定為 V_{11} [V]。此時，電晶體 203 處於關閉狀態，及電晶體 202 處於開啓狀態。請注意，在寫入末端，第二信號線 S2 於第一信號線 S1 之電位改變之前被設定為 0 [V]，使得電晶體 202 關閉。

結果，在寫入資料「00b」、「01b」、「10b」或「11b」後，連接電晶體 201 之閘極電極之節點（以下稱為節點 A）的電位分別為約 V_{00} [V]、 V_{01} [V]、 V_{10} [V] 或 V_{11} [V]。電荷依據第一信號線 S1 之電位而累積於節點 A 中，且由於電晶體 202 之關閉電流極小或實質上為 0，電晶體 201 之閘極電極的電位長時間保持。

當執行記憶格 200 之讀取時，首先將位元線 BL 預充電至 V_{pc} [V]。接著，源極線 SL 被設定為 V_{s_read} [V]，字線 WL 被設定為 2 V，第二信號線 S2 被設定為 0 V，及第一信號線 S1 被設定為 0 V。此時，電晶體 203 處於開啓狀態，及電晶體 202 處於關閉狀態。

結果，電流從源極線 SL 流至位元線 BL，且位元線充電至以（節點 A 之電位）-（電晶體 201 之閾值電壓 V_{th} ）代表之電位。因此，位元線 BL 之電位變成分別相應於資料「00b」、「01b」、「10b」及「11b」之 $V_{00} - V_{th}$ 、 $V_{01} - V_{th}$ 、 $V_{10} - V_{th}$ 及 $V_{11} - V_{th}$ 。由於相應於資料之位元線的電

位彼此不同，連接位元線 BL 之讀取電路可讀出資料「00b」、「01b」、「10b」及「11b」。

圖 11 中描繪依據本發明之實施例的半導體裝置（包括 $m \times n$ 位元之儲存容量）之方塊電路圖。

依據本發明之實施例的半導體裝置包括 m 條字線 WL、 m 條第二信號線 S2、 n 條位元線 BL、 n 條第一信號線 S1、 n 條源極線 SL、包括以 m 格（列） $\times n$ 格（行）（ m 及 n 為自然數）矩陣排列之複數記憶格 200（1, 1）至 200（ m , n ）之記憶格陣列 210、及週邊電路，諸如讀取電路 211、第一信號線驅動電路 212、用於第二信號線及字線之驅動電路 213、及電位產生電路 214。有關其他週邊電路，可提供刷新電路等。

每一記憶格，例如考量記憶格 200（ i , j ）（此處， i 為大於或等於 1 及小於或等於 m 之整數，及 j 為大於或等於 1 及小於或等於 n 之整數）。記憶格 200（ i , j ）連接位元線 BL（ j ）、第一信號線 S1（ j ）、源極線 SL（ j ）、字線 WL（ i ）及第二信號線 S2（ i ）。此外，位元線 BL（1）至 BL（ n ）及源極線 SL（1）至 SL（ n ）連接讀取電路 211。第一信號線 S1（1）至 S1（ n ）連接第一信號線驅動電路 212。字線 WL（1）至 WL（ m ）及第二信號線 S2（1）至 S2（ m ）連接用於第二信號線及字線之驅動電路 213。

圖 12 中描繪用於第二信號線及字線之驅動電路 213。用於第二信號線及字線之驅動電路 213 包括解碼器 215。解碼器 215 經由開關而連接第二信號線 S2 及字線 WL。此外，

第二信號線 S2 及字線 WL 經由開關而連接 GND（接地電位）。開關係由讀取致能信號（RE 信號）或寫入致能信號（WE 信號）控制。位址信號 ADR 係從外部輸入解碼器 215。

當位址信號 ADR 輸入用於第二信號線及字線之驅動電路 213 時，藉由位址指定之列（以下亦稱為選擇列）生效（激活），另一列（以下亦稱為非選擇列）則失效（失活）。此外，當 RE 信號生效時，字線 WL 連接解碼器 215 之輸出，當 RE 信號失效時，字線 WL 連接 GND。當 WE 信號生效時，第二信號線 S2 連接解碼器 215 之輸出，當 WE 信號失效時，第二信號線 S2 連接 GND。

圖 13 中描繪第一信號線驅動電路 212 之範例。第一信號線驅動電路 212 包括多工器（MUX1）。DI 及寫入電位 V_{00} 、 V_{01} 、 V_{10} 及 V_{11} 輸入多工器（MUX1）。多工器之輸出端子經由開關而連接第一信號線 S1。此外，第一信號線 S1 經由開關而連接 GND。開關係藉由寫入致能信號（WE 信號）控制。

當 DI 輸入第一信號線驅動電路 212，多工器（MUX1）依據來自寫入電位 V_{00} 、 V_{01} 、 V_{10} 及 V_{11} 之 DI 值而選擇寫入電位 V_w 。多工器（MUX1）之行爲顯示於表 1。當 WE 信號生效時，選擇的寫入電位 V_w 施加於第一信號線 S1。當 WE 信號失效時，0 V 施加於第一信號線 S1（第一信號線 S1 連接 GND）。

[表 1]

DI[1]	DI[0]	MUX1輸出
0	0	相應於 V_{00}
0	1	相應於 V_{01}
1	0	相應於 V_{10}
1	1	相應於 V_{11}

圖 14 描繪讀取電路 211 之範例。讀取電路 211 包括複數感應放大器電路、邏輯電路 219 等。每一感應放大器電路之一輸入端子經由開關而連接位元線 BL 或佈線 V_{pc} 。任一參考電位 V_{ref0} 、 V_{ref1} 及 V_{ref2} 被輸入至每一感應放大器電路之另一輸入端子。每一感應放大器電路之輸出端子連接邏輯電路 219 之輸入端子。請注意，開關係藉由讀取致能信號（RE 信號）控制。

藉由設定每一參考電位 V_{ref0} 、 V_{ref1} 及 V_{ref2} 之值以便滿足 $V_{00} - V_{th} < V_{ref0} < V_{01} - V_{th} < V_{ref1} < V_{10} - V_{th} < V_{ref2} < V_{11} - V_{th}$ ，可讀出記憶格之狀態，做為 3 位元數位信號。例如，若為資料「00b」，位元線 BL 之電位為 $V_{00} - V_{th}$ 。此處，位元線之電位小於任一參考電位 V_{ref0} 、 V_{ref1} 及 V_{ref2} ；因此，感應放大器電路的每一輸出 SA_OUT0、SA_OUT1 及 SA_OUT2 變成「0」。類似地，若為資料「01b」，位元線 BL 之電位為 $V_{01} - V_{th}$ ，使得感應放大器電路的輸出 SA_OUT0、SA_OUT1 及 SA_OUT2 分別變成「1」、「0」及「0」。若為資料「10b」，位元線 BL 之電位為 $V_{10} - V_{th}$ ，藉此感應放大器電路的輸出 SA_OUT0、

SA_OUT1及SA_OUT2分別變成「1」、「1」及「0」。若為資料「11b」，位元線BL之電位為 $V_{11} - V_{th}$ ，使得感應放大器電路的輸出SA_OUT0、SA_OUT1及SA_OUT2分別變成「1」、「1」及「1」。之後，使用表2邏輯表中所示邏輯電路219，產生2位元資料DO並從讀取電路211輸出。

[表 2]

SA_OUT0	SA_OUT1	SA_OUT2	DO1	DO0
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

請注意，在此處所描繪之讀取電路211中，當RE信號失效時，源極線SL連接GND，且0 V施加於源極線SL。同時，電位 V_{pc} [V]施加於位元線BL及連接位元線BL之感應放大器電路的端子。當RE信號生效時， V_{s_read} [V]施加於源極線SL，藉此反映資料之電位被充電至位元線BL。接著，執行讀取。請注意，電位 V_{pc} 被設定為低於 $V_{00} - V_{th}$ 。此外， V_{s_read} 被設定為高於 $V_{11} - V_{th}$ 。

請注意，於讀取中比較之「位元線BL的電位」包括經由開關而連接位元線BL之感應放大器電路的輸入端子之節點的電位。即，讀取電路中比較之電位不必要確實與位元線BL之電位相同。

圖15中描繪電位產生電路214之範例。在電位產生電路214中，電位藉由 V_{dd} 與GND之間電阻劃分，藉此可獲得

所需電位。接著所產生之電位經由類比緩衝器 220 輸出。以此方式，產生寫入電位 V_{00} 、 V_{01} 、 V_{10} 及 V_{11} 和參考電位 V_{ref0} 、 V_{ref1} 及 V_{ref2} 。請注意，圖 21 中描繪組態，其中 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ ；然而，電位關係不侷限於此。藉由調整參考電位連接之電阻器及節點，可適當產生所需電位。此外，可使用不同電位產生電路而從 V_{ref0} 、 V_{ref1} 及 V_{ref2} 產生 V_{00} 、 V_{01} 、 V_{10} 及 V_{11} 。

圖 17 描繪差動感應放大器，做為感應放大器電路之範例。差動感應放大器包括輸入端子 $V_{in}(+)$ 、 $V_{in}(-)$ 及輸出端子 V_{out} ，並放大 $V_{in}(+)$ 與 $V_{in}(-)$ 之間差異。當 $V_{in}(+) > V_{in}(-)$ 時， V_{out} 約為高輸出，及當 $V_{in}(+) < V_{in}(-)$ 時， V_{out} 約為低輸出。

圖 18 描繪閘鎖感應放大器，做為感應放大器電路之範例。閘鎖感應放大器包括輸入-輸出端子 $V1$ 及 $V2$ 和控制信號 S_p 及 S_n 之輸入端子。首先，電源停止設定信號 S_p 為高及信號 S_n 為低。其次，將比較之電位施加於 $V1$ 及 $V2$ 。之後，當電力供應設定信號 S_p 為低及信號 S_n 為高時， $V1$ 變成高輸出及 $V2$ 變成低輸出，當電位供應前，電力為 $V1 > V2$ 。當電位供應前，電力為 $V1 < V2$ 。以此方式， $V1$ 與 $V2$ 之間電位差被放大。

圖 16A 描繪寫入作業之時序圖範例。圖 16A 中時序圖描繪執行將資料「10b」寫入至記憶格之狀況。所選擇之第二信號線 $S2$ 較第一信號線 $S1$ 更早變成 0 V。在寫入期間，第一信號線 $S1$ 之電位變成 V_{10} 。請注意，字線 WL 、位元

線 BL 及源極線 SL 具有 0 V。此外，圖 16B 描繪讀取作業之時序圖範例。圖 16B 中時序圖描繪執行從記憶格讀取資料「10b」之狀況。當所選擇之字線 WL 生效且源極線 SL 具有 V_{s_read} [V] 時，位元線 BL 充電至相應於記憶格之資料「10b」的 $V_{10} - V_{th}$ [V]。結果，SA_OUT0、SA_OUT1 及 SA_OUT2 分別變成「1」、「1」及「0」。請注意，第一信號線 S1 及第二信號線 S2 均具有 0 V。

此處，說明具體作業電位（電壓）之範例。例如，可獲得下列：電晶體 201 之閾值電壓為約 0.3 V、電源電壓 V_{DD} 為 2V、 V_{11} 為 1.6 V、 V_{10} 為 1.2 V、 V_{01} 為 0.8 V、 V_{00} 為 0V、 V_{ref0} 為 0.3 V、 V_{ref1} 為 0.7 V 及 V_{ref2} 為 1.1 V。電位 V_{pc} 較佳地為例如 0 V。

此外，在本實施例中，第一信號線 S1 係以位元線 BL 方向（行方向）配置，及第二信號線 S2 係以字線 WL 方向（列方向）配置；然而，本發明之一實施例不侷限於此。例如，第一信號線 S1 可以字線 WL 方向（列方向）配置，及第二信號線 S2 可以位元線 BL 方向（行方向）配置。在此狀況下，可適當配置第一信號線 S1 連接之驅動電路及第二信號線 S2 連接之驅動電路。

在本實施例中，說明四值記憶格之作業，即，於一記憶格中執行四種不同狀態之任一之寫入及讀取的狀況。然而，藉由適當改變電路組態，可執行 n 值記憶格之作業，即，任一隨意 n 種不同狀態之寫入及讀取（ n 為大於或等於 2 之整數）。

例如，在八值記憶格中，儲存容量變成雙值記憶格之三倍。當執行寫入時，準備八種寫入電位以決定節點 A 之電位，並產生八種狀態。當執行讀取時，準備七種參考電位，藉此可區分八種狀態。提供一感應放大器並執行七次比較，使得可讀出資料。此外，藉由反饋比較結果，可將比較次數降低為三次。

通常，在 2^k 值記憶格（ k 為大於或等於 1 之整數）中，儲存電容器為雙值記憶格之 k 倍大。當執行寫入時，準備 2^k 種寫入電位以決定節點 A 之電位，並產生 2^k 種狀態。當執行讀取時，準備 $2^k - 1$ 種參考電位，藉此可區分 2^k 種狀態。提供一感應放大器並執行 $2^k - 1$ 次比較，使得可讀取資料。此外，藉由反饋比較結果，可將比較次數降低為 k 次。在用於驅動源極線 SL 之讀取方法中，藉由提供 $2^k - 1$ 個感應放大器，便可於一次比較中讀取資料。此外，可提供複數感應放大器，及執行複數次比較。

依據本實施例之半導體裝置因為電晶體 202 之低關閉狀態電流特性，而可相當長時間保持資料。即，不需要在 DRAM 等中必要之刷新作業，使得可抑制電力消耗。此外，本實施例之半導體裝置可用做實質上非揮發性記憶體裝置。

由於可藉由電晶體 202 之開關作業而執行寫入資料等，不需高電壓且無元件惡化之問題。此外，因為藉由將電晶體開啓或關閉而執行寫入資料及擦除資料，可輕易地體現高速作業。此外，藉由控制輸入至電晶體之電位，可執

行資料的直接覆寫。因此，不需在快閃記憶體等中必要之擦除作業，並可避免因擦除作業之作業速度的降低。

再者，使用氧化物半導體材料以外材料之電晶體可以充分高速操作；因此，藉由使用電晶體，可以高速讀取記憶內容。

依據本實施例之半導體裝置為多值半導體裝置，使得可提升每一面積儲存容量。因此，可降低半導體裝置之尺寸，並可高度整合半導體裝置。此外，當執行寫入作業時可直接控制變成浮動狀態之節點電位；因而，可以多值記憶體元件所需的高準確性輕易控制閾值電壓。因此，可省略多值記憶體元件所需之寫入資料後的狀態驗證，且在此狀況下，可縮短寫入資料所需時間。

[實施例 3]

在本實施例中，說明依據本發明之實施例的半導體裝置之電路組態及作業。

在本實施例中，使用圖 10 中所描繪之記憶體元件的電路組態說明執行與實施例 2 不同之讀取作業。請注意，有時圖 10 中不包括電容器 205。記憶體元件為多值記憶體元件，在本實施例中係說明四值記憶格。記憶格 200 之四種狀態為資料「00b」、「01b」、「10b」及「11b」，且四種狀態中節點 A 之電位分別為 V_{00} 、 V_{01} 、 V_{10} 及 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。

若執行寫入至記憶格 200，源極線 SL 被設定為 0 [V]，

字線 WL 被設定為 0 [V]，位元線 BL 被設定為 0 [V]，及第二信號線 S2 被設定為 2 [V]。若執行資料「00b」寫入，第一信號線 S1 被設定為 V_{00} [V]。若執行資料「01b」寫入，第一信號線 S1 被設定為 V_{01} [V]。若執行資料「10b」寫入，第一信號線 S1 被設定為 V_{10} [V]。若執行資料「11b」寫入，第一信號線 S1 被設定為 V_{11} [V]。此時，電晶體 203 處於關閉狀態，及電晶體 202 處於開啓狀態。請注意，在寫入末端，第二信號線 S2 於第一信號線 S1 之電位改變之前被設定為 0 [V]，使得電晶體 202 關閉。

結果，在寫入資料「00b」、「01b」、「10b」或「11b」後，連接電晶體 201 之閘極電極之節點（以下稱為節點 A）的電位分別為約 V_{00} [V]、 V_{01} [V]、 V_{10} [V] 或 V_{11} [V]。電荷依據第一信號線 S1 之電位而累積於節點 A 中，且由於電晶體 202 之關閉電流極小或實質上為 0，電晶體 201 之閘極電極的電位長時間保持。

其次，若執行記憶格 200 之讀取，源極線 SL 被設定為 0 V，字線 WL 被設定為 V_{DD} ，第二信號線 S2 被設定為 0 V，第一信號線 S1 被設定為 0 V，且連接位元線 BL 之讀取電路 211 處於作業狀態。此時，電晶體 203 處於開啓狀態，及電晶體 202 處於關閉狀態。

結果，依據記憶格 200 之狀態決定記憶格 200 之有效電阻值。隨著節點 A 之電位增加，有效電阻值降低。從電阻值之間差異，讀取電路可讀出資料「00b」、「01b」、「10b」及「11b」。請注意，若為節點 A 之電位為最低值之

資料「00b」以外的資料，較佳的是電晶體201處於開啓狀態。

圖19描繪依據本發明之實施例之半導體裝置的另一範例之方塊電路圖，其包括 $m \times n$ 位元之記憶容量。

圖19中所描繪之半導體裝置包括 m 條字線WL、 m 條第二信號線S2、 n 條位元線BL、 n 條第一信號線S1、包括以 m 格（列） $\times n$ 格（行）（ m 及 n 為自然數）矩陣排列之複數記憶格200（1，1）至200（ m ， n ）之記憶格陣列210、及週邊電路，諸如讀取電路221、第一信號線驅動電路212、用於第二信號線及字線之驅動電路213、及電位產生電路214。可提供刷新電路等做為其他週邊電路。

每一記憶格，例如考量記憶格200（ i ， j ）（此處， i 為大於或等於1及小於或等於 m 之整數，及 j 為大於或等於1及小於或等於 n 之整數）。記憶格200（ i ， j ）連接位元線BL（ j ）、第一信號線S1（ j ）、字線WL（ i ）、第二信號線S2（ i ）、及源極佈線。此外，位元線BL（1）至BL（ n ）連接讀取電路221，第一信號線S1（1）至S1（ n ）連接第一信號線驅動電路212，字線WL（1）至WL（ m ）及第二信號線S2（1）至S2（ m ）連接用於第二信號線及字線之驅動電路213。

請注意，電位產生電路214、用於第二信號線及字線之驅動電路213、及第一信號線驅動電路212之組態，可與例如圖15、圖12及圖13之組態相同。

圖20描繪讀取電路221之範例。讀取電路221包括感應

放大器電路、參考格 225、邏輯電路 219、多工器 (MUX2)、正反器電路 FF0、FF1及 FF2、偏壓電路 223等。參考格 225包括電晶體 216、電晶體 217及電晶體 218。參考格 225中所包括之電晶體 216、電晶體 217及電晶體 218分別相應於記憶格中所包括之電晶體 201、電晶體 202及電晶體 203，並形成與記憶格相同電路組態。較佳的是電晶體 216及電晶體 218係使用氧化物半導體以外材料形成，及電晶體 217係使用氧化物半導體形成。此外，若記憶格包括電容器 205，較佳的是參考格 225亦包括電容器。偏壓電路 223之兩輸出端子經由開關而分別連接位元線 BL及參考格 225中所包括之電晶體 218的汲極電極。此外，偏壓電路 223之輸出端子連接感應放大器電路之輸入端子。感應放大器電路之輸出端子連接正反器電路 FF0、FF1及 FF2。正反器電路 FF0、FF1及 FF2之輸出端子連接邏輯電路 219之輸入端子。信號 RE0、RE1及 RE2、參考電位 V_{ref0} 、 V_{ref1} 及 V_{ref2} 、和 GND輸入至多工器 (MUX2)。多工器 (MUX2)之輸出端子連接參考格 225中所包括之電晶體 217的源極電極及汲極電極之一。位元線 BL及參考格 225中所包括之電晶體 218的汲極電極經由開關而連接佈線 V_{pc} 。請注意，開關係藉由信號 ϕA 控制。

讀取電路 221具有一種結構，其中執行記憶格之傳導性與參考格 225之傳導性的比較。該結構包括一感應放大器電路。在此結構中，比較係執行三次，以便讀出四種狀態。換言之，在三種參考電位之每一種的狀況下，執行記

憶格之傳導性與參考格225之傳導性的比較。三次比較係藉由信號RE0、RE1、RE2及 ϕA 控制。多工器(MUX2)依據信號RE0、RE1及RE2之值，選擇三種參考電位 V_{ref0} 、 V_{ref1} 及 V_{ref2} 和GND之任一種。表3中描繪多工器(MUX2)之效能。正反器電路FF0、FF1及FF2係分別藉由信號RE0、RE1及RE2控制，並儲存感應放大器之輸出信號SA_OUT的值。

[表 3]

RE0	RE1	RE2	V_{wL}
0	0	0	相應於GND
1	0	0	相應於 V_{ref0}
0	1	0	相應於 V_{ref1}
0	0	1	相應於 V_{ref2}

決定參考電位之值以便 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ 。因而，從三次比較結果可讀出四種狀態。若為資料「00b」，正反器電路FF0、FF1及FF2之值為「0」、「0」及「0」。若為資料「01b」，正反器電路FF0、FF1及FF2之值為「1」、「0」及「0」。若為資料「10b」，正反器電路FF0、FF1及FF2之值為「1」、「1」及「0」。若為資料「11b」，正反器電路FF0、FF1及FF2之值為「1」、「1」及「1」。以此方式，可讀出記憶格狀態，做為3位元數位信號。之後，使用表2中所示以邏輯值表代表之邏輯電路219，產生2位元資料DO並從讀取電路輸出。

請注意，在圖 20 中所描繪之讀取電路中，當信號 RE 失效時，位元線 BL 及參考格 225 連接佈線 V_{pc} ，以便執行預充電。當信號 RE 生效時，建立位元線 BL 與偏壓電路 223 之間及參考格 225 與偏壓電路 223 之間電氣連續性。

請注意，預充電並非必要執行。在此電路中，較佳的是產生輸入至感應放大器電路之兩信號的電路具有幾乎相同結構。例如，較佳的是參考格 225 中電晶體之結構與記憶格中相應電晶體之結構相同。較佳的是偏壓電路 223 中相應電晶體與開關具有相同結構。

寫入作業之時序圖與圖 16A 相同。讀取作業之時序圖範例顯示於圖 21。圖 21 顯示若從記憶格讀出資料「10b」之時序圖。 V_{ref0} 、 V_{ref1} 及 V_{ref2} 於信號 RE0、RE1 及 RE2 生效的各期間輸入至多工器 (MUX2) 的輸出 MUX2_OUT。在每一期間的前半段，信號 ϕA 生效且預定電位施加於參考格 225 中所包括之電晶體的節點 B。在每一期間的後半段，信號 ϕA 失效，參考格 225 中所包括之電晶體的節點 B 保持預定電位，且參考格 225 中所包括之電晶體 218 的汲極電極連接偏壓電路 223。接著，感應放大器電路中比較結果儲存於每一正反器電路 FF0、FF1 及 FF2 中。若記憶格之資料為「10b」，正反器電路 FF0、FF1 及 FF2 之值為「1」、「1」及「0」。請注意，第一信號線 S1 及第二信號線 S2 具有 0 V。

其次，說明與圖 20 中所描繪者不同之讀取電路及讀取方法。

圖 28 描繪讀取電路 222 做為範例。讀取電路 222 包括感應放大器電路、複數參考格（參考格 225a、參考格 225b 及參考格 225c）、邏輯電路 219、正反器電路 FF0、FF1 及 FF2、偏壓電路 223 等。

參考格 225a、225b 及 225c 各包括電晶體 216、電晶體 217 及電晶體 218。電晶體 216、217 及 218 分別相應於電晶體 201、202 及 203，並形成與記憶格 200 相同電路組態。較佳的是電晶體 216 及電晶體 218 係使用氧化物半導體以外材料形成，及電晶體 217 係使用氧化物半導體形成。此外，若記憶格包括電容器 205，較佳的是每一參考格亦包括電容器。偏壓電路 223 之兩輸出端子經由開關而分別連接位元線 BL 及複數參考格中所包括之電晶體 218 的汲極電極。此外，偏壓電路 223 之輸出端子連接感應放大器電路之輸入端子。感應放大器電路之輸出端子連接正反器電路 FF0、FF1 及 FF2。正反器電路 FF0、FF1 及 FF2 之輸出端子連接邏輯電路 219 之輸入端子。位元線 BL 及複數參考格中所包括之電晶體 218 的汲極電極經由開關而連接佈線 V_{pc} 。請注意，開關係藉由讀取致能信號（RE 信號）控制。

讀取電路 222 具有一種結構，其中執行記憶格之傳導性與複數參考格之傳導性的比較。該組態包括一感應放大器電路。在此結構中，比較係執行三次，以便讀出四種狀態。即，讀取電路 222 具有一種結構，其中執行記憶格之傳導性與三參考格之每一之傳導性的比較。三次比較係藉由信號 RE0、RE1 及 RE2 控制。 V_{ref0} 、 V_{ref1} 及 V_{ref2} 輸入至

三個別參考格之電晶體 216 的閘極電極。在讀取之前，信號 ϕA 生效，所有電晶體 217 開啓，並執行寫入至參考格。在讀取作業之前，可執行一次寫入至參考格。不用說，當執行多次讀取時，可執行一次佈線，或每當執行讀取時均執行佈線。此外，正反器電路 FF0、FF1 及 FF2 係藉由信號 RE0、RE1 及 RE2 控制，並儲存感應放大器之輸出信號 SA_OUT 的值。

決定參考電位之值以便 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ 。因而，從三次比較結果可讀出四種狀態。若為資料「00b」，正反器電路 FF0、FF1 及 FF2 之值為「0」、「0」及「0」。若為資料「01b」，正反器電路 FF0、FF1 及 FF2 之值為「1」、「0」及「0」。若為資料「10b」，正反器電路 FF0、FF1 及 FF2 之值為「1」、「1」及「0」。若為資料「11b」，正反器電路 FF0、FF1 及 FF2 之值為「1」、「1」及「1」。以此方式，可讀出記憶格狀態，做為 3 位元數位信號。之後，使用表 2 中所示以邏輯值表代表之邏輯電路 219，產生 2 位元資料 DO 並從讀取電路輸出。

請注意，在圖 28 中所描繪之讀取電路中，當信號 RE 失效時，位元線 BL 及參考格 225 連接佈線 V_{pc} ，以便執行預充電。當信號 RE 生效時，建立位元線 BL 與偏壓電路 223 之間及複數參考格 225 與偏壓電路 223 之間電氣連續性。

請注意，預充電並非必要執行。在此電路中，較佳的

是產生輸入至感應放大器電路之信號的電路具有幾乎相同結構。例如，較佳的是參考格中電晶體之結構與記憶格中相應電晶體之結構相同。較佳的是偏壓電路 223 中相應電晶體與開關具有相同結構。

寫入作業之時序圖與圖 16A 相同。讀取作業之時序圖範例顯示於圖 29。圖 29 顯示若從記憶格讀出資料「10b」之時序圖。參考格 225a、參考格 225b 及參考格 225c 於信號 RE0、RE1 及 RE2 生效的各期間被選擇並連接偏壓電路 223。接著，感應放大器電路中比較結果儲存於每一正反器電路 FF0、FF1 及 FF2 中。若記憶格之資料為「10b」，正反器電路 FF0、FF1 及 FF2 之值為「1」、「1」及「0」。請注意，第一信號線 S1 及第二信號線 S2 具有 0 V。

說明具體作業電位（電壓）之範例。例如，可獲得下列：電晶體 201 之閾值電壓為約 0.3 V、電源電壓 V_{DD} 為 2 V、 V_{11} 為 1.6 V、 V_{10} 為 1.2 V、 V_{01} 為 0.8 V、 V_{00} 為 0 V、 V_{ref0} 為 0.6 V、 V_{ref1} 為 1.0 V 及 V_{ref2} 為 1.4 V。電位 V_{pc} 較佳地為例如 0 V。

儘管在本實施例中，第一信號線 S1 係以位元線 BL 方向（行方向）提供，及第二信號線 S2 係以字線 WL 方向（列方向）提供，本發明之實施例不侷限於此。例如，第一信號線 S1 可以字線 WL 方向（列方向）提供，及第二信號線 S2 可以位元線 BL 方向（行方向）提供。在此狀況下，可適當配置第一信號線 S1 連接之驅動電路及第二信號線 S2 連接之驅動電路。

在本實施例中，說明四值記憶格之作業，即，於一記憶格中執行四種不同狀態之任一之寫入及讀取的狀況。然而，藉由適當改變電路組態，可執行 n 值記憶格之寫入及讀取，即，任一隨意 n 種不同狀態之寫入及讀取（ n 為 2 或更大之整數）。

例如，八值記憶格之記憶容量為雙值記憶格之三倍。當執行寫入時，準備八種寫入電位以決定節點 A 之電位，並產生八種狀態。當執行讀取時，準備七種參考電位，藉此可區分八種狀態。當執行讀取時，提供一感應放大器並執行七次比較，使得可讀出資料。此外，藉由反饋比較結果，可將比較次數降低為三次。在驅動源極線 SL 之讀取方法中，當提供七個感應放大器時，藉由執行一次比較，便可讀出資料。此外，可使用一種組態，其中提供複數感應放大器及執行複數次比較。

通常， 2^k 值記憶格（ k 為 1 或更大之整數）之記憶容量為雙值記憶格之 k 倍大。當執行寫入時，準備 2^k 種寫入電位以決定節點 A 之電位，並產生 2^k 種狀態。當執行讀取時，較佳地準備 $2^k - 1$ 種參考電位，藉此可區分 2^k 種狀態。提供一感應放大器，並藉由執行 $2^k - 1$ 次比較，而可讀出資料。此外，藉由比較結果反饋，可將比較次數降低為 k 次。在用於驅動源極線 SL 之讀取方法中，藉由提供 $2^k - 1$ 個感應放大器，便可藉由執行一次比較，而執行讀取。此外，可使用一種結構，其中提供複數感應放大器，並執行複數次比較。

在依據本實施例之半導體裝置中，因為電晶體 202 之低關閉電流特性，而可極長時間保持資料。換言之，不需要在 DRAM 等中必要之刷新作業，使得可抑制電力消耗。此外，依據本實施例之半導體裝置可用做實質上非揮發性記憶體裝置。

此外，藉由電晶體 202 之開關作業而執行寫入資料等；因此，不需高電壓且無元件惡化之問題。此外，藉由將電晶體開啓或關閉而執行寫入及擦除資料；因此，可輕易地獲得高速作業。藉由控制輸入至電晶體之電位，可執行資料的直接覆寫。因此，不需在快閃記憶體等中必要之擦除作業，使得可抑制因擦除作業之作業速度的降低。

此外，使用氧化物半導體以外材料之電晶體可以充分高速操作；因此，藉由使用電晶體，可以高速讀取儲存內容。

由於依據本實施例之半導體裝置為多值半導體，可提升每一單位面積記憶容量。因此，可達成半導體裝置之最小化，及其高度整合。此外，當執行寫入時，可直接控制處於浮動狀態之節點電位；因此，可以多值記憶體元件所需的高準確性輕易地執行閾值電壓之控制。因而，可省略多值記憶體元件所需之寫入資料後的狀態驗證；因此，在此狀況下，可縮短寫入所需時間。

[實施例 4]

在本實施例中，說明與實施例 2 及實施例 3 不同之半導體裝置的電路組態及作業，做為範例。

圖 22 描繪半導體裝置中所包括之記憶格的電路圖範例。圖 22 中所描繪之記憶格 240 包括源極線 SL、位元線 BL、第一信號線 S1、第二信號線 S2、字線 WL、電晶體 201、電晶體 202 及電容器 204。電晶體 201 係使用氧化物半導體以外材料形成，及電晶體 202 係使用氧化物半導體形成。

此處，電晶體 201 之閘極電極、電晶體 202 之源極電極及汲極電極之一、與電容器 204 之一電極彼此電性連接。此外，源極線 SL 與電晶體 201 之源極電極彼此電性連接。位元線 BL 與電晶體 201 之汲極電極彼此電性連接。第一信號線 S1 與電晶體 202 之源極電極及汲極電極之另一彼此電性連接。第二信號線 S2 與電晶體 202 之閘極電極彼此電性連接。字線 WL 與電容器 204 之另一電極彼此電性連接。

其次，說明圖 22 中所描繪之記憶格 240 的作業。此處，使用四值記憶格。記憶格 240 之四種狀態為資料「00b」、「01b」、「10b」及「11b」，且四種狀態中節點 A 之電位分別為 V_{00} 、 V_{01} 、 V_{10} 及 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。

若執行寫入至記憶格 240，源極線 SL 被設定為 0 [V]，字線 WL 被設定為 0 [V]，位元線 BL 被設定為 0 [V]，及第二信號線 S2 被設定為 V_{DD} 。若寫入資料「00b」，第一信號線 S1 被設定為 V_{00} [V]。若寫入資料「01b」，第一信號線

S1被設定為 V_{01} [V]。若寫入資料「10b」，第一信號線S1被設定為 V_{10} [V]。若寫入資料「11b」，第一信號線S1被設定為 V_{11} [V]。此時，電晶體201處於關閉狀態，及電晶體202處於開啓狀態。請注意，在寫入末端，第二信號線S2於第一信號線S1之電位改變之前被設定為0 [V]，使得電晶體202關閉。

結果，在寫入資料「00b」、「01b」、「10b」或「11b」後（字線WL之電位被設定為0 V），連接電晶體201之閘極電極之節點（以下稱為節點A）的電位分別為約 V_{00} [V]、 V_{01} [V]、 V_{10} [V]或 V_{11} [V]。電荷依據第一信號線S1之電位而累積於節點A中，且由於電晶體202之關閉電流極小或約為0，電晶體201之閘極電極的電位長時間保持。

其次，若執行記憶格240之讀取，源極線SL被設定為0 V，第二信號線S2被設定為0 V，第一信號線S1被設定為0 V，且連接位元線BL之讀取電路處於作業狀態。此時，電晶體202處於關閉狀態。

字線WL被設定為 V_{WL} [V]。記憶格240之節點A的電位取決於字線WL之電位。隨著字線WL之電位增加，記憶格240之節點A的電位增加。例如，施加於處於四種不同狀態之記憶格的字線WL之電位，從低電位改變為高電位，首先開啓資料「11b」之記憶格的電晶體201，接著資料「10b」之記憶格、資料「01b」之記憶格、及資料「00b」之記憶格依此順序開啓。換言之，藉由適當選擇字線WL之電位，可區分記憶格之狀態（即，記憶格中所包括

之資料)。藉由適當選擇字線WL之電位，電晶體201處於開啓狀態之記憶格處於低電阻狀態，及電晶體201處於關閉狀態之記憶格處於高電阻狀態；因此，當藉由讀取電路區分電阻狀態時，可讀出資料「00b」、「01b」、「10b」及「11b」。

圖23描繪依據本發明之實施例的半導體裝置（包括 $m \times n$ 位元之記憶容量）之另一範例之方塊電路圖。

圖23中所描繪之半導體裝置包括 m 條字線WL、 m 條第二信號線S2、 n 條位元線BL、 n 條第一信號線S1、以 m 格（列） $\times n$ 格（行）（ m 及 n 為自然數）矩陣排列之複數記憶格240（1，1）至240（ m ， n ）之記憶格陣列210、及週邊電路，諸如讀取電路231、第一信號線驅動電路212、用於第二信號線及字線之驅動電路233、及電位產生電路214。刷新電路等可提供做為其他週邊電路。

每一記憶格，例如考量記憶格240（ i ， j ）（此處， i 為大於或等於1及小於或等於 m 之整數，及 j 為大於或等於1及小於或等於 n 之整數）。記憶格240（ i ， j ）連接位元線BL（ j ）、第一信號線S1（ j ）、字線WL（ i ）、第二信號線S2（ i ）、及源極線SL。此外，位元線BL（1）至BL（ n ）連接讀取電路231，第一信號線S1（1）至S1（ n ）連接第一信號線驅動電路212，字線WL（1）至WL（ m ）及第二信號線S2（1）至S2（ m ）連接用於第二信號線S2及字線WL之驅動電路233。

請注意，圖13及圖15中所描繪之組態可分別用於第一

信號線驅動電路 212 及電位產生電路 214 之結構。

圖 24 描繪讀取電路之範例。讀取電路包括感應放大器電路、正反器電路、偏壓電路 224 等。偏壓電路 224 經由開關而連接位元線 BL。此外，偏壓電路 224 連接感應放大器電路之輸入端子。參考電位 V_r 輸入至感應放大器電路之另一輸入端子。感應放大器電路之輸出端子連接正反器電路 FF0 及 FF1 之輸入端子。請注意，開關係藉由讀取致能信號（RE 信號）控制。讀取電路可藉由讀出連接位元線 BL 之指定記憶格的傳導性而讀出資料。請注意，記憶格之傳導性的讀取表示記憶格中所包括之電晶體 201 之開啓或關閉狀態之讀取。

圖 24 中所描繪之讀取電路包括一感應放大器，並執行兩次比較以便區分四種不同狀態。兩次比較係藉由信號 RE0 及 RE1 控制。正反器電路 FF0 及 FF1 係分別藉由信號 RE0 及 RE1 控制，並儲存感應放大器電路之輸出信號的值。正反器電路 FF0 之輸出 DO[1] 及正反器電路 FF1 之輸出 DO[0] 係從讀取電路輸出。

請注意，在所描繪之讀取電路中，當 RE 信號失效時，位元線 BL 連接佈線 V_{pc} 並執行預充電。當 RE 信號生效時，建立位元線 BL 與偏壓電路 224 之間的電氣連續性。請注意，預充電不必要執行。

圖 25 描繪用於第二信號線 S2 及字線 WL 之驅動電路 233，做為另一範例。

在圖 25 所描繪之用於第二信號線及字線之驅動電路

233中，當輸入位址信號ADR時，藉由位址指定之列（選擇列）生效，及其他列（非選擇列）失效。第二信號線S2於WE信號生效時連接解碼器輸出，及於WE信號失效時連接GND。選擇列中字線WL連接多工器（MUX3）之輸出 V_{wL} ，及非選擇列中字線WL連接GND。多工器（MUX3）選擇三種參考電位 V_{ref0} 、 V_{ref1} 及 V_{ref2} 或GND之任一，以回應信號RE0、RE1及DO之值。多工器（MUX3）之行爲顯示於表4中。

[表 4]

RE0	RE1	DO[1]	V_{wL}
0	0	*	相應於GND
1	0	*	相應於 V_{ref1}
0	1	0	相應於 V_{ref0}
0	1	1	相應於 V_{ref2}

說明三種參考電位 V_{ref0} 、 V_{ref1} 及 V_{ref2} （ $V_{ref0} < V_{ref1} < V_{ref2}$ ）。若選擇 V_{ref0} 做為字線WL之電位，基此而關閉資料「00b」之記憶格的電晶體201及開啓資料「01b」之記憶格的電晶體201的電位，被選擇做為 V_{ref0} 。此外，若選擇 V_{ref1} 做為字線WL之電位，基此而關閉資料「01b」之記憶格的電晶體201及開啓資料「10b」之記憶格的電晶體201的電位，被選擇做為 V_{ref1} 。此外，若選擇 V_{ref2} 做為字線WL之電位，基此而關閉資料「10b」之記憶格的電晶體201及開啓資料「11b」之記憶格的電晶體201的電位，被選擇做為 V_{ref2} 。

在讀取電路中，藉由兩次比較而執行讀取。第一比較係使用 V_{ref1} 而予執行。當使用 V_{ref1} 之比較造成正反器 FF0 之值為「0」時，便使用 V_{ref0} 執行第二比較，當使用 V_{ref1} 之比較造成正反器 FF0 之值為「1」時，便使用 V_{ref2} 執行第二比較。以上述方式，可藉由兩次比較讀出四種狀態。

寫入作業之時序圖與圖 16A 相同。讀取作業之時序圖範例顯示於圖 26。圖 26 顯示若從記憶格讀出資料「10b」之時序圖。 V_{ref1} 及 V_{ref2} 輸入至所選擇之各字線 WL，且感應放大器中比較結果於信號 RE0 及 RE1 生效之各期間儲存於正反器電路 FF0 及 FF1 中。若記憶格之資料為「10b」，正反器電路 FF0 及 FF1 之值為「1」及「0」。請注意，第一信號線 S1 及第二信號線 S2 具有 0 V。

說明具體作業電位（電壓）之範例。例如，電晶體 201 之閾值電壓 V_{th} 為 2.2 V。節點 A 之電位取決於字線 WL 與節點 A 之間電容 C1 及電晶體 202 之閘極電容 C2，此處，例如當電晶體 202 處於關閉狀態則 $C1/C2 \gg 1$ ，及當電晶體 202 處於開啓狀態則 $C1/C2 = 1$ 。圖 27 顯示若源極線 SL 具有 0V，節點 A 之電位與字線 WL 之電位之間關係。從圖 27，發現參考電位 V_{ref0} 、 V_{ref1} 及 V_{ref2} 較佳地分別為 0.8 V、1.2 V 及 2.0 V，若執行寫入，資料「00b」之節點 A 的電位為 0V，資料「01b」之節點 A 的電位為 0.8 V，資料「10b」之節點 A 的電位為 1.2 V，及資料「11b」之節點 A 的電位為 1.6 V。

請注意，寫入之後（字線 WL 之電位為 0 V），電晶體

201之節點A的電位較佳地低於或等於電晶體201之閾值電壓。

儘管本實施例使用組態其中第一信號線S1係以位元線BL方向（行方向）提供，及第二信號線S2係以字線WL方向（列方向）提供，本發明之實施例不侷限於此。例如，第一信號線S1可以字線WL方向（列方向）提供，及第二信號線S2可以位元線BL方向（行方向）提供。在此狀況下，可適當配置第一信號線S1連接之驅動電路及第二信號線S2連接之驅動電路。

在本實施例中，說明四值記憶格之作業，即，於一記憶格中執行任一四種不同狀態之寫入及讀取的狀況。藉由適當改變電路組態，可執行n值記憶格，即任一隨意n種不同狀態（n為2或更大之整數）之寫入及讀取。

例如，八值記憶格之記憶容量為雙值記憶格之三倍。當執行寫入時，準備八種寫入電位以決定節點A之電位，並產生八種狀態。當執行讀取時，準備七種參考電位，藉此可區分八種狀態。當執行讀取時，提供一感應放大器並執行七次比較，使得可讀出資料。此外，藉由反饋比較結果，可將比較次數降低為三次。在驅動源極線SL之讀取方法中，當提供七個感應放大器時，藉由執行一次比較，便可讀出資料。此外，可使用一種組態，其中提供複數感應放大器及執行複數次比較。

通常， 2^k 值記憶格（k為1或更大之整數）之記憶容量

為雙值記憶格之 k 倍大。當執行寫入時，準備 2^k 種寫入電位以決定節點 A 之電位，並產生 2^k 種狀態。當執行讀取時，較佳地準備 $2^k - 1$ 種參考電位，藉此可區分 2^k 種狀態。提供一感應放大器，並藉由執行 $2^k - 1$ 次比較，而可讀出資料。此外，藉由比較結果反饋，可將比較次數降低為 k 次。在用於驅動源極線 SL 之讀取方法中，藉由提供 $2^k - 1$ 個感應放大器，便可藉由執行一次比較，而執行讀取。此外，可使用一種結構，其中提供複數感應放大器，並執行複數次比較。

在依據本實施例之半導體裝置中，因為電晶體 202 之低關閉電流特性，而可極長時間保持資料。換言之，不需要在 DRAM 等中必要之刷新作業，使得可抑制電力消耗。此外，依據本實施例之半導體裝置可用做實質上非揮發性記憶體裝置。

此外，藉由電晶體 202 之開關作業而執行寫入資料等；因此，不需高電壓且無元件惡化之問題。此外，藉由將電晶體開啓或關閉而執行寫入及擦除資料；因此，可輕易地獲得高速作業。藉由控制輸入至電晶體之電位，可執行資料的直接覆寫。因此，不需在快閃記憶體等中必要之擦除作業，使得可抑制因擦除作業之作業速度的降低。

此外，使用氧化物半導體以外材料之電晶體可以充分高速操作；因此，藉由使用電晶體，可以高速讀出儲存內容。

由於依據本實施例之半導體裝置為多值半導體，可提

升每一單位面積記憶容量。因此，可達成半導體裝置之最小化，及其高度整合。此外，當執行寫入時，可直接控制處於浮動狀態之節點電位；因此，可以多值記憶體元件所需的高準確性輕易地執行閾值電壓之控制。因而，可省略多值記憶體元件所需之寫入資料後的狀態驗證；因此，在此狀況下，可縮短寫入所需時間。

[實施例 5]

在本實施例中，將參照圖 30A 至 30F 說明安裝依據上述實施例而獲得之半導體裝置的電子裝置範例。甚至未供應電力，依據上述實施例而獲得之半導體裝置仍可保持資料。未造成因寫入或擦除之降級。因此，其作業速度高。因而，基於使用該半導體裝置，可提供具有新穎結構之電子裝置。請注意，依據上述實施例之半導體裝置係整合及安裝於電路板等之上，並將安裝於電子裝置上。

圖 30A 描繪包括依據上述實施例之半導體裝置的膝上型個人電腦，包括主體 301、外殼 302、顯示部 303、鍵盤 304 等。當依據本發明之實施例的半導體裝置應用於膝上型個人電腦時，甚至未供應電力仍可保持資料。此外，未造成因寫入或擦除之降級。此外，其作業速度高。因而，較佳的是將依據本發明之實施例之半導體裝置應用於膝上型個人電腦。

圖 30B 描繪包括依據上述實施例之半導體裝置的可攜式資訊終端機（PDA），包括主體 311 具顯示部 313、

外部介面 315、操作按鈕 314 等。此外，包括觸控筆 312 做為用於操作之配件。當依據本發明之實施例的半導體裝置應用於 PDA 時，甚至未供應電力仍可保持資料。此外，未造成因寫入或擦除之降級。此外，其作業速度高。因而，較佳的是將依據本發明之實施例之半導體裝置應用於 PDA。

圖 30C 描繪電子書閱讀器 320，做為包括依據上述實施例之半導體裝置的電子紙之範例。電子書閱讀器 320 包括兩外殼：外殼 321 與外殼 323。外殼 321 與外殼 323 以絞鏈 337 結合，使得電子書閱讀器 320 可以絞鏈 337 做為軸而開啓及關閉。基於該等結構，電子書閱讀器 320 可如同紙本書般使用。當依據本發明之實施例的半導體裝置應用於電子紙時，甚至未供應電力仍可保持資料。此外，未造成因寫入或擦除之降級。此外，其作業速度高。因而，較佳的是將依據本發明之實施例之半導體裝置應用於電子紙。

顯示部 325 併入外殼 321，及顯示部 327 併入外殼 323。顯示部 325 及顯示部 327 可顯示一影像或可顯示不同影像。當顯示部 325 及 327 顯示不同影像時，例如，在右側之顯示部（圖 30C 中顯示部 325）可顯示正文，及左側之顯示部（圖 30C 中顯示部 327）可顯示圖形。

圖 30C 描繪一範例，其中外殼 321 經提供而具操作部等。例如，外殼 321 經提供而具電力按鈕 331、操作鍵 333、揚聲器 335 等。基於操作鍵 333，頁面可以翻轉。請注意，鍵盤、指向裝置等亦可提供於外殼表面上，其上提供顯示

部。此外，外部連接端子（例如耳機端子、USB端子、可連接諸如AC轉接器及USB纜線之各類纜線的端子等）、記錄媒體嵌入部等可提供於外殼之背面或側面。此外，電子書閱讀器320可具有電子字典之功能。

電子書閱讀器320可組構成用以無線發送及接收資料。經由無線通訊，可從電子書伺服器採購及下載所需書籍資料等。

請注意，電子紙可應用於可顯示資料之任一領域之電子裝置中。例如，除了電子書閱讀器外，電子紙可用於海報、諸如火車之車廂廣告，諸如信用卡之各類卡的顯示等。

圖30D描繪包括依據上述實施例之半導體裝置的行動電話。該行動電話包括兩外殼：外殼340及外殼341。外殼341包括顯示面板342、揚聲器343、麥克風344、指向裝置346、相機鏡頭347、外部連接端子348等。外殼341包括太陽能電池349，用於充電行動電話、外部記憶體槽350等。此外，天線併入外殼341。當依據本發明之實施例之半導體裝置應用於行動電話時，甚至未供應電力仍可保持資料。此外，未造成因寫入或擦除之降級。此外，其作業速度高。因而，較佳的是將依據本發明之實施例之半導體裝置應用於行動電話。

顯示面板342具有觸控面板功能。以影像顯示之複數操作鍵345於圖30D中以虛線描繪。請注意，行動電話包括升壓器電路，用於將從太陽能電池349輸出之電壓上升

至每一電路所需電壓。此外，除了上述結構，可使用其中結合無接觸IC晶片、小型記錄裝置等之結構。

顯示面板342之顯示方向依據使用方式而酌情改變。此外，相機鏡頭347提供於與顯示面板342相同表面上，因而可用做視訊電話。揚聲器343及麥克風344可用於視訊電話、記錄及播放聲音等，未侷限於語言通訊。再者，外殼340及341處於圖30D中所描繪之展開狀態，可藉由滑動而使得彼此重疊；因此，行動電話之尺寸可降低，此使得行動電話適於攜帶。

外部連接端子348可連接諸如AC轉接器或USB纜線之各類纜線，使得可充電及資料通訊。再者，藉由將記錄媒體嵌入外部記憶體槽350，行動電話可處理儲存及移動大量資料。此外，除了上述功能外，可提供紅外線通訊功能、電視接收功能等。

圖30E描繪包括依據上述實施例之半導體裝置的數位相機。該數位相機包括主體361、顯示部(A)367、目鏡363、操作開關364、顯示部(B)365、電池366等。當依據本發明之實施例的半導體裝置應用於數位相機時，甚至未供應電力仍可保持資料。此外，未造成因寫入或擦除之降級。此外，其作業速度高。因而，較佳的是將依據本發明之實施例之半導體裝置應用於數位相機。

圖30F描繪包括依據上述實施例之半導體裝置的電視機。在電視機370中，顯示部373併入外殼371。顯示部373上可顯示影像。此處，外殼371係藉由支架375支撐。

電視機 370 可以外殼 371 之操作開關或個別遙控器 380 操作。藉由遙控器 380 之操作鍵 379，可控制頻道及音量，使得可控制顯示於顯示部 373 上之影像。此外，遙控器 380 可具顯示部 377，用於顯示遙控器 380 輸出之資料。當依據本發明之實施例的半導體裝置應用於電視機時，甚至未供應電力仍可保持資料。此外，未造成因寫入或擦除之降級。此外，其作業速度高。因而，較佳的是將依據本發明之實施例之半導體裝置應用於電視機。

請注意，電視機 370 較佳地具接收器、數據機等。基於接收器，可接收一般電視廣播。此外，當電視機 370 經由數據機有線或無線連接至通訊網路時，可執行單向（從發送器至接收器）或雙向（發送器與接收器之間，接收器之間等）資訊通訊。

本實施例中所說明之方法及結構可酌情與其他實施例中所說明之任一方法及結構相組合。

本申請案係依據 2009 年 11 月 6 日向日本專利局提出申請之序號 2009-255448 日本專利申請案，其整個內容係以提及方式併入本文。

【圖式簡單說明】

在圖式中：

圖 1 為說明半導體裝置之電路圖；

圖 2A 及 2B 為分別說明半導體裝置之截面圖及平面圖

；

圖 3 A 至 3 H 為 說 明 半 導 體 裝 置 之 截 面 圖 ；

圖 4 A 至 4 G 為 截 面 圖 ， 說 明 半 導 體 裝 置 之 製 造 步 驟 ；

圖 5 A 至 5 D 為 截 面 圖 ， 說 明 半 導 體 裝 置 之 製 造 步 驟 ；

圖 6 為 說 明 半 導 體 裝 置 之 截 面 圖 ；

圖 7 A 及 7 B 為 說 明 半 導 體 裝 置 之 截 面 圖 ；

圖 8 A 及 8 B 為 說 明 半 導 體 裝 置 之 截 面 圖 ；

圖 9 A 及 9 B 為 說 明 半 導 體 裝 置 之 截 面 圖 ；

圖 10 為 說 明 記 憶 體 元 件 之 電 路 圖 ；

圖 11 為 說 明 半 導 體 裝 置 之 電 路 圖 ；

圖 12 為 說 明 驅 動 電 路 之 電 路 圖 ；

圖 13 為 說 明 驅 動 電 路 之 電 路 圖 ；

圖 14 為 說 明 驅 動 電 路 之 電 路 圖 ；

圖 15 為 說 明 驅 動 電 路 之 電 路 圖 ；

圖 16 A 及 16 B 為 說 明 作 業 之 時 序 圖 ；

圖 17 為 說 明 半 導 體 裝 置 之 電 路 圖 ；

圖 18 為 說 明 半 導 體 裝 置 之 電 路 圖 ；

圖 19 為 說 明 半 導 體 裝 置 之 電 路 圖 ；

圖 20 為 說 明 驅 動 電 路 之 電 路 圖 ；

圖 21 為 說 明 作 業 之 時 序 圖 ；

圖 22 為 說 明 記 憶 體 元 件 之 電 路 圖 ；

圖 23 為 說 明 半 導 體 裝 置 之 電 路 圖 ；

圖 24 為 說 明 驅 動 電 路 之 電 路 圖 ；

圖 25 為 說 明 驅 動 電 路 之 電 路 圖 ；

圖 26 為 說 明 作 業 之 時 序 圖 ；

圖 27 之圖形顯示節點 A 之電位與字組線之電位之間關係；

圖 28 為說明驅動電路之電路圖；

圖 29 為說明作業之時序圖；

圖 30A 至 30F 描繪電子裝置；

圖 31 為包括氧化物半導體之電晶體的截面圖；

圖 32 為沿圖 31 之線 A-A' 之能帶圖（示意圖）；

圖 33A 顯示正電壓（ $+V_G > 0$ ）施加於閘極（GE1）之狀態，及圖 33B 顯示負電壓（ $-V_G < 0$ ）施加於閘極（GE1）之狀態；及

圖 34 顯示真空位準與金屬之功函數（ ϕ_M ）之間關係，及真空位準與氧化物半導體之電子親和性（ χ ）之間關係。

【主要元件符號說明】

100：基板

102：保護層

104：半導體區

106：元件隔離絕緣層

108a、138：閘極絕緣層

110a、136d：閘極電極

112、132、152：絕緣層

114：雜質區

116：通道形成區

- 118：側壁絕緣層
- 120：高濃度雜質區
- 122：金屬層
- 124：金屬化合物區
- 126、128、146：層間絕緣層
- 130a、130b、142a、142b：源極或汲極電極
- 130c、136a、136b、136c、150a、150b、150c、150d、150e、154a、154b、154c、154d：電極
- 134、148：導電層
- 140：氧化物半導體層
- 144：保護絕緣層
- 160、162、201、202、203、216、217、218：電晶體
- 200、240：記憶格
- 204、205：電容器
- 210：記憶格陣列
- 211、221、222、231、232：讀取電路
- 212：信號線驅動電路
- 213、233：驅動電路
- 214：電位產生電路
- 215：解碼器
- 219：邏輯電路
- 220：類比緩衝器
- 223、224：偏壓電路
- 225、225a、225b、225c：參考格

- 301、311、361：主體
- 302、321、323、340、341、371：外殼
- 303、313、325、327、373、377：顯示部
- 304：鍵盤
- 312：觸控筆
- 314：操作按鈕
- 315：外部介面
- 320：電子書閱讀器
- 331：電源按鈕
- 333、345、379：操作鍵
- 335、343：揚聲器
- 337：鉸鏈單元
- 342：顯示面板
- 344：麥克風
- 346：指向裝置
- 347：相機鏡頭
- 348：外部連接端子
- 349：太陽能電池
- 350：外部記憶體槽
- 363：目鏡
- 364：操作開關
- 365：顯示部 B
- 366：電池
- 367：顯示部 A

370：電 視 機

375：支 架

380：遙 控 器

七、申請專利範圍：

1. 一種半導體裝置，包含：

源極線；

位元線；

第一信號線；

複數第二信號線；

複數字線；

複數記憶格，於該源極線與該位元線之間彼此並聯；

第一驅動電路，組構成驅動該複數第二信號線及該複數字線，使得以選擇藉由輸入至該第一驅動電路之位址信號而從該複數記憶格指定之記憶格；

第二驅動電路，組構成選擇及輸出任一複數寫入電位至該第一信號線；

讀取電路，組構成比較該位元線之電位與複數參考電位，以讀出資料；及

電位產生電路，組構成產生及供應該複數寫入電位及該複數參考電位予該第二驅動電路及該讀取電路，

其中該複數記憶格之一包含：

第一電晶體，包括第一閘極電極、第一源極電極及第一汲極電極；

第二電晶體，包括第二閘極電極、第二源極電極及第二汲極電極；及

第三電晶體，包括第三閘極電極、第三源極電極及第三汲極電極，

其中該第一電晶體係提供於包括半導體材料之基板上，

其中該第二電晶體包括氧化物半導體層，

其中該氧化物半導體層包括 In、Ga 及 Zn，

其中該氧化物半導體層之氫濃度為小於或等於 5×10^{19} 原子 / cm^3 ，

其中該第一閘極電極與該第二源極電極及該第二汲極電極之一彼此電性連接，

其中該源極線與該第一源極電極彼此電性連接，

其中該第一汲極電極與該第三源極電極彼此電性連接，

其中該位元線與該第三汲極電極彼此電性連接，

其中該第一信號線與該第二源極電極及該第二汲極電極之另一彼此電性連接，

其中該複數第二信號線之一與該第二閘極電極彼此電性連接，及

其中該複數字線之一與該第三閘極電極彼此電性連接。

2. 如申請專利範圍第 1 項之半導體裝置，進一步包含電性連接該第一閘極電極之電容器。

3. 一種半導體裝置，包含：

源極線；

位元線；

第一信號線；

複數第二信號線；

複數字線；

複數記憶格，於該源極線與該位元線之間彼此並聯；

第一驅動電路，組構成驅動該複數第二信號線及該複數字線，使得以選擇藉由輸入至該第一驅動電路之位址信號而從該複數記憶格指定之記憶格；

第二驅動電路，組構成選擇及輸出任一複數寫入電位至該第一信號線；

包括參考記憶格之讀取電路，該讀取電路組構成比較該指定之記憶格的傳導性與該參考記憶格的傳導性，以讀出資料；及

電位產生電路，組構成產生及供應該複數寫入電位及該複數參考電位予該第二驅動電路及該讀取電路，

其中該複數記憶格之一包含：

第一電晶體，包括第一閘極電極、第一源極電極及第一汲極電極；

第二電晶體，包括第二閘極電極、第二源極電極及第二汲極電極；及

第三電晶體，包括第三閘極電極、第三源極電極及第三汲極電極，

其中該第一電晶體係提供於包括半導體材料之基板上，

其中該第二電晶體包括氧化物半導體層，

其中該氧化物半導體層包括 In、Ga 及 Zn，

其中該氧化物半導體層之氫濃度為小於或等於 5×10^{19} 原子/cm³，

其中該第一閘極電極與該第二源極電極及該第二汲極電極之一彼此電性連接，

其中該源極線與該第一源極電極彼此電性連接，

其中該第一汲極電極與該第三源極電極彼此電性連接，

其中該位元線與該第三汲極電極彼此電性連接，

其中該第一信號線與該第二源極電極及該第二汲極電極之另一彼此電性連接，

其中該複數第二信號線之一與該第二閘極電極彼此電性連接，及

其中該複數字線之一與該第三閘極電極彼此電性連接。

4. 一種半導體裝置，包含：

源極線；

位元線；

第一信號線；

複數第二信號線；

複數字線；

複數記憶格，於該源極線與該位元線之間彼此並聯；

第一驅動電路，組構成驅動該複數第二信號線及該複數字線，使得以選擇藉由輸入至該第一驅動電路之位址信號而從該複數記憶格指定之記憶格，及組構成選擇及輸出

輸入至該第一驅動電路之任一複數參考電位，至從該複數字線所選擇之一字線；

第二驅動電路，組構成選擇及輸出任一複數寫入電位至該第一信號線；

讀取電路，其電性連接該位元線，及組構成藉由讀出該指定之記憶格的傳導性而讀出資料；及

電位產生電路，組構成產生及供應該複數寫入電位及該複數參考電位予該第二驅動電路及該讀取電路，

其中該複數記憶格之一包含：

第一電晶體，包括第一閘極電極、第一源極電極及第一汲極電極；

第二電晶體，包括第二閘極電極、第二源極電極及第二汲極電極；及

電容器，

其中該第一電晶體係提供於包括半導體材料之基板上，

其中該第二電晶體包括氧化物半導體層，

其中該氧化物半導體層包括 In、Ga 及 Zn，

其中該氧化物半導體層之氫濃度為小於或等於 5×10^{19} 原子 / cm^3 ，

其中該第一閘極電極、該第二源極電極及第二汲極電極之一與該電容器之一電極彼此電性連接，

其中該源極線與該第一源極電極彼此電性連接，

其中該位元線與該第一汲極電極彼此電性連接，

其中該第一信號線與該第二源極電極及該第二汲極電極之另一彼此電性連接，

其中該複數第二信號線之一與該第二閘極電極彼此電性連接，及

其中該複數字線之一與該電容器之另一電極彼此電性連接。

5.如申請專利範圍第1、3及4項之其中之一項之半導體裝置，

其中該第一電晶體包括：通道形成區，其係提供於包括該半導體材料之該基板上；雜質區，其間提供該通道形成區；該通道形成區上之第一閘極絕緣層；該第一閘極絕緣層上之該第一閘極電極；及該第一源極電極與該第一汲極電極，

其中該第一源極電極電性連接該雜質區之一，及

其中該第二源極電極電性連接該雜質區之另一。

6.如申請專利範圍第1、3及4項之其中之一項之半導體裝置，其中該第二電晶體包括：包含該半導體材料之該基板上之該第二閘極電極；該第二閘極電極上之第二閘極絕緣層；該第二閘極絕緣層上之該氧化物半導體層；及電性連接該氧化物半導體層之該第二源極電極及該第二汲極電極。

7.如申請專利範圍第1、3及4項之其中之一項之半導體裝置，其中包括該半導體材料之該基板為單晶半導體基板。

8.如申請專利範圍第 1、3 及 4 項之其中之一項之半導體裝置，其中該半導體材料為矽。

9.一種半導體裝置，包含：

第一線；

第二線；

記憶格；

第一電路，組構成選擇及輸出任一複數寫入電位至該第一線；及

第二電路，組構成比較該第二線之電位與複數參考電位，以讀出資料，

其中該記憶格包含：

第一電晶體，包括第一閘極、第一源極及第一汲極；

第二電晶體，包括第二閘極、第二源極及第二汲極；及

第三電晶體，包括第三閘極、第三源極及第三汲極，

其中該第二電晶體包括氧化物半導體層，

其中該氧化物半導體層包括 In、Ga 及 Zn，

其中該氧化物半導體層之氫濃度為小於或等於 5×10^{19} 原子/cm³，

其中該第一閘極與該第二源極及該第二汲極之一彼此電性連接，

其中該第一汲極與該第三源極彼此電性連接，

其中第二線與該第三汲極彼此電性連接，及

其中該第一線與該第二源極及該第二汲極之另一彼此電性連接。

10.如申請專利範圍第9項之半導體裝置，進一步包含電性連接該第一閘極之電容器。

11.一種半導體裝置，包含：

第一線；

第二線；

記憶格；

第一電路，組構成選擇及輸出任一複數寫入電位至該第一線；及

第二電路，組構成比較該第二線之電位與複數參考電位，以讀出資料，

其中該記憶格包含：

第一電晶體，包括第一閘極、第一源極及第一汲極；

第二電晶體，包括第二閘極、第二源極及第二汲極；及

電容器，

其中該第二電晶體包括氧化物半導體層，

其中該氧化物半導體層包括In、Ga及Zn，

其中該氧化物半導體層之氫濃度為小於或等於 5×10^{19} 原子/cm³，

其中該第一閘極與該第二源極及該第二汲極之一彼此

電性連接，

其中該第一閘極與該電容器之一電極彼此電性連接，

其中該第二線與該第一汲極彼此電性連接，及

其中該第一線與該第二源極及該第二汲極之另一彼此電性連接。

12.如申請專利範圍第9或11項之半導體裝置，進一步包含，第三電路組構成產生及供應該複數寫入電位至該第一電路，及組構成產生及供應該複數參考電位至該第二電路。

13.如申請專利範圍第9或11項之半導體裝置，

其中該第一電晶體包括：通道形成區，其係提供於包括半導體材料之基板上；雜質區，其間提供該通道形成區；該通道形成區上之第一閘極絕緣層；該第一閘極絕緣層上之該第一閘極；及該第一源極與該第一汲極，

其中該第一源極電性連接該雜質區之一，及

其中該第二源極電性連接該雜質區之另一。

14.如申請專利範圍第9或11項之半導體裝置，其中該第二電晶體包括：包含半導體材料之基板上之該第二閘極；該第二閘極上之第二閘極絕緣層；該第二閘極絕緣層上之該氧化物半導體層；及電性連接該氧化物半導體層之該第二源極及該第二汲極。

15.如申請專利範圍第1、3、4、9及11項之其中之一項之半導體裝置，其中該氧化物半導體層包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 之晶體。

圖 1

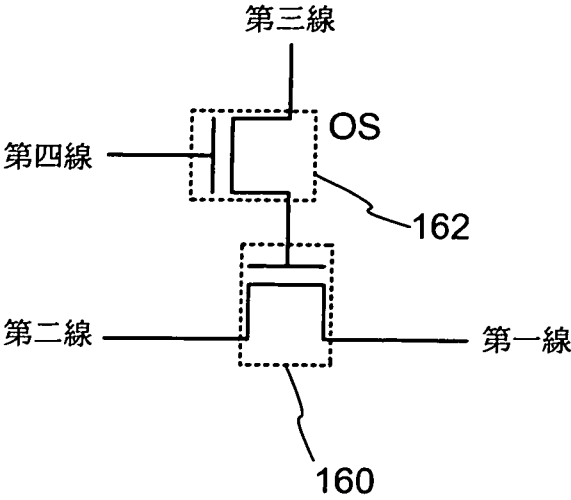


圖 2A

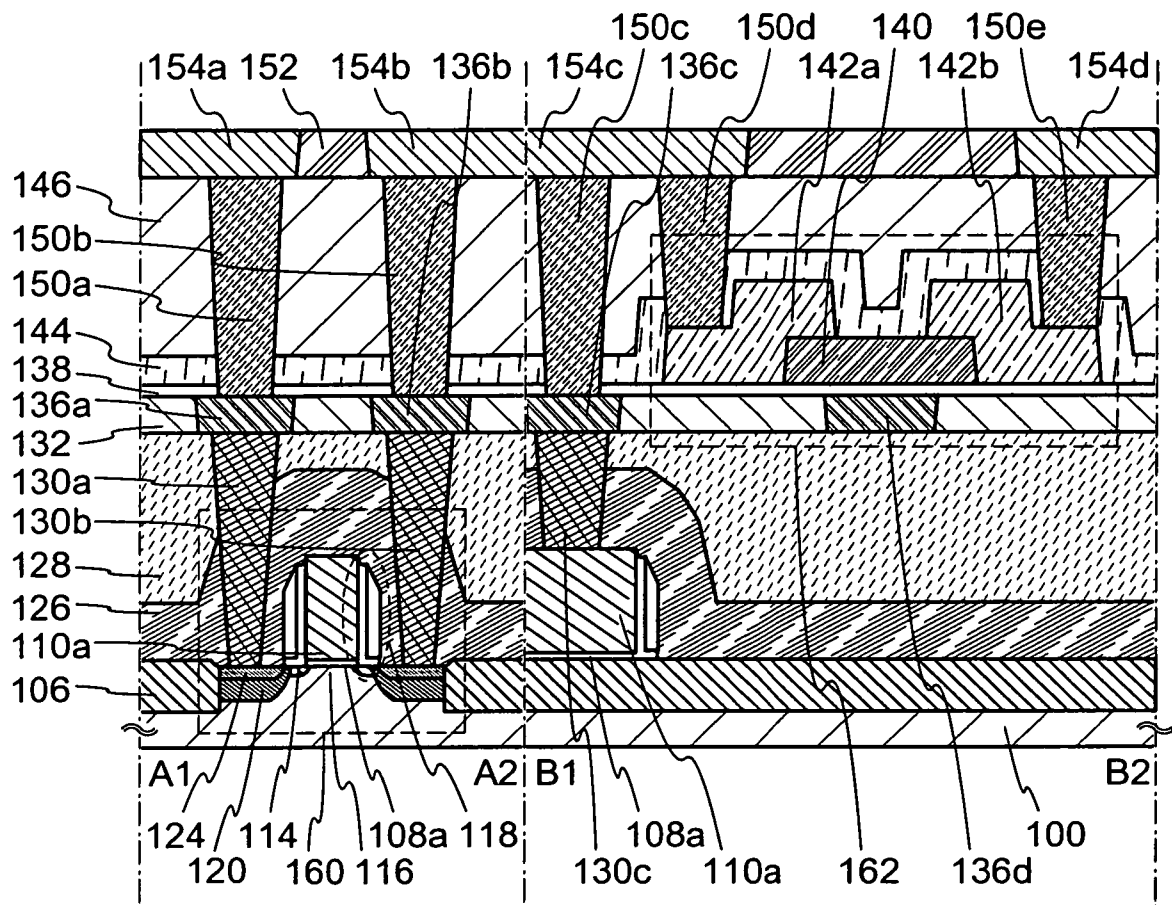


圖 2B

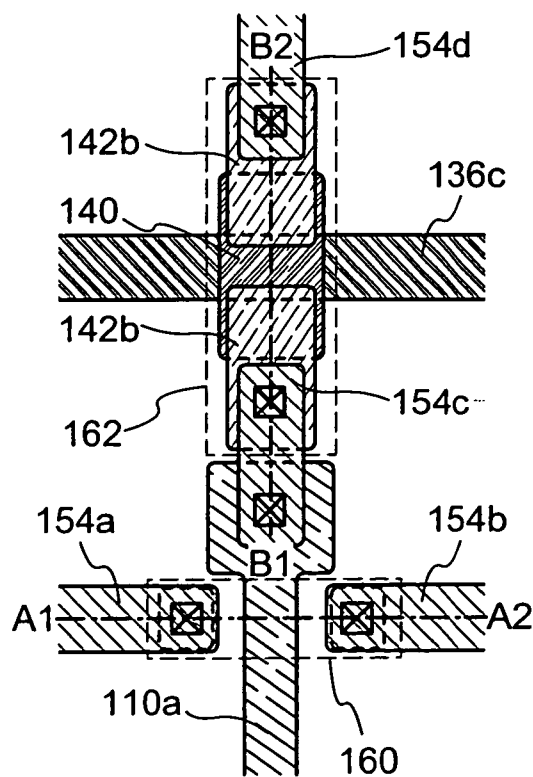


圖 3A

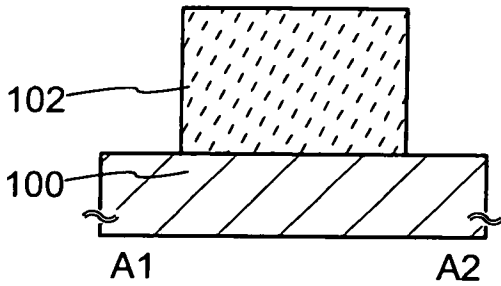


圖 3E

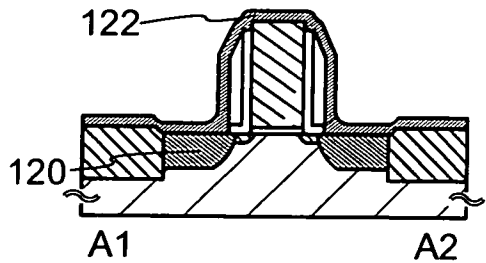


圖 3B

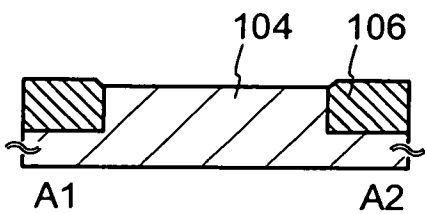


圖 3F

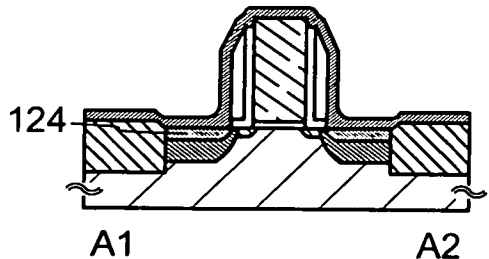


圖 3C

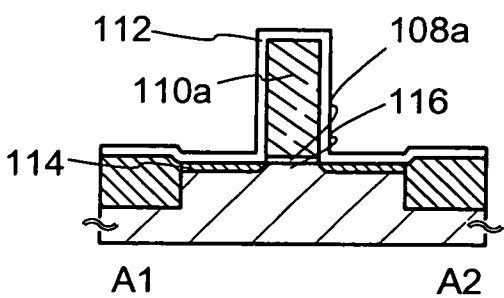


圖 3G

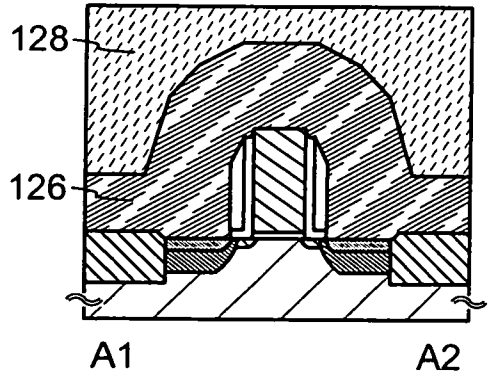


圖 3D

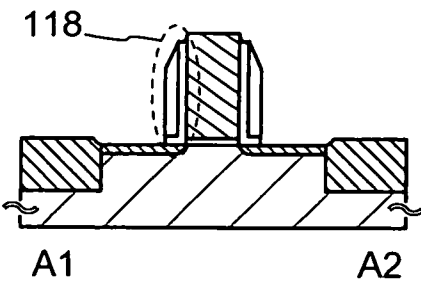


圖 3H

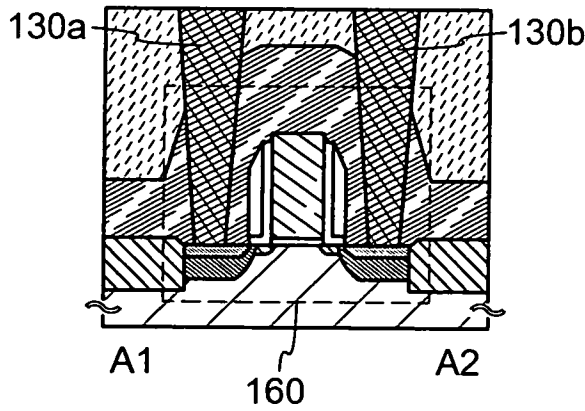


圖 4A

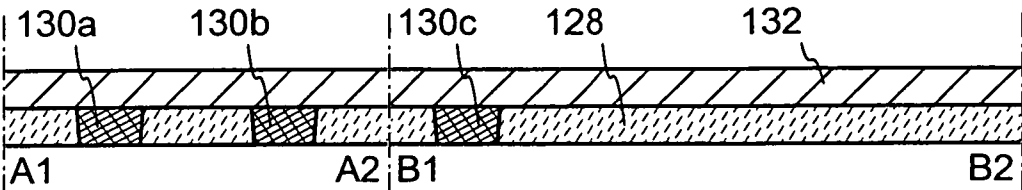


圖 4B

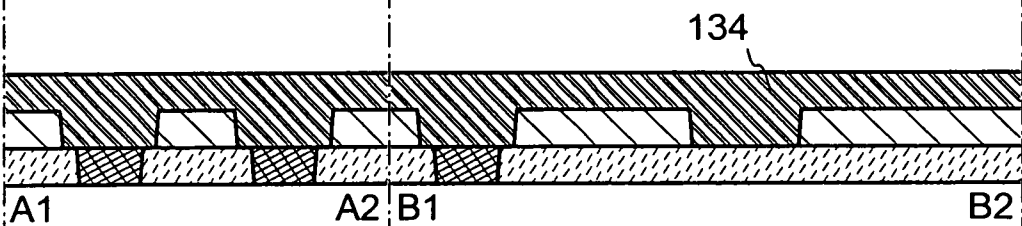


圖 4C

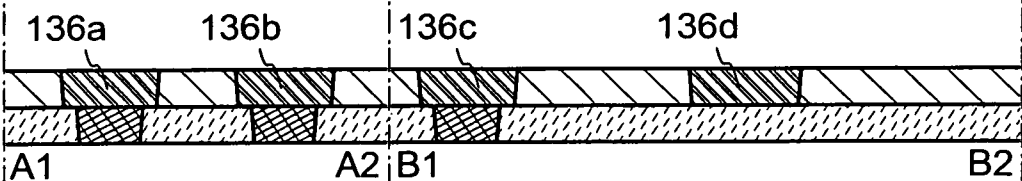


圖 4D

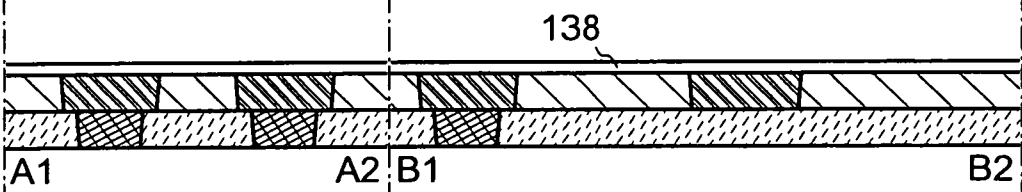


圖 4E

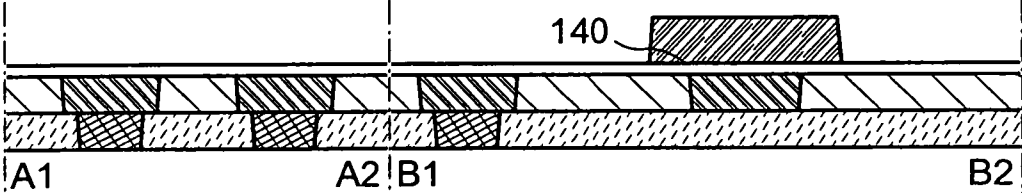


圖 4F

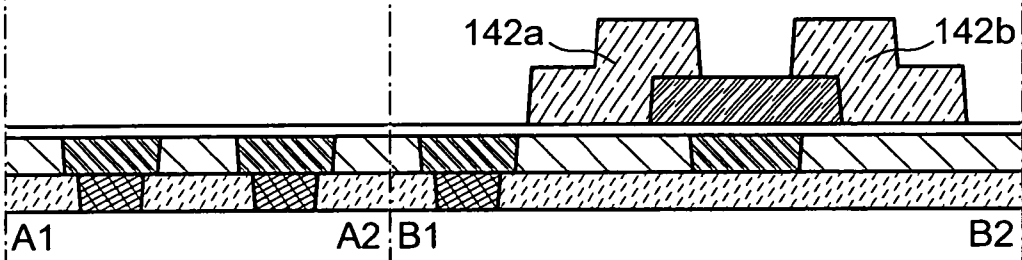


圖 4G

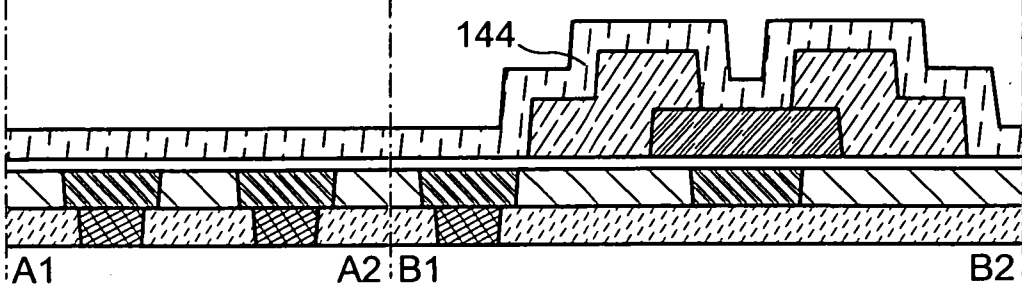


圖 5A

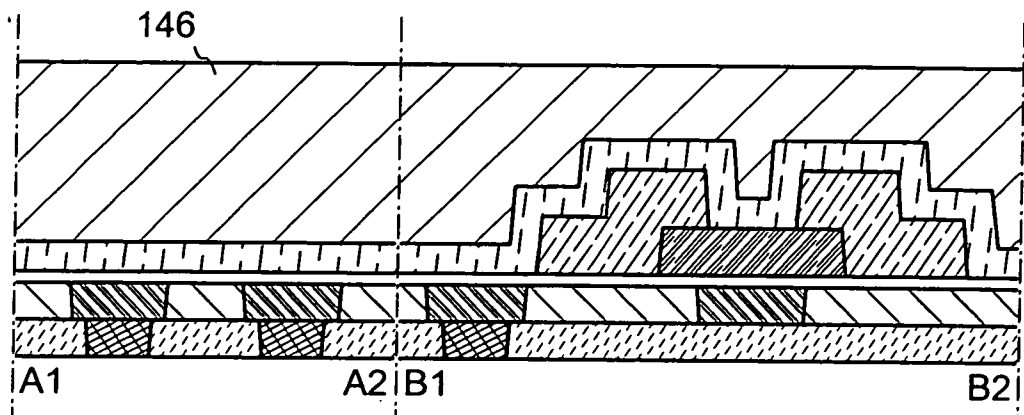


圖 5B

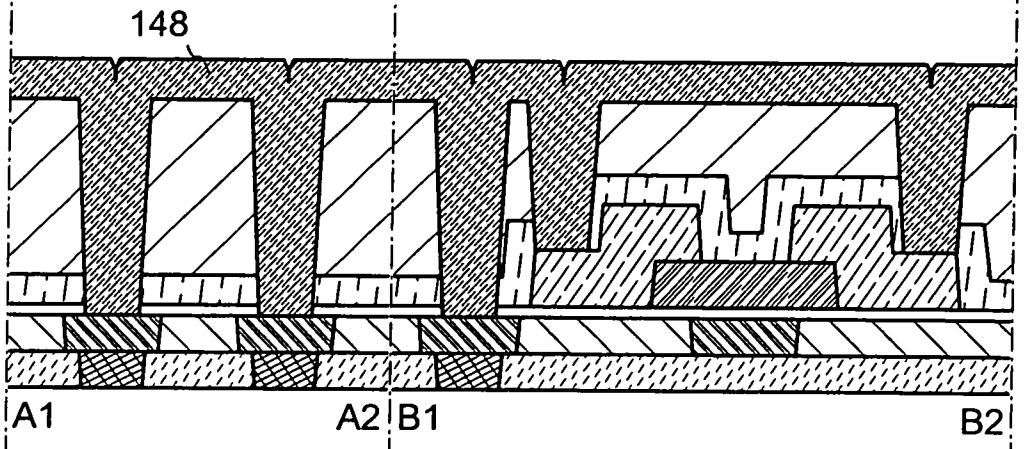


圖 5C

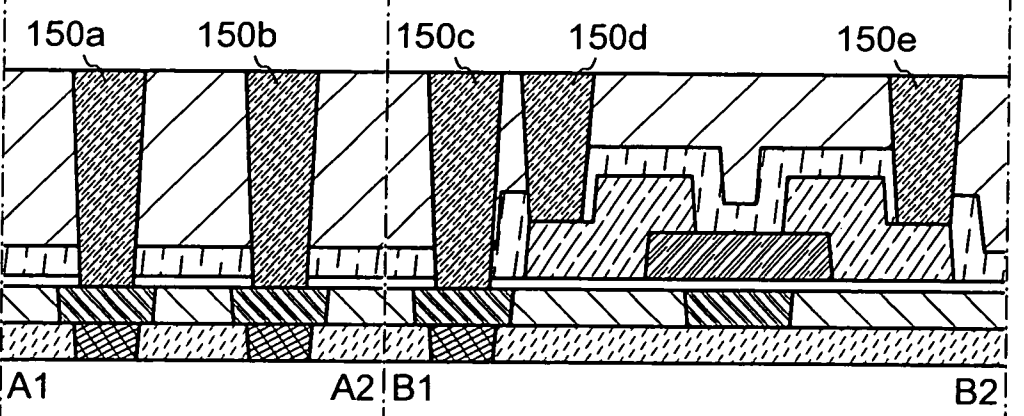


圖 5D

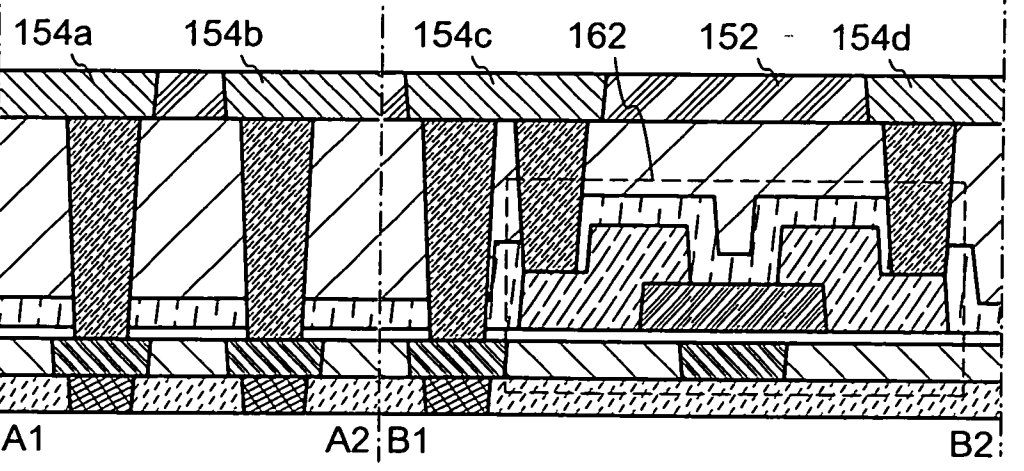


圖 6

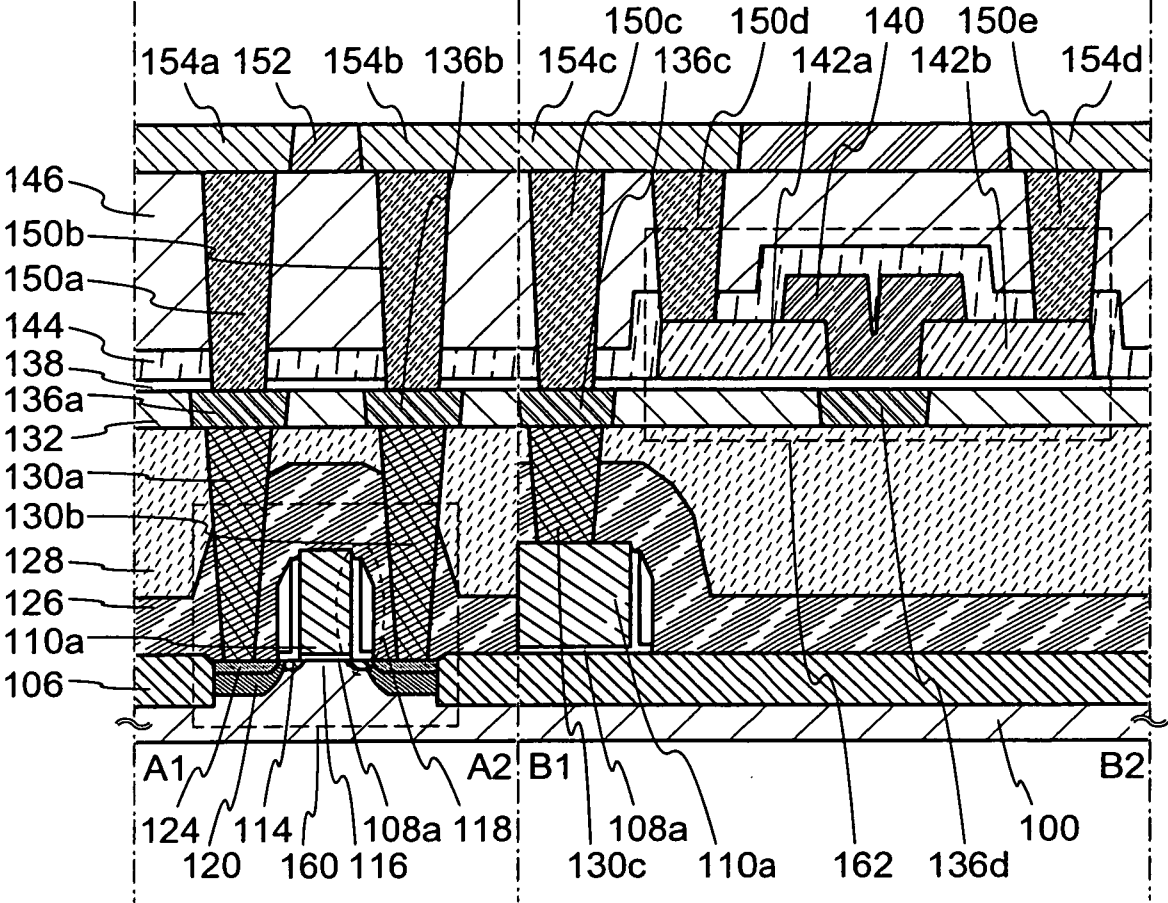


圖 7A

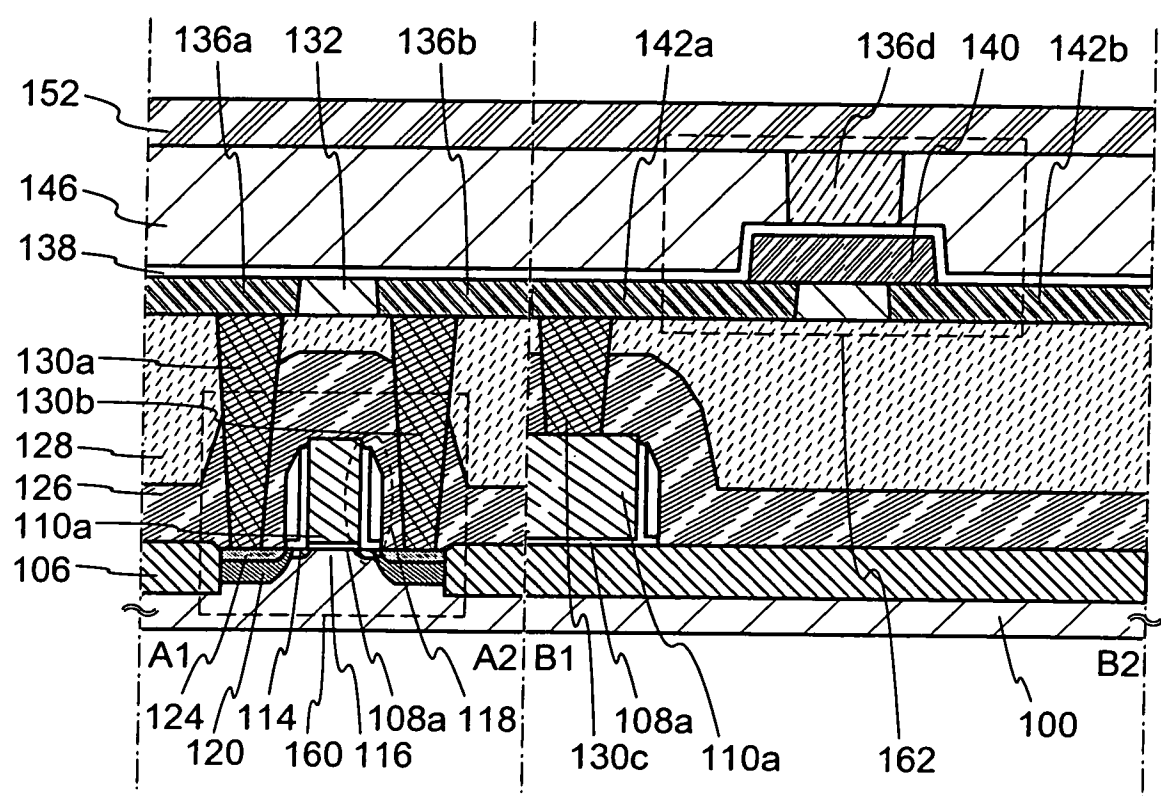


圖 7B

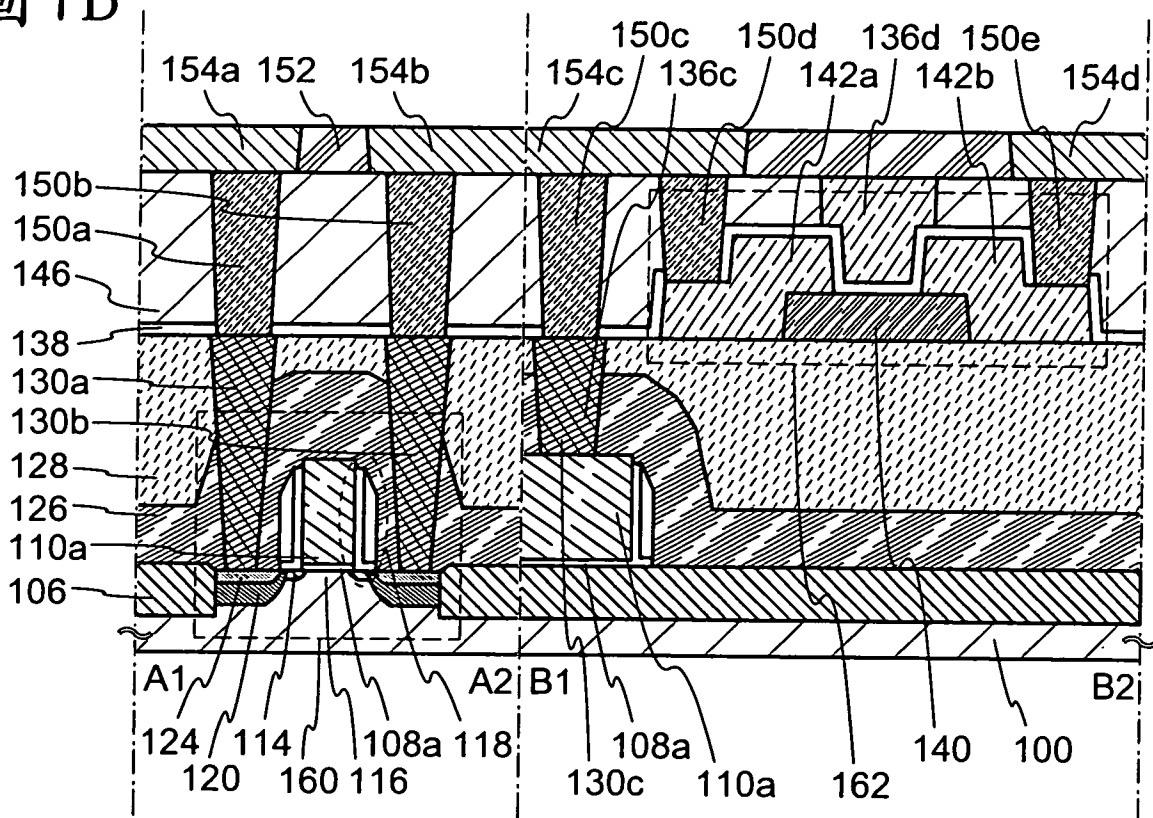


圖 8A

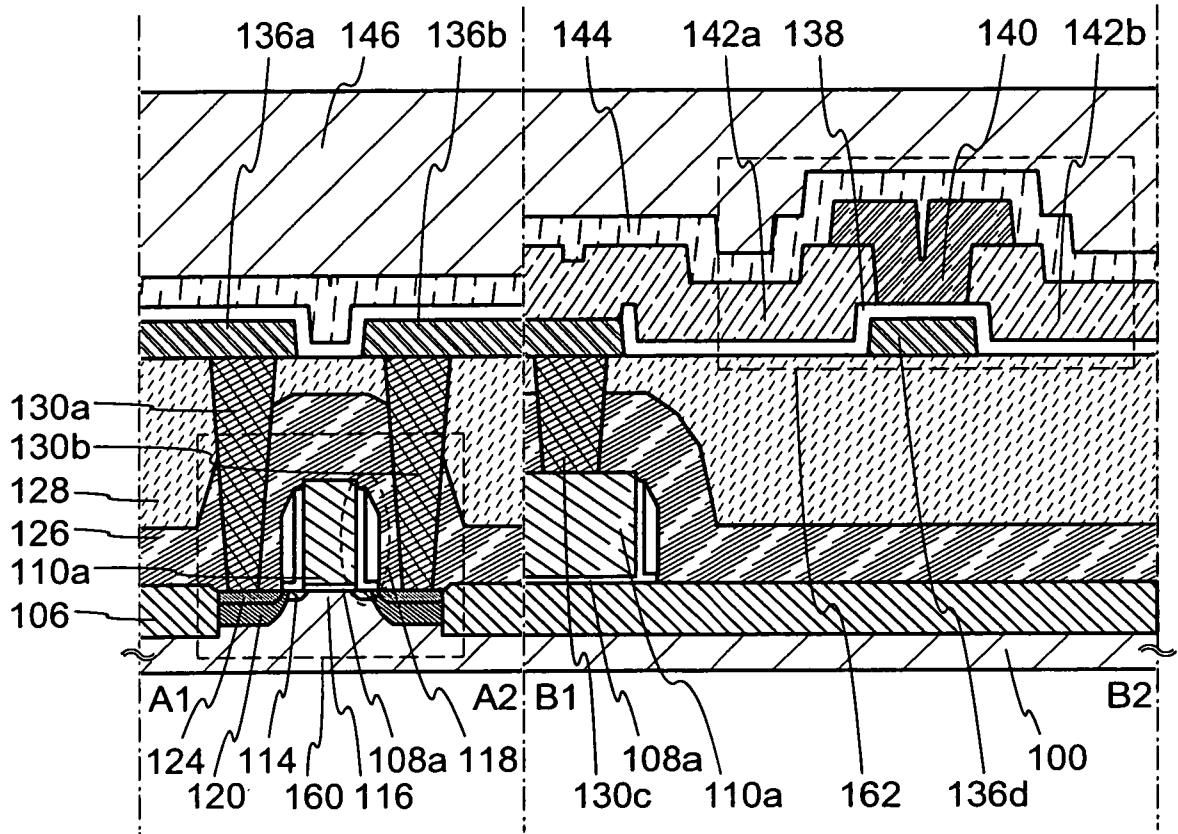
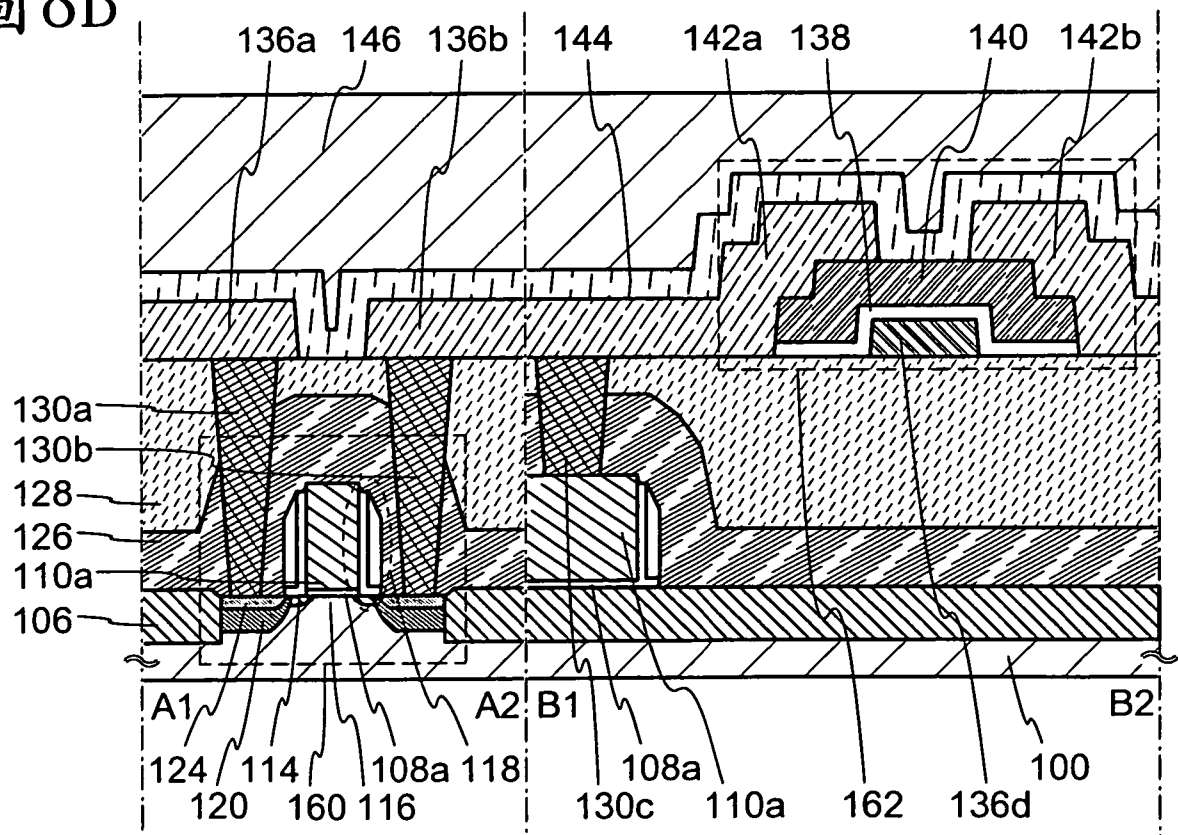


圖 8B



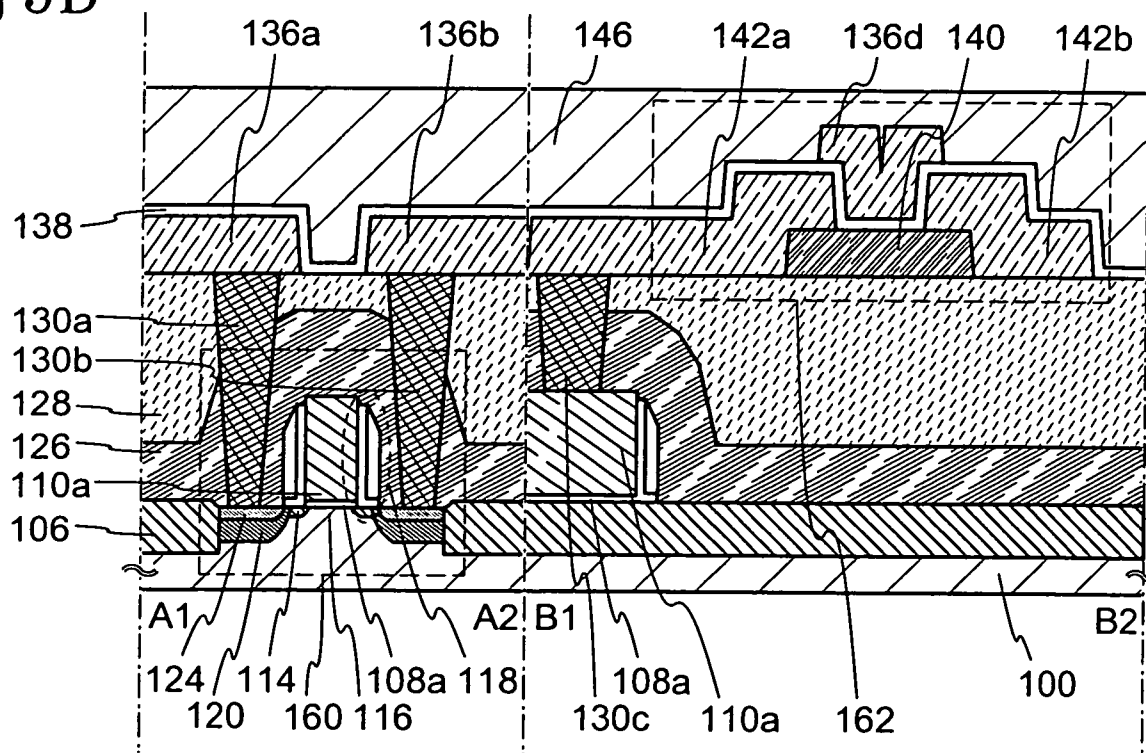
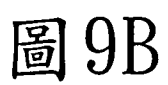


圖 10

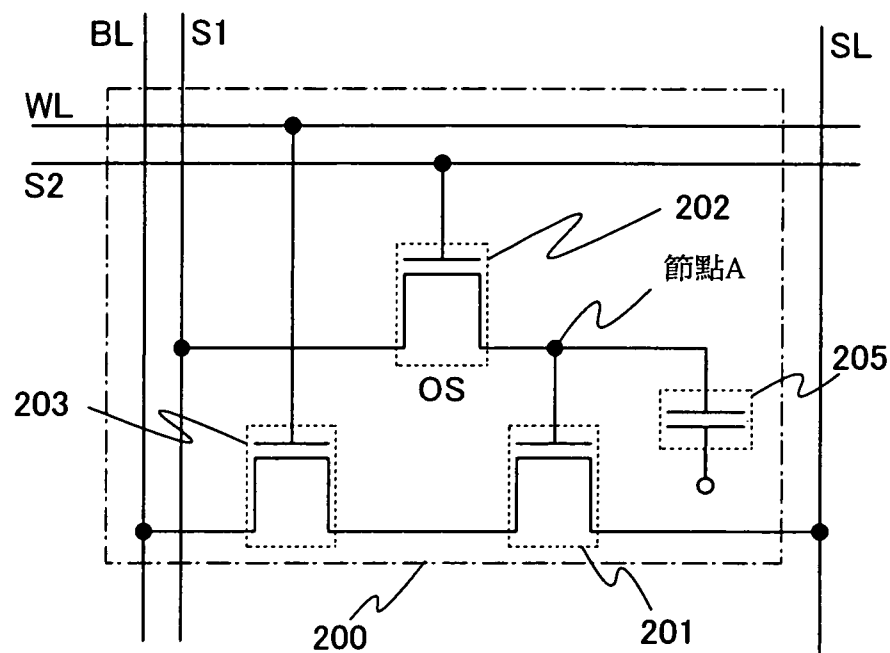


圖 11

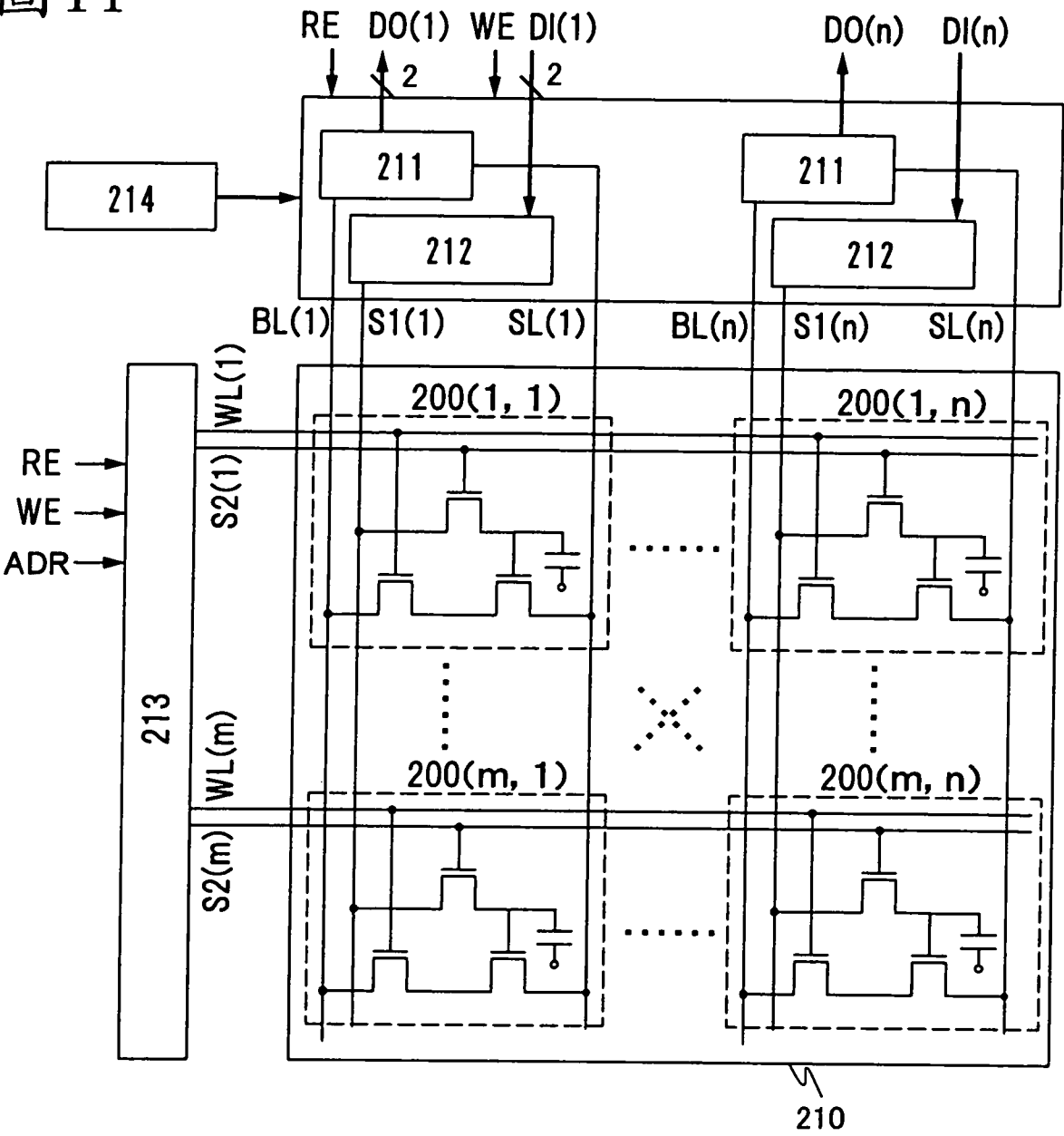


圖12

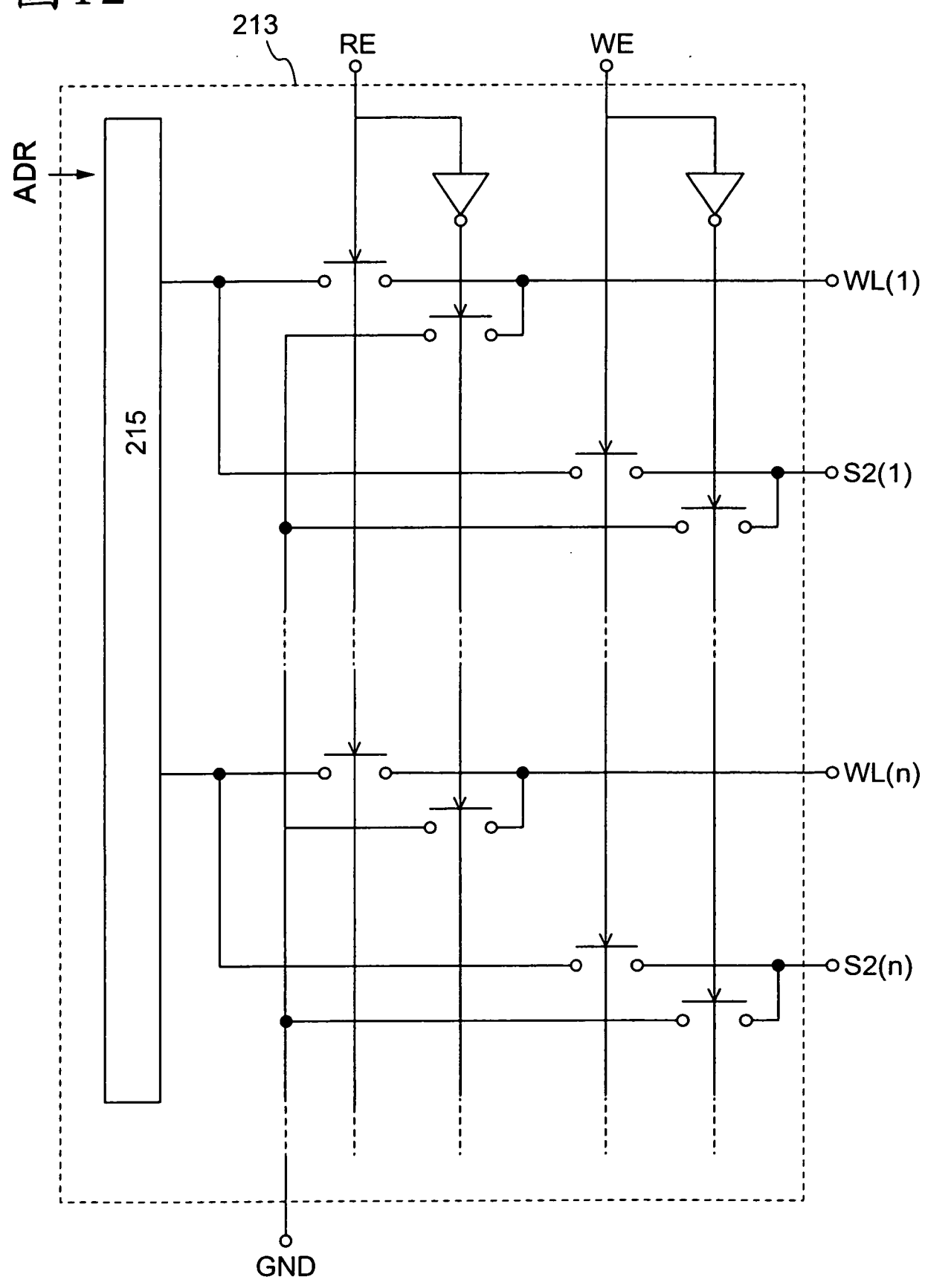


圖13

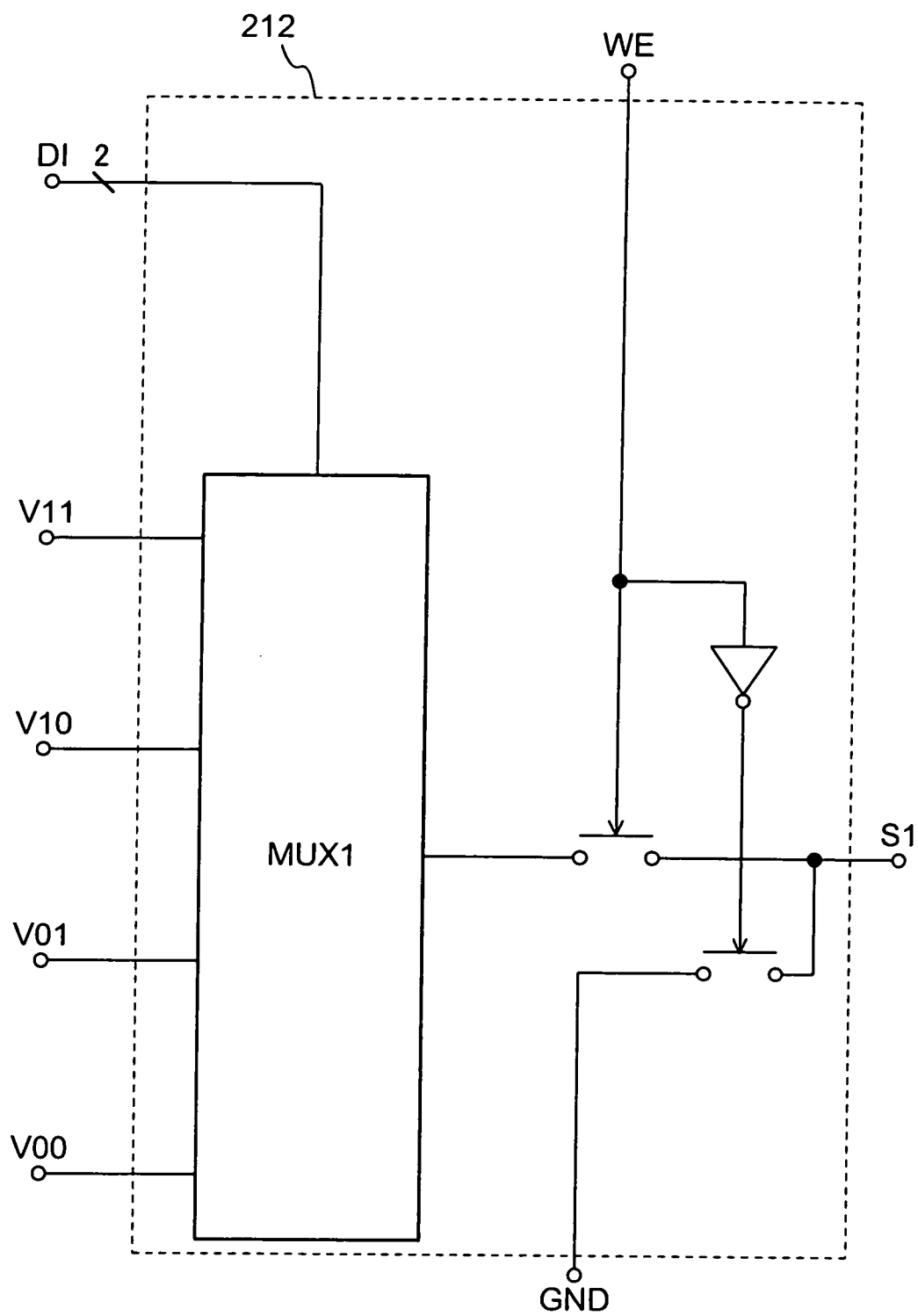


圖 14

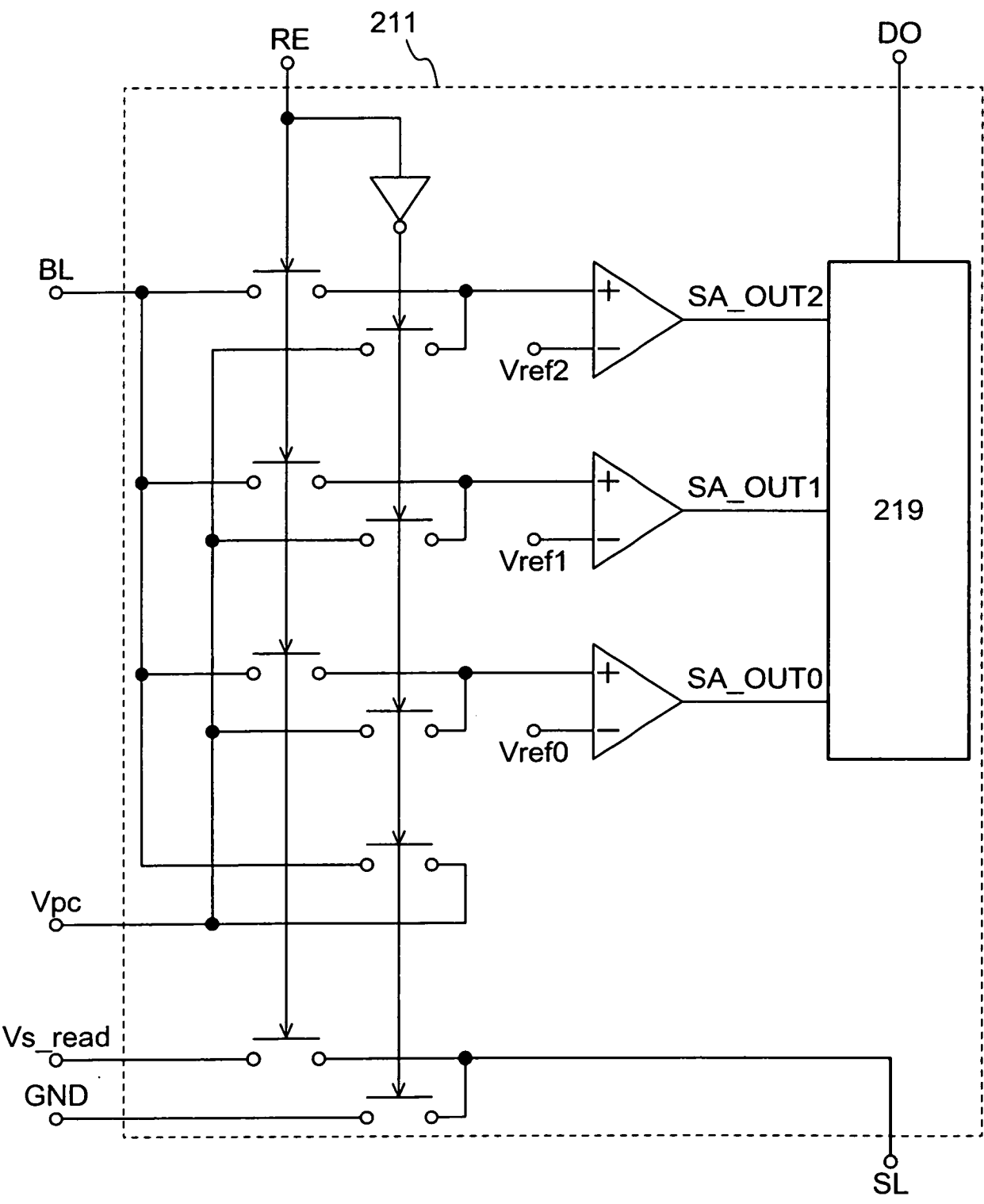


圖 15

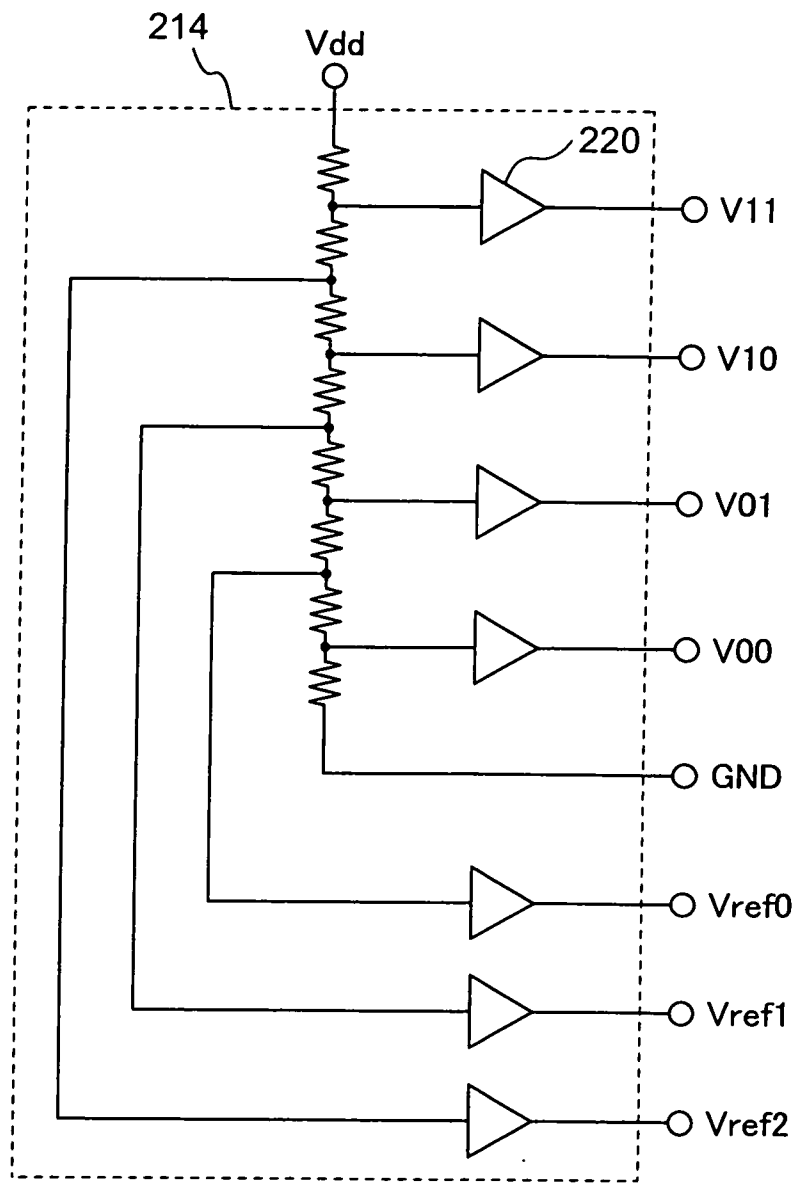


圖 16A

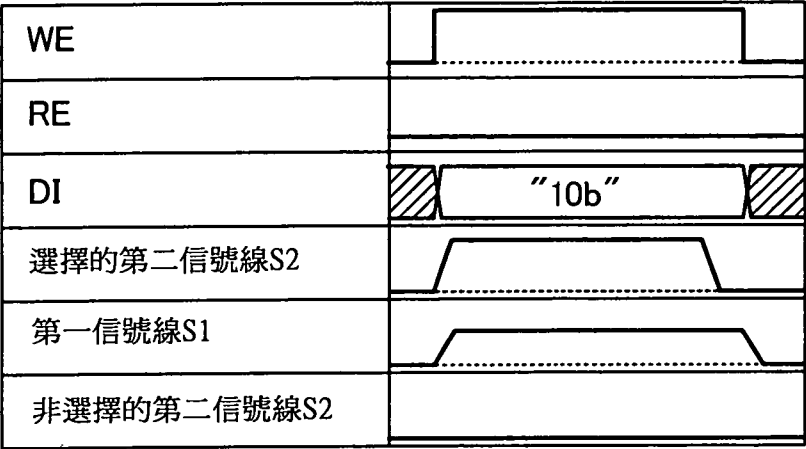


圖 16B

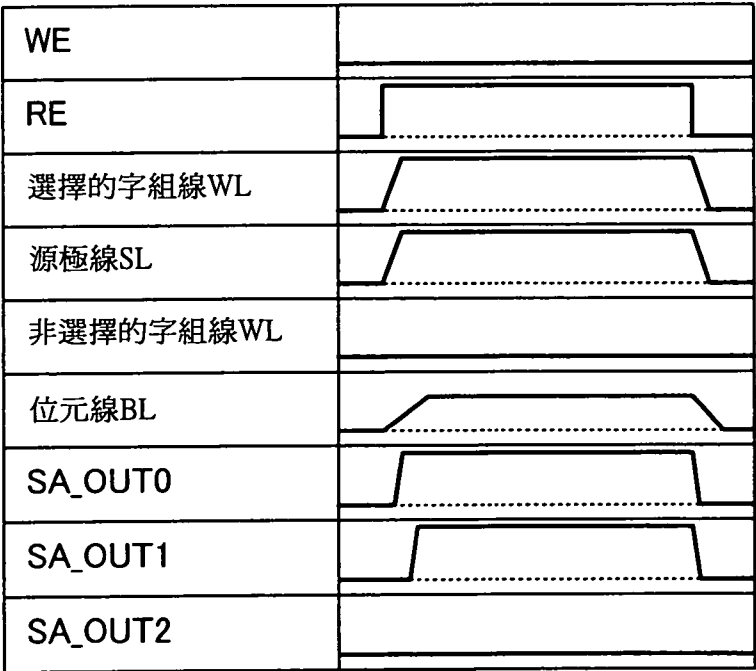
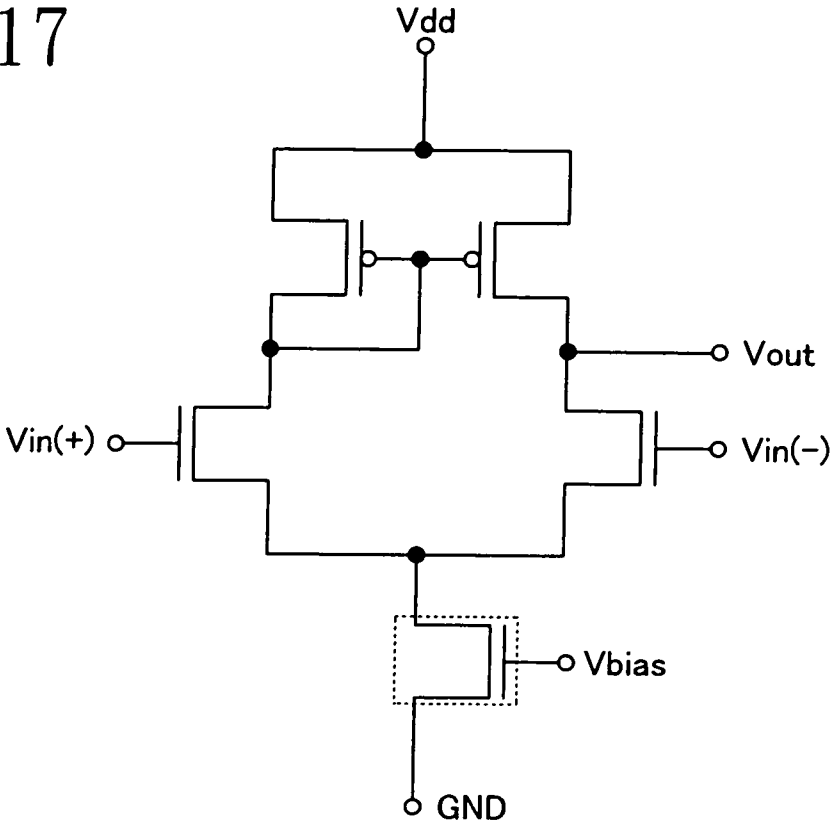


圖 17



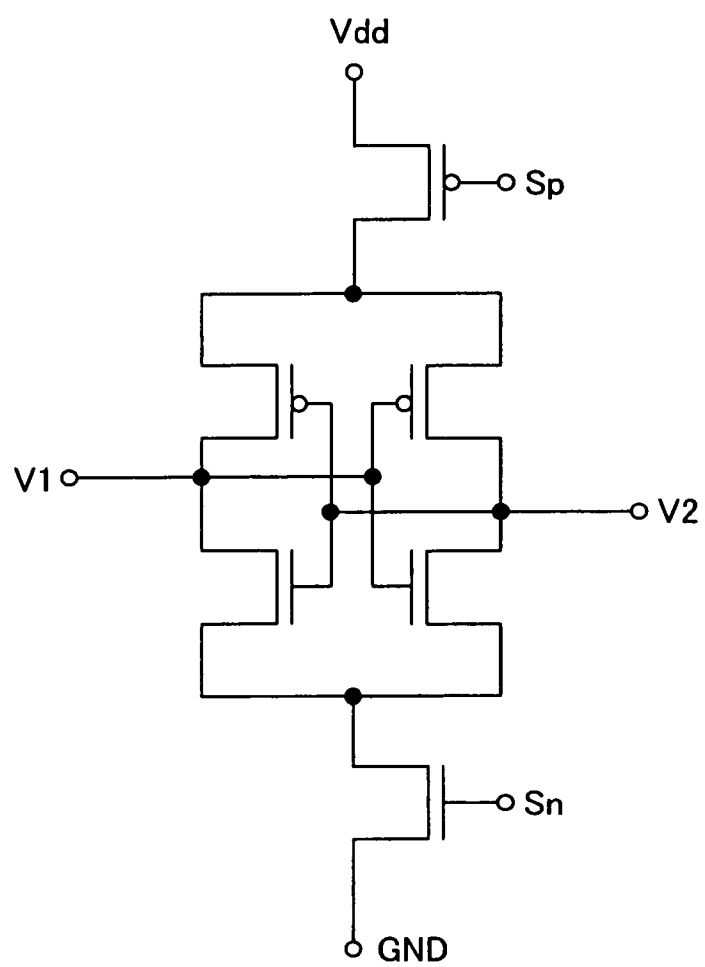


圖 19

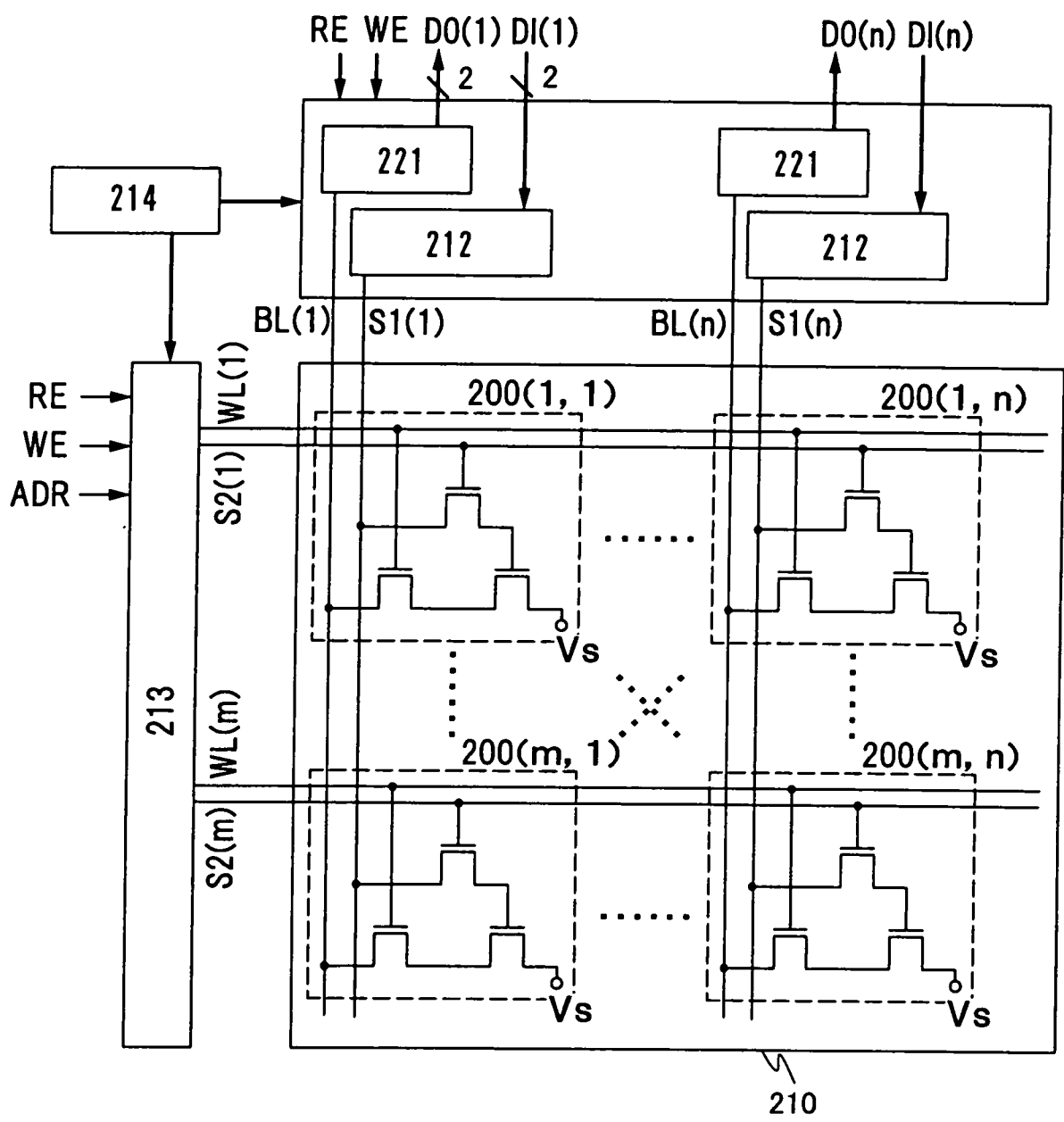


圖 20

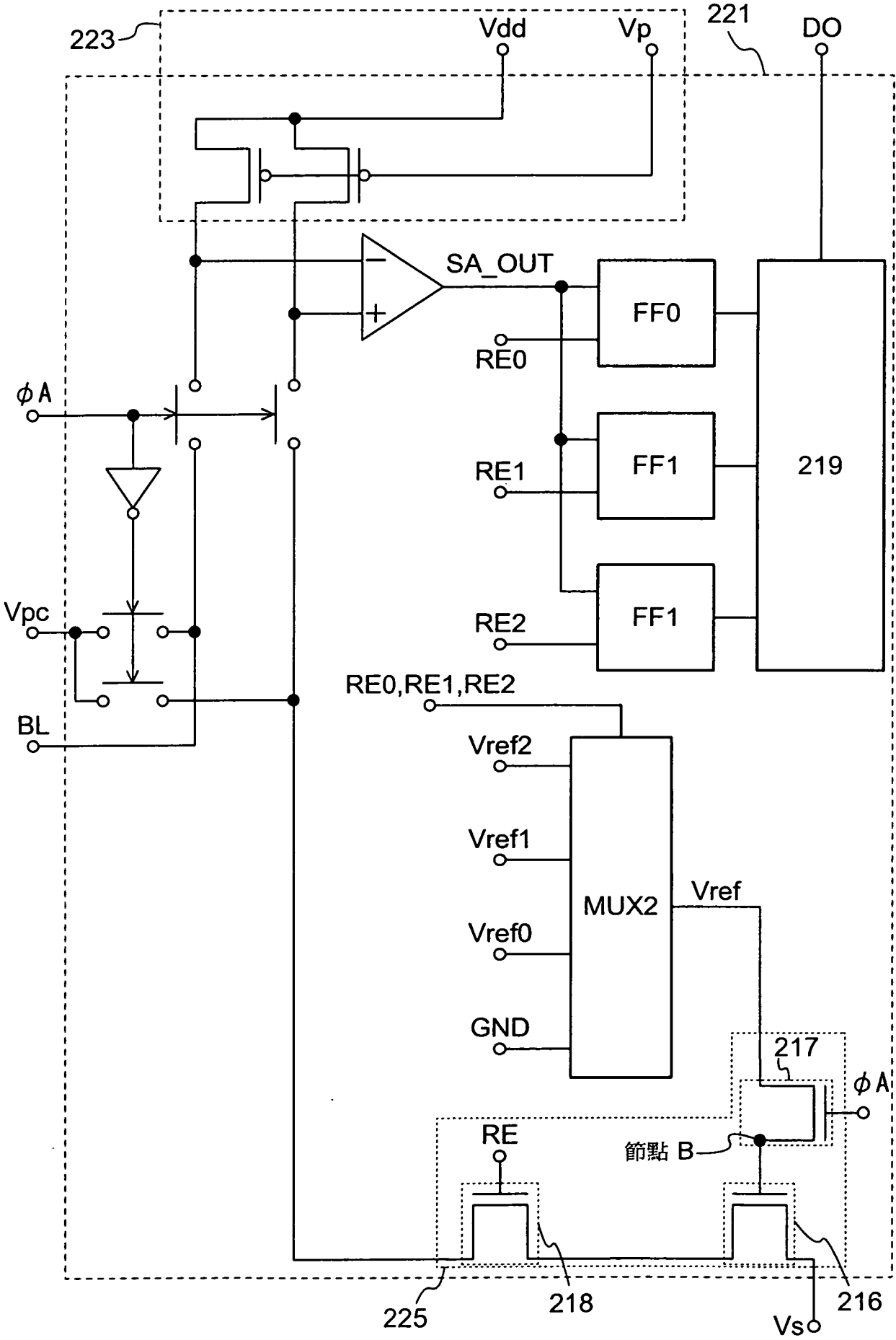


圖 21

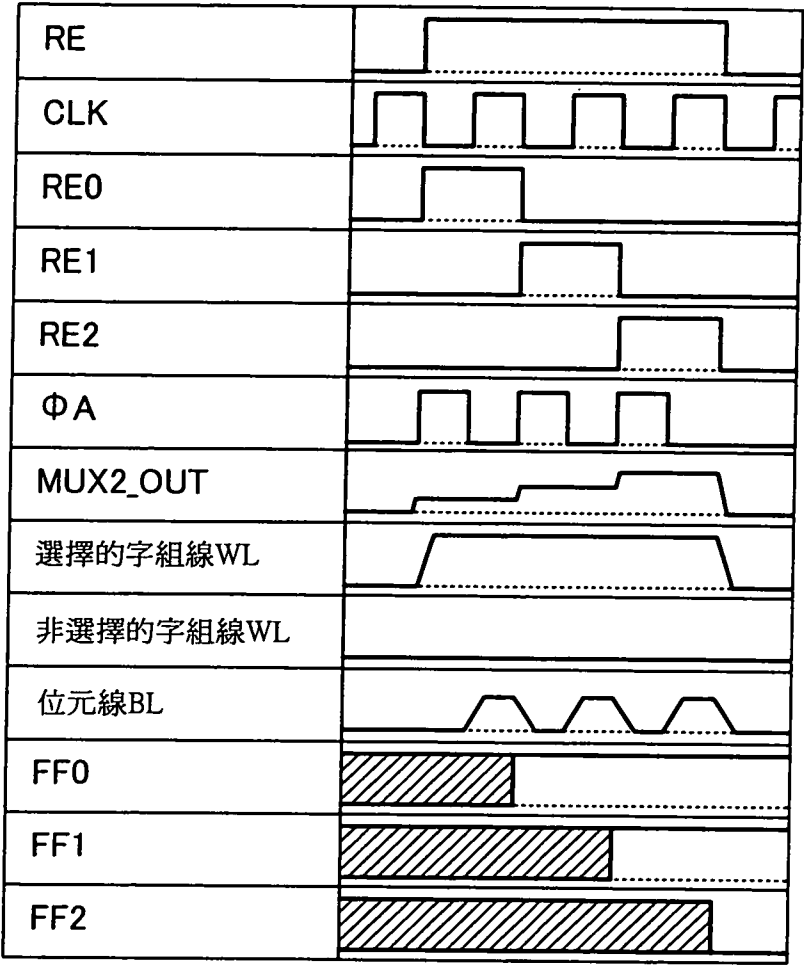


圖 22

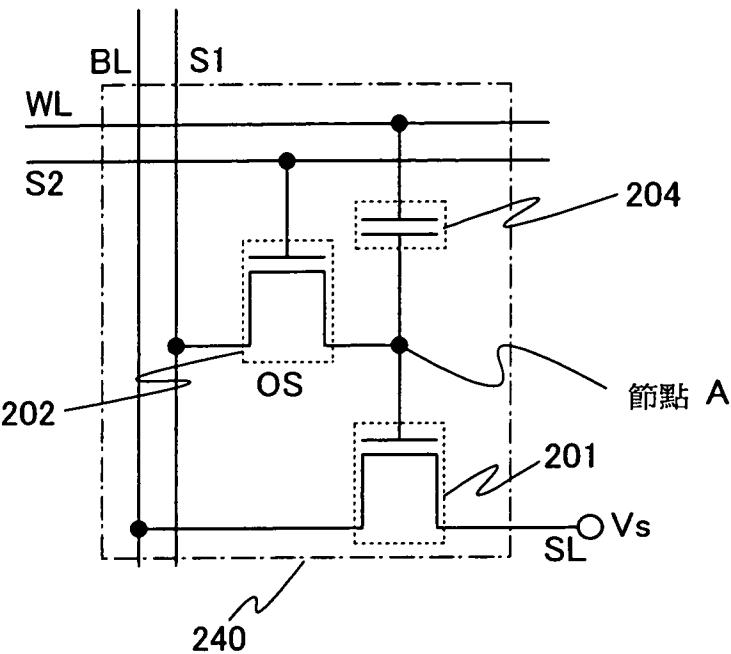


圖 23

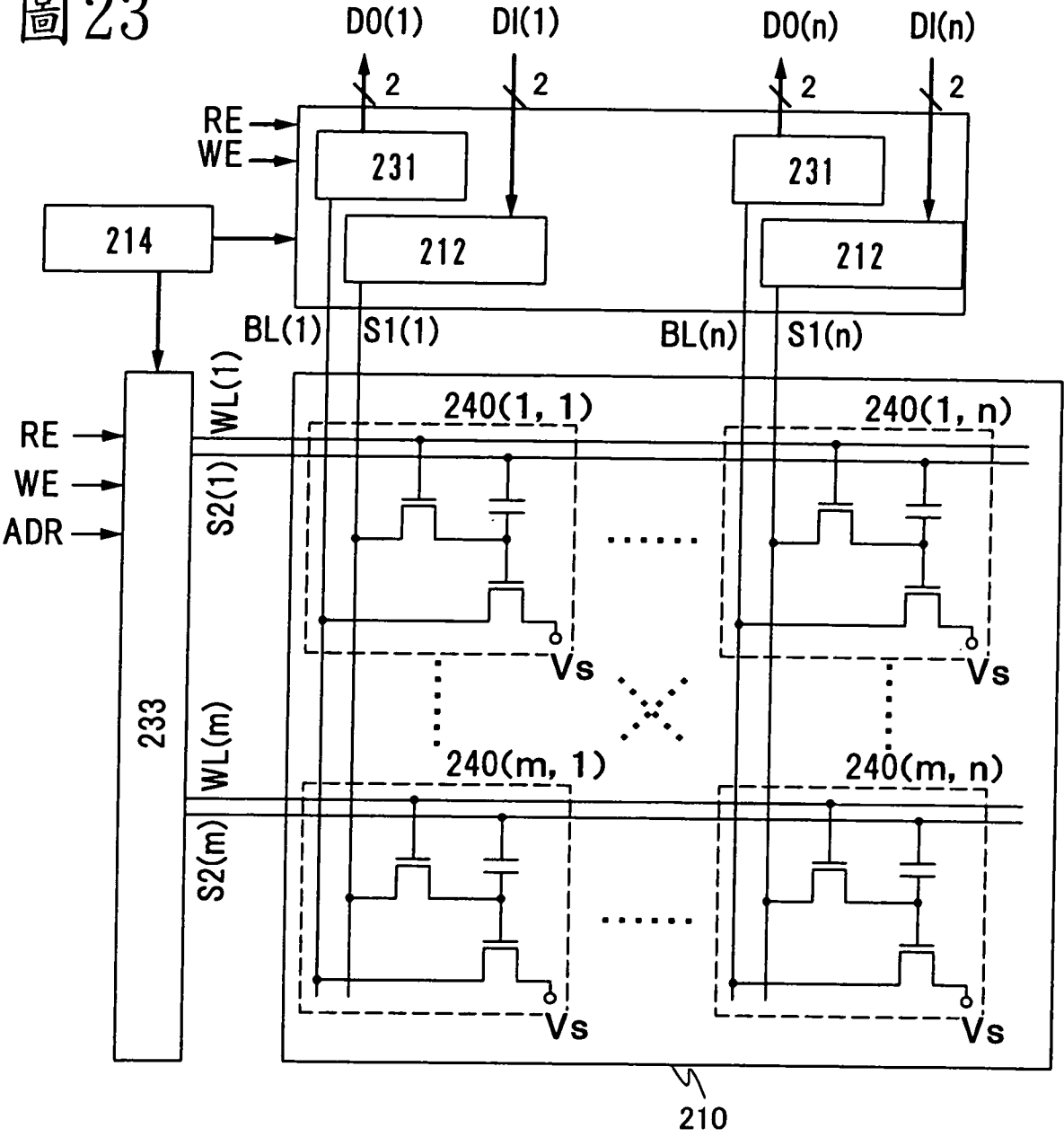


圖 24

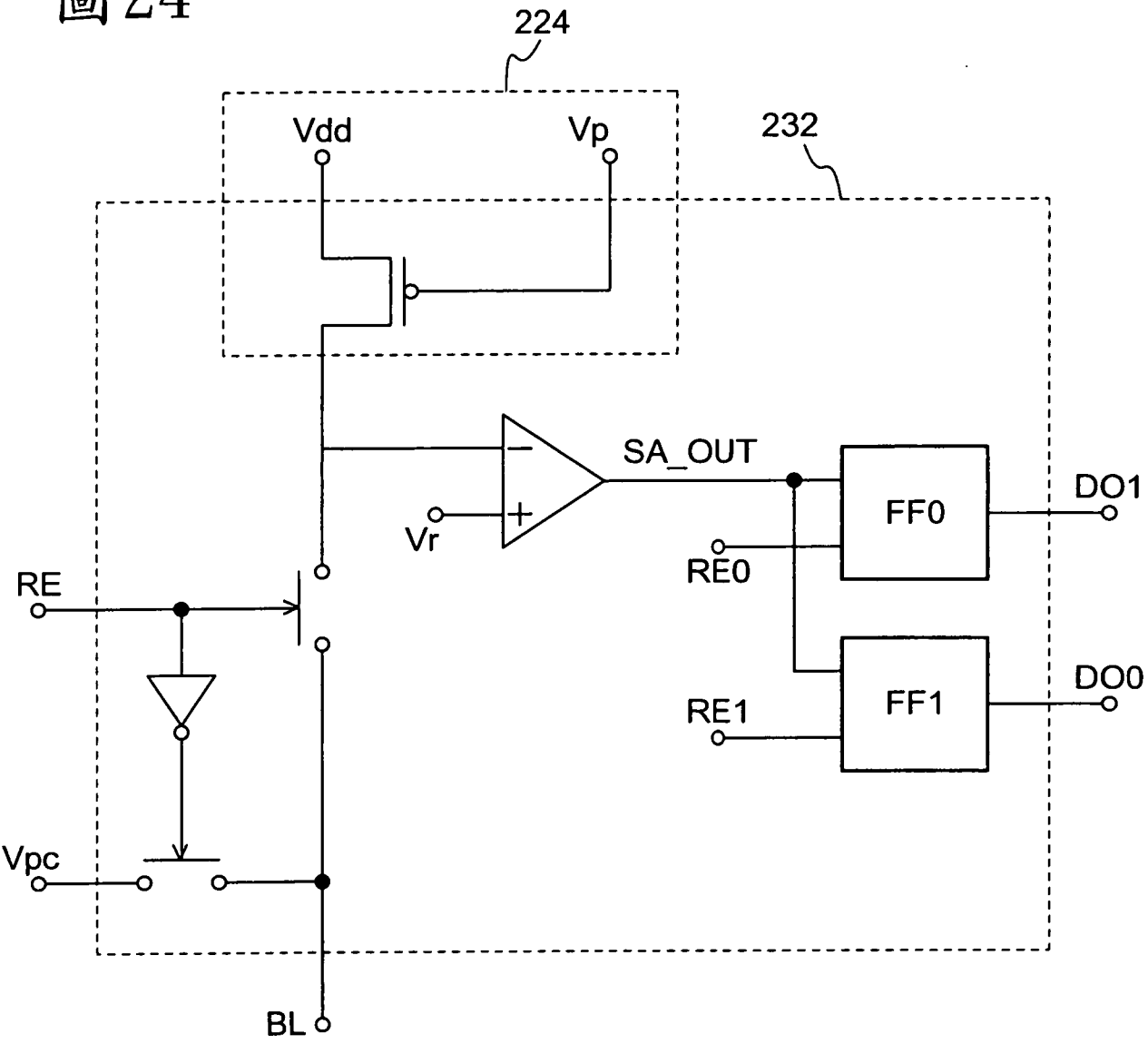


圖 25

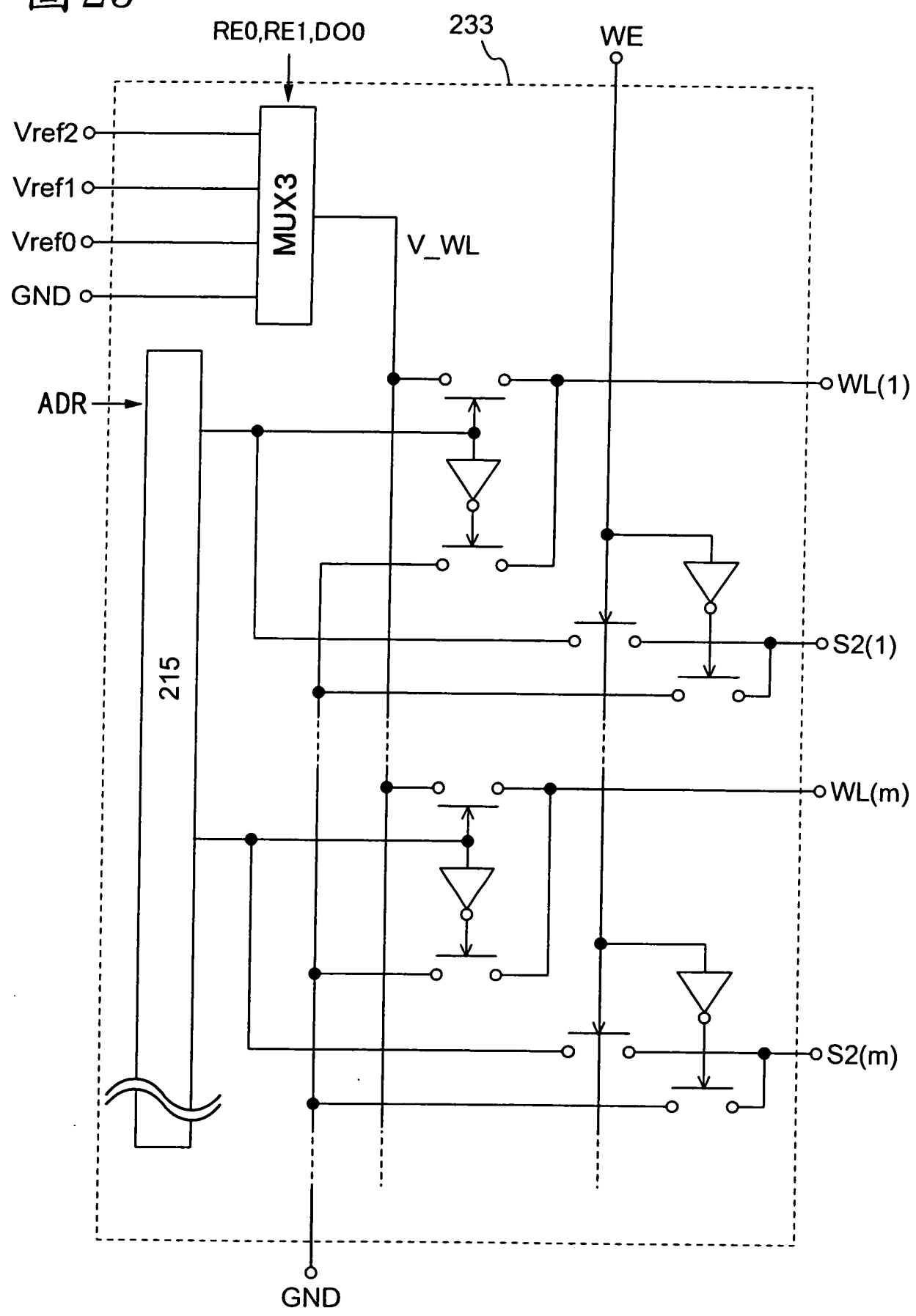


圖 26

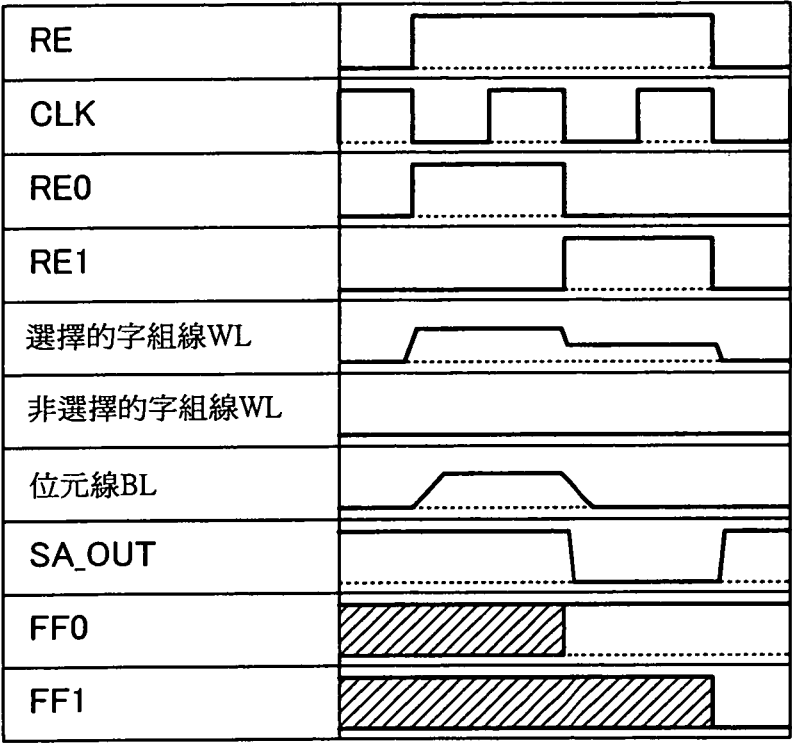


圖 27

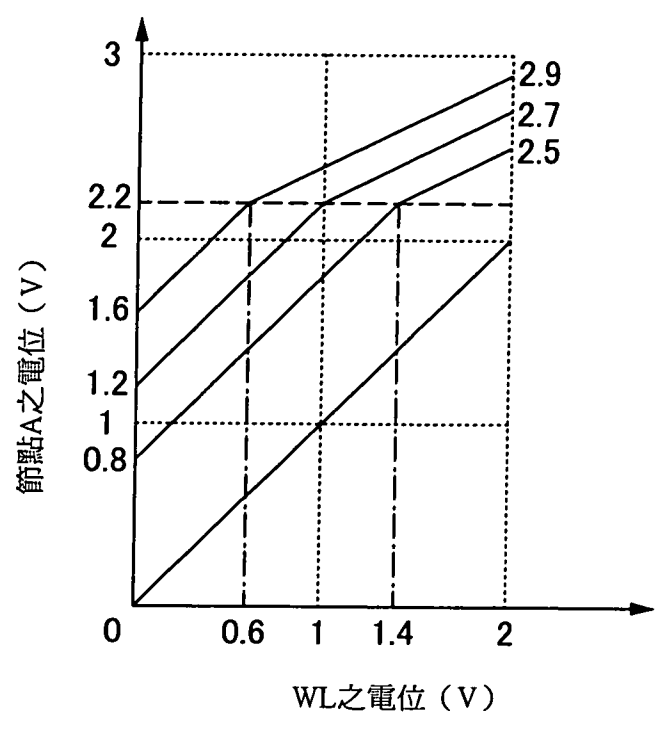


圖 28

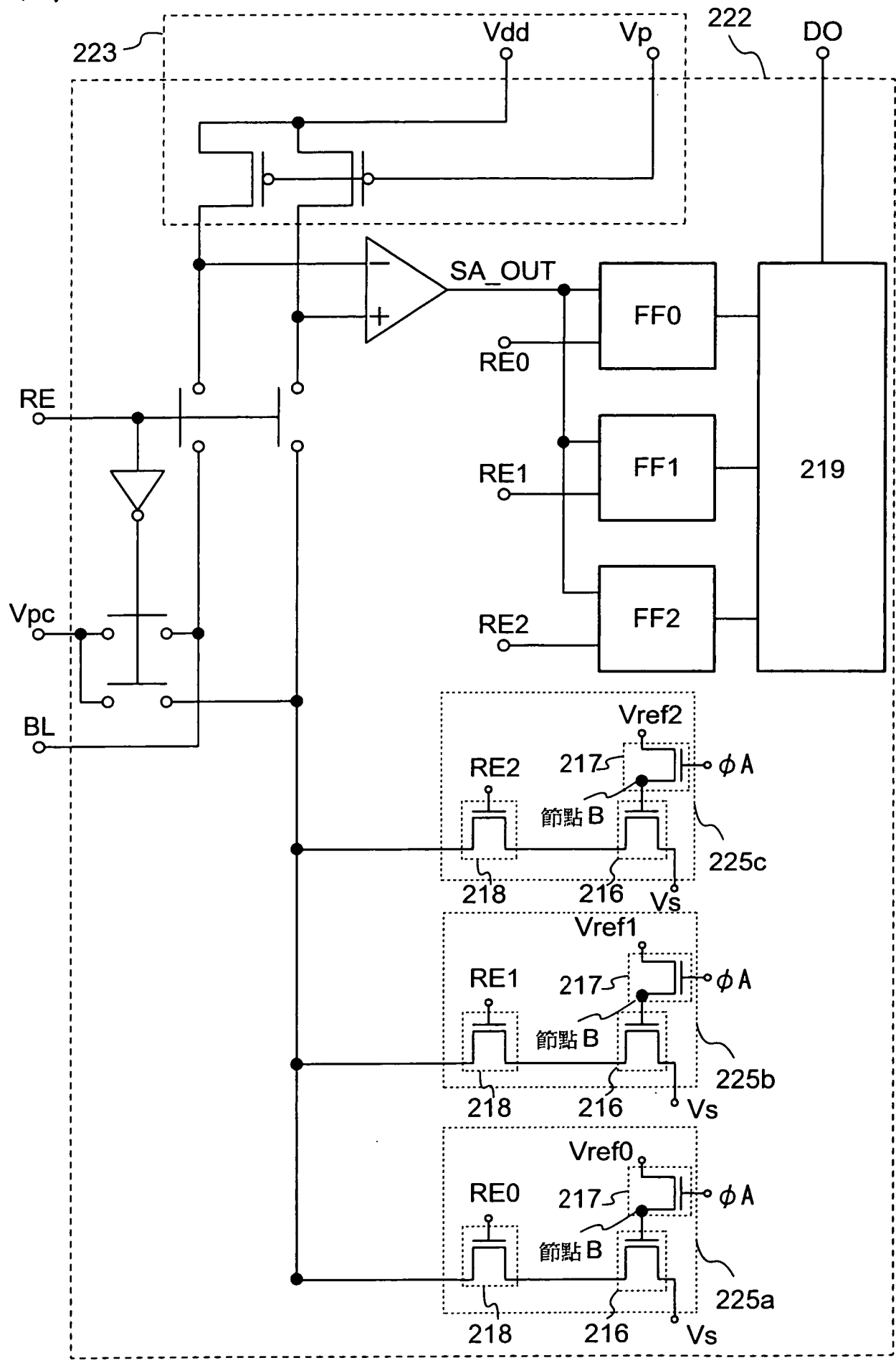


圖 29

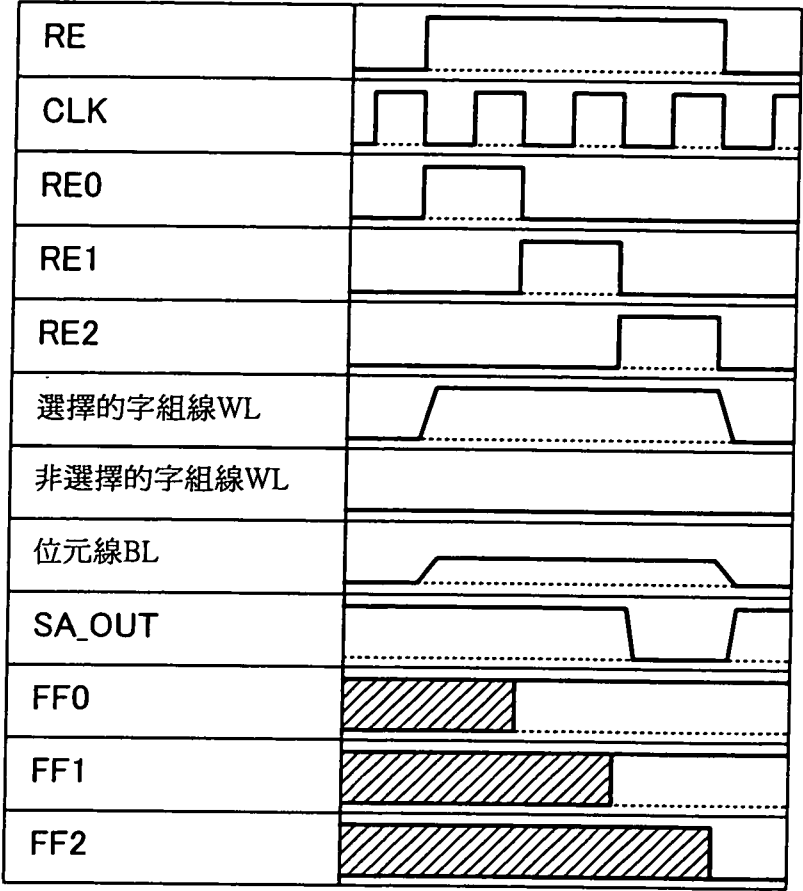


圖 30A

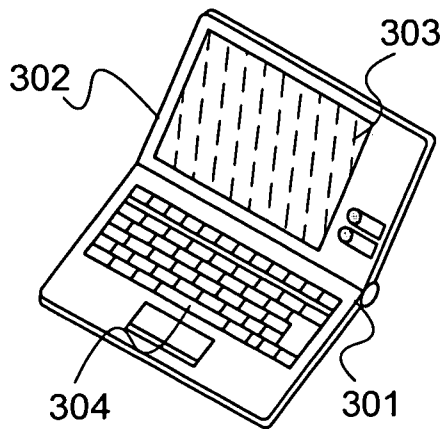


圖 30D

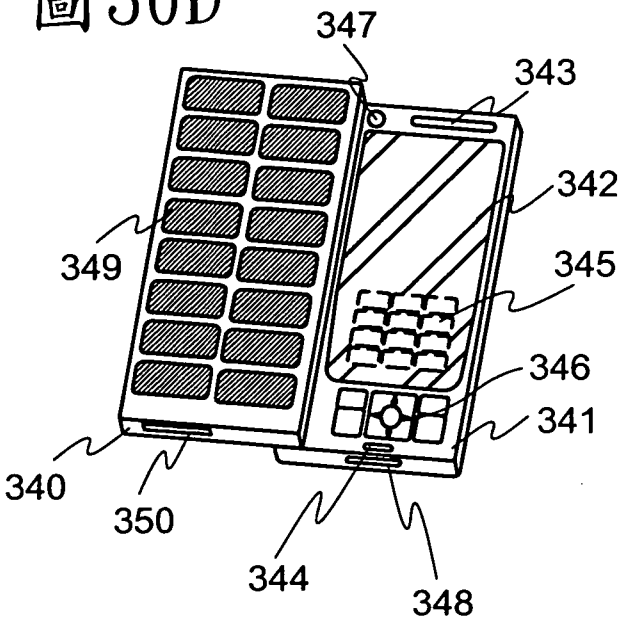


圖 30B

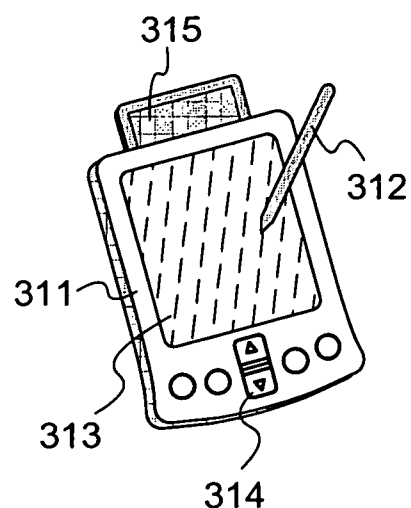


圖 30E

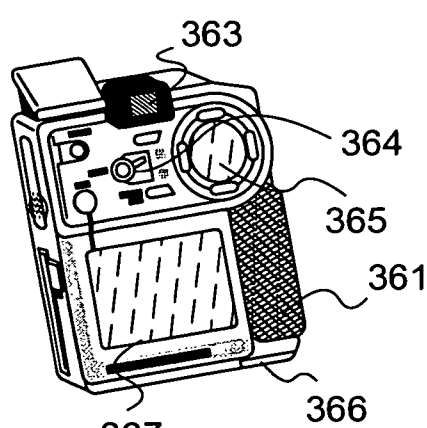


圖 30C

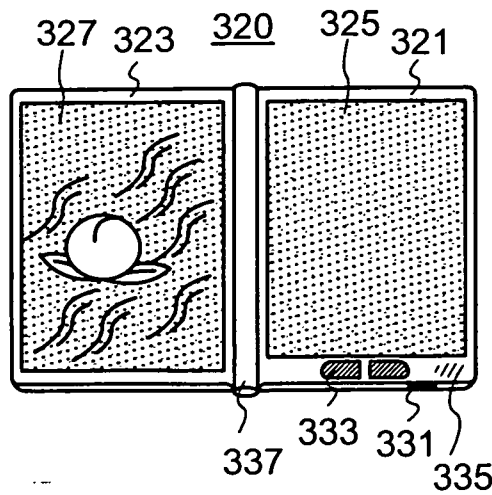


圖 30F

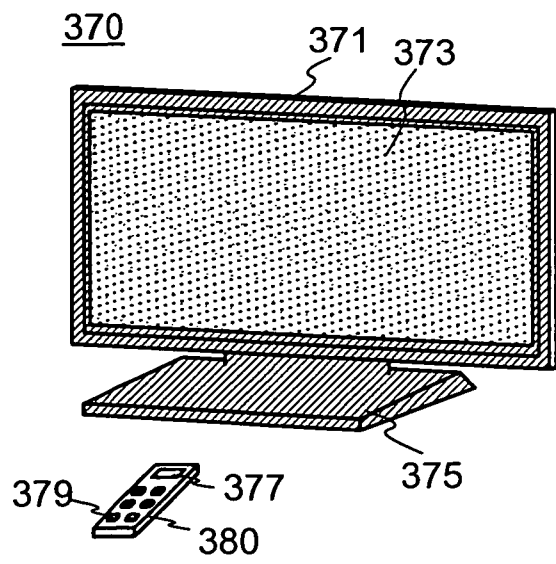


圖 31

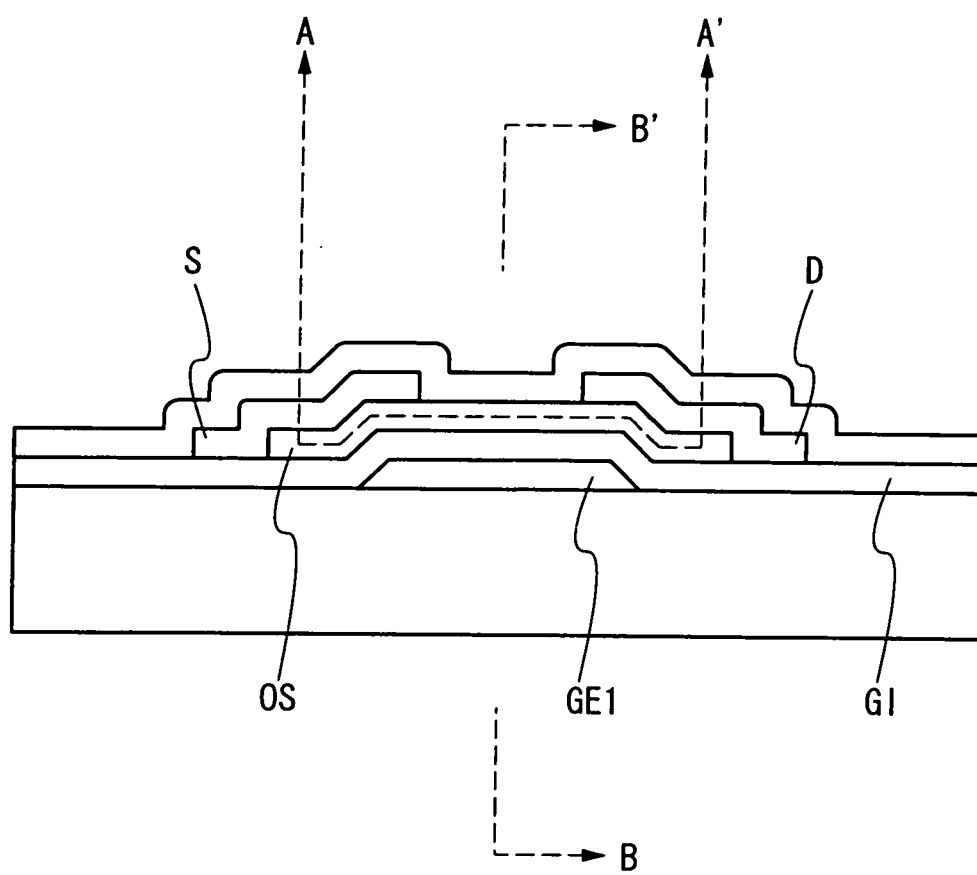


圖 32

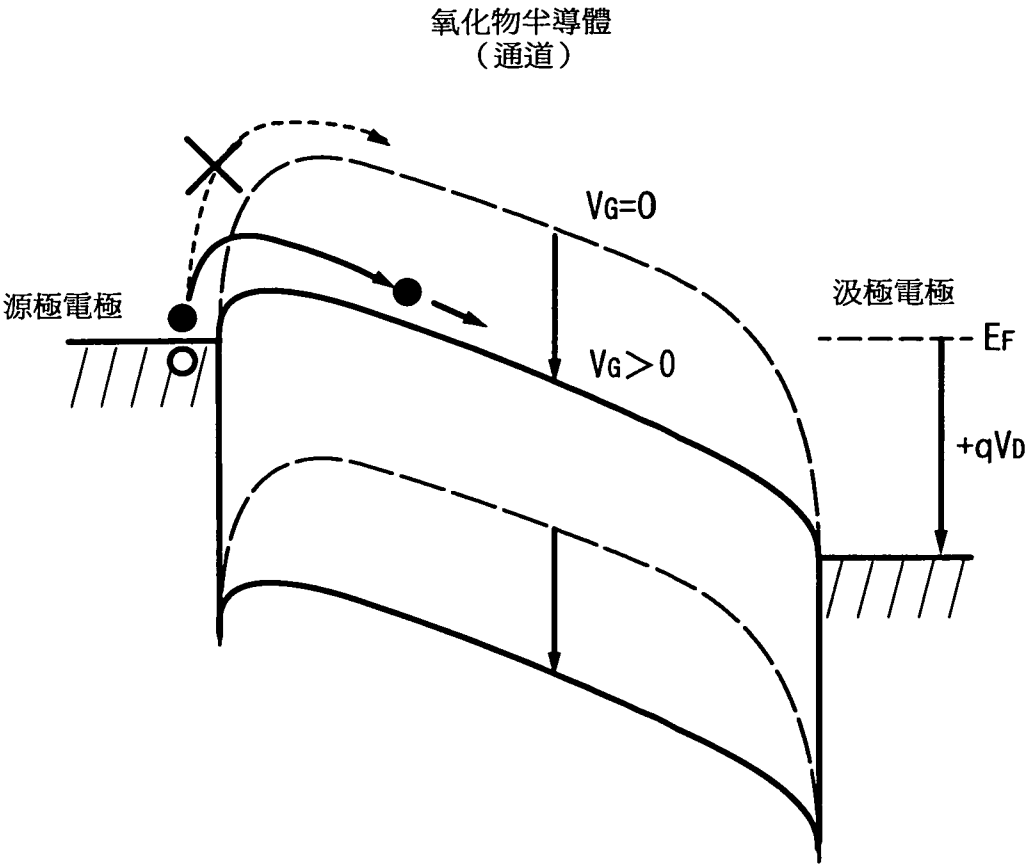


圖 33A

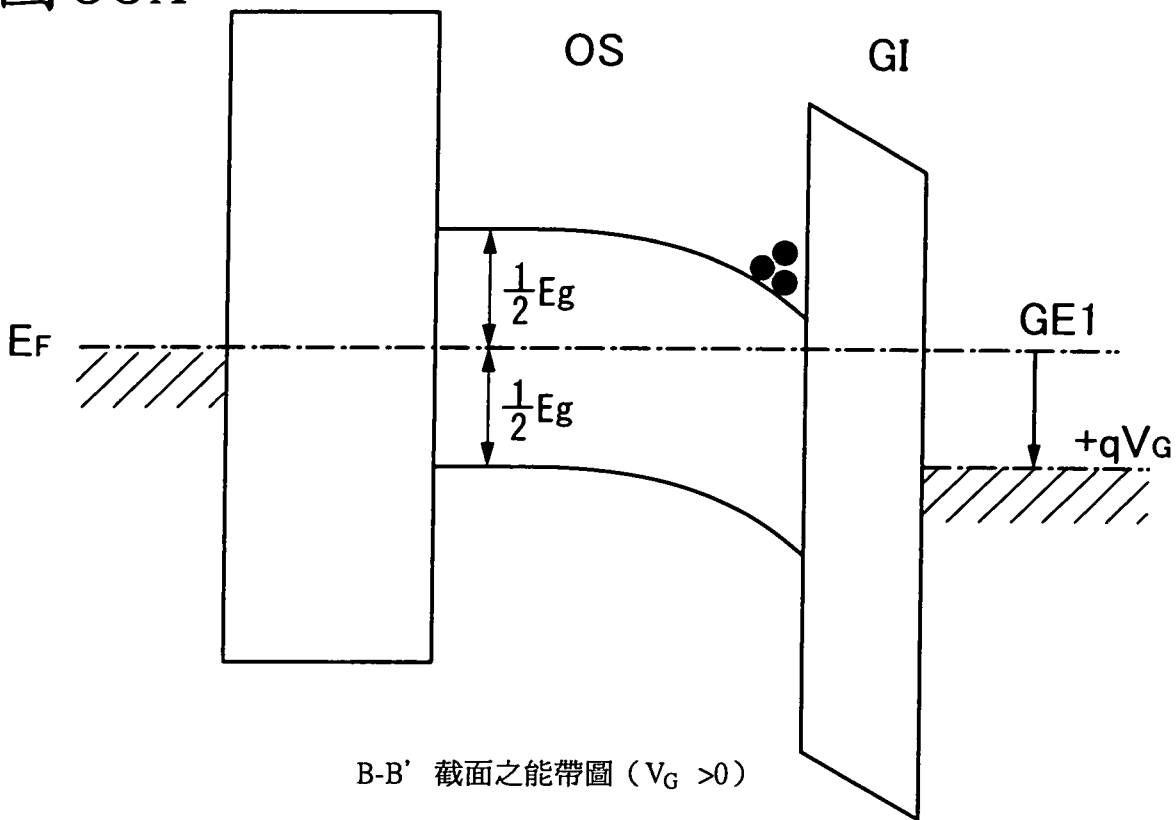


圖 33B

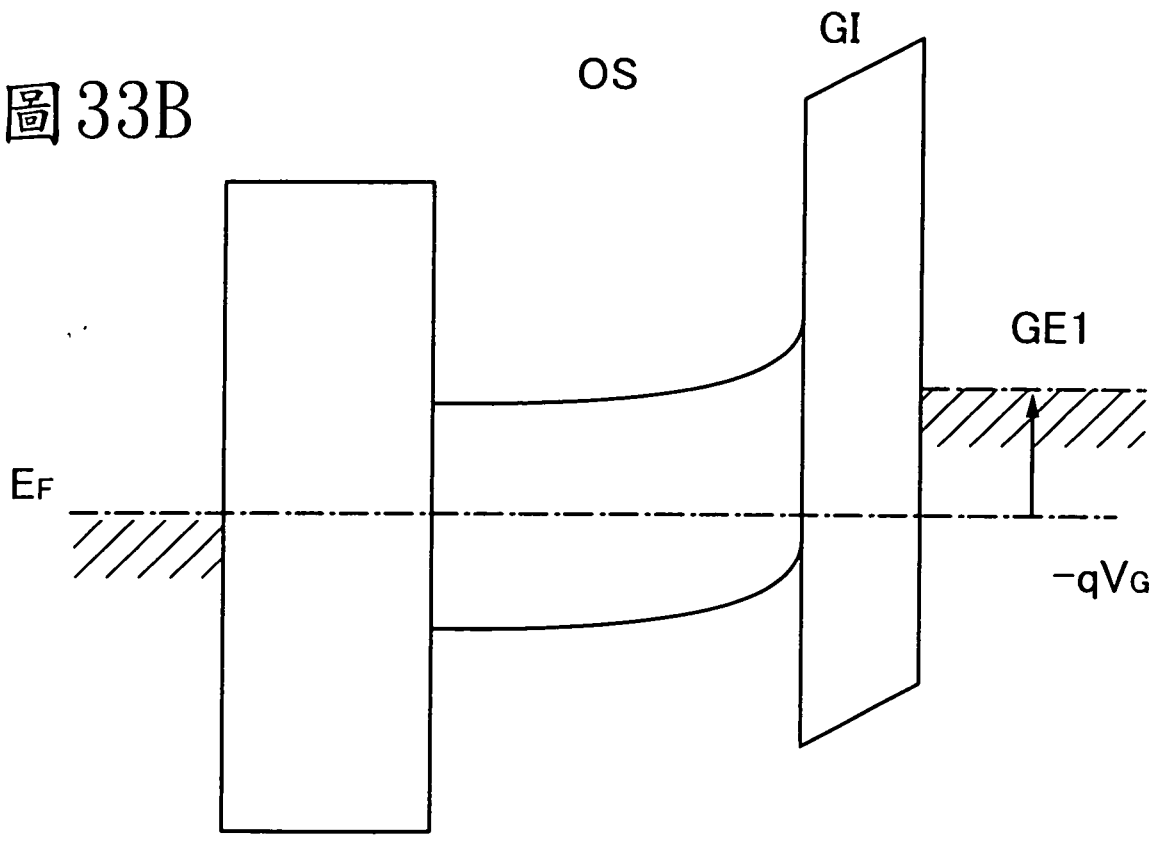


圖 34

