公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：97113917

※ 申請日期：97.4.17　　※IPC 分類：H01L29/772 (2006.01)
H01L21/334 (2006.01)

一、發明名稱：（中文/英文）

溝渠式金屬氧化物半導體

TRENCH METAL OXIDE SEMICONDUCTOR

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

維雪-希里康尼克斯公司 / VISHAY-SILICONIX

代表人：（中文/英文）

歐陽　金 / OWYANG, KING

住居所或營業所地址：（中文/英文）

美國加州聖大克萊拉市勞拉伍德路 2201 號

2201 Laurelwood Road, Santa Clara, CA 95054, U.S.A.

國　籍：（中文/英文）

美國 / U.S.A.

三、發明人：（共 7 人）

姓　名：（中文/英文）

1. 帕塔納亞　戴法 N. / PATTANAYAK, DEVA N.
2. 泰瑞爾　凱爾 / TERRILL, KYLE
3. 席夏隆 / SHI, SHARON
4. 李米夏 / LEE, MISHA
5. 白裕民 / BAI, YUMING
6. 呂康 / LUI, KAM
7. 陳國英 / CHEN, KUO-IN

國　籍：（中文/英文）

1.～7. 美國 / U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國、　2007/04/19、　60/925,237
2. 美國、　2008/04/07、　12/098,950

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

使用遠端接點至一溝渠式金屬氧化物半導體(MOS)勢壘肖特基(TMBS)裝置中TMBS裝置之多晶矽區域，以及至MOS場效電晶體(MOSFET)之多晶矽區域及單晶體整合式TMBS及MOSFET(SKYFET)裝置之TMBS區塊。該多晶矽為相對平台凹陷。源極金屬至TMBS區塊之多晶矽區域為經由多晶矽延伸至TMBS區塊之主動區域外。此在裝置架構中的改變解除在接觸步驟前由TMBS區塊之多晶矽及矽平台區域移除所有的氧化物之需求。因此，可避免接觸金屬侵入在TMBS裝置中或在SKYFET裝置之溝渠側壁。

六、英文發明摘要：

Remote contacts to the polysilicon regions of a trench metal oxide semiconductor (MOS) barrier Schottky (TMBS) devices, as well as to the polysilicon regions of a MOS field effect transistor (MOSFET) section and of a TMBS section in a monolithically integrated TMBS and MOSFET (SKYFET) devices, are employed. The polysilicon is recessed relative to adjacent mesas. Contact of the source metal to the polysilicon regions of the TMBS section is made through an extension of the polysilicon to outside the active region of, the TMBS section. This change in the device architecture relieves the need to remove all of the oxides from both the polysilicon and silicon mesa regions of the TMBS section prior to the contact step. As a consequence, encroachment of contact metal into the sidewalls of the trenches in a TMBS devices, or in a SKYFET device, is avoided.

七、指定代表圖：

(一)本案指定代表圖為：第（　1　）圖。

(二)本代表圖之元件符號簡單說明：

105、110、115、120、125、130、135、140、145...方塊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

101年10月19日修正替換頁

九、發明說明：

【發明所屬之技術領域】

本申請案主張共同申請中的臨時專利申請案第60/925,237號，代理人卷號第VISH-8753號的優先權。臨時案申請日為2007年4月19日，標題為"Trench Metal Oxide Semiconductor with Recessed Trench Material and Remote Contacts"，讓渡予本案之受讓人且該臨時案全文併入本案參考。

發明領域

本發明之實施例大致為有關一半導體裝置。更詳言之，為有關具有凹陷溝渠材料及遠端接點之溝渠式金屬氧化物半導體。

【先前技術】

發明背景

在一溝渠式金屬氧化物半導體(MOS)肖特基勢壘(barrier Schottky，TMBS)裝置中，多晶矽包含於一形成於一矽基材之溝渠中。在溝渠及矽平台(在相鄰溝渠間之表面)內的為使用金屬接點局部相連。

在一單晶體整合式TMBS及MOS場效電晶體(MOSFET)裝置中，於本文中稱為SKYFET裝置，多晶矽包含於一形成於一矽基材之溝渠中。MOSFET區塊及TMBS區塊源極以相同的接觸金屬連接。

在此二型式之裝置中，多晶矽以一氧化物層與溝渠之側壁分離。在製造期間，一部份氧化物層及一部份多晶矽

101年10月19日修正替換頁

在接觸金屬沉積前蝕刻去除。不幸地，此蝕刻方法可導致金屬侵入溝渠(進入平台中)側壁，造成過量的電流洩漏而視為肖特基二極體技術中的邊緣洩漏。

【發明內容】

發明概要

一可除去或減少在TMBS及SKYFET裝置之邊緣洩漏的方法及/或裝置為有利的。本發明之實施例提供此及其他優點。

本發明之實施例藉由使用遠端接點至TMBS裝置多晶矽區域之，以及至MOSFET區塊之多晶矽區域及SKYFET裝置之TMBS區塊而解決邊緣洩漏的問題。

源極金屬至TMBS區塊多晶矽區域之接觸經由多晶矽延伸出TMBS區塊而達成。多晶矽相對相鄰的平台凹陷且藉氧化物層與接觸金屬隔離。此些在裝置架構中的改變解除在接觸金屬沉積前由TMBS區塊之多晶矽及矽平台區域移除所有的氧化物之需求。因此，可避免接觸金屬侵入在TMBS裝置中或在SKYFET裝置之溝渠側壁。

本發明之此些及其他目的與優點可由熟於是項技藝人士於閱讀下列詳述並配合多個圖式後可瞭解。

圖式簡單說明

本文附圖，其併入本案說明書並視為說明書之一部份，並配合詳細說明以說明本發明之實施例而用以解釋本發明之技術思想：

第1圖為一方法流程圖，其依本發明之一實施例用以製

造一半導體裝置。

第2、3、4、5、6、7、8及9圖剖面圖，其顯示本發明之一實施例用以製造一半導體裝置的特定階段。

第10圖為一頂視圖，其顯示本發明之一實施例的包含MOSFET及TMBS區塊之半導體裝置。

第11圖為一頂視圖，其顯示本發明之一實施例的包含TMBS區塊之半導體裝置之元件。

【實施方式】

較佳實施例之詳細說明

在本發明之下列描述中，說明多個特定詳細說明以提供本發明的完整瞭解。然而，熟於此項技術人士可瞭解，本發明可在此些無特定細節或以其等之同等物實施。在其他例子中，已知的方法、步驟、組件、及電路未詳細描述，以免不必要的模糊本發明之技術思想。

在下文之詳細說明某些部份之呈現係以製造半導體裝置的操作之步驟、邏輯方塊、製程及其他符號表示。此些描述及表示為熟於半導體裝置製造之技術人士使用的方式以最有效的傳遞其工作的實質部份予其他熟於是項技術人士。本發明中，一步驟、邏輯方塊、製程或其相似者係構想為步驟或指示以引導至所欲結果的自我符合的順序。此些步驟為需要物理數量的物理操控。然而，需記得此些及相似的詞全部為附隨適宜之物理數量且僅為施用此些數量之合宜標示。除非特別明且由下文討論中顯見，應瞭解在本說明書全文中，利用如“形成”、“進

行”、“製造”、“沉積”、“蝕刻”或其他相似者等詞的討論為有關半導體裝置製造之作動及製程(例如，第1圖之流程圖100)。

圖式並未依比例繪示，且僅顯示結構部份以及由此結構形成的不同層。再者，其他的製造製程及步驟可依本文所討論的製程及步驟實施；亦即，在本文顯示及描述之步驟前、其間及/或之後具有數方法。重要地，本發明之實施例在未擾亂方法下可與此些其他(可能為習知者)方法及步驟共同實施。大致而言，本發明之實施例可在未顯著影響周邊方法及步驟下替代習知方法之部份。

第1圖為一製程之一實施例的流程圖100，其用於半導體裝置之製造，特別是一單晶體整合式TMBS及MOSFET裝置，或SKYFET。雖然流程圖100的製程以如顯示於第10圖之SKYFET來描述，此方法之一次組可用於僅形成一TMBS裝置，如顯示於第11圖(亦即，可進行僅使用形成SKYFET之TMBS區塊的步驟，在此例中用於形成MOSFET區塊的步驟為非必要進行的)。

雖然在第1圖中揭露特定的步驟，此些步驟為例示用。亦即，本發明非常適宜進行第1圖提及之步驟的多種其他步驟或變化。第1圖與第2至9圖一起討論，其等之剖面圖為顯示本發明之一實施例用以製造一半導體裝置的特定階段，並亦配合第10及11圖，其為半導體裝置之實施例的部份頂視圖，其可使用流程圖100的方法製造。

在第1圖之方塊105中，亦配合第2圖，一第一遮罩

220(例如，光阻)在基材205(例如，一p-型矽基材)上圖樣化以定義溝渠如溝渠210、211、212、213、214及215。溝渠210-215藉由蝕刻未由遮罩220覆蓋之區的基材205而形成。溝渠215可選擇地做為通道阻絕層(例如，其內容物可稍後以n-型不純物摻雜)。在形成溝渠後，除去遮罩220且此結果結構被清潔。在接著清潔後進行蝕刻及犧牲氧化作用以改良溝渠側壁品質。

在第1圖之方塊110中，亦參考第3圖，一閘極氧化物層310在每一溝渠210-215中生長，且多晶矽320沉積入每一溝渠210-215中。此些步驟可接著摻雜、毯覆式回蝕、及多晶矽之再氧化作用。顯著地，多晶矽320區域之頂表面為相對溝渠210-215頂部為凹陷。更詳言之，溝渠側壁(或對應的平台之側壁)具有一高度H1，同時多晶矽320沉積於溝渠內至高度H2，其中H2小於H1。

在第1圖之方塊115中，亦參考第4圖，施用一第二遮罩410以定義後續容許體植入420(例如，一p-主體植入)之區域。遮罩410可接著去除，清潔此結果結構，且可退火體植入420並擴散入所欲的接面深度。

在第1圖之方塊120中，亦參考第5圖，施用一第三遮罩510以定義後續容許源極植入520(例如，一n+源極植入)之區域。顯著地，源極植入520並未容許進入在溝渠212及214或在溝渠212-214間的區域周圍之終止區之任一者，其相當於SKYFET之TMBS區塊的主動區域。容許源極植入520至可選擇之通道阻絕層(溝渠215)。遮罩510可

接著去除並清潔此結果結構。

在第1圖之方塊125中，亦參考第6圖，一介電疊層沉積橫過於結構之全部表面並密實化。在一實施例中，該介電疊層含有一四乙基原矽酸鹽(TEOS)層及一硼磷矽玻璃(BPSG)層。

在第1圖之方塊130中，亦參考第7圖，施用一第四遮罩710以SKYFET之MOSFET區塊的主動區域定義接觸開口720、721及722。因為在蝕刻前，結構的上表面為相對平坦，可使用一較薄的阻障遮罩。除了在遮罩710下的區，蝕刻源極植入層520、TEOS層610及BPSG層620以形成接觸開口720-722。顯著地，TMBS區塊的主動區藉由遮罩710遮罩。

當接觸金屬在後續步驟(方塊140)沉積，接觸開口720-722容許n-型植入(層520)及接觸金屬間之接觸；然而，接觸金屬不會接觸多晶矽320區域。亦即，相同的金屬不會接觸源極植入520及多晶矽320二者。

重要地，溝渠210-215之側壁並未曝露於用以形成接觸開口720-722的蝕刻，因此避免接觸金屬(依方塊140中沉積)侵入溝渠210-215之側壁的問題，且消除或減少因此金屬侵入之周緣洩漏。

參考第10及11圖，為了接觸多晶矽320之區域，第四遮罩710亦在閘極接觸區(例如，接點1010及1011)及TMBS區塊之多晶矽接觸區(例如，接點1020)亦定義接觸開口。由第7圖之示意圖，例如，多晶矽區域320延伸一距離至頁

式，如顯示於第10及11圖。接點1010及1011接觸在MOSFET區塊之多晶矽320，且接點1020接觸TMBS區塊之多晶矽320。

在接點氧化物蝕刻及矽蝕刻後，進行接點箝位植入及淺接點植入並去除第四遮罩710。接點箝位植入及淺接點植入改良接點對主體的電阻且亦由溝渠轉移崩落破裂至每一平台中心。

在遮罩710去除後，此結果結構接著進行高溫迴銲以主動接觸植入，若源極植入未主動則主動之，驅動源極植入至其接面深度，若需要則密實介電疊層，及若預期則將介電疊層等高以柔和結構之表面形狀。

在第1圖之方塊135中，亦參考第8圖，使用一第五遮罩810以僅圖案化TMBS區塊的主動區，為了在沉積勢壘層及接觸金屬前蝕刻去除介電疊層之一部份(例如，TEOS層610及BPSG層620)。在一實施例中，於介電疊層蝕刻後，任何疊層於TMBS區塊之平台表面(例如，平台820及821)上之殘餘氧化物由此些表面去除。在一實施例中，在TMBS平台表面上的氧化物乾蝕刻至一厚度為約1000Å，並接著施用一緩衝氧化物蝕刻液(BOE)(例如，一9：1 BOE濕浸)以除去任何殘留的氧化物，故可在平台表面及接觸金屬(在方塊140中沉積)間達成良好的接觸。濕式過度蝕刻的目的為清潔TMBS平台表面之氧化物，但不必要至溝渠212-214內側。顯著地，在溝渠212-214之多晶矽320的頂表面殘留相對於平台表面820-821之凹

陷，其藉由閘極氧化物層310的殘餘厚度覆蓋。

在第1圖之方塊140中，亦參考第9圖，形成一源極金屬層910。更詳言之，沉積勢壘層及接觸金屬(例如，氮化鈦、鈦、鋁)以形成層910。此沉積金屬可接著使用第六遮罩(未顯示)圖案化。源極金屬層910接觸TMBS平台820-821，但不是接觸多晶矽 320之區域。亦即，源極金屬層910藉由氧化物310與多晶矽320分隔。

在第1圖之方塊145中，若使用一保護層則可使用第七遮罩(未顯示)沉積及圖案化。此結構接著可研磨及施用背墊金屬。

一僅包括TMBS區塊的裝置可例如藉由省略方塊115、120及130中描述的步驟而形成。

現參考第10及11圖，其分別顯示本發明之實施例的SKYFET裝置(包括MOSFET區塊及一TMBS區塊)之部份的頂視圖及一相似之TMBS裝置的頂視圖。在第10圖的例子中，在每一MOSFET區塊之溝渠多晶矽320的不同區域彼此連接並接至MOSFET區塊之主動區域外的接點1010及1011。在第10圖的方向，多晶矽320延伸至接點1010及1011，其每一皆超過在含有多晶矽320之MOSFET區塊中配置覆蓋溝渠210-211及215(第2圖)的源極金屬層910的邊緣。因此，MOSFET多晶矽320及閘極金屬間的電接觸經由接點1010及1011完成。然而，接點1010及1011為位於顯示於第10圖之MOSFET區塊之主動區域外。亦即，接點1010及1011位於在含有多晶矽320之MOSFET區塊中配

101年10月19日修正劃線頁(本)

置覆蓋溝渠的源極金屬層910區域之外。

相似地，每一TMBS區塊之溝渠的多晶矽320不同區域為彼此相連且接著連接至接點1020，其位於第10及11圖之主動TMBS區塊外。在第10及11圖的方向，多晶矽320在側向方向上比平台820-821(第8圖)更延伸。源極金屬層910設置覆蓋於在含有多晶矽320及在溝渠間的平台之TMBS區塊溝渠212-214(第2圖)上。

如前述，源極金屬層910與平台電接觸但在溝渠中與多晶矽320隔離。接點1040於第10圖之TMBS區塊中表示在Schottky接觸金屬(源極金屬層910)及平台820-821(第8圖)間的接觸。在多晶矽320及源極金屬層910間的電接觸經由接點1020完成。然而，接點1020位於顯示於第10及11圖的TMBS區塊主動區域之外。亦即，接點1020為位於極金屬層910區域之外，該極金屬層910區域覆蓋於含有多晶矽320之TMBS區塊且亦覆蓋於溝渠間的平台上。

亦顯示提供電接觸至源極植入520(第7圖)的MOSFET源極接點。

簡言之，依本發明之實施例可解決過量洩漏的問題，其係藉由使用遠端接點(例如，接點1020)至TMBS裝置之多晶矽區域，以及至SKYFET裝置的TMBS區塊及MOSFET區塊之多晶矽區域。多晶矽320為相對平台凹陷。使用一TEOS 610及BPSG 620(第6圖)之疊層以選擇性地在多晶矽320之頂面留下薄氧化物層，同時確保在TMBS區塊的平台表面(例如，平台820-821)對接觸開放金屬，但未曝露溝

100年10月19日修正劃線頁(本)

渠側壁於蝕刻作用。

此些在裝置架構中的改變解除在接觸步驟前由TMBS區塊之多晶矽及矽平台區域移除所有的氧化物。僅由在TMBS區塊之矽平台完全蝕刻氧化物。源極金屬接觸至TMBS區塊之多晶矽區域可經由在TMBS區塊外的多晶矽延伸而完成。因此，此些特徵以及用於製造此些特徵的方法，可避免接觸金屬侵入TMBS裝置或SKYFET裝置之溝渠側壁中。

技術思想

如簡短總結，本文說明書揭露至少下列廣泛的技術思想：

技術思想1-一半導體裝置，其包含溝渠式金屬氧化物半導體(MOS)勢壘肖特基(TMBS)裝置，該TMBS裝置包含：

一基材，其具有在其中形成的多數個第一溝渠，其中一傳導材料沉積在該第一溝渠中；及一源極金屬層；

該TMBS裝置具有一主動區域，其中在該主動區域中，該源極金屬層與該基材為電接觸但與配置於該第一溝渠內的該傳導材料隔離，其中在該第一溝渠中的該傳導材料電耦合至一位於該TMBS裝置之該主動區域外側之接點接觸。

技術思想2-技術思想1之半導體裝置，其中該主動區域包含在該第一溝渠間形成多數個平台，該平台具有第一高度的側壁，該傳導材料填充該第一溝渠至少於該第一高度之第二高度。

101年11月19日修正替換頁

技術思想3-技術思想2之半導體裝置，其中該傳導材料延伸通過該基材超過該平台的一距離，該傳導材料延伸至該TMBS裝置之該主動區域外側並至該接點。

技術思想4-技術思想1之半導體裝置更包含絕緣材料以將該傳導材料與該基材並與該源極金屬層分離。

技術思想5-技術思想4之半導體裝置，其中該絕緣材料包含一閘極氧化物。

技術思想6-技術思想1之半導體裝置，其中該基材包含p-型矽基材且該傳導材料包含多晶矽。

技術思想7-技術思想1之半導體裝置，其中該源極金屬層包含一選自由氮化鈦、鈦、鋁組成之組群中的材料。

技術思想8-技術思想1之半導體裝置，更包含一金屬氧化物半導體場效電晶體(MOSFET)，該MOSFET及該TMBS裝置組合包含一單晶體整合式結構。

技術思想9-技術思想8之半導體裝置，其中該MOSFET包含：

多數個第二溝渠形成於該基材內且具有該傳導材料配置於其內；及

源極植入相鄰於每一該第二溝渠式中但藉由該絕緣材料與在該第二溝渠中的該傳導材料分隔；

該MOSFET具有一主動區域，其中該源極金屬層為配置於該第二溝渠上且與在該第二溝渠間之該基材中形成的p-主體植入電接觸，其中在該第二溝渠中之該傳導材料與一閘極金屬間的電接觸為在該MOSFET之該主動區域

101年10月19日修正替換頁

外完成。

技術思想10-一種製造半導體裝置的方法，其包含一溝渠式金屬氧化物半導體(MOS)肖特基勢壘(TMBS)裝置，該方法包含：

形成多數個由平台分隔的第一溝渠，該第一溝渠具有第一高度的側壁；

沉積傳導材料於該第一溝渠中以達一小於該第一高度的高度；

形成一絕緣材料層於該傳導材料上；

形成一源極金屬層於一第一區域，其涵蓋該第一溝渠及該平台，其中在該第一區域中，該源極金屬層藉由絕緣材料與該傳導材料隔離；及

在該源極金屬層與在該第一溝渠中的該傳導材料形成第一電接觸，其中該第一電 接觸為超過該第一區域。

技術思想11-技術思想10之方法，更包含在形成該源極金屬層前：

形成一介電質層於該平台及該第一溝渠上；

蝕刻去除部份該介電質層並曝露該平台，故當該源極金屬層接續完成時，該源極金屬層與該平台接觸，其中該絕緣材料在進行該蝕刻後，保留於該傳導材料上。

技術思想12-技術思想10之方法，其中該介電質層包含一含有一四乙基原矽酸鹽(TEOS)層及一硼磷矽玻璃(BPSG)層的介電疊層。

技術思想13-技術思想10之方法，其中該絕緣材料包

含一閘極氧化物，該基材包含一p-型矽基材，該傳導材料包含多晶矽，且該源極金屬層包含一選自由氮化鈦、鈦、鋁組成之組群中的材料。

技術思想14-技術思想10之方法，其中該半導體裝置更包含一形成在該基材上的金屬氧化物半導體場效電晶體(MOSFET)，該MOSFET及該TMBS裝置組合包含一單晶體整合式結構。

技術思想15-技術思想14之方法，更包含：

多數個第二溝渠形成於該基材內，其中該傳導材料亦沉積於該第二溝渠內；

形成p-主體植入於該第二溝渠間，其中該源極金屬層沉積於一包含該第二溝渠及該p-主體植入之第二區域上；

形成源極植入相鄰於每一該第二溝渠中但藉由該絕緣材料與在該第二溝渠中的該傳導材料分隔；及

形成在該第二溝渠中之該傳導材料與一閘極金屬間的一第二電接觸，其中該第二電接觸位於該第二區域之外。

技術思想16-一半導體裝置，其包含一溝渠式金屬氧化物半導體(MOS)勢壘肖特基(TMBS)裝置，該TMBS裝置包含：

一基材，具內形成數個具有第一高度側壁之平台；

傳導材料沉積於位在該平台間的多數個第一溝渠內，該傳導材料填充該第一溝渠至第二高度，亦即至一少於該第一高度；及

100年10月19日修正劃線頁(本)

絕緣材料將該傳導材料與該基材並與配置於該平台及該第一溝渠上之源極金屬層分隔；其中，在該TMBS裝置之主動區域內，該源極金屬層與該平台電接觸，其中於該第一溝渠中的該傳導材料與該源極金屬層之電接觸在該TMBS裝置之該主動區域外完成。

技術思想17-技術思想16之半導體裝置，其中該絕緣材料包含一閘極氧化物，該基材包含一p-型矽基材，該傳導材料包含多晶矽，且該源極金屬層包含一選自由氮化鈦、鈦、鋁組成之組群中的材料。

技術思想18-技術思想16之半導體裝置，更包含一形成在該基材上的金屬氧化物半導體場效電晶體(MOSFET)，該MOSFET及該TMBS裝置組合包含一單晶體整合式結構。

技術思想19-技術思想18之半導體裝置，其中該MOSFET包含多數個第二溝渠形成於該基材內且具有該傳導材料配置於其內；其中，在該MOSFET裝置之主動區域內，其中該源極金屬層為配置於該第二溝渠與該第二溝渠間之該基材中形成的p-主體植入，其中在該第二溝渠中之該傳導材料與一閘極金屬間的電接觸為在該MOSFET之該主動區域外完成，且其中該源極金屬層與該p-主體植入電接觸但不與在該第二溝渠中的該傳導材料電接觸。

技術思想20-技術思想19之半導體裝置，更包含源極植入相鄰於每一該第二溝渠中且藉由該絕緣材料與在該第二溝渠中的該傳導材料分隔。

101年10月19日修正替換頁

技術思想21-技術思想19之半導體裝置，更包含一介電質層配置於第二溝渠上但由容許在該源極金屬層及該p-主體植入間之該電接觸的間隙分隔。

技術思想22-技術思想21之半導體裝置，其中該介電質層包含一含有一四乙基原矽酸鹽(TEOS)層及一硼磷矽玻璃(BPSG)層的介電疊層。

已呈現本發明特定實施例之前述說明以達說明及描述本發明之目的。其非用以完盡說明或限制本發明至揭露之精準形式，且許多潤飾及變可在前文的教示下完成。選擇及描述的實施例為最佳解釋本發明的技術思想及其實際的實施，藉此可使其他熟於此技人士最佳瞭解本發明，且多個具有不同潤飾的實施例亦適於特定的預期使用。且本發明之範疇欲由後附之申請專利範圍及其等效者所界定。

【圖式簡單說明】

第1圖為一方法流程圖，其依本發明之一實施例用以製造一半導體裝置。

第2、3、4、5、6、7、8及9圖剖面圖，其顯示本發明之一實施例用以製造一半導體裝置的特定階段。

第10圖為一頂視圖，其顯示本發明之一實施例的包含MOSFET及TMBS區塊之半導體裝置。

第11圖為一頂視圖，其顯示本發明之一實施例的包含TMBS區塊之半導體裝置之元件。

101年10月19日修正替換頁

【主要元件符號說明】

105、110、115、120、125、130、135、140、145...方塊

205...基材

210、211、212、213、214、215...溝渠

220、410、510、710、810...遮罩

310...閘極氧化物層

320...多晶矽

420...體植入

520...源極植入

610...TEOS層

620...BPSG層

720、721、722...接觸開口

820、821...平台

910...源極金屬層

1010、1011、1020...接點

101年10月19日修正劃線頁(本)

十、申請專利範圍：

1. 一種半導體裝置，其包含一溝渠式金屬氧化物半導體(MOS)勢壘肖特基(TMBS)裝置，該TMBS裝置包含：

一基材，其具有在其中形成的多數個第一溝渠，其中一傳導材料沉積在該等第一溝渠中；

該TMBS裝置具有包含介於該等第一溝渠間之區域之一主動區域；

形成於該等區域上及該等第一溝渠上之一源極金屬層，其中，在該主動區域中，該源極金屬層係與該基材電接觸但係與配置於該等第一溝渠內的該傳導材料隔離，其中在該等第一溝渠中的該傳導材料係電耦合至一位於該TMBS裝置之該主動區域外側之第一接點(contact)；以及

一絕緣材料以使該傳導材料與該基材並與該源極金屬層分隔；

該半導體裝置更包含一金屬氧化物半導體場效電晶體(MOSFET)，該MOSFET及該TMBS裝置組合包含一單晶體整合式結構，其中該MOSFET包含：

多數個第二溝渠形成於該基材內且具有該傳導材料配置於其內；

介於該等第二溝渠間之p-主體植入；以及

源極植入相鄰於該等第二溝渠中之每一者之每一側但係藉由該絕緣材料與該等第二溝渠中的該傳導材料分隔；

該MOSFET具有一主動區域，其中該源極金屬層係配置於該等第二溝渠上且介於與該等源極植入之非水平表面接觸的該等源極植入之間，其中該源極金屬層係亦與介於該等源極植入間之該等p-主體植入接觸，其中介於該等第二溝渠中之該傳導材料與一閘極金屬間的一第二接點係位於該MOSFET之該主動區域外側。

2. 如申請專利範圍第1項之半導體裝置，其中該TMBS裝置之該主動區域包含在該等第一溝渠間形成的多數個平台(mesas)，該等平台具有一第一高度的側壁，其中該傳導材料填充該等第一溝渠達少於該第一高度之一第二高度。

3. 如申請專利範圍第2項之半導體裝置，其中該傳導材料延伸通過該基材一超過該等平台的距離，該傳導材料延伸至該TMBS裝置之該主動區域外側並至該第一接點。

4. 如申請專利範圍第1項之半導體裝置，其中該絕緣材料包含一閘極氧化物。

5. 如申請專利範圍第1項之半導體裝置，其中該基材包含一p-型矽基材且該傳導材料包含多晶矽(polysilicon)。

6. 如申請專利範圍第1項之半導體裝置，其中該源極金屬層包含一選自由氮化鈦、鈦及鋁組成之組群中的材料。

7. 一種用於製造半導體裝置的方法，其包含一溝渠式金

屬氧化物半導體(MOS)勢壘肖特基(TMBS)裝置，該方法包含：

於一基材內形成多數個第一溝渠，其中該等第一溝渠係藉由平台分隔，該等第一溝渠具有一第一高度的側壁；

沉積傳導材料於該等第一溝渠中以達一小於該第一高度的高度；

形成一絕緣材料層於該傳導材料上；

形成一源極金屬層於一第一區域，其涵蓋該等第一溝渠及該等平台，其中在該第一區域中，該源極金屬層係藉由該絕緣材料與該等第一溝渠內側之該傳導材料分隔且該源極金屬層係與該等平台接觸；以及

在該源極金屬層與在該等第一溝渠中的該傳導材料之間形成第一接點，其中該第一接點係位於該第一區域外側；

其中該半導體裝置更包含一形成在該基材上的金屬氧化物半導體場效電晶體(MOSFET)，該MOSFET及該TMBS組合包含一單晶體整合式結構，該方法更包含：

形成多數個第二溝渠於該基材內，其中該傳導材料亦係沉積於該等第二溝渠內；

形成p-主體植入於該等第二溝渠間；

形成源極植入於該等第二溝渠間以形成一跨該等p-主體植入但與該等第二溝渠中之該傳導材料藉

由該絕緣材料分隔之源極植入層；

蝕刻該等源極植入以曝露位於該等源極植入下方之該等p-主體植入，留下該等第二溝渠中之每一者之每一側上的該等源極植入的一部份；

沉積位於該等p-主體植入上且與該等源極植入之每一該部份之一非水平表面接觸的該源極金屬層；以及

形成介於該等第二溝渠中之該傳導材料與一閘極金屬間之一第二接點，其中該第二接點係位於該第二區域外側。

8. 如申請專利範圍第7項之方法，更包含在形成該源極金屬層之前：

形成一介電質層於該等平台及該等第一溝渠上；以及

蝕刻去除該介電質層之部份並曝露該等平台，使得當該源極金屬層接續形成時，該源極金屬層係與該等平台接觸，其中該絕緣材料在進行該蝕刻後，保留於該傳導材料上。

9. 如申請專利範圍第8項之方法，其中該介電質層包含一含有一四乙基原矽酸鹽(TEOS)層及一硼磷矽玻璃(BPSG)層的介電疊層。

10. 如申請專利範圍第7項之方法，其中該絕緣材料包含一閘極氧化物，該基材包含一p-型矽基材，該傳導材料包含多晶矽且該源極金屬層包含一選自由氮化鈦、鈦

及鋁組成之組群中的材料。

11. 一種半導體裝置，其包含一溝渠式金屬氧化物半導體(MOS)勢壘肖特基(TMBS)裝置，該TMBS裝置包含：

一基材，其內形成數個具有一第一高度之側壁之平台；

一傳導材料，其係配置於位在該等平台間的多數個第一溝渠內，該傳導材料填充該等第一溝渠至一第二高度，該第二高度係少於該第一高度；以及

一絕緣材料，係將該等第一溝渠內側之該傳導材料與該基材並與配置於該等平台及該等第一溝渠上之一源極金屬層分隔；其中，該源極金屬層係與該TMBS裝置之一主動區域內之該等平台電接觸，其中該TMBS裝置之該主動區域包含介於該等第一溝渠間之區域，其中介於該等第一溝渠中的該傳導材料與該源極金屬層間之電接觸係在該TMBS裝置之該主動區域外完成；

該半導體裝置更包含一形成在該基材上的金屬氧化物半導體場效電晶體(MOSFET)，該MOSFET及該TMBS組合包含一單晶體整合式結構，其中該MOSFET包含多數個第二溝渠形成於該基材內且具有該傳導材料配置於其內；其中，源極植入係形成為相鄰於該等第二溝渠中之每一者之每一側；其中，在該MOSFET之一主動區域內，該源極金屬層係配置於該等第二溝渠上且與該等源極植入之非水平表面接觸，且該源極

金屬層亦係配置於形成於該基材內之p-主體植入上且與介於該等源極植入間之該等p-主體植入接觸，其中介於該等第二溝渠中之該傳導材料與一閘極金屬間之電接觸係在該MOSFET之該主動區域外完成，且其中該源極金屬層係與該等p-主體植入電接觸但不與在該第二溝渠中的該傳導材料電接觸。

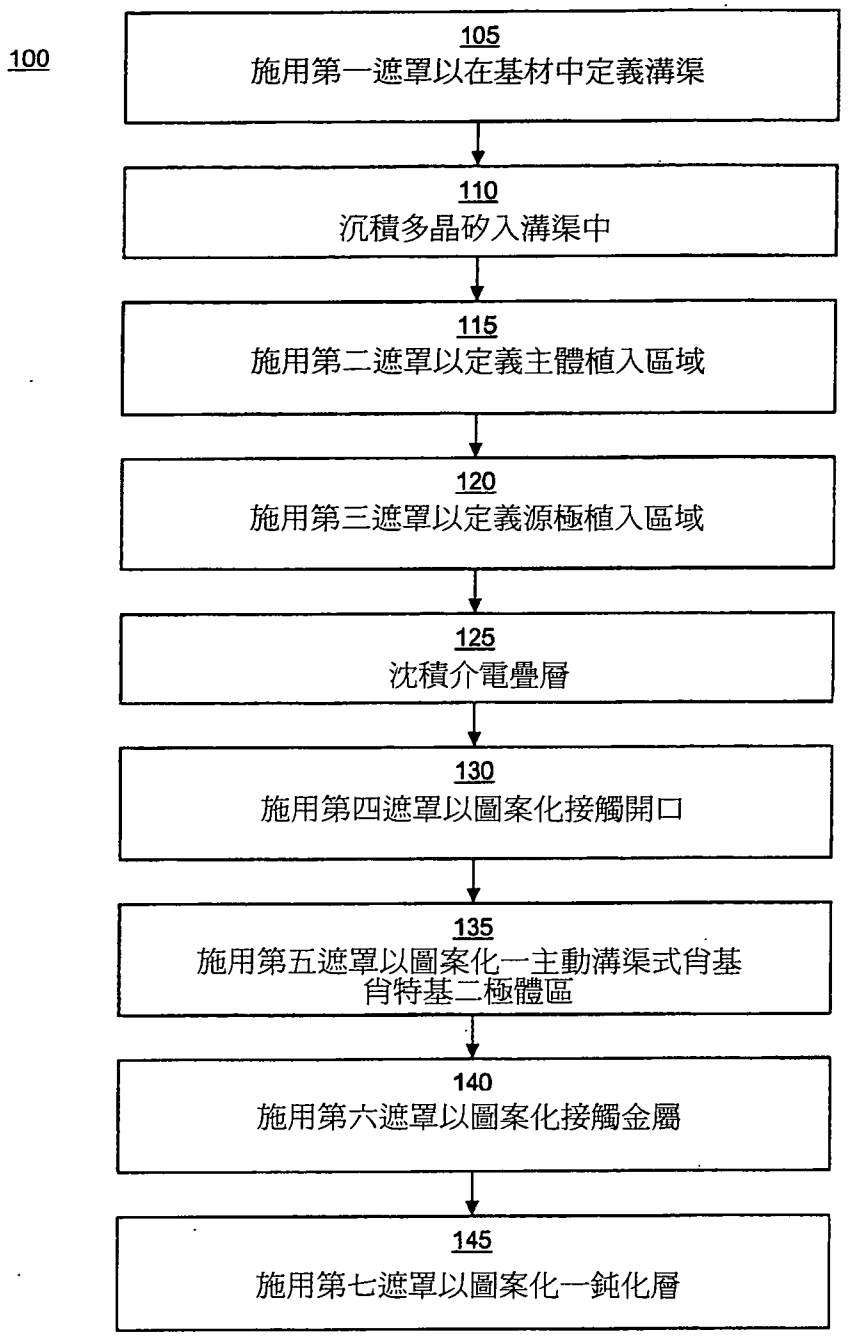
12. 如申請專利範圍第11項之半導體裝置，其中該絕緣材料包含一閘極氧化物，該基材包含一p-型矽基材，該傳導材料包含多晶矽，且該源極金屬層包含一選自由氮化鈦、鈦及鋁組成之組群中的材料。

13. 如申請專利範圍第11項之半導體裝置，更包含源極植入相鄰於該等第二溝渠中之每一者但藉由該絕緣材料與在該等第二溝渠中之該傳導材料分隔。

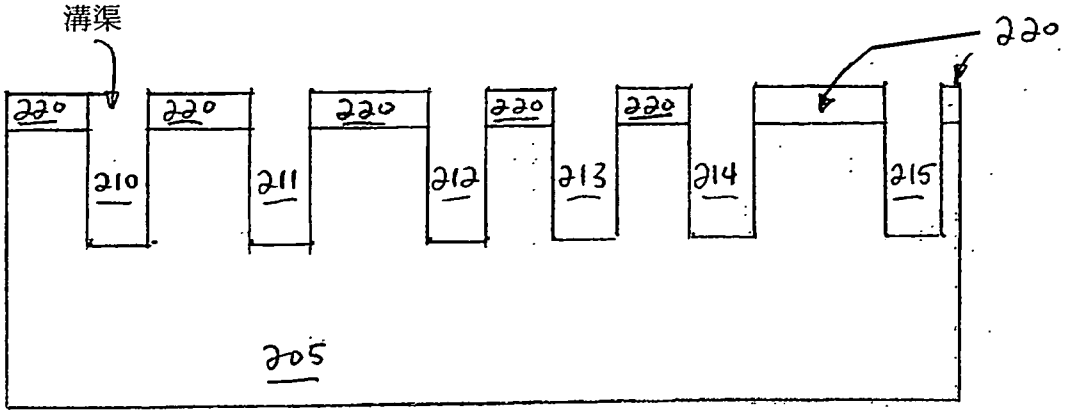
14. 如申請專利範圍第11項之半導體裝置，更包含一介電質層配置於該等第二溝渠上但由容許在該源極金屬層及該等p-主體植入間之該電接觸的間隙分隔。

15. 如申請專利範圍第14項之半導體裝置，其中該介電質層包含一含有一四乙基原矽酸鹽(TEOS)層及一硼磷矽玻璃(BPSG)層的介電疊層。

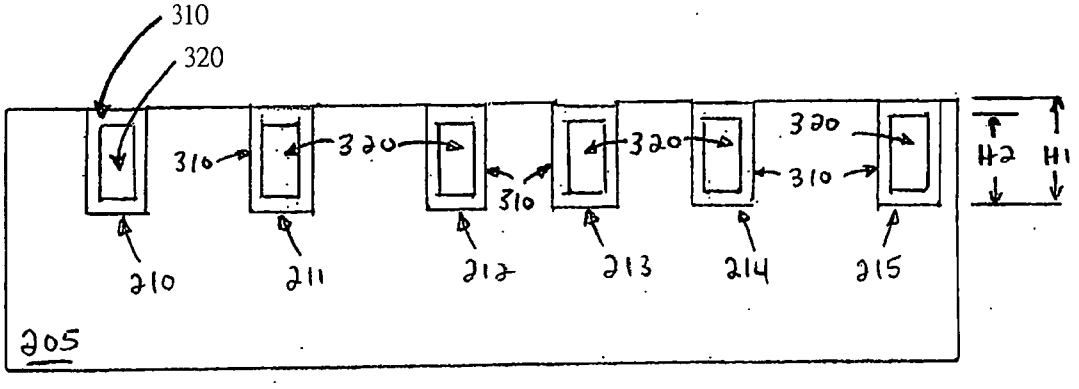
16. 如申請專利範圍第1項之半導體裝置，其中該MOSFET裝置之該主動區域包含多個形成於該等第二溝渠間之平台，該等平台具有一第一高度之側壁，其中該傳導材料填充該等第二溝渠至一小於該第一高度之第二高度。


100
105
施用第一遮罩以在基材中定義溝渠
110
沉積多晶矽入溝渠中
115
施用第二遮罩以定義主體植入區域
120
施用第三遮罩以定義源極植入區域
125
沈積介電疊層
130
施用第四遮罩以圖案化接觸開口
135
施用第五遮罩以圖案化一主動溝渠式肖基肖特基二極體區
140
施用第六遮罩以圖案化接觸金屬
145
施用第七遮罩以圖案化一鈍化層

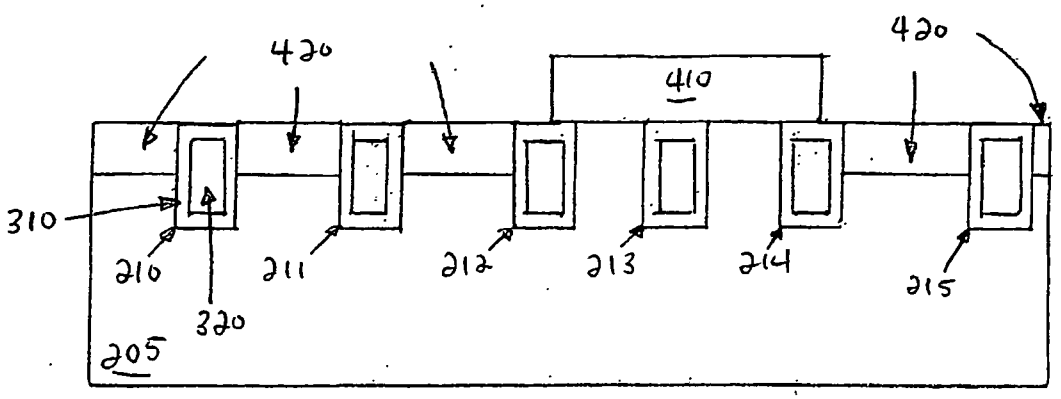
第 1 圖


溝渠
220
220
220
220
220
220
220
210
211
212
213
214
215
205

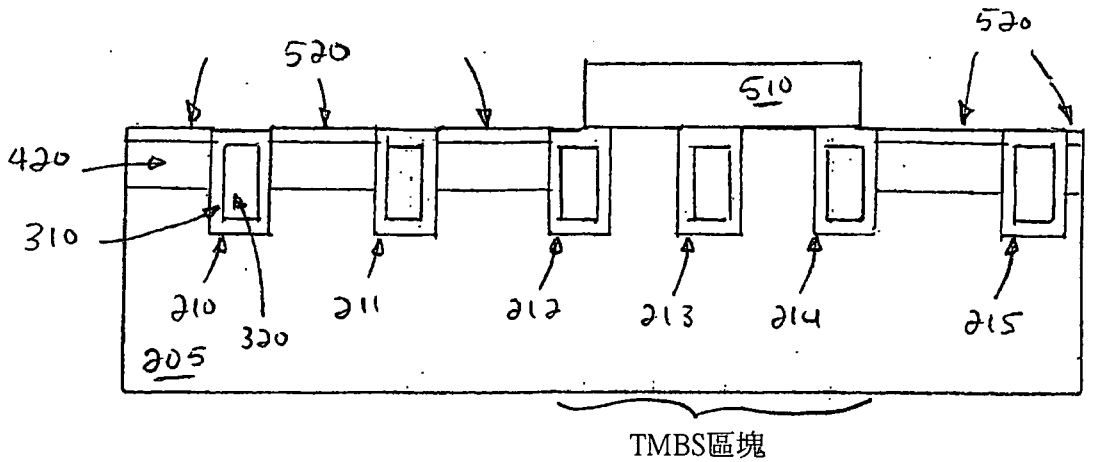
第 2 圖


310
320
310
320
320
320
310
310
H2
H1
210
211
212
213
214
215
205

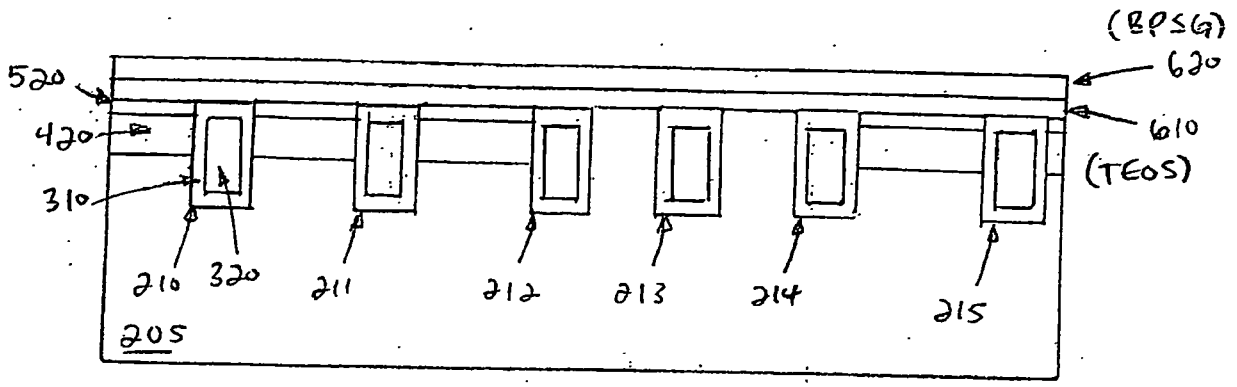
第 3 圖


420
420
410
310
210
320
211
212
213
214
215
205

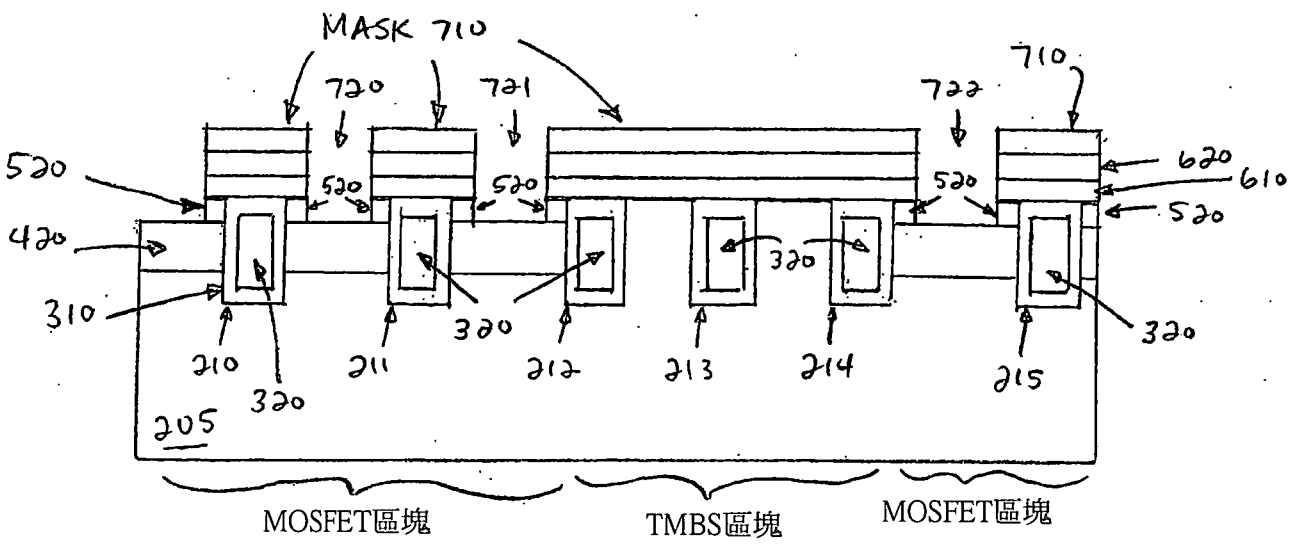
第 4 圖


520
520
510
420
310
210
320
211
212
213
214
215
205
TMBS區塊

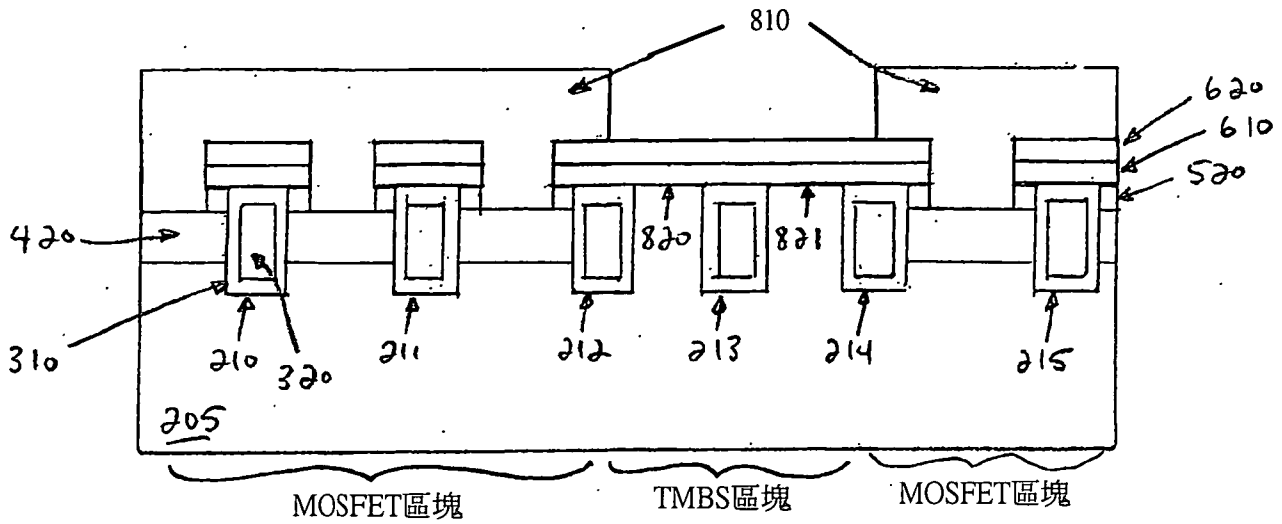
第 5 圖


(BPSG)
620
610
(TEOS)
520
420
310
210
320
211
212
213
214
215
205

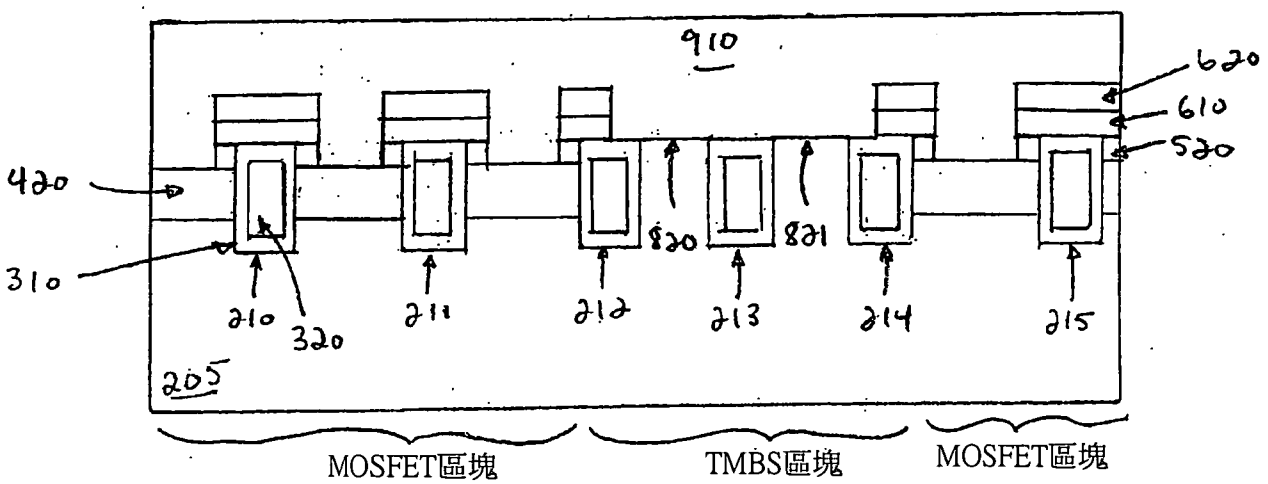
第 6 圖


MASK 710
720
721
722
710
520
420
310
620
610
520
320
210
320
211
212
213
214
215
205
MOSFET區塊
TMBS區塊
MOSFET區塊

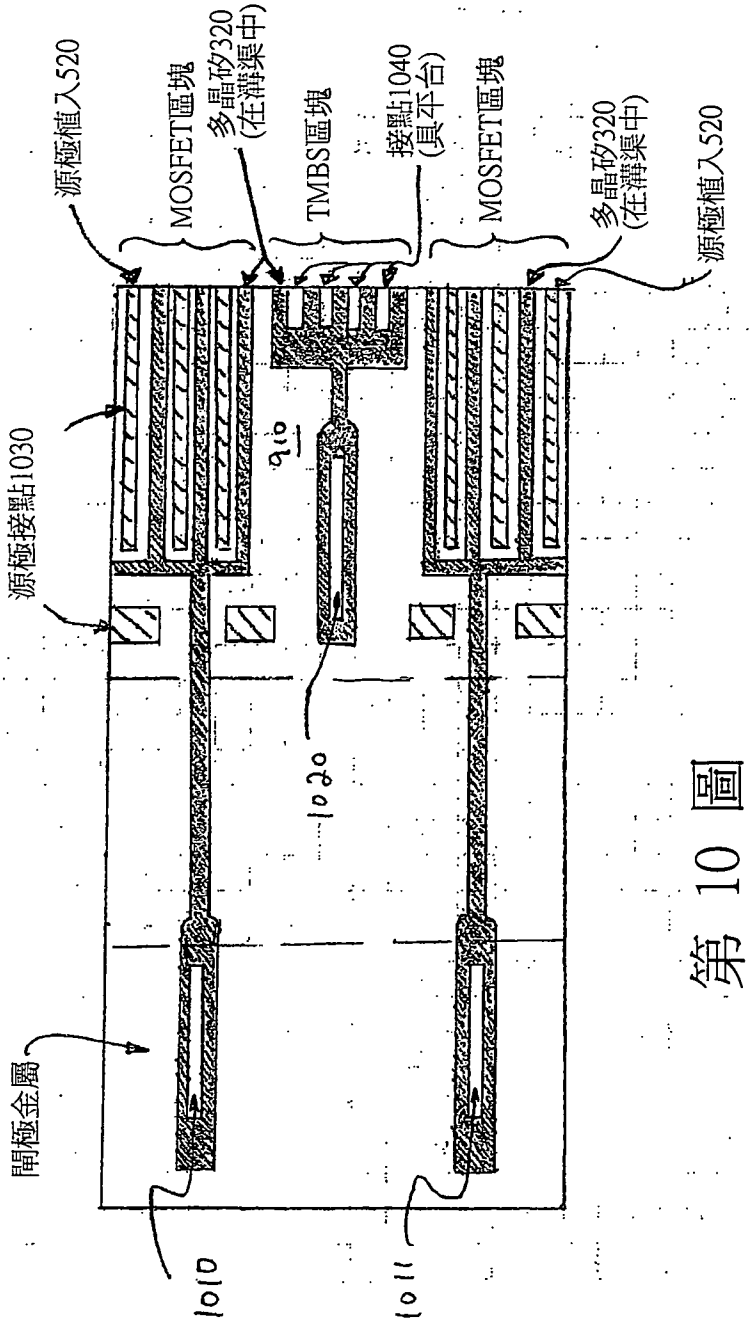
第 7 圖


810
620
610
520
420
310
210
320
211
212
820
213
821
214
215
205
MOSFET區塊
TMBS區塊
MOSFET區塊

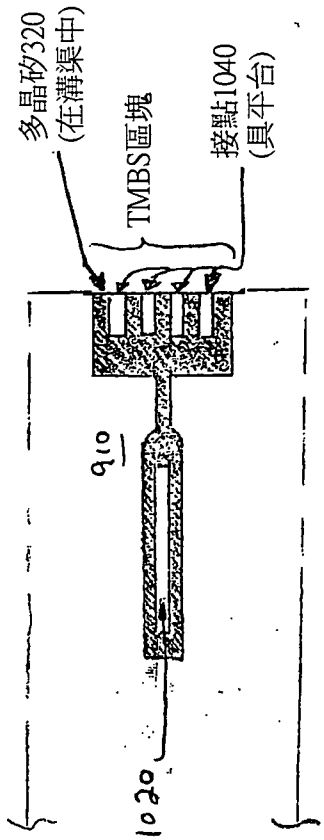
第 8 圖


910
620
610
520
420
310
210
320
211
212
820
213
821
214
215
205
MOSFET區塊
TMBS區塊
MOSFET區塊

第 9 圖


源極植入520
MOSFET區塊
多晶矽320
(在溝渠中)
TMBS區塊
接點1040
(具平台)
MOSFET區塊
多晶矽320
(在溝渠中)
源極植入520
源極接點1030
910
1020
閘極金屬
1010
1011

第 10 圖



第 11 圖