

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7549549号
(P7549549)

(45)発行日 令和6年9月11日(2024.9.11)

(24)登録日 令和6年9月3日(2024.9.3)

(51)国際特許分類

F I

H 0 1 L	21/20	(2006.01)	H 0 1 L	21/20	
C 3 0 B	33/06	(2006.01)	C 3 0 B	33/06	
C 3 0 B	29/06	(2006.01)	C 3 0 B	29/06	B
C 2 3 C	16/34	(2006.01)	C 2 3 C	16/34	
H 0 1 L	21/205	(2006.01)	H 0 1 L	21/205	

請求項の数 12 (全14頁) 最終頁に続く

(21)出願番号 特願2021-29830(P2021-29830)
 (22)出願日 令和3年2月26日(2021.2.26)
 (65)公開番号 特開2022-131086(P2022-131086
 A)
 (43)公開日 令和4年9月7日(2022.9.7)
 審査請求日 令和5年1月24日(2023.1.24)

(73)特許権者 000190149
 信越半導体株式会社
 東京都千代田区大手町二丁目 2 番 1 号
 (73)特許権者 000002060
 信越化学工業株式会社
 東京都千代田区丸の内一丁目 4 番 1 号
 (74)代理人 100102532
 弁理士 好宮 幹夫
 (74)代理人 100194881
 弁理士 小林 俊弘
 (72)発明者 土屋 慶太郎
 群馬県安中市磯部二丁目 1 3 番 1 号 信
 越半導体株式会社 半導体磯部研究所内
 (72)発明者 曲 偉峰
 群馬県安中市磯部二丁目 1 3 番 1 号 信
 最終頁に続く

(54)【発明の名称】 窒化物半導体基板およびその製造方法

(57)【特許請求の範囲】

【請求項 1】

窒化物セラミックスからなるコアが封止層で封入されている耐熱性支持基板と、
 該耐熱性支持基板の上に設けられた平坦化層と、
 該平坦化層上に設けられた、炭素濃度が $1 \times 10^{17} \text{ atoms / cm}^3$ 以上のシリコン
 単結晶層と、
 該シリコン単結晶層上に設けられた、厚みが $4 \sim 2000 \text{ nm}$ の炭化ケイ素を主成分と
 する炭化層と、
 該炭化層上に設けられた窒化物半導体層を備えたものであることを特徴とする窒化物半
 導体基板。

【請求項 2】

前記封止層の厚みが $0.05 \sim 1.5 \mu\text{m}$ であり、
 前記平坦化層の厚みが $0.5 \sim 3.0 \mu\text{m}$ であることを特徴とする請求項 1 に記載の窒
 化物半導体基板。

【請求項 3】

前記窒化物セラミックスが、多結晶窒化アルミニウムセラミックスが主成分のものであ
 ることを特徴とする請求項 1 または請求項 2 に記載の窒化物半導体基板。

【請求項 4】

前記封止層が、 SiO_xN_y (ここで、 $x = 0 \sim 2$ 、 $y = 0 \sim 1.5$ 、 $x + y > 0$) の
 組成式で表されるものであることを特徴とする請求項 1 から請求項 3 のいずれか一項に記

載の窒化物半導体基板。

【請求項 5】

前記平坦化層が、酸化ケイ素、酸窒化ケイ素、および砒化アルミニウムのうちいずれかを含むことを特徴とする請求項 1 から請求項 4 のいずれか一項に記載の窒化物半導体基板。

【請求項 6】

前記シリコン単結晶層の厚みが 100 ~ 2000 nmであることを特徴とする請求項 1 から請求項 5 のいずれか一項に記載の窒化物半導体基板。

【請求項 7】

窒化物セラミックスからなるコアを用意する工程と、
前記コアを包み込むように封止層を成膜して耐熱性支持基板とする工程と、
前記耐熱性支持基板の上面に平坦化層を成膜する工程と、
前記平坦化層に、炭素濃度が 1×10^{17} atoms/cm³ 以上のシリコン単結晶基板を接合する工程と、
前記接合したシリコン単結晶基板の厚みを所望の厚みとなるように加工してシリコン単結晶層を形成する工程と、
前記シリコン単結晶層の表面に、炭化水素雰囲気中で炭化処理を行うことで厚みが 4 ~ 2000 nmの炭化層を形成する工程と、
前記炭化層上に窒化物半導体層をエピタキシャル成長させる工程からなることを特徴とする窒化物半導体基板の製造方法。

【請求項 8】

前記封止層の厚みを 0.05 ~ 1.5 μmとし、
前記平坦化層の厚みを 0.5 ~ 3.0 μmとすることを特徴とする請求項 7 に記載の窒化物半導体基板の製造方法。

【請求項 9】

前記窒化物セラミックスを、多結晶窒化アルミニウムセラミックスが主成分のものとすることを特徴とする請求項 7 または請求項 8 に記載の窒化物半導体基板の製造方法。

【請求項 10】

前記封止層を、 SiO_xN_y (ここで、 $x = 0 \sim 2$ 、 $y = 0 \sim 1.5$ 、 $x + y > 0$) の組成式で表されるものとすることを特徴とする請求項 7 から請求項 9 のいずれか一項に記載の窒化物半導体基板の製造方法。

【請求項 11】

前記平坦化層を、酸化ケイ素、酸窒化ケイ素、および砒化アルミニウムのうちいずれかを含むものとすることを特徴とする請求項 7 から請求項 10 のいずれか一項に記載の窒化物半導体基板の製造方法。

【請求項 12】

前記シリコン単結晶層の厚みを 100 ~ 2000 nmとすることを特徴とする請求項 7 から請求項 11 のいずれか一項に記載の窒化物半導体基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は窒化物半導体基板およびその製造方法に関するものである。

【背景技術】

【0002】

GaNやAlNをはじめとする窒化物半導体は、2次元電子ガスを用いた高電子移動度トランジスタ(HEMT)を作製することができるので、高周波用途の半導体デバイスとしての応用が期待されている。また、上記の窒化物半導体は、機械的特性に優れた圧電体でもあり、通信用高周波フィルターや、センサー、エナジーハーベスターなどへの利用も期待されており、さらなる大口径化、高品質化、低価格化が求められている。

しかしながら、これらの窒化物半導体基板を作製することは難しく、シリコン単結晶基板のような一般的な融液法での成長は難しい。産業応用上は、サファイヤやSiC、Si

10

20

30

40

50

基板上への気相成長による薄膜が使用されている。

【0003】

特許文献1には、大口径で低コストな窒化物半導体エピタキシャル基板を得るために、高抵抗シリコン基板を用いる技術が開示されている。しかし、シリコン基板では、10000 cmを超える高抵抗の基板を得ることができず、高抵抗化には限界がある。また、基板の熱伝導率が比較的によく、動作中にデバイスから発熱が大きい高周波デバイスにおいては、特性や信頼性の低下が懸念される。

【0004】

また、特許文献2には、低廉なAlNセラミックスをSi₃N₄等で封止した上で、シリコン<111>単結晶を薄膜転写した複合基板上にGaN単結晶などのIII族窒化物をエピタキシャル成長させる方法が記載されている。しかしながら、この方法で窒化物半導体を成長すると熱処理や不純物の混入によって、抵抗率がコントロールされたSi薄膜層を転写しても、成長中に抵抗率が変化して、デバイス特性が劣化することが懸念される。

10

【先行技術文献】

【特許文献】

【0005】

【文献】特開2020-98839号公報

【文献】特表2019-523994号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0006】

本発明は上記問題点に鑑みてなされたもので、高品質の窒化物半導体基板（特に高周波スイッチ、パワーアンプ、パワースイッチングデバイス用のGaN系高移動度トランジスタ（HEMT）に適した窒化物半導体基板）とその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明は、窒化物セラミックスからなるコアが封止層で封入されている耐熱性支持基板と、

該耐熱性支持基板の上に設けられた平坦化層と、

該平坦化層上に設けられた、炭素濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以上のシリコン単結晶層と、

30

該シリコン単結晶層上に設けられた、厚みが4~2000 nmの炭化ケイ素を主成分とする炭化層と、

該炭化層上に設けられた窒化物半導体層を備えたものであることを特徴とする窒化物半導体基板を提供する。

【0008】

このような本発明の窒化物半導体基板であれば、上記シリコン単結晶層の炭素濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以上であり、該シリコン単結晶層上に炭化ケイ素を主成分とする炭化層が設けられていることで、該炭化層上の窒化物半導体層の成長中にその窒化物半導体層（エピタキシャル層）からシリコン単結晶層に不純物が拡散して抵抗率が変化することによる、デバイス特性の劣化が抑制されたものとすることができる。しかも、比較的、安価で容易に製造可能なものである。

40

ここで炭化層の厚みが4 nm未満であると、島状に成長した炭化層の面方位が異なる部分から成長することによって、欠陥が発生し、結晶性の良い窒化物半導体層を得ることができない。一方、2000 nmより厚い膜厚になると、表面の面粗さや基板の反りが増大し、デバイスの歩留まりが低下する。

【0009】

このとき、前記封止層の厚みが0.05~1.5 μmであり、

前記平坦化層の厚みが0.5~3.0 μmであるものとすることができる。

【0010】

50

このように封止層の厚みが $0.05 \mu\text{m}$ 以上であれば、上記コアに起因する物質を封止する機能がより一層十分なものとなる。また、 $1.5 \mu\text{m}$ 以下であれば、後工程で加熱冷却を繰り返した際、封止層の表層と内部との間の熱応力に効果的に耐えることができ、剥離の発生を抑制することができる。

また、平坦化層の厚みが $0.5 \mu\text{m}$ 以上であれば、耐熱性支持基板に生じたポイドや凹凸をより十分に埋めることができる。また、 $3.0 \mu\text{m}$ 以下であれば、反りの発生を効果的に抑制することができる。

【0011】

また、前記窒化物セラミックスが、多結晶窒化アルミニウムセラミックスが主成分のものですることができる。

【0012】

このようなものであれば、耐熱性や安定性に優れ、大口径サイズのものを安価に入手することができるので好ましい。

【0013】

また、前記封止層が、 SiO_xN_y （ここで、 $x = 0 \sim 2$ 、 $y = 0 \sim 1.5$ 、 $x + y > 0$ ）の組成式で表されるものとしてすることができる。

【0014】

このような材料のものであれば、窒化物セラミックスコアとの親和性や強度の面で好ましい。

【0015】

また、前記平坦化層が、酸化ケイ素、酸窒化ケイ素、および砒化アルミニウムのうちいずれかを含むものとしてすることができる。

【0016】

このような材料のものであれば、平坦化時の研削や研磨が容易で、且つ、窒化物半導体層から支持基板を分離するための犠牲層としてすることができる。

【0017】

また、前記シリコン単結晶層の厚みが $100 \sim 2000 \text{nm}$ であるものとしてすることができる。

【0018】

このようなものであれば、より高品質な窒化物半導体基板となる。

【0019】

また本発明は、窒化物セラミックスからなるコアを用意する工程と、前記コアを包み込むように封止層を成膜して耐熱性支持基板とする工程と、前記耐熱性支持基板の上面に平坦化層を成膜する工程と、前記平坦化層に、炭素濃度が $1 \times 10^{17} \text{atoms/cm}^3$ 以上のシリコン単結晶基板を接合する工程と、

前記接合したシリコン単結晶基板の厚みを所望の厚みとなるように加工してシリコン単結晶層を形成する工程と、

前記シリコン単結晶層の表面に、炭化水素雰囲気中で炭化処理を行うことで厚みが $4 \sim 2000 \text{nm}$ の炭化層を形成する工程と、

前記炭化層上に窒化物半導体層をエピタキシャル成長させる工程からなることを特徴とする窒化物半導体基板の製造方法を提供する。

【0020】

このような本発明の窒化物半導体基板の製造方法であれば、上記のようなシリコン単結晶層および炭化層を形成した上で、該炭化層上に窒化物半導体層をエピタキシャル成長させているため、窒化物半導体層のエピタキシャル成長中に、そのエピタキシャル層からシリコン単結晶層に不純物が拡散して抵抗率が変化し、デバイス特性が劣化するのを抑制することができる。しかも、比較的、安価で容易に、上記のデバイス特性の劣化を抑制した窒化物半導体基板を製造することができる。

また、形成する炭化層の厚みを $4 \sim 2000 \text{nm}$ とすることで、結晶性の良い窒化物半

10

20

30

40

50

導体層を得ることができるし、また、表面の面粗さや基板の反りが増大してデバイスの歩留りが低下するのを抑制することができる。

【0021】

このとき、前記封止層の厚みを $0.05 \sim 1.5 \mu\text{m}$ とし、
前記平坦化層の厚みを $0.5 \sim 3.0 \mu\text{m}$ とすることができる。

【0022】

封止層の厚みをこのような範囲とすれば、上記コア起因の物質を十分に封止することができるし、また、後工程での加熱冷却時に、封止層の表層と内部との間の熱応力に効果的に耐え、剥離の発生を抑制することができる。

また、平坦化層の厚みをこのような範囲とすれば、耐熱性支持基板に生じたボイドや凹凸をより十分に埋めることができ、また、反りの発生を効果的に抑制することができる。

10

【0023】

また、前記窒化物セラミックスを、多結晶窒化アルミニウムセラミックスが主成分のものとするすることができる。

【0024】

このようにすれば、耐熱性や安定性に優れ、大口径サイズのを安価に入手することができるので好ましい。

【0025】

また、前記封止層を、 SiO_xN_y (ここで、 $x = 0 \sim 2$ 、 $y = 0 \sim 1.5$ 、 $x + y > 0$) の組成式で表されるものとするすることができる。

20

【0026】

このようにすれば、窒化物セラミックスコアとの親和性や強度の面で好ましい。

【0027】

また、前記平坦化層を、酸化ケイ素、酸窒化ケイ素、および砒化アルミニウムのうちいずれかを含むものとするすることができる。

【0028】

このようにすれば、平坦化時の研削や研磨が容易で、且つ、窒化物半導体層から支持基板を分離するための犠牲層とすることができる。

【0029】

また、前記シリコン単結晶層の厚みを $100 \sim 2000 \text{nm}$ とすることができる。

30

【0030】

このようにすれば、より高品質な窒化物半導体基板を製造できる。

【発明の効果】

【0031】

本発明の窒化物半導体基板およびその製造方法であれば、比較的、安価かつ容易に、デバイス特性の劣化が抑制された窒化物半導体基板を得ることができる。また窒化物半導体層の結晶性も良く、表面の面粗さや反りが抑制された高品質の窒化物半導体基板となる。

【図面の簡単な説明】

【0032】

【図1】本発明の窒化物半導体基板の構成の一例を示す説明図である。

40

【図2】複合基板上の窒化物半導体層の構成の一例を示す説明図である。

【図3】実施例1における窒化物半導体層表面の観察図である。

【図4】実施例1における窒化物半導体基板の炭化層付近の縦断面の観察図である。

【図5】比較例1における窒化物半導体層表面の観察図である。

【発明を実施するための形態】

【0033】

図1に示す本発明の窒化物半導体基板20は、セラミックスウエーハ1と半導体層2からなる複合基板3と、例えば GaN HEMT が作製される窒化物半導体層4からなる。セラミックスウエーハ1は、窒化物セラミックスからなるコア(以下、セラミックスコアとも言う)5とセラミックスコア5を封入する封止層6からなる耐熱性支持基板7と、該

50

耐熱性支持基板 7 上に設けられた平坦化層 8 からなる。なお、半導体層 2 はセラミックスウェーハ 1 側から順に、シリコン単結晶層 9、炭化層 10 で構成されている。

【0034】

セラミックスコア 5 は、窒化アルミニウム (AlN)、窒化ケイ素 (Si₃N₄)、窒化ガリウム (GaN)、窒化ホウ素 (BN) またはこれらの混合体などを用いることができるが、熱膨張係数差や熱伝導度の観点から多結晶 AlN を主成分とするセラミックスで作製されるのが好ましい。多結晶 AlN は比較的安価で入手しやすくもある。

【0035】

封止層 6 は、セラミックスコア 5 に含有されている物質が外部に漏洩することを防止するための層で、セラミックスコア 5 を包み込むように全面に形成されている。封止層 6 の厚みが 1.5 μm 以下であれば、後工程で加熱冷却を繰り返した際に、封止層 6 の表層と内部との間の熱応力に耐えられなくなって剥離が生じやすくなるのを効果的に抑制することができる。一方、セラミックスコア 5 に起因する物質を封止する機能としては厚みが 0.05 μm 以上あれば十分である。以上のことから、封止層 6 の厚みは 0.05 μm 以上 1.5 μm 以下の範囲が好ましい。ただし、この厚みに限定されない。

また、封止層 6 は、SiO_xN_y (ここで、x = 0 ~ 2、y = 0 ~ 1.5、x + y > 0) の組成式で表されるものであることが好ましい。セラミックスコア 5 との親和性や強度の面で好ましいからである。封止層 6 は、例えば MOCVD 法、常圧 CVD 法、LPCVD (低圧 CVD) 法、スパッター法などの成膜法を用いて成膜することができる。特に LPCVD 法を用いると緻密な膜を形成できる上、膜のカバレッジ性に優れるため好ましい。

【0036】

また耐熱性支持基板 7 に平坦化層 8 が積層されている。平坦化層 8 を成長することによって、耐熱性支持基板 7 のポイドや凹凸を埋めて、貼り合わせ等により半導体層 2 を容易に設けることができる。平坦化層 8 の厚みは例えば 0.5 ~ 3.0 μm が好適である。即ち、平坦化層 8 の厚みが 0.5 μm 以上だと、耐熱性支持基板 7 に生じたポイドや凹凸をより十分に埋めることができる。また、平坦化層 8 の厚みが 3.0 μm 以下だと反りの発生を効果的に抑制することができる。

また、平坦化層 8 は、酸化ケイ素、酸窒化ケイ素、砒化アルミニウムのうちのいずれかを含むことが好ましい。成膜方法は、これに限定されないが、例えばプラズマ CVD や LPCVD、低圧 MOCVD で成膜することができる。

【0037】

半導体層 2 は、シリコン単結晶層 9 と炭化層 10 からなる。シリコン単結晶層 9 は、セラミックスウェーハ 1 と貼り合わせた (接合した) シリコン単結晶 (シリコン単結晶基板) を薄膜化すればよく、例えば貼り合わせたシリコン単結晶基板の一部を剥離して、転写することで作製することができる。剥離・転写方法は、下記の方法に限定されないが、例えば、シリコン単結晶を準備する工程と、前記シリコン単結晶にイオン注入して脆弱層を形成する工程と、前記セラミックスウェーハ 1 の平坦化層 8 と貼り合わせた後に、上記脆弱層を境に一部を剥離して、シリコン単結晶層 9 をセラミックスウェーハ 1 側に分離する工程で作製することができる。イオン注入は、下記の元素に限定されないが、例えば H₂, Ar, He などを用いることができる。

シリコン単結晶層 9 には、シリコン単結晶層 9 における抵抗率の変化を防ぐため、表層およびシリコン単結晶中に炭素が 1×10^{17} atoms/cm³ 以上含有されている。炭素の添加方法は、下記に限定されないが、イオン注入や表面からの熱拡散などによって添加されたものとすることができる。特に、接合前のシリコン単結晶基板において添加しておくことができる。

またシリコン単結晶層 9 の厚みは特に限定されないが、例えば 100 ~ 2000 nm のものとすることができ、このような厚みであればより高品質な窒化物半導体基板を得ることができる。

【0038】

炭化層 10 は、炭化ケイ素を主成分とする層で、シリコン単結晶層 9 上に 4 nm 以上 2

10

20

30

40

50

000 nm以下の厚みで形成されている。炭化層10の厚みが4 nm未満であると、島状に成長した炭化層の面方位が異なる部分から成長することによって、欠陥が発生し、結晶性の良い窒化物半導体層4を得ることができない。一方、2000 nmより厚い膜厚になると、表面の面粗さや基板の反りが増大し、デバイスの歩留まりが低下する。

本発明の窒化物半導体基板20における炭化層10は、後述するような炭化水素雰囲気での炭化処理で形成することができる。例えば、炭化水素を含む雰囲気中での熱処理、あるいは炭化水素を原料ガスとして含むCVD法によって形成することができる。炭化層10は、下記の窒化物半導体層4の形成のプロセスで使用される同一の装置内で形成されたものとするのが汚染防止や生産性の面から望ましい。

【0039】

窒化物半導体層4は、複合基板3上に例えば気相成長で作製されたものとするることができる。窒化物半導体層の構成例を図2に示す。

中間層11は、後述するデバイス層14の結晶性改善や応力の制御のために挿入される緩衝層として働く。この中間層11は、同一の設備で作製できるので、窒化物で作製されたものであることが望ましい。

上記複合基板3と中間層11の上に、MOVPE法やスパッタリングなどの気相成長による、窒化物の薄膜からなるデバイス層14を有している。窒化物は、例えばGaN, AlN, InN, AlGaN, InGaN, AlInNなどとするることができる。窒化物の薄膜は1~10 μmで、デバイスに合わせて設計することができる。

例えば、高移動度トランジスタ(HEMT)構造では、デバイス層14は窒化ガリウム層12とその上に形成されるAlGaNからなる電子供給層13で構成される。デバイス層14は、デバイス特性の向上のため、結晶欠陥が少なく、炭素や酸素などの不純物が少ない結晶が望ましく、例えばMOVPE法を用いて900~1350で作製されたものとするることができる。

【0040】

以上のような本発明の窒化物半導体基板20であれば、上記炭素濃度のシリコン単結晶層および上記炭化層を有しているため、シリコン単結晶層における抵抗率の変化の抑制、ひいてはデバイス特性の劣化の抑制がなされており、かつ、表面の面粗さや反りが抑制された高品質の窒化物半導体基板となる。しかも、比較的、安価かつ容易に製造可能なものとするることができる。

【0041】

以下、本発明の窒化物半導体基板の製造方法について説明する。

(セラミックスコアの用意工程)

まず、セラミックスコア5を用意する。前述したように、AlN、Si₃N₄、GaN、BNまたはこれらの混合体などを用いることができるが、特には多結晶AlNが主成分のものとするのが好ましい。

【0042】

(耐熱性支持基板の作製工程)

次に、作製したセラミックスコア5を包み込むように封止層6を成膜して耐熱性支持基板7を用意する。前述したように、例えば、SiO_xN_y(ここで、x=0~2、y=0~1.5、x+y>0)の組成式で表されるものを、MOCVD法、常圧CVD法、LPCVD(低圧CVD)法、スパッター法などの成膜法を用いて成膜する。なお、膜厚としては0.05 μm以上1.5 μm以下の範囲が好ましい。

【0043】

(平坦化層の成膜工程)

次に、耐熱性支持基板7の上面に平坦化層8を成膜する。前述したように、例えば、酸化ケイ素、酸窒化ケイ素、砒化アルミニウムのうちのいずれかを含む層を、プラズマCVDやLPCVD、低圧MOCVDで成膜する。なお、膜厚としては0.5~3.0 μmの範囲が好ましい。

これにより、セラミックスウェーハ1を得る。

10

20

30

40

50

【 0 0 4 4 】

(シリコン単結晶基板の接合工程～シリコン単結晶層の形成工程)

次に、平坦化層 8 に、炭素濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以上のシリコン単結晶基板を接合し、その後、該接合したシリコン単結晶基板の厚みを所望の厚みとなるように薄膜化する加工をしてシリコン単結晶層 9 を形成する。接合用のシリコン単結晶基板は C Z 法等によるシリコン単結晶基板で上記炭素濃度を有するものを準備する。なお炭素濃度の調整は、イオン注入や表面からの熱拡散によるものとして行うことができる。

そして、前述したように、例えば、準備したシリコン単結晶基板に H_2 等をイオン注入し(脆弱層の形成)、平坦化層 8 に対して接合し(貼り合わせ)、その後、一部を脆弱層で剥離することにより、平坦化層 8 上に所望の厚み(例えば $100 \sim 2000 \text{ nm}$)のシリコン単結晶層 9 を形成する。接合前のイオン注入の条件の調整により、剥離後に所望の厚みを得られるようにすることができる。薄膜化の加工は、この他、シリコン単結晶基板の表面を研磨やエッチングする加工等により所望の厚みとすることもできるし、これらの手段を両方用いることもできる。

このようにして、セラミックスウェーハ 1 とシリコン単結晶基板とを複合したものを加工することで、セラミックスウェーハ 1 上にシリコン単結晶層 9 を形成した Si 層付基板を得る。

【 0 0 4 5 】

(炭化層の形成工程～窒化物半導体層の形成工程)

以下に、炭化層 10 の形成方法や、GaN HEMT に好適なエピタキシャル層の成長方法を示す。ただし、本発明において窒化物半導体層 4 は窒化物半導体であればよく、特に限定されるものではない。

[1] 反応炉への導入

上記の Si 層付基板を、MOVPE 装置の反応炉内に導入する。Si 層付基板を反応炉に導入する前に、薬品によりクリーニングを行う。Si 層付基板を反応炉内に導入後、窒素などの高純度不活性ガスで炉内を満たして、炉内のガスを排気する。

【 0 0 4 6 】

[2] Si 層付基板の表面を炉内でクリーニングする工程

Si 層付基板を反応炉内で加熱して、基板の表面をクリーニングする。クリーニングを行う温度は、Si 層付基板表面の温度で 1000 から 1200 の間で決めることができるが、特に 1050 でクリーニングを行うことで清浄な表面を得ることができる。

クリーニングは、炉内の圧力が減圧された後に実施し、炉内圧力は 200 mbar から 30 mbar (200 hPa から 30 hPa) の間で決めることができる。炉内には、水素あるいは窒素を供給した状態で例えば 10 分程度クリーニングを行うことができる。

【 0 0 4 7 】

[3] 炭化層 10 を形成する工程

この工程では、規定の炉内圧力および基板温度において、原料となる炭化水素を炉内に導入することによって、Si 層付基板の表面に $4 \sim 2000 \text{ nm}$ の炭化ケイ素を主成分とする炭化層を形成する。この工程では、例えば常圧で、 1200 で成長を行う。カーボン源としては、特にこれに限定されないが CH_4 を用いて炭化することができる。

このように炭化水素雰囲気での炭化処理、例えば、熱処理(炭化水素雰囲気)や CVD (炭化水素を原料ガスに含む)を行うことで炭化層を形成する。これにより、セラミックスウェーハ 1 上に半導体層 2 (シリコン単結晶層 9 および炭化層 10) が形成された複合基板 3 が得られる。

【 0 0 4 8 】

[4] 中間層 11 を成長する工程

この工程では、規定の炉内圧力および基板温度において、原料である Al, Ga, N 源となるガスを導入することによって、複合基板 3 における炭化層 10 上に、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x < 1$) をエピタキシャル成長させる。

この工程では、例えば炉内圧力は 50 mbar (50 hPa)、基板温度 1120 で

10

20

30

40

50

成長を行うことができる。Al源としてはトリメチルアルミニウム(TMAI), Ga源としてはトリメチルガリウム(TMGa), N源としてはアンモニア(NH₃)を用いることができる。また、所望のAl組成の混晶を得るために、原料ガスの材料効率を考慮して、薄膜中に取り込まれるAl/Ga比が設定している比率になるように、原料のTMAI, TMGaの流量を設定する。例えば、TMAIの流量を0.24 l/min(240 sccm), NH₃の流量を2 l/min(2000 sccm)としてAlNの成長を行うことができる。TMAI, TMGa, NH₃のキャリアガスは例えば水素を使用することができる。これらの条件は一例であり、特に限定されるものではない。

【0049】

[5] 窒化ガリウム層12を成長する工程

この工程では、規定の炉内圧力および基板温度において、原料であるGa, N源となるガスを導入することによって、中間層11上に、Ga_xNあるいはAl_xGa_{1-x}N(0 < x < 1)をエピタキシャル成長させる。

この工程では、例えば炉内圧力は200 mbar(200 hPa)、基板温度1120で成長を行うことができる。Ga源としてはトリメチルガリウム(TMGa), N源としてはアンモニア(NH₃)を用いることができる。また、所望のAl組成の混晶を得るために、原料ガスの材料効率を考慮して、薄膜中に取り込まれるAl/Ga比が設定している比率になるように、原料のTMAI, TMGaの流量を設定する。TMAI, TMGa, NH₃のキャリアガスは例えば水素を使用することができる。これらの条件は一例であり、特に限定されるものではない。

【0050】

[6] 電子供給層13を成長する工程

この工程では、規定の炉内圧力および基板温度において、原料であるAl, Ga, N源となるガスを導入することによって、窒化ガリウム層12上に、Al_xNあるいはAl_xGa_{1-x}N(0 < x < 0.3)をエピタキシャル成長させる。

この工程では、例えば炉内圧力は150 mbar(150 hPa)、基板温度1120で成長を行うことができる。Al源としてはトリメチルアルミニウム(TMAI), Ga源としてはトリメチルガリウム(TMGa), N源としてはアンモニア(NH₃)を用いることができる。また、所望のAl組成の混晶を得るために、原料ガスの材料効率を考慮して、薄膜中に取り込まれるAl/Ga比が設定している比率になるように、原料のTMAI, TMGaの流量を設定する。TMAI, TMGa, NH₃のキャリアガスは例えば水素を使用することができる。これらの条件は一例であり、特に限定されるものではない。

以上の工程により、複合基板3上に窒化物半導体層4を有する本発明の窒化物半導体基板20が得られる。

【実施例】

【0051】

(実施例1)

AlNセラミックス(抵抗率: 10¹⁴ Ωcm以上)で作製された基板の上に、窒化ケイ素(Si₃N₄)からなる封止層(厚み: 0.4 μm)と、酸化ケイ素からなる平坦化層を6 μm成長させた。その後、CMP研磨により2 μm厚まで研磨・平坦化して、表面粗さRaを0.2 nmにした。続いて、封止層と平坦化層を積層したAlNセラミックス基板に、準備したシリコン単結晶基板を貼り合わせ、一部を剥離することにより、AlNセラミックス基板の上にシリコン単結晶層(厚み: 300 nm)を作製した。なお、準備したシリコン単結晶基板は、抵抗率4000 Ωcmで導電型はp型、炭素濃度が3 × 10¹⁷ atoms/cm³であった。

このようにして作製したSi層付基板を、熱処理炉に導入して、1250℃で10秒間熱処理を行って、炭化層を4.5 nmの厚みで形成した。炉内は、水素にCH₄を1.5%混合したガスで充填して熱処理を行った。

このようにして得られた炭化層の上に、AlNとAlGa_xNからなる超格子構造の中間

10

20

30

40

50

層とデバイス層となる窒化ガリウム層とAlGaInからなる電子供給層を成長し、窒化物半導体基板を得た。

【0052】

成長を行ったウェーハの表面の観察図を図3に示す。また、ウェーハの縦断面の観察図を図4に示す。メルトバックエッチングは発生せず、鏡面状の表面が得られており、高品質なデバイス層であった。

【0053】

(比較例1)

実施例1と同様にSi層付基板を作製して、炭化層を2nmの厚みで形成した。その上にAlNとAlGaInからなる超格子構造の中間層とデバイス層となる窒化ガリウム層とAlGaInからなる電子供給層を成長した。

10

【0054】

成長後のウェーハ表面の観察図を図5に示す。表面荒れが発生してデバイス層の品質が著しく低下した。

【0055】

(比較例2)

実施例1と同様の手順で、シリコン単結晶層の抵抗率が4000 cmで、導電型がp型のSi層付基板を作製した。そして、Si層付基板上に炭化層を形成せずに、シリコン単結晶層上に実施例1と同様にAlNとAlGaInからなる超格子構造の中間層とデバイス層となる窒化ガリウム層とAlGaInからなる電子供給層を成長した。

20

【0056】

作製した基板上に、コプレーナウェーブガイド(CPW)を形成して、実施例1および比較例2の高周波特性を測定した。高周波特性としては、代表的な特性である2次高調波と損失の測定を実施した。

実施例1の場合、2次高調波出力波は基本周波数出力に対し-73 dBm、損失は1.9 dBm/mmであった。一方、比較例2の場合、2次高調波出力波は基本周波数出力に対し-45 dBm、損失は5.1 dBm/mmであった。

なお、高周波の歪みや回り込み信号が少ないことは、2次高調波特性(基本周波数の2倍の周波数成分が含まれる割合)を測定することによって確認でき、2次高調波が小さいことを意味する。上記のように実施例1の方が比較例2よりも2次高調波が小さく、基板の高抵抗化によって寄生容量が低下し、優れた高周波特性を有していることが分かる。

30

【0057】

また、実施例1、比較例1、2のシリコン単結晶層における抵抗率が2000 cm以上となるように、そのシリコン単結晶層(および、元々のシリコン単結晶基板)を作製していたが、実際にエピタキシャル成長後に抵抗率を測定したところ、実施例1ではその所望の抵抗率を得られたものの、比較例1、2は各々12 cm、5 cmであり、所望の抵抗率から外れた値となった。比較例1、2は、デバイス層の成長時にAl、Gaが下部のシリコン単結晶層に拡散してしまったためと考えられる。

【0058】

(実施例2)

炭化層の厚みを4nmとしたこと以外は実施例1と同様にして窒化物半導体基板を製造した。

40

【0059】

(実施例3)

炭化層の厚みを2000nmとしたこと以外は実施例1と同様にして窒化物半導体基板を製造した。

【0060】

(実施例4)

シリコン単結晶基板(シリコン単結晶層)における炭素濃度を 1×10^{17} atoms/cm³としたこと以外は実施例1と同様にして窒化物半導体基板を製造した。

50

【0061】

(比較例3)

炭化層の厚みを2500nmとしたこと以外は実施例1と同様にして窒化物半導体基板を製造した。

【0062】

(比較例4)

シリコン単結晶基板(シリコン単結晶層)における炭素濃度を $5 \times 10^{16} \text{ atoms/cm}^3$ としたこと以外は実施例1と同様にして窒化物半導体基板を製造した。

【0063】

実施例2-4では、ウェーハ表面・縦断面の様相や2次高調波・損失に関して良好な結晶であり、シリコン単結晶層の抵抗率に関して所望の抵抗率からの変化もなく、実施例1と同様に優れたデバイス特性を有する窒化物半導体基板を得ることができた。

一方で、比較例3ではウェーハ表面が粗くなってしまい、また、反りも発生してしまった。また、比較例4ではシリコン単結晶層の抵抗率が所望の抵抗率から外れてしまった。

【0064】

なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【符号の説明】

【0065】

- 1...セラミックスウェーハ、
- 2...半導体層、
- 3...複合基板、
- 4...窒化物半導体層、
- 5...セラミックスコア、
- 6...封止層、
- 7...耐熱性支持基板、
- 8...平坦化層、
- 9...シリコン単結晶層、
- 10...炭化層、
- 11...中間層、
- 12...窒化ガリウム層、
- 13...電子供給層、
- 14...デバイス層、
- 20...本発明の窒化物半導体基板。

10

20

30

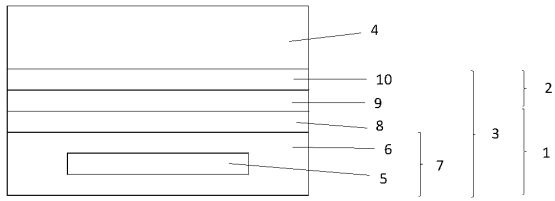
40

50

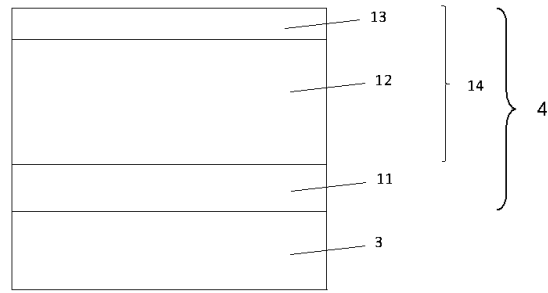
【図面】

【図 1】

20

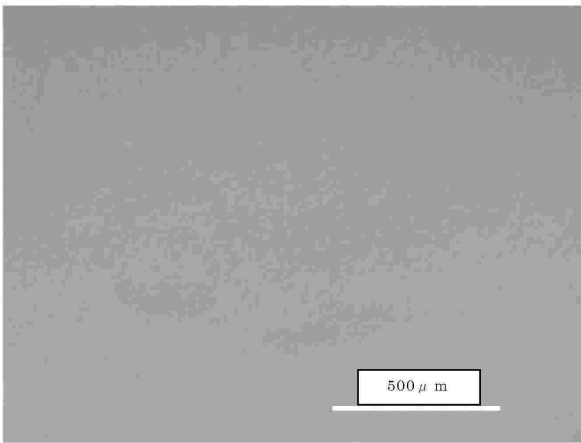


【図 2】

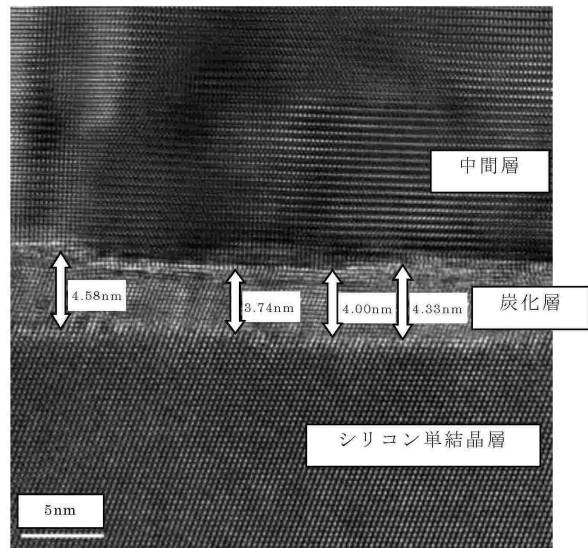


10

【図 3】



【図 4】



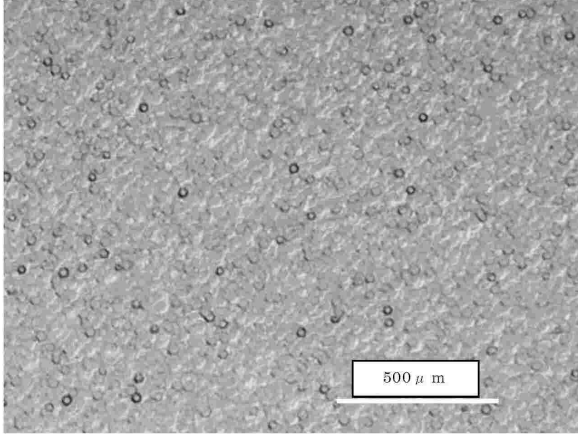
20

30

40

50

【 5 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 1 L 21/02 (2006.01) H 0 1 L 21/02 B

越半導体株式会社 半導体磯部研究所内

(72)発明者 久保田 芳宏
群馬県安中市磯部二丁目13番1号 信越化学工業株式会社 精密機能材料研究所内

(72)発明者 永田 和寿
群馬県安中市磯部二丁目13番1号 信越化学工業株式会社 精密機能材料研究所内

審査官 桑原 清

(56)参考文献 特表2019-523994(JP,A)
特開2020-184616(JP,A)
特開2005-203666(JP,A)
特開2012-151401(JP,A)
特開2006-196713(JP,A)

(58)調査した分野 (Int.Cl., DB名)
H 0 1 L 21 / 2 0
C 3 0 B 33 / 0 6
C 3 0 B 29 / 0 6
C 2 3 C 16 / 3 4
H 0 1 L 21 / 2 0 5
H 0 1 L 21 / 0 2