

1. 一种半导体器件,其特征在于:

具有第 1 晶体管、第 2 晶体管、第 3 晶体管、以及第 4 晶体管,

上述第 1 晶体管的源极电极和漏极电极中的任一个与上述第 2 晶体管的源极电极和漏极电极中的任一个电连接,

上述第 3 晶体管的源极电极和漏极电极中的任一个与上述第 1 晶体管的栅极电极电连接,

上述第 3 晶体管的栅极电极与上述第 2 晶体管的栅极电极电连接,

上述第 4 晶体管的源极电极和漏极电极中的任一个与上述第 1 晶体管的栅极电极电连接,上述第 4 晶体管的另一个电极与上述第 4 晶体管的栅极电极电连接,及

所述第 1 晶体管、所述第 2 晶体管、所述第 3 晶体管和所述第 4 晶体管具有非晶半导体层。

2. 如权利要求 1 所述的半导体器件,还包括第 5 晶体管,

其中,所述第 5 晶体管的栅极电极电连接至所述第 1 晶体管的栅极电极,并且

其中,所述第 5 晶体管的源极电极和漏极电极中的一个和所述第 1 晶体管的源极电极和漏极电极中的另一个电连接至相同的布线。

3. 如权利要求 1 所述的半导体器件,其特征在于:

上述第 1 晶体管、第 2 晶体管、第 3 晶体管、以及第 4 晶体管具有相同的导电类型。

4. 如权利要求 1 所述的半导体器件,其特征在于:

上述半导体器件被用于移位寄存器中。

5. 如权利要求 4 所述的半导体器件,其特征在于:

上述移位寄存器包含于液晶显示装置中。

6. 一种半导体器件,其特征在于:

具有第 1 晶体管、第 2 晶体管、第 3 晶体管、第 4 晶体管以及电容元件,

上述第 1 晶体管的源极电极和漏极电极中的任一个与上述第 2 晶体管的源极电极和漏极电极中的任一个电连接,

上述第 3 晶体管的源极电极和漏极电极中的任一个与上述第 1 晶体管的栅极电极电连接,

上述第 3 晶体管的栅极电极与上述第 2 晶体管的栅极电极电连接,

上述第 4 晶体管的源极电极和漏极电极中的任一个与上述第 1 晶体管的栅极电极电连接,上述第 4 晶体管的另一个电极与上述第 4 晶体管的栅极电极电连接,

上述电容元件的一个电极与上述第 1 晶体管的上述栅极电连接,

上述电容元件的另一个电极与上述第 1 晶体管的源极电极和漏极电极中的任一个电连接,及

所述第 1 晶体管、所述第 2 晶体管、所述第 3 晶体管和所述第 4 晶体管具有非晶半导体层。

7. 如权利要求 6 所述的半导体器件,还包括第 5 晶体管,

其中,所述第 5 晶体管的栅极电极电连接至所述第 1 晶体管的栅极电极,并且

其中,所述第 5 晶体管的源极电极和漏极电极中的一个和所述第 1 晶体管的源极电极和漏极电极中的另一个电连接至相同的布线。

8. 如权利要求 6 所述的半导体器件,其特征在于:
上述第 1 晶体管、第 2 晶体管、第 3 晶体管、以及第 4 晶体管具有相同的导电类型。
9. 如权利要求 6 所述的半导体器件,其特征在于:
上述半导体器件被用于移位寄存器中。
10. 如权利要求 9 所述的半导体器件,其特征在于:
上述移位寄存器包含于液晶显示装置中。
11. 一种电子器件,其特征在于:
具有第 1 晶体管、第 2 晶体管、第 3 晶体管、以及第 4 晶体管,
上述第 1 晶体管的源极电极和漏极电极中的任一个与上述第 2 晶体管的源极电极和漏极电极中的任一个电连接,
上述第 3 晶体管的源极电极和漏极电极中的任一个与上述第 1 晶体管的栅极电极电连接,
上述第 3 晶体管的栅极电极与上述第 2 晶体管的栅极电极电连接,
上述第 4 晶体管的源极电极和漏极电极中的任一个与上述第 1 晶体管的栅极电极电连接,上述第 4 晶体管的另一个电极与上述第 4 晶体管的栅极电极电连接,及
所述第 1 晶体管、所述第 2 晶体管、所述第 3 晶体管和所述第 4 晶体管具有非晶半导体层。
12. 如权利要求 11 所述的电子器件,还包括第 5 晶体管,
其中,所述第 5 晶体管的栅极电极电连接至所述第 1 晶体管的栅极电极,并且
其中,所述第 5 晶体管的源极电极和漏极电极中的一个和所述第 1 晶体管的源极电极和漏极电极中的另一个电连接至相同的布线。
13. 如权利要求 11 所述的电子器件,其特征在于:
上述第 1 晶体管、第 2 晶体管、第 3 晶体管、以及第 4 晶体管具有相同的导电类型。
14. 如权利要求 11 所述的电子器件,其特征在于:
上述电子器件被用于移位寄存器中。
15. 如权利要求 14 所述的电子器件,其特征在于:
上述移位寄存器包含于液晶显示装置中。
16. 如权利要求 14 所述的电子器件,其特征在于:
上述移位寄存器包含于发光装置中。
17. 如权利要求 14 所述的电子器件,其特征在于:
上述移位寄存器包含于数码相机中。
18. 如权利要求 14 所述的电子器件,其特征在于:
上述移位寄存器包含于计算机中。
19. 如权利要求 14 所述的电子器件,其特征在于:
上述移位寄存器包含于摄像机中。
20. 如权利要求 14 所述的电子器件,其特征在于:
上述移位寄存器包含于移动电话中。
21. 一种电子器件,其特征在于:
具有第 1 晶体管、第 2 晶体管、第 3 晶体管、第 4 晶体管以及电容元件,

上述第 1 晶体管的源极电极和漏极电极中的任一个与上述第 2 晶体管的源极电极和漏极电极中的任一个电连接，

上述第 3 晶体管的源极电极和漏极电极中的任一个与上述第 1 晶体管的栅极电极电连接，

上述第 3 晶体管的栅极电极与上述第 2 晶体管的栅极电极电连接，

上述第 4 晶体管的源极电极和漏极电极中的任一个与上述第 1 晶体管的栅极电极电连接，上述第 4 晶体管的另一个电极与上述第 4 晶体管的栅极电极电连接，

上述电容元件的一个电极与上述第 1 晶体管的上述栅极电连接，

上述电容元件的另一个电极与上述第 1 晶体管的源极电极和漏极电极中的任一个电连接，及

所述第 1 晶体管、所述第 2 晶体管、所述第 3 晶体管和所述第 4 晶体管具有非晶半导体层。

22. 如权利要求 21 所述的电子器件，还包括第 5 晶体管，

其中，所述第 5 晶体管的栅极电极电连接至所述第 1 晶体管的栅极电极，并且

其中，所述第 5 晶体管的源极电极和漏极电极中的一个和所述第 1 晶体管的源极电极和漏极电极中的另一个电连接至相同的布线。

23. 如权利要求 21 所述的电子器件，其特征在于：

上述第 1 晶体管、第 2 晶体管、第 3 晶体管、以及第 4 晶体管具有相同的导电类型。

24. 如权利要求 21 所述的电子器件，其特征在于：

上述电子器件被用于移位寄存器中。

25. 如权利要求 24 所述的电子器件，其特征在于：

上述移位寄存器包含于液晶显示装置中。

26. 如权利要求 24 所述的电子器件，其特征在于：

上述移位寄存器包含于发光装置中。

27. 如权利要求 24 所述的电子器件，其特征在于：

上述移位寄存器包含于数码相机中。

28. 如权利要求 24 所述的电子器件，其特征在于：

上述移位寄存器包含于计算机中。

29. 如权利要求 24 所述的电子器件，其特征在于：

上述移位寄存器包含于摄像机中。

30. 如权利要求 24 所述的电子器件，其特征在于：

上述移位寄存器包含于移动电话中。

半导体器件和使用了它的显示装置以及电子装置

技术领域

[0001] 本发明涉及一种数字电路的结构。更具体地说,涉及一种利用自举电路来放大输出信号振幅的技术。而且,涉及使用了它的显示装置、半导体器件及电子装置。

背景技术

[0002] 近年来,在绝缘体上、特别是在玻璃基板上形成了半导体薄膜的显示装置、特别是使用了薄膜晶体管(以下,记作 TFT)的有源矩阵型显示装置的普及变得日益显著。使用了 TFT 的有源矩阵型显示装置具有被配置成矩阵状的数十万个像素至数百万个像素,通过利用各像素中配置的 TFT 来控制各像素的电荷,由此进行影像显示。

[0003] 作为一种最近的技术,在构成像素的 TFT 以外,在像素部分的周边区域中用 TFT 同时形成驱动电路的多晶硅 TFT 的技术不断发展,在装置的小型化、低功耗化方面做出了巨大贡献,与此同时,近年来,在其应用领域显著增大的移动信息终端的显示部分等,显示装置已成为不可或缺的装置。

[0004] 作为显示装置的驱动电路,一般使用组合了 N 沟道型 TFT 和 P 沟道型 TFT 的 CMOS 电路。作为 CMOS 电路的特征,由于仅在逻辑变化的瞬间流过电流,在某一逻辑的保持过程中,没有电流流过(实际存在微小的漏泄电流),因此,例如可以压低整个电路中的消耗电流并有利于高速驱动。

[0005] 伴随移动电子装置的小型化、轻型化,对使用了有机 EL 元件、FED(场发射显示器)和液晶显示器中所用的元件等自发光元件和液晶元件等的显示装置的需要急剧增加,由于需要制造数量非常多的 TFT,从成品率等方面看,难以充分压低其制造成本。容易预测出今后的需要还会急剧增加,因此,希望能够更廉价地提供显示装置。

[0006] 作为在绝缘体上制造驱动电路的方法,一般是使用多个光掩模,对有源层、布线等的图形进行曝光、蚀刻而制作的方法,但这时由于工序数多、直接影响制造成本,因此希望用尽可能少的制造工序数。因此,尝试只使用 N 沟道型或 P 沟道型中的某一导电类型 TFT 来构成由现有的 CMOS 电路构成的驱动电路。采用这种方法,可省略离子掺杂工艺的一部分,还可削减光掩模的个数。其结果是是,可实现成本降低。

[0007] 图 9(A) 示出了只使用一种极性的 TFT 构成的 TFT 负载型反相电路的例子。下面,将描述其工作。

[0008] 图 9(B) 示出了输入到反相电路的信号波形。这里,输入信号振幅处于高电位侧电源 VDD 和低电位侧电源 GND 之间。此外,为了简单起见,认为 $GND = 0V$ 。

[0009] 现说明电路的工作。再有,为了明确而简单地进行说明,假定构成电路的 N 沟道型 TFT 的阈值电压没有离散性,一律为 (V_{thN}) 。并且,同样地,对于 P 型 TFT,其阈值电压一律为 (V_{thP}) 。

[0010] 现考虑输入了如图 9(B) 中所示的信号的情况。首先,当输入信号为 L 信号(低电位侧电源 GND)时, N 沟道型 TFT 904 截止。一方面,由于负载 TFT 903 通常工作在饱和区,因此输出端子的电位就向高电位侧电源 VDD 的方向上升。另一方面,当输入信号为 H 信号

(高电位侧电源 VDD) 时, N 沟道型 TFT 904 导通。在此, 与负载 TFT 903 的电流能力相比, 由于充分地增高 N 沟道型 TFT 904 的电流能力, 输出节点的电位就向低电位侧电源 GND 的方向下降。

[0011] 但是, 这种情况存在以下问题。图 9(C) 示出了 TFT 负载型反相电路的输出波形。如图 9(C) 所示, 当输入信号为 L 信号时, 输出端子的电位, 比 VDD 的电位低一个以 907 表示的部分, 即为负载 TFT 903 的阈值电压部分。这是因为当负载 TFT 903 的栅极・源极间的电压比阈值电压小时, 负载 TFT 903 中几乎没有电流流动而变成了截止状态的缘故。这里, 负载 TFT 903 的源极端子为输出端子, 栅极端子连接到 VDD。因此, 输出端子的电位与栅极端子的电位相比变为低一个阈值电压部分的电位。即, 输出端子的电位最大只能上升到 $(VDD - V_{thN})$ 。而且, 利用负载 TFT 903 和 N 沟道型 TFT 904 的电流能力之比, 当输入信号为 H 信号时, 输出端子的电位就变得比 GND 的电位高一个以 908 表示的部分。这样, 为了使之充分接近于 GND, 相对于负载 TFT 903 而言, 要求 N 沟道型 TFT 904 充分地增大电流能力。

[0012] 这样, 如果使用仅由一种极性的 TFT 构成的反相电路, 就使输出信号的振幅相对于输入信号的振幅产生衰减。

[0013] 这里, 采用几种避免输出信号的振幅变小的问题的方法进行研讨 (例如, 参照专利文献 1、专利文献 2、专利文献 3、专利文献 4)。

[0014] 图 33 中示出了专利文献 1、专利文献 2 中展示的反相电路的电路图。图 33 的电路利用了晶体管 3302 的栅极端子处于浮置状态、电容元件 3304 两端的电压 (两端的电位差) 没有发生变化的情况。

[0015] 然后, 说明图 33 的工作。向输入端子 3305 和输入端子 3306 输入彼此反相的信号。首先, 将 H 信号 (高电位侧电源 VDD) 输入到输入端子 3306, 将 L 信号 (低电位侧电源 GND) 输入到输入端子 3305。于是, 晶体管 3303 导通。其结果是, 端子 3308 的电位变为 L 信号 (低电位侧电源 GND) 的电位。此外, 由于输入端子 3305 的电位为 L 信号 (低电位侧电源 GND) 的电位, 因此晶体管 3301 导通。其结果是, 端子 3307 变为 L 信号 (低电位侧电源 GND) 的电位。即, 电容元件 3304 两端的电压 (两端的电位差) 变为 0V。

[0016] 然后, 将 H 信号 (高电位侧电源 VDD) 输入到输入端子 3305, 将 L 信号 (低电位侧电源 GND) 输入到输入端子 3306。于是, 晶体管 3303 截止。由于输入端子 3305 的电位为 H 信号 (高电位侧电源 VDD) 的电位, 因此晶体管 3301 导通, 端子 3307 的电位上升。而且, 如晶体管 3302 的栅极・源极间的电压大于阈值电压, 晶体管 3302 就导通, 端子 3308 的电位开始上升。这时, 如端子 3307 的电位上升, 则最终晶体管 3301 截止。这是因为端子 3307 是晶体管 3301 的源极端子, 因端子 3307 的电位上升而使晶体管 3301 的栅极・源极间的电压减小直至等于阈值电压的缘故。一旦晶体管 3301 的栅极・源极间的电压等于阈值电压, 晶体管 3301 就处于截止状态。因此, 从端子 3305 向端子 3307 的电流流动就停止。即, 端子 3307 处于浮置状态。其结果是, 电容元件 3304 两端的电压 (两端的电位差) 不变。

[0017] 当晶体管 3301 处于截止的时刻, 端子 3308 的电位还会持续上升。在此情况下, 晶体管 3302 处于导通状态。即, 晶体管 3302 的栅极・源极间的电压, 即电容元件 3304 两端的电压 (两端的电位差) 大于晶体管 3302 的阈值电压。因此, 端子 3308 的电位进一步上升。此时, 端子 3307 的电位也同时上升。这是因为电容元件 3304 两端的电压 (两端的电位差) 不发生变化, 所以电容元件 3304 的一端 (端子 3308) 的电位一旦上升, 另一端 (端

子 3307) 的电位也就上升。然后,端子 3308 的电位就这样持续上升,最终达到高电位侧电源 VDD。在端子 3308 的电位达到高电位侧电源 VDD 以前的期间,晶体管 3302 一直处于导通状态。并且,在电容元件 3304 上保持晶体管 3301 处于截止的时刻的电压不变。因此,端子 3307 的电位比高电位侧电源 VDD 增高一个保存在电容元件 3304 上的电压部分。

[0018] 即,端子 3307 和端子 3308 的电位等于高电位侧电源 VDD,或成为更高的电位。因此,与输入信号的振幅相比,可防止输出信号的振幅变小。

[0019] 一般称这种电路为自举电路。

[0020] 专利文献 1:

[0021] 特开平 8-50790 号公告

[0022] 专利文献 2:

[0023] 特许第 3330746 号说明书

[0024] 专利文献 3:

[0025] 特许第 3092506 号说明书

[0026] 专利文献 4:

[0027] 特开 2002-328643 号公告

[0028] 但是,图 33 所示的反相电路存在两大问题。

[0029] 第 1 个问题是当 H 信号(高电位侧电源 VDD)输入到输入端子 3305、L 信号(低电位侧电源 GND)输入到输入端子 3306 时,晶体管 3301 的截止一旦延迟,端子 3307 和端子 3308 的电位就处于未充分上升的状态。假定晶体管 3302 首先截止。这种情况下,由于在晶体管 3302 的栅极·源极间设置有电容元件 3304,所以在电容元件 3304 上就蓄积了晶体管 3302 的阈值电压。此时,由于晶体管 3301 还处于导通状态,端子 3307 的电位继续上升。然后,直至晶体管 3301 截止。此时,电容元件保存着晶体管 3302 的阈值电压,晶体管 3302 截止。从而,端子 3308 和 3307 的电位就不再上升。

[0030] 第 2 个问题是当输入到输入端子 3305 中的 H 信号的电位低于高电位侧电源 VDD 的情况下,端子 3307 和 3308 的电位未充分上升。将信号输出给输入端子 3305 的电路例如为图 9(A) 那样的电路时,H 信号的电位可变得低于高电位侧电源 VDD。因此,假定考虑输入到输入端子 3305 的 H 信号的电位与高电位侧电源 VDD 之差大于晶体管 3301 的阈值电压的情况。在此情况下,将 H 信号输入到输入端子 3305、将 L 信号(低电位侧电源 GND)输入到输入端子 3306 时,即使端子 3307 的电位停止上升,晶体管 3301 也不会处于截止状态。即,端子 3307 不处于浮置状态,而从端子 3305 向端子 3307 持续提供电荷。因此,端子 3305 与端子 3307 的电位维持相等状态。因此,电容元件 3304 两端的电压(两端的电位差)不变化,即所谓的不工作。其结果是,端子 3307 和端子 3308 的电位就不会充分上升。

[0031] 在这种反相电路的输出端子上连接相同结构的反相电路时,其输出端子的信号振幅就进一步降低。即,每逢连接该电路,输出信号的振幅就迅速变小,因而不能正常地工作。

[0032] 与此相对照,专利文献 4 中所示的反相电路解决了上述第 2 个问题。图 34 示出了专利文献 4 中展示的反相电路。将低于高电位侧电源 VDD 的 H 信号输入到输入端子 3405、将 L 信号(低电位侧电源 GND)输入到输入端子 3406 时,端子 3407 的电位上升,晶体管 3401 的栅极·源极间电压一旦等于阈值电压,晶体管 3401 就截止。也就是说,端子 3407 处于浮置状态。因此,在该时刻,保持电容元件 3404 两端的电压(两端的电位差)。因此,在晶体

管 3401 截止的时刻,若晶体管 3402 处于导通状态,端子 3408 的电位就持续上升,其结果是,端子 3407 的电位也上升。

[0033] 但是,即使是图 34 的电路,也不能解决上述第 1 个问题。

发明内容

[0034] 鉴于上述问题,本发明的一个课题是提供一种输出信号的振幅不易变小的半导体器件。此外,另一课题是提供一种可仅用一种极性的晶体管构成电路的半导体器件。

[0035] 再有,所谓半导体器件是指构成包含使用了半导体的元件(晶体管、二极管)、电容器、电阻器等的电路的器件。当然,并不只限于这些元件。

[0036] 为了解决上述问题,本发明采用以下展示的装置。

[0037] 本发明提供一种半导体器件,它是具有第 1 晶体管、第 2 晶体管、第 3 晶体管、第 1 输入端子和第 2 输入端子的半导体器件,其特征在于:

[0038] 上述第 1 晶体管的源极端子与上述第 2 晶体管的漏极端子连接,

[0039] 上述第 3 晶体管的漏极端子与上述第 1 晶体管的栅极端子连接,

[0040] 上述第 1 输入端子与上述第 3 晶体管的栅极端子和上述第 2 晶体管的栅极端子连接,

[0041] 上述第 2 输入端子经整流元件与上述第 1 晶体管的栅极端子连接。

[0042] 此外,本发明提供一种半导体器件,其特征在于:

[0043] 在上述结构中,上述整流元件是被连接成二极管的晶体管。

[0044] 也就是说,在本发明中,在信号输入部分设置例如被连接成二极管的晶体管等的整流元件。

[0045] 而且,由于被连接成二极管的晶体管处于截止状态,第 1 晶体管的栅极端子处于浮置状态。此时,第 1 晶体管处于导通状态,其栅极·源极间的电压由电容元件(晶体管的栅极电容)保持。其后,第 1 晶体管的源极端子的电位一旦上升,通过自举效应,第 1 晶体管的栅极端子的电位也随之上升。其结果是,能够防止输出信号的振幅变小。

[0046] 此外,本发明提供一种半导体器件,其特征在于:

[0047] 在上述结构中,第 2 整流元件与上述第 3 晶体管串联连接。

[0048] 此外,本发明提供一种半导体器件,其特征在于:

[0049] 在上述结构中,上述第 2 整流元件是被连接成二极管的晶体管。

[0050] 也就是说,在本发明中,在第 1 晶体管的栅极端子部分设置例如被连接成二极管的晶体管等的整流元件。

[0051] 并且,由于作为第 2 整流元件的被连接成二极管的晶体管处于截止状态,从而可防止第 1 晶体管的栅极端子的电位过度下降。其结果是,可防止输出信号的振幅变小。

[0052] 此外,本发明提供一种半导体器件,其特征在于:

[0053] 在上述结构中,作为上述被连接成二极管的晶体管与上述第 1 晶体管具有相同的导电类型。

[0054] 也就是说,由于第 1 晶体管与上述被连接成二极管的晶体管具有相同的导电类型,从而能够使构成电路的所有晶体管的导电类型相同。其结果是,可实现成本的降低。

[0055] 此外,本发明提供一种半导体器件,其特征在于:

[0056] 在上述结构中,作为上述第 2 整流元件的被连接成二极管的晶体管与上述第 1 晶体管具有相同的导电类型。

[0057] 也就是说,由于第 1 晶体管与作为上述第 2 整流元件的被连接成二极管的晶体管具有相同的导电类型,从而可使两个晶体管的阈值电压的大小大致相同。由于第 1 晶体管的阈值电压与作为上述第 2 整流元件的被连接成二极管的晶体管的阈值电压大致相同,从而当第 1 晶体管应截止时,可防止电流漏泄。

[0058] 此外,本发明提供一种半导体器件,其特征在于:

[0059] 在上述结构中,具有电容元件,上述电容元件的一个端子与上述第 1 晶体管的栅极端子连接,另一端子与上述第 1 晶体管的源极端子连接。

[0060] 再有,本发明中的晶体管既可以是利用某种材料、装置、制造方法制造的晶体管,也可以是某种类型的晶体管,例如,也可以是薄膜晶体管(TFT)。在 TFT 中,半导体层既可以是非晶质(无定形)材料、也可以是多晶(多晶体)、单晶材料。作为其它晶体管,可以在单晶基板中制作的晶体管,也可以是在 SOI 基板中制作的晶体管,还可以是在塑料基板上形成的晶体管,在玻璃基板上形成的晶体管。此外,也可以是用有机物和碳纳米管形成的晶体管。此外,既可以是 MOS 型晶体管,也可以是双极型晶体管。

[0061] 再有,在本发明中,“连接”与“电连接”含义相同。因此,其间也可以设置其它元件和电路等。

[0062] 根据本发明的上述结构,可容易地使构成自举电路的电容元件的一个端子处于浮置状态。其结果是,可防止输出信号的振幅变小。另外,即使输入信号的振幅变小,也可使构成自举电路的电容元件的一个端子处于浮置状态。因此,可防止输出信号的振幅变小。另外,可仅使用一种极性的晶体管构成电路。因此,可抑制制造成本。

附图说明

[0063] 图 1 是示出将本发明应用于反相电路的场合的电路结构图。

[0064] 图 2 是示出将本发明应用于反相电路的场合的电路结构图。

[0065] 图 3 是示出表示应用了本发明的反相电路的附图标记的图。

[0066] 图 4 是示出将本发明应用于反相电路的场合的电路结构图。

[0067] 图 5 是示出将本发明应用于反相电路的场合的电路结构图。

[0068] 图 6 是示出将本发明应用于反相电路的场合的电路结构图。

[0069] 图 7 是示出将本发明应用于反相电路的场合的电路结构图。

[0070] 图 8 是示出将本发明应用于反相电路的场合的电路结构图。

[0071] 图 9(A)–9(C) 是示出现有反相电路的结构和工作的图。

[0072] 图 10 是示出将本发明应用于钟控反相电路的场合的电路结构图。

[0073] 图 11 是示出表示应用了本发明的钟控反相电路的附图标记的图。

[0074] 图 12 是示出将本发明应用于 NAND 电路的场合的电路结构图。

[0075] 图 13 是示出表示应用了本发明的 NAND 电路的附图标记的图。

[0076] 图 14 是示出将本发明应用于 NOR 电路的场合的电路结构图。

[0077] 图 15 是示出将本发明应用于传输门电路的场合的电路结构图。

[0078] 图 16 是示出将本发明应用于反相电路的场合的电路结构图。

- [0079] 图 17 是示出将本发明应用于钟控反相电路的场合的电路结构图。
- [0080] 图 18 是示出将本发明应用于 NAND 电路的场合的电路结构图。
- [0081] 图 19 是示出将本发明应用于 NOR 电路的场合的电路结构图。
- [0082] 图 20 是示出将本发明应用于传输门电路的场合的电路结构图。
- [0083] 图 21 是示出将本发明应用于反相电路的场合的电路结构图。
- [0084] 图 22 是示出表示应用了本发明的反相电路的附图标记的图。
- [0085] 图 23 是示出将本发明应用于钟控反相电路的场合的电路结构图。
- [0086] 图 24 是示出表示应用了本发明的钟控反相电路的附图标记的图。
- [0087] 图 25 是示出将本发明应用于 NAND 电路的场合的电路结构图。
- [0088] 图 26 是示出表示应用了本发明的 NAND 电路的附图标记的图。
- [0089] 图 27 是示出将本发明应用于反相电路的场合的电路结构图。
- [0090] 图 28 是示出本发明的显示装置的结构图。
- [0091] 图 29 是示出将本发明应用于 DFF 电路的场合的电路结构图。
- [0092] 图 30 是示出将本发明应用于 DFF 电路的场合的电路结构图。
- [0093] 图 31 是示出将本发明应用于移位寄存器电路的场合的电路结构图。
- [0094] 图 32 (A) - 32 (H) 是示出应用本发明的电子装置的图。
- [0095] 图 33 是示出具有反相电路的结构的图。
- [0096] 图 34 是示出具有反相电路的结构的图。

具体实施方式

[0097] 以下将说明具有本发明的半导体器件的电路结构。

[0098] 实施形态 1

[0099] 在本实施形态中, 首先, 说明本发明要解决的课题中说明过的针对第 2 个问题的反相电路。即, 说明针对其中输入到输入端子的 H 信号的电位低于高电位侧电源 VDD 的情况下某一端子的电位没有充分地上升的问题的反相电路。

[0100] 图 2 示出了一种即使输入到输入端子 105 的 H 信号的电位低于高电位侧电源 VDD, 端子 107 和端子 108 的电位也能充分上升的反相电路。输入端子 105 通过被连接成二极管的晶体管 101 与晶体管 102 的栅极端子连接。由于晶体管 101 以二极管方式连接, 其栅极端子与输入端子 105 连接。因此, 能使电流从端子 105 向端子 107 方向流动, 却不会使电流从端子 107 向端子 105 方向流动。此外, 在晶体管 102 的栅极端子与源极端子之间连接有电容元件 104。晶体管 103 的漏极端子与晶体管 102 的源极端子连接, 晶体管 103 的栅极端子与输入端子 106 连接。而且, 晶体管 109 的栅极端子与输入端子 106 连接、漏极端子与晶体管 102 的栅极端子连接。

[0101] 再有, 晶体管 109 的源极端子和晶体管 103 的源极端子与低电位侧电源 GND 连接, 但并不限于此。各个源极端子也可以与不同电位的布线连接, 也可以输入脉冲信号。

[0102] 另外, 虽然输入端子 106 与晶体管 109 的栅极端子和晶体管 103 的栅极端子连接, 但并不限于此。各个栅极端子也可以与各自的输入端子连接。

[0103] 另外, 虽然晶体管 102 的漏极端子与高电位侧电源 VDD 连接, 但并不限于此。可以连接不同电位的布线, 也可以输入脉冲信号。

[0104] 然后,说明图 2 的工作。通常将彼此反相的信号输入到输入端子 105 和输入端子 106。但是,即使通常不输入反相的信号,也能使其工作。首先,假定将 H 信号(高电位侧电源 VDD)输入到输入端子 106,将 L 信号(低电位侧电源 GND)输入到输入端子 105。于是,晶体管 103 与晶体管 109 导通。其结果是,端子 108 的电位成为 GND。并且,由于端子 107 的电位变为 GND,晶体管 102 截止。还有,由于端子 107 与端子 105 的电位相同,晶体管 101 截止。而且,电容元件 104 两端的电压(两端的电压差)变为 0V。

[0105] 然后,将 H 信号(高电位侧电源 VDD)输入到输入端子 105,将 L 信号(低电位侧电源 GND)输入到输入端子 106。于是,晶体管 109 和晶体管 103 截止。由于输入端子 105 的电位为 H 信号(高电位侧电源 VDD)的电位,晶体管 101 导通、端子 107 的电位上升。并且,一旦晶体管 102 的栅极·源极间的电压大于阈值电压,晶体管 102 就导通,端子 108 的电位就开始上升。此时,如果端子 107 的电位一直上升,最终,晶体管 101 就截止。这是因为端子 107 就是晶体管 101 的源极端子,从而由于端子 107 的电位上升,使得晶体管 101 的栅极·源极间的电压(漏极·源极间的电压)变小,最终等于阈值电压的缘故。一旦晶体管 101 的栅极·源极间的电压等于阈值电压,晶体管 101 就变为截止状态。因此,从端子 105 向端子 107 的电流停止流动。也就是说,端子 107 处于浮置状态。其结果是,电容元件 104 两端的电压(两端的电位差)不变。

[0106] 在晶体管 101 处于截止状态的时刻,假定端子 108 的电位还会持续上升。在这种情况下,晶体管 102 处于导通状态。也就是说,晶体管 102 的栅极·源极间的电压,即电容元件 104 两端的电压(两端的电位差)大于晶体管 102 的阈值电压。因此,端子 108 的电位进一步上升。此时,端子 107 的电位也同时上升。这是因为电容元件 104 两端的电压(两端的电位差)不变,从而电容元件 104 的一个端子(端子 108)的电位上升时,另一端子(端子 107)的电位也上升的缘故。并且,就这样,端子 108 的电位会继续上升,最终达到高电位侧电源 VDD。在端子 108 的电位达到高电位侧电源 VDD 以前的期间,晶体管 102 一直处于导通状态。电容元件 104 一直保持在晶体管 101 处于截止状态的时刻的电压。因此,端子 107 的电位比高电位侧电源 VDD 增高一个保持在电容元件 104 上的电压部分。

[0107] 也就是说,端子 107 和端子 108 的电位等于高电位侧电源 VDD,或成为在其以上的电位。因此,可防止输出信号振幅比输入信号的振幅小。

[0108] 这样,输入到端子 106 的信号在端子 107、108 上变成反相的信号。因此,在图 2 所示的反相电路中,输入端子可以是端子 106、输出端子可以是端子 107 或 108。并且,将与端子 106 反相的信号输入到端子 105 也是可以的。由此,也可以认为端子 105 为输入端子中的一个。

[0109] 另外,将端子 107、还是将端子 108 作为输出端子,可根据在其前面连接的电路的输入阻抗的大小来决定。也就是说,端子 107 必须根据工作状态而处于浮置状态。因此,端子 107 不能与输入阻抗低的电路连接。但是,在端子 107 中, H 信号时的电位可高于 VDD。另一方面,由于端子 108 不必处于浮置状态,所以即使连接到输入阻抗不低的电路也没有问题。但是, H 信号时的电位不得高于 VDD。这样,由于存在各自的不同点,可以适当地判断是将端子 107 或端子 108 中的哪一个作为输出端子。

[0110] 这里,图 3 示出了表示图 2 中所示的反相电路的附图标记 301。输入端子 303 相当于端子 106,输入端子 304 相当于端子 105。输出端子 302 相当于端子 108 或端子 107。将

彼此反相的信号输入到端子 303 和端子 304。一旦考虑作为反相电路的工作,就使输入到端子 303 的信号反相,并输出到输出端子 302。因此,将端子 303 可以说是作为反相电路的输入端子。

[0111] 然后,考虑输入到输入端子 105 的 H 信号的电位比高电位侧电源 VDD 低的情况。假定还要考虑输入到输入端子 105 的 H 信号的电位与高电位侧电源 VDD 之差大于晶体管 101 的阈值电压的情况。即使是这种情况,当 H 信号输入到输入端子 105、L 信号(低电位侧电源 GND)输入到输入端子 106 时,如果端子 107 的电位上升,晶体管 101 的栅极·源极间的电压等于阈值电压,晶体管 101 就截止,端子 107 就处于浮置状态。因此,在晶体管 101 处于截止状态的阶段,如果晶体管 102 导通,此时的晶体管 102 的栅极·源极间的电压就会保持在电容元件 104 上。因此,端子 108 和端子 107 的电位充分地上升。

[0112] 这样,在通常的 CMOS 电路中,对于使用 P 沟道型晶体管的晶体管,即使将其极性逆转,通过使用晶体管 101、109、电容元件 104 等,也能使其正常地工作。这不只可应用于反相电路,也可应用于所有电路。

[0113] 再有,在图 2 中,虽然晶体管 102 的漏极端子与电位 VDD 的布线连接,但并不限于此。可以根据情况来改变晶体管 102 的漏极端子的电位。例如,也可以输入脉冲信号。同样地,虽然晶体管 103 和晶体管 109 的源极端子与电位 GND 的布线连接,但并不限于此。可以根据情况来改变晶体管 103 和晶体管 109 的源极端子的电位,也可以各自输入不同的电位和信号。

[0114] 例如,如图 4 所示,晶体管 102 的漏极端子也可以与输入端子 105 连接。在此情况下, H 信号(高电位侧电源 VDD)输入到输入端子 106、L 信号(低电位侧电源 GND)输入到输入端子 105 时,输出端子 108 的电位变为 GND, L 信号(低电位侧电源 GND)输入到输入端子 106、H 信号(高电位侧电源 VDD)输入到输入端子 105 时,输出端子 108 的电位变为 VDD。因此,工作无问题。

[0115] 或者,通过将脉冲信号输入到晶体管 102 的漏极端子,能构成移位寄存器及闩锁电路等,或构成其中的一部分。

[0116] 再有,在图 2 中,虽然晶体管采用了 N 沟道型,但并不限于此。也可以采用 P 沟道型晶体管来构成电路,也可以采用 CMOS 型来构成电路。当图 2 的电路中的晶体管全部为 P 沟道型时,更换 VDD 和 GND 的电位就可以了。

[0117] 再有,虽然图 2 中的晶体管 101 是与晶体管 102 等同极性的晶体管,但并不限于此。也可以是任何有整流特性的元件。例如,也可以使用 PN 结、PIN 结的二极管或肖特基型的二极管等来代替晶体管 101。另外,如图 5 所示,可以使用将与晶体管 102 等相反极性的晶体管 101P 等连接成的二极管等。

[0118] 再有,也可以省略电容元件 104。即,能够用晶体管 102 的栅极电容来替代。对于晶体管 102 的栅极电容,可以在将源极区或漏极区或 LDD 区等与栅极电极重叠后的区域形成电容,也可以在沟道区与栅极电极之间形成电容。

[0119] 实施形态 2

[0120] 在实施形态 1 中,说明了针对本发明要解决的课题中说明过的第 2 个问题的反相电路。在本实施形态中,说明针对本发明要解决的课题中说明过的第 1 个问题的反相电路。

[0121] 这里,返回到图 33 的电路,分析产生第 1 个问题的主要原因。首先,将 H 信号(高

电位侧电源 VDD) 输入到输入端子 3306、将 L 信号 (低电位侧电源 GND) 输入到输入端子 3305 时,端子 3307 为 L 信号 (低电位侧电源 GND) 的电位。即,电容元件 3304 两端的电压 (两端的电位差) 为 0V。

[0122] 然后,将 H 信号 (高电位侧电源 VDD) 输入到输入端子 3305、将 L 信号 (低电位侧电源 GND) 输入到输入端子 3306 时,端子 3307 的电位从 GND(0V) 开始上升。并且,在成为比 VDD 低一个阈值电压的电位 ($VDD - V_{thN}$) 后,成为浮置状态。即,有必要使相应的电位差上升。所以,必须有相应的充电时间。因此,端子 3307 处于浮置状态也相应地延迟。

[0123] 因此,在本发明中,使端子 3307 (或与其相当的端子) 的电位不下降到 GND(0V) 而工作。但是,晶体管截止时,由于使其截止是必要的,因此端子的电位就下降至大致在阈值电压附近的电位。其结果是,电容元件上的电压不为 0V、保持为阈值电压。这样,由于从最初保存的电荷,减少了电位的上升部分。因此,充电时间变短,端子成为浮置状态以前的时间也变短。

[0124] 基于上述原理,构成一种电路以处理第 1 个问题。

[0125] 再有,在本实施形态中,通过对实施形态 1 中说明过的电路进行改进,以处理第 1 个问题。因此,能够在两方面同时解决第 1 个问题和第 2 个问题。因此,由于基本结构和工作与实施形态 1 的情况相同,其详细的说明从略。

[0126] 图 1 示出对图 2 进行改进、解决了第 1 个问题和第 2 个问题的电路图。在图 1 中,说明了本发明要解决的课题,为了解决第 2 个问题,将被连接成二极管 (漏极端子与栅极端子连接) 的晶体管 110 与晶体管 109 串联设置。再有,在图 1 中,虽然将晶体管 110 连接在晶体管 109 的漏极端子侧,但并不限于此。例如,可以如图 6 所示连接在晶体管 109 的源极端子侧。

[0127] 如图 1 所示,通过设置被连接成二极管的晶体管 110,可使端子 107 的电位不低于阈值电压。即,电容元件 104 两端的电压 (两端的电位差) 不为 0V,可获得高于阈值电压的电压。

[0128] 在此,简单地说明其工作。首先,将 H 信号 (高电位侧电源 VDD) 输入到输入端子 106、L 信号 (低电位侧电源 GND) 输入到输入端子 105。于是,晶体管 109 和晶体管 103 导通。其结果是,端子 108 的电位为 GND。但是,端子 107 的电位变为晶体管 110 的阈值电压。这是因为晶体管 101 处于截止状态,并且由于晶体管 110 的栅极端子与漏极端子连接,所以在晶体管 110 的源极・漏极间的电压等于阈值电压时,晶体管 110 截止的缘故。由于端子 107 的电位为阈值电压,所以电容元件 104 两端的电压 (两端的电位差) 也为阈值电压。从而,一旦晶体管 110 的阈值电压与晶体管 102 的阈值电压相等,晶体管 102 就变为截止。

[0129] 然后,将 H 信号 (高电位侧电源 VDD) 输入到输入端子 105、将 L 信号 (低电位侧电源 GND) 输入到输入端子 106。于是,晶体管 109 和晶体管 103 截止。由于输入端子 105 的电位为 H 信号 (高电位侧电源 VDD) 的电位,晶体管 101 导通,端子 107 的电位上升。但是,在图 2 的情况下,电位是从 GND(0V) 起开始上升,而在图 1 的情况下,端子 107 的电位从阈值电压起开始上升。因此,端子 107 的电位迅速上升。其结果是,晶体管 101 迅速处于截止状态,端子 107 也处于浮置状态。在该时刻,由于端子 108 的电位还处于上升过程,晶体管 102 也就处于导通状态。因此,可解决端子 108 和 107 的电位上升不充分这样的问题。

[0130] 再有,利用晶体管 101 使端子 107 的电位的变化量变少,电位的变化加快。其结果

是,电路的工作也提前了。

[0131] 通过采用这种结构,可在两方面同时解决在本发明要解决的课题中说明过的第 1 个问题和第 2 个问题。

[0132] 再有,在图 1、图 6 中,虽然晶体管使用了 N 沟道型,但并不限于此。在图 1 和图 6 的电路中的晶体管全部为 P 沟道型的情况下,交换 VDD 和 GND 的电位就可以。图 7 示出在图 1 的电路中的晶体管全部为 P 沟道型的情况下的电路图。

[0133] 再有,虽然在图 1、图 6 的晶体管 110 是与晶体管 102 等具有相同极性的晶体管,但并不限于此。可以采用任何具有整流特性的元件。例如,也可以采用 PN 结和 PIN 结的二极管、肖特基型二极管、将与晶体管 102 等相反极性的晶体管连接连接成二极管等来代替晶体管 110。即,只要端子 107 的电位不过度下降就可以。

[0134] 但是,希望晶体管 110 和晶体管 102 为相同极性的晶体管、其阈值电压也基本相等。这是因为假如晶体管 110 与晶体管 102 的阈值电压不同,当 H 信号(高电位侧电源 VDD)输入到输入端子 105、L 信号(低电位侧电源 GND)输入到输入端子 106 时,晶体管 102 有可能已经导通了的缘故。因此,希望通过使晶体管 110 和 102 靠近设置,其特性容易取得一致。例如,在应用激光使半导体层结晶的情况下,希望对晶体管 110 和 102 进行相同的照射。但是,如果其程度对工作没有妨碍,即使晶体管 110 与晶体管 102 的阈值电压存在少量差异也不会有问题。

[0135] 再有,在本实施形态中,描述改进了实施形态 1 中说明过的电路的情形。因此,实施形态 1 中说明过的内容也能应用于本实施形态。

[0136] 实施形态 3

[0137] 在本实施形态中,通过改进在实施形态 1 中说明过的电路,说明了针对本发明要解决的课题中说明过的第 1 个问题和第 2 个问题的反相电路。在本实施形态中,通过改进图 34 的电路,说明针对第 1 个问题的反相电路。

[0138] 图 8 示出改进了图 34 的电路的反相电路。与晶体管 3409 串联设置被连接成二极管的晶体管 801。再有,在图 8 中,虽然在晶体管 3409 的漏极端子与端子 3407 之间设置晶体管 801,但并不限于此。例如,也可以连接到晶体管 3409 的源极端子一侧。

[0139] 由此,通过设置晶体管 801,端子 3407 的电位不会过度下降。为此,端子 3407 的电位迅速上升。其结果是,晶体管 3401 迅速成为截止状态,端子 3407 也成为浮置状态。在该时刻,因端子 3408 的电位还在上升中,所以晶体管 3402 也处于导通状态。因此,可解决端子 3408 和 3407 的电位上升不充分这样的问题。

[0140] 再有,利用晶体管 801 使端子 3407 的电位的变化量变少,电位的变化加快。其结果是,电路的工作也提前了。

[0141] 通过采用这种结构,可在两方面同时解决在本发明要解决的课题中说明过的第 1 个问题和第 2 个问题。

[0142] 再有,在图 8 中,虽然晶体管采用 N 沟道型,但并不限于此。也可以用 P 沟道型晶体管来构成电路,还可以制作成 CMOS 型来构成电路。在图 8 的电路中的晶体管都是 P 沟道型的情况下,交换 VDD 和 GND 的电位就可以了。

[0143] 再有,虽然图 8 中的晶体管 801 是与晶体管 3402 等相同极性的晶体管,但并不限于此。只要是任何具有整流性的元件就可以。例如,也可以采用 PN 结、PIN 结的二极管、肖特

基型二极管、将与晶体管 3402 等相反极性的晶体管连接成的二极管等来代替晶体管 801。即,只要端子 3407 的电位不过度下降就可以。

[0144] 但是,希望晶体管 801 与晶体管 3402 是相同极性的晶体管,其阈值电压也大致相等。这是因为如果晶体管 801 与晶体管 3402 的阈值电压不同,当 H 信号(高电位侧电源 VDD)输入到输入端子 3405、L 信号(低电位侧电源 GND)输入到输入端子 3406 时,晶体管 3402 有可能已经导通了的缘故。因此,希望通过使晶体管 801 和 3402 靠近设置,其特性容易取得一致。例如,在应用激光使半导体层结晶的情况下,希望对晶体管 801 和 3402 进行相同的照射。但是,如果其程度对工作没有妨碍,即使晶体管 801 与 3402 的阈值电压存在少量差异也不会有问题。

[0145] 实施形态 4

[0146] 在实施形态 1 ~ 3 中,描述了应用于反相电路的情况。接下来,在本实施形态中,展示应用于除此之外的电路情况的实例。

[0147] 首先,图 10 示出了应用于钟控反相电路情况下的结构。图 10 的电路由图 2 中所示的反相电路扩展构成。但也可以通过扩展实施形态 1 ~ 3 中所示其它电路来构成钟控反相电路。

[0148] 在图 10 中,晶体管 1002B、1003B 控制在钟控反相电路的输出端子上信号是被输出到还是不被输出。通常,使时钟信号与取样脉冲信号等同步来控制导通、截止。因此,与输入到输入端子 1005B 的信号同步地使晶体管 1002B、1003B 同时导通、截止。另一方面,晶体管 1002、1003 是使输入到输入端子 1005 的输入信号反相,并在输出端子 1010 输出这样工作的一部分。

[0149] 如图 10 中所示,在用 CMOS 型构成钟控反相器的情况下,在采用 P 沟道型晶体管的部分,使用晶体管 1001、1009、1001B、1009B、电容元件 1004、1004B 等来防止输出信号的振幅减少。再有,在图 10 中,虽然晶体管 1003B 的栅极端子与输入端子 1005B 连接,但并不限于此。晶体管 1003B 的栅极端子也可以与端子 1007B 连接。

[0150] 再有,像图 1 那样,也可以将被连接成二极管的晶体管与晶体管 1009、1009B 等串联设置。此外,也可以通过改变晶体管 1001、1001B 的连接、使之成为图 8 中的晶体管 3401 那样,扩展图 8 的反相电路,构成钟控反相器。

[0151] 再有,由于图 10 电路的工作与实施形态 1 ~ 3 中的说明过的工作相同,所以省略其说明。

[0152] 这里,图 11 示出了表示在本实施形态展示的钟控反相器的附图标记 1101。端子 1105 相当于端子 1005B,端子 1006 相当于端子 1006B。将彼此反相的信号输入到端子 1005 和端子 1006。当 H 信号输入到端子 1005 时,信号就输出到输出端子 1102。并且,输入端子 1103 相当于端子 1006,输入端子 1104 相当于端子 1005。在考虑到钟控反相电路的情况下,使输入到输入端子 1103 的信号反相,并在输出端子 1102 输出。从而,端子 1103 可以说是作为钟控反相电路的输入端子。再有,在端子 1103 和端子 1104 上输入彼此反相的信号。

[0153] 然后,图 12 示出了应用于 NAND 电路情况的结构。图 12 的电路通过扩展图 2 中所示的反相电路构成。但是,也能够通过扩展实施形态 1 ~ 3 中所示的其它电路来构成 NAND 电路。

[0154] 在图 12 中,在 NAND 电路用 CMOS 型构成的情况下,在采用 P 沟道型晶体管的部分,

即晶体管 1202、1202B 中,采用晶体管 1201、1209、1201B、1209B、电容元件 1204、1204B 等,防止输出信号的振幅减少。因此,在用 CMOS 型构成的情况下,采用 N 沟道型晶体管的部分,即晶体管 1203、1203B 与用 CMOS 型构成的情况相同。

[0155] 再有,如图 1 所示,将被连接成二极管的晶体管也可以与晶体管 1209、1209B 等串联设置。此外,也可以通过改变晶体管 1201、1201B 的连接、成为图 8 中的晶体管 3401 那样,扩展图 8 的反相电路,构成 NAND 电路。

[0156] 再有,由于图 12 的电路的工作与实施形态 1 ~ 3 中的说明过的工作相同,所以省略其说明。

[0157] 这里,图 13 示出了表示本实施形态中展示的 NAND 电路的附图标记 1301。输入端子 1303 相当于端子 1206,输入端子 1305 相当于端子 1206B。还有,输入端子 1304 相当于端子 1205,输入端子 1306 相当于端子 1205B。将彼此反相的信号输入到端子 1303 和端子 1304,将彼此反相的信号输入到端子 1305 和端子 1306。输出端子 1302 相当于端子 1201。考虑到作为 NAND 电路的逻辑工作,端子 1303 和端子 1305 可以说是作为 NAND 电路的输入端子。

[0158] 然后,图 14 示出了应用于 NOR 电路情况下的结构。图 14 的电路由扩展图 2 中所示的反相电路构成。但是,也能够通过扩展实施形态 1 ~ 3 中所示的其它电路来构成 NOR 电路

[0159] 与图 14 相同,在用 CMOS 型构成 NOR 电路的情况下,在采用 P 沟道型晶体管的部分,即晶体管 1402、1402B 中,采用晶体管 1401、1409、1401B、1409B、电容元件 1404、1404B 等,以防止输出信号的振幅减少。并且,在用 CMOS 型构成的情况下,采用 N 沟道型晶体管的部分,即晶体管 1403、1403B 同样可以用 CMOS 型构成。

[0160] 再有,如图 1 所示,也可以将被连接成二极管的晶体管与晶体管 1409、1409B 等串联设置。此外,也可以通过改变晶体管 1401、1401B 的连接、使之成为图 8 中的晶体管 3401 那样,扩展图 8 的反相电路,构成 NOR 电路。

[0161] 再有,由于图 14 的电路的工作与实施形态 1 ~ 3 中的说明过的工作相同,所以省略其说明。

[0162] 然后,图 15 示出了应用于传输门电路(模拟开关电路)情况的结构。图 15 的电路通过扩展图 2 中所示的反相电路构成。但是,也能通过扩展实施形态 1 ~ 3 中所示的其它电路构成传输门电路。

[0163] 在图 15 的场合下,作为输入、输出端子的端子 1510、1511 的电位要根据情况来改变使哪一方增高。因此,不能明确哪一侧的端子作为源极端子。因此,在图 15 中,将晶体管 1502 与晶体管 1502B 并联设置,代替电容元件 1504 与 1504B 的连接而设置。由此,无论端子 1510、1511 中哪个端子的电位低,都能使晶体管 1502 和晶体管 1502B 的栅极端子的电位充分地上升。

[0164] 因此,在用 CMOS 型构成传输门电路的情况下,并不仅以采用 P 沟道型晶体管的部分作为对象,对于双方的晶体管,采用晶体管 1501、1509、1501B、1509B、电容元件 1504、1504B 等,以防止输出信号的振幅减少。这样,对于输出信号的振幅变小部分的晶体管,通过设置被连接成二极管的晶体管和电容元件等,能够使其正常地工作。

[0165] 再有,如图 1 所示,也可以将被连接成二极管的晶体管与晶体管 1509、1509B 等串

联设置。此外,也可以通过改变晶体管 1501、1501B 的连接、使之成为图 8 中的晶体管 3401 那样,扩展图 8 的反相电路,构成传输门电路。

[0166] 再有,由于图 15 的电路的工作与实施形态 1 ~ 3 中说明过的工作相同,所以省略其说明。

[0167] 再有,在图 10、12、14、15 中,虽然晶体管采用 N 沟道型,但并不限于此。在图 10、12、14、15 的电路中的晶体管全部为 P 沟道型的情况下,交换 VDD 和 GND 的电位就可以。

[0168] 再有,在本实施形态中,说明了应用于 NAND 电路等各种各样的电路的情况,但可应用的电路并不限于本实施形态中所述的电路。可以应用于各种各样的电路。

[0169] 再有,在本实施形态中,描述了扩展实施形态 1 ~ 3 中说明过的电路。因此,实施形态 1 ~ 3 中说明过的内容也能够应用于本实施形态。

[0170] 实施形态 5

[0171] 在实施形态 1 中,说明了在图 2 的反相电路中,输出端子不仅可以使端子 108,也可以使用端子 107。这里,在本实施形态中,说明利用输出端子 107 的输出,构成各种各样电路的实例。即,示出了使从端子 108 输出信号的反相电路作为电平校正电路而工作、使各种各样电路工作的情况的实例。

[0172] 首先,图 16 示出了应用于反相电路的情况下的结构。在图 16 中,通过采用图 1 的反相电路作为电平校正电路,以端子 107 为输出端子,与其它电路(这里为反相电路)的输入端子连接。并且,使用从电平校正电路 1601 输出的信号使电路(这里为反相电路)正常地工作。

[0173] 电平校正电路 1601 的输入端子 1603 和输入端子 1604 分别与端子 105 和端子 1206 连接。电平校正电路 1601 的输出端子 1605 与端子 107 连接,输出端子 1606 与端子 106 连接。

[0174] 将彼此反相的信号输入到输入端子 1603 和输入端子 1604。于是,输入端子 1604 的信号在输出端子 1606 上原样输出,另一方面,调节输入端子 1603 的信号的电位,并输出到输出端子 1605。具体地说,在 H 信号情况下,输出更加增高了的电位。

[0175] 因此,用 CMOS 型构成的情况下,可以将采用 P 沟道型晶体管的部分的晶体管连接到输出端子 1605。于是,可防止输出信号的振幅减少。

[0176] 在图 16 中,电平校正电路 1601 的输出端子 1605 与晶体管 1608 的栅极端子连接,输出端子 1606 与晶体管 1609 的栅极端子连接。其结果是,信号在输出端子 1607 上输出而其振幅值不至变小。

[0177] 这样,在用 CMOS 型构成的情况下,从输出端子 1605 将信号输入到使用 P 沟道型晶体管的部分的晶体管的栅极端子上。其结果是,可使电路正常地工作。

[0178] 再有,电平校正电路并不限于图 16 的结构。可以任意地采用实施形态 1 ~ 3 中说明过的电路。

[0179] 这里,若用表示图 3 中所示的反相电路的附图标记 301 表示图 16 的电路,则端子 1604 相当于端子 303,端子 1603 相当于端子 304,端子 1607 相当于端子 302。

[0180] 同样地,图 17 示出了应用于钟控反相电路的情况下的结构。利用电平校正电路 1601C,使晶体管 1702、1705 同时导通、截止,利用电平校正电路 1601A,控制晶体管 1703、1704。

[0181] 由于可赋予晶体管 1702、1703 的栅极端子以高电位,所以可防止输出信号的振幅减少。

[0182] 这里,若用表示图 11 中所示的钟控反相电路的附图标记 1101 表示图 17 的电路,则端子 1604A 相当于端子 1103,端子 1603A 相当于端子 1104,端子 1604C 相当于端子 1106,端子 1603C 相当于端子 1105,端子 1706 相当于端子 1102。

[0183] 同样,图 18 示出了应用于 NAND 电路的情况下的结构。利用电平校正电路 1601B 控制晶体管 1802、1805,利用电平校正电路 1601A 控制晶体管 1803、1804。

[0184] 由于可赋予晶体管 1802、1803 的栅极端子以高电位,所以可防止输出信号的振幅减少。

[0185] 这里,若用表示图 13 中所示的 NAND 电路的附图标记 1301 表示图 18 的电路,则端子 1604A 相当于端子 1303,端子 1603A 相当于端子 1304,端子 1604B 相当于端子 1305,端子 1603B 相当于端子 1306,端子 1806 相当于端子 1302。

[0186] 同样,图 19 示出了应用于 NOR 电路的情况下的结构。利用电平校正电路 1601B 控制晶体管 1902、1905,利用电平校正电路 1601A 控制晶体管 1903、1904。

[0187] 由于可赋予晶体管 1902、1903 的栅极端子以高电位,所以可防止输出端子 1906 的输出信号的振幅减少。

[0188] 同样,图 20 示出了应用于传输门电路的情况下的结构。采用电平校正电路 1601A 控制晶体管 2003。

[0189] 由于可赋予晶体管 2002 的栅极端子以高电位,所以可防止输入输出端子 2003、2004 的信号振幅减少。

[0190] 至此,如图 16 ~ 20 所示,描述了输出端子为 1 个的情况。但是,在此电路之前还连接其它电路的情况下,需要反相信号的情况居多。此后,将描述输出端子有两个,也输出反相信号的情况。

[0191] 图 21 示出了应用于反相器情况下的结构。用晶体管 2103、2104 构成 1 个反相电路,用晶体管 2103B、2104B 构成另一反相电路。假如将反相的信号输入到各自的反相电路,就能输出彼此反相的 2 个信号。

[0192] 但是,必须能将比 VDD 高的电位输入到晶体管 2103 和晶体管 2103B 的栅极端子。并且,必须将彼此反相的信号输入到晶体管 2103 和晶体管 2103B 的栅极端子。因此,需要 2 个电平校正电路 1601A、1601B。

[0193] 这里,图 22 示出了用附图标记 2201 表示图 21 的电路的情况。使输入端子 2203 的信号反相,输出到输出端子 2202。将与输入端子 2203 反相的信号输入到输入端子 2204,将与输出端子 2202 反相的信号在输出端子 2207 输出。于是,端子 1604A 相当于端子 2203,端子 1603A 相当于端子 2204,端子 2106 相当于端子 2202,端子 2106B 相当于端子 2207。

[0194] 同样,图 23 示出了应用于钟控反相电路情况下的结构。用晶体管 2302、2303、2304、2305 构成一个钟控反相电路,用晶体管 2302B、2303B、2304B、2305B 构成另一钟控反相电路。如果将彼此反相的信号输入到各自的钟控反相电路,就能输出彼此反相的两个信号。

[0195] 但是,必须能向晶体管 2303 和晶体管 2303B 的栅极端子输入高于 VDD 的电位。并且,必须将彼此反相的信号输入到晶体管 2303 和晶体管 2303B 的栅极端子。因此,需要 2

个电平校正电路 1601A、1601B。

[0196] 另外,必须能向晶体管 2302 和晶体管 2302B 的栅极端子输入高于 VDD 的电位。但也可以将相同的信号输入到晶体管 2302 和晶体管 2302B 的栅极端子。因此,需要 1 个电平校正电路 1601C。

[0197] 这里,图 24 示出用附图标记 2401 表示了图 23 的电路的情形。当 H 信号输入到端子 2405 时,使输入端子 2403 的信号反相,在输出端子 2402 输出。将与输入端子 2403 反相的信号输入到输入端子 2404,将与输入端子 2405 反相的信号输入到输入端子 2406,将与输出端子 2402 反相的信号在输出端子 2407 输出。于是,端子 1603C 相当于端子 2405,端子 1604C 相当于端子 2406,端子 1604A 相当于端子 2403,端子 1603A 相当于端子 2404,端子 2306 相当于端子 2402,端子 2306B 相当于端子 2407。

[0198] 同样,图 25 示出了应用于 NAND 电路的情况下的结构。用晶体管 2502、2503、2504、2505 构成 1 个 NAND 电路,用晶体管 2502B、2503B、2504B、2505B 构成另一 NAND 电路。如果将反相的信号输入到各自的 NAND 电路,就能输出彼此反相的 2 个信号。但是,必须能向晶体管 2502、2503、2502B、2503B 的栅极端子输入高于 VDD 的电位。而且,晶体管 2502 和晶体管 2502B 的栅极端子,或者晶体管 2503 和晶体管 2503B 的栅极端子必须输入彼此反相的信号。因此,需要 4 个电平校正电路 1601A、1601B、1601D、1601E。

[0199] 这里,图 26 示出了用附图标记 2601 表示图 25 的电路的情况。输入端子 2603、2605 的信号在输出端子 2602 上输出。将与输入端子 2603 反相的信号输入到输入端子 2604,将与输入端子 2605 反相的信号输入到输入端子 2606,在输出端子 2607 上输出与输出端子 2602 反相的信号。于是,端子 1604B 相当于端子 2603,端子 1604A 相当于端子 2605,端子 1603B 相当于端子 2604,端子 1603A 相当于端子 2606,端子 2506 相当于端子 2602,端子 2506B 相当于端子 2607。

[0200] 同样也可应用于 NOR 电路。

[0201] 再有,在本实施形态中,采用电平校正电路来调节电位电平,但并不限于此。例如,也可以直接输入振幅大的信号来使其工作。例如,图 17 和图 23 中的端子 1605C 的信号不采用电平校正电路 1601C,也可以直接输入振幅大的信号,具体地说,输入 H 信号的电位大于 VDD 的信号。同样,图 17 和图 23 中的端子 1605A、1606A、1605B、1606B 的信号不采用电平校正电路 1601A、1601B,也可以直接输入振幅大的信号。

[0202] 再有,在本实施形态中,首先,在采用电平校正电路调节电位电平之后将信号输入到要工作的电路,但并不限于此。相反,首先在要工作的电路中使之工作,然后调节其电位的电平即可。图 27 示出了应用于反相电路的情况下的结构。利用晶体管 2708、2709、2710、2711 构成 2 组反相电路。之所以设置 2 组电路,是因为在后级的电平校正电路 2701 中也需要反相信号的缘故。并且,从输入与输入端子 2703 反相的信号输入到输入端子 2704 输入信号,用电平校正电路 2701 调节电平,从输出端子 2707 输出信号。再有,不仅可应用于反相电路,也可应用于其它电路。

[0203] 这样,在本实施形态中,说明了应用于钟控反相电路、NAND 电路等各种各样的电路的情况,能够应用的电路并不限于本实施形态中所述的电路。能应用于各种各样的电路。

[0204] 再有,在本实施形态中,描述了在实施形态 1 ~ 4 中说明过的电路。因此,在实施形态 1 ~ 4 中说明过的内容也能够应用于本实施形态,利用具有这些电路结构的半导体器

件,就能够以低成本制造出进行正确工作的半导体器件。

[0205] 实施例 1

[0206] 在本实施例中,说明有关显示装置和信号线驱动电路等的结构及其工作。实施形态 1~5 中所示的电路结构能够被应用于信号线驱动电路的一部分和栅极线驱动电路的一部分。

[0207] 如图 28 所示,显示装置具有像素 2801、栅极线驱动电路 2802、信号线驱动电路 2810。栅极线驱动电路 2802 对像素 2801 依次输出选择信号。信号线驱动电路 2810 对像素 2801 依次输出视频信号。依据视频信号,通过控制光的状态,用像素 2801 显示图像。从信号线驱动电路 2810 向像素 2801 输入的视频信号多为电压信号。即,在像素上配置的显示元件和控制显示元件的元件多利用从信号线驱动电路 2810 输入的视频信号(电压)使状态改变。在很少情况下,向像素 2801 输入的视频信号有时也是电流。以像素上设置的显示元件为例,可以列举出用液晶(LCD)、有机 EL 或 FED(场发射显示器)的元件,DMD(数字镜器件)等等。

[0208] 再有,也可以设置多个栅极线驱动电路 2802 和信号线驱动电路 2810。

[0209] 将信号线驱动电路 2810 的结构分为多个部分。粗略地说,作为一个实例,可以分为移位寄存器 2803、第 1 闩锁电路(LAT1)2804、第 2 闩锁电路(LAT2)2805、数/模转换电路 2806 等。

[0210] 这里,简单地说明信号线驱动电路 2810 的工作。移位寄存器 2803 用多列触发电路(FF)和闩锁电路等构成,输入时钟信号(S-CLK)2812、启动脉冲(SP)2813、时钟反相信号(S-CLKb)2811,根据这些信号的时序,依次输出取样脉冲。

[0211] 由移位寄存器 2803 输出的取样脉冲输入到第 1 闩锁电路 2804。从视频信号线 3808 将视频信号输入到第 1 闩锁电路 2804,按照输入取样脉冲的时序,在各列上保持视频信号。再有,在设置有数/模转换电路 2806 的情况下,视频信号为数字值。

[0212] 在第 1 闩锁电路 2804 中,到最后一列为止,视频信号的保持一旦结束,在水平回扫线期间,从闩锁控制线 2809 输入闩锁脉冲(Latch Pulse),保持在第 1 闩锁电路 2804 中的视频信号一起被传输到第 2 闩锁电路 2805 中。此后,保持在第 2 闩锁电路 2805 中的视频信号逐行地同时向数/模转换电路 2806 输入。并且,从数/模转换电路 2806 输出的信号被输入到像素 2801。

[0213] 在保持在第 2 闩锁电路 2805 中的视频信号经由各种各样的电路被输入到像素 2801 的期间,在移位寄存器 2803 中就再次输出取样脉冲。即,同时进行两个动作。因此,能够按照线顺序进行驱动。此后,重复该动作。

[0214] 再有,在第 1 闩锁电路 2804 和第 2 闩锁电路 2805 是能保存模拟值的电路的情况下,多数情况下可以省略数/模转换电路 2806。另外,输出到像素 2801 上的数据为 2 值,即数字值时,多数情况下可以省略数/模转换电路 2806。另外,在信号线驱动电路 2810 中也往往内置电平移位电路、灰度系数校正电路和电压电流转换电路、放大电路等。

[0215] 另外,也存在没有第 1 闩锁电路 2804 和第 2 闩锁电路 2805 等,通过传输门电路(模拟开关电路)连接视频信号线 2808 和像素 2801 的情况。在这种情况下,从移位寄存器 2803 输出的取样脉冲控制传输门电路。

[0216] 这样,信号线驱动电路 2810 的结构并不限于图 28,也可以为各种各样的结构。

[0217] 另一方面,由于多数情况下栅极线驱动电路 2802 对像素 2801 仅依次输出选择信号,往往也是由具有与信号线驱动电路 2810 的移位寄存器 2803 相同结构的移位寄存器、电平移位电路、放大电路等构成。但是,栅极线驱动电路 2802 的结构不限于此,可以有各种各样的结构。

[0218] 实施形态 1 ~ 5 的电路结构可应用于构成信号线驱动电路 2810、栅极线驱动电路 2802 等中的移位寄存器、信号线驱动电路 2810 的第 1 闩锁电路 (LAT1) 2804 和第 2 闩锁电路 2805 等电路的各个部分。

[0219] 因此,图 29、30 中示出了使用移位寄存器、第 1 闩锁电路 2804 (LAT1) 和第 2 闩锁电路 2805 等的 DFF 电路 (延迟触发电路)。

[0220] 在图 29 的 DFF 电路 2901 中,将信号输入到输入端子 2904,通过输入到端子 2906、2907 的同步信号来控制工作。并且,在输出端子 2902 上输出信号。将彼此相反的信号输入到端子 2904 和端子 2905,还将彼此相反的信号输入到端子 2906 和端子 2907。并且,作为输出,在端子 2902 和端子 2903 上输出彼此相反的信号。同样地,在图 30 的 DFF 电路 3001 中,在端子 3002 ~ 3007 中进行信号的交换。

[0221] 在图 29 中使用输出反相信号的电路。另一方面,在图 30 中使用不输出反相信号的电路。为此,因为要生成反相的信号,所以并联设置各个部分的电路。

[0222] 然后,在图 31 中示出了使用 DFF 电路等构成的移位寄存器的一部分。DFF 电路由 2901A ~ 2901D 构成。作为 DFF 电路,可以是图 29 所示的电路,也可以是图 30 所示的电路。将时钟信号 (S-CLK) 2812、时钟反相信号 (S-CLKb) 输入到相当于端子 2906、2907 (或端子 3006、3007) 的部分,与该信号同步,使移位寄存器工作。

[0223] 在使用 DFF 电路等构成第 1 闩锁电路 (LAT1) 2804 的情况下,将由移位寄存器输出的取样脉冲输入到相当于端子 2906、2907 (或端子 3006、3007) 的部分。另外,在使用 DFF 电路等构成第 2 闩锁电路 (LAT2) 2805 的情况下,从闩锁控制线 2809 将闩锁脉冲 (Latch Pulse) 输入到相当于端子 2906、2907 (或端子 3006、3007) 的部分。

[0224] 再有,在移位寄存器的 DFF 电路中,作为钟控反相电路,在使用图 17 和图 23 等的电路的情况下,时钟信号 (S-CLK) 2812 和时钟反相信号 (S-CLKb) 的信号振幅大于电源电压振幅时,可以省略图 17 和图 23 等的电路中的电平校正电路 1601C。同样,在第 1 闩锁电路 (LAT1) 2804 和第 2 闩锁电路 (LAT2) 2805 的 DFF 电路中,作为钟控反相电路,在使用图 17 和图 23 等的电路的情况下,从视频信号线 2808 输入的视频信号和从闩锁控制线 2809 输入的闩锁脉冲 (Latch Pulse) 的信号振幅大于电源电压的振幅时,可以省略图 17 和图 23 等的电路中的电平校正电路。

[0225] 再有,如上所述,本发明的晶体管可以是任何类型的晶体管、也可以在任何基板上形成。因此,如图 28 所示的电路,可以在整个玻璃基板上形成、也可以在塑料基板上形成、也可以在单晶基板上形成、也可以在 SOI 基板上形成,总之,可以在任何基板上形成。或者,图 28 中的电路的一部分在某种基板上形成,图 28 的电路的另一部分可以在另一种基板上形成。即,图 28 中的整个电路也可以不在相同的基板上形成。例如,在图 28 中,使用 TFT 在玻璃基板上形成像素 2801 和栅极线驱动电路 2802,在单晶基板上形成信号线驱动电路 2810 (或其另一部分),也可以用 COG (芯片在玻璃上) 方式连接该 IC 芯片,设置在玻璃基板上。或者,还可以将 IC 芯片用 TAB (带式自动键合) 和印刷基板与玻璃基板连接。

[0226] 这样,能够将具有实施形态 1 ~ 5 中说明过的电路结构的半导体器件用于显示装置。

[0227] 实施例 2

[0228] 作为在显示部分配备使用了本发明的半导体器件的显示装置的电子装置,可列举出摄像机、数码相机、护目镜型显示器(头戴显示器)、导航系统、声音重放装置(汽车音响、音响部件等)、笔记本型个人计算机、游戏机、便携式信息终端(便携式计算机、移动电话、便携型游戏机或电子书籍等)、配备了记录介质的图像再生装置(具体地说,包括再生数字通用光盘(DVD)等的记录介质、可显示其图像的显示器的装置)。图 32 示出了这类电子装置的具体实例。

[0229] 图 32(A) 是一种发光装置,包含框体 13001、支撑台 13002、显示部 13003、扬声器部 13004、视频输入端子 13005 等。这里,采用了本发明的半导体器件的显示装置可以使用在显示部 13003。还根据本发明,完成图 32(A) 所示的发光装置。发光装置由于是自发光型,所以不需要背光源,可以作为比液晶显示器薄的显示部。再有,发光装置包括个人计算机、TV 广播接收用、广告显示用等全部信息显示用显示装置。

[0230] 图 32(B) 是一种数码相机,包括本体 13101、显示部 13102、图像接收部 13103、操作键 13104、外部连接端口 13105、快门 13106 等。这里,采用了本发明的半导体器件的显示装置能够用于显示部 13102。另外,根据本发明,完成图 32(B) 所示的数码相机。

[0231] 图 32(C) 是笔记本型个人计算机,包括本体 13201、框体 13202、显示部 13203、键盘 13204、外部连接端口 13205、指示鼠标 13206 等。这里,采用了本发明的半导体器件的显示装置能够用于显示部 13203。另外,根据本发明,完成图 32(C) 所示的发光装置。

[0232] 图 32(D) 是便携式计算机,包括本体 13301、显示部 13302、开关 13303、操作键 13304、红外线端口 13305 等。这里,采用了本发明半导体器件的显示装置能够用于显示部 13302。另外,根据本发明,完成图 32(D) 所示的便携式计算机。

[0233] 图 32(E) 是配备有记录介质的便携型图像再生装置(具体地说,是 DVD 再生装置),包括本体 13401、框体 13402、显示部 A13403、显示部 B13404、记录介质(DVD 等)读入部 13405、操作键 13406、扬声器部 13407 等。显示部 A13403 主要用于显示图像信息,显示部 B13404 主要用于显示文字信息,采用了本发明的半导体器件的显示装置能够用于显示部 A、B13403、13404。再有,配备有记录介质的图像再生装置中也包含家庭用游戏机。另外,根据本发明,完成图 32(E) 所示的 DVD 再生装置。

[0234] 图 32(F) 是护目镜型显示器(头戴显示器),包括本体 13501、显示部 13502、臂部 13503。这里,采用了本发明的半导体器件的显示装置能够用于显示部 13502。另外,根据本发明,完成图 32(F) 所示的护目镜型显示器。

[0235] 图 32(G) 是一种摄像机,包括本体 13601、显示部 13602、框体 13603、外部连接端口 13604、遥控接收部 13605、图像接收部 13606、电池 13607、声音输入部 13608、操作键 13609 等。这里,采用了本发明的半导体器件的显示装置能够用于显示部 13602。另外,根据本发明,完成图 32(G) 所示的摄像机。

[0236] 图 32(H) 是移动电话,包括本体 13701、框体 13702、显示部 13703、声音输入部 13704、声音输出部 13705、操作键 13706、外部连接端口 13707、天线 13708 等。这里,采用了本发明的半导体器件的显示装置能够用于显示部 13703。再有,显示部 13703 通过在黑色的

背景上显示白色的文字,能够抑制移动电话的消耗电流。另外,根据本发明,完成图 32(H)所示的移动电话。

[0237] 再有,如果在将来增高发光材料的发光亮度,则也能用镜头等将含有输出了的图像信息的光放大投影用于正面型或背面型投影仪。

[0238] 另外,上述电子装置多半是将通过因特网和 CATV(有线电视)等的电子通信线路传输的信息显示出来,特别能够增加显示动态图像信息的机会。由于发光材料的响应速度非常高,因此发光装置作为动态图像显示非常好。

[0239] 另外,由于发光装置的发光部分消耗电力,希望发光部竭力少耗电而显示信息。因此,在将发光装置用于便携式信息终端,特别是移动电话和声音重放装置之类以文字信息为主的显示部分时,希望以非发光部为背景,用发光部分形成文字信息来驱动。

[0240] 像以上那样,本发明的应用范围非常广,能够应用于所有领域的电子装置的显示部。此外,本实施例的电子装置也可以配备使用了具有实施形态 1~5 中示出的任一电路结构的半导体器件的显示装置。

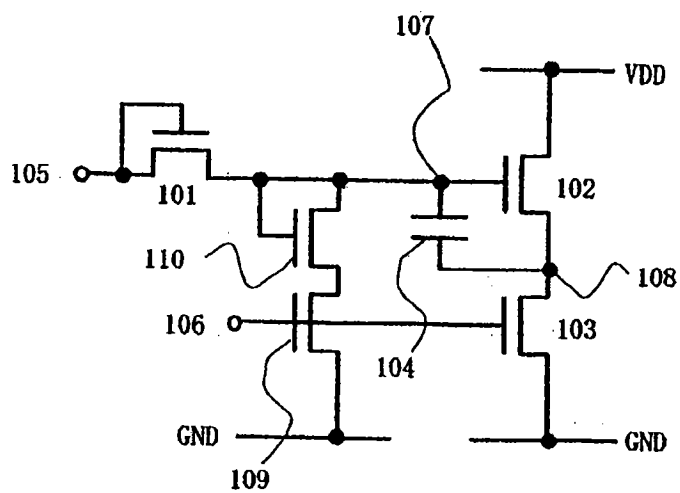


图 1

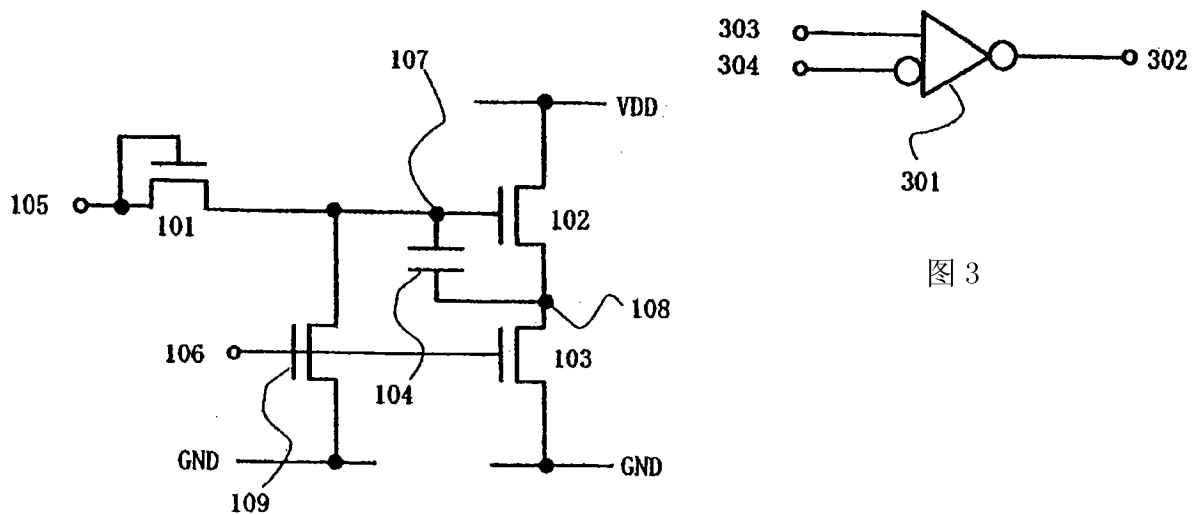


图 2

图 3

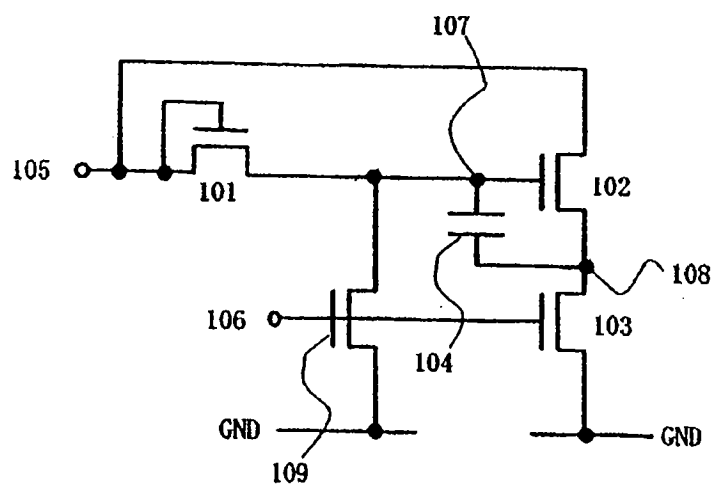


图 4

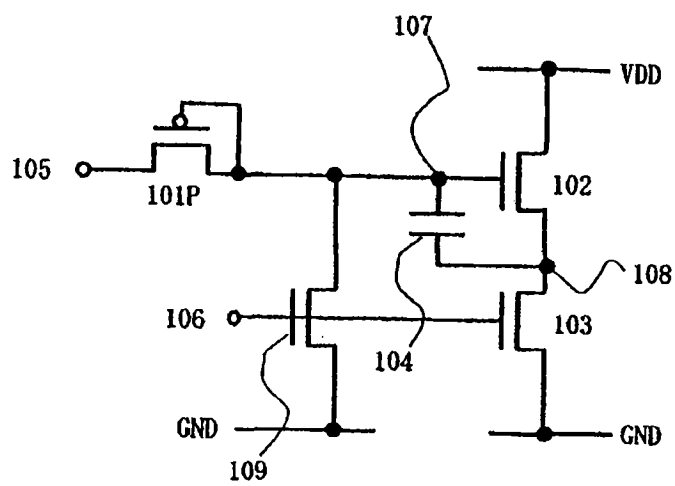


图 5

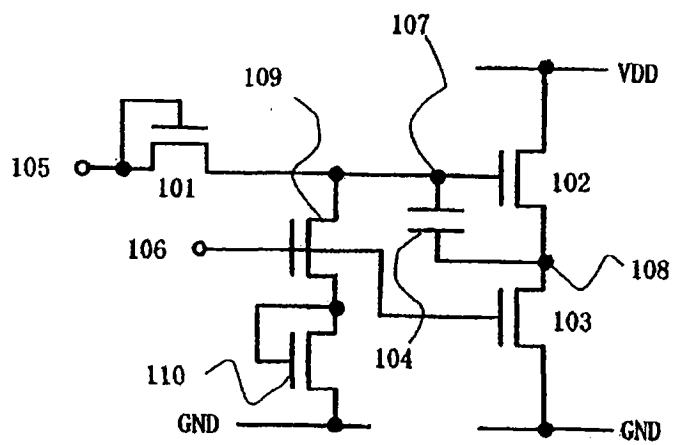


图 6

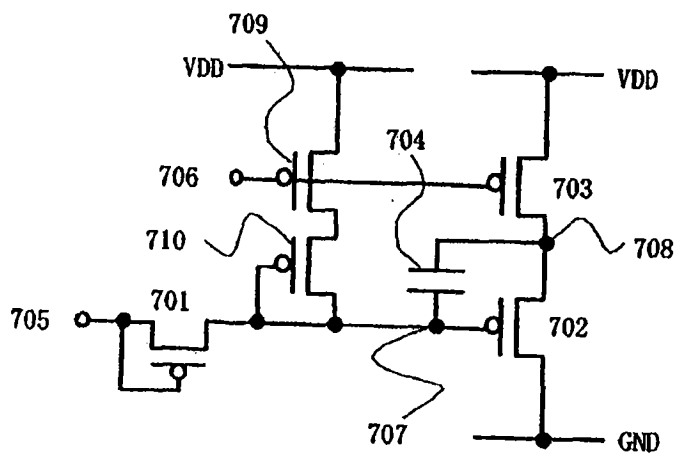


图 7

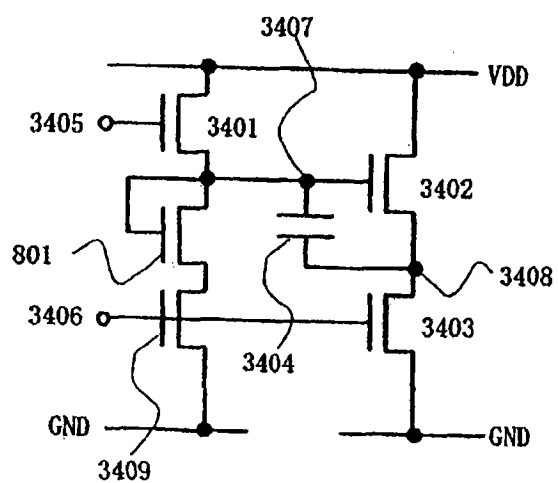
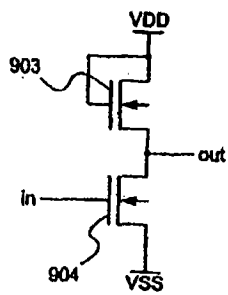
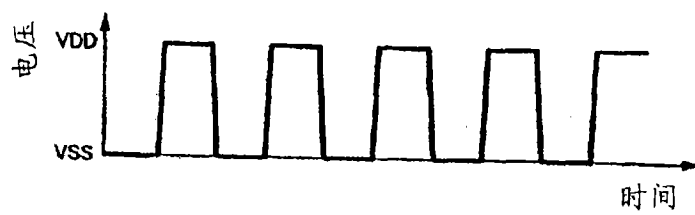


图 8

(A)



(B)



(C)

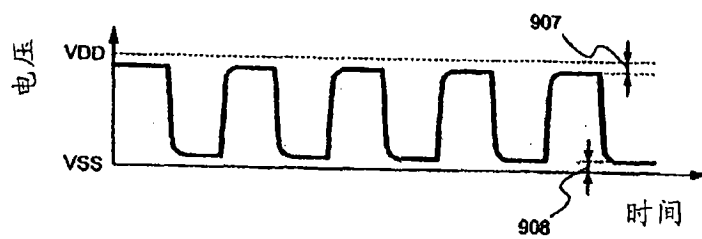


图 9

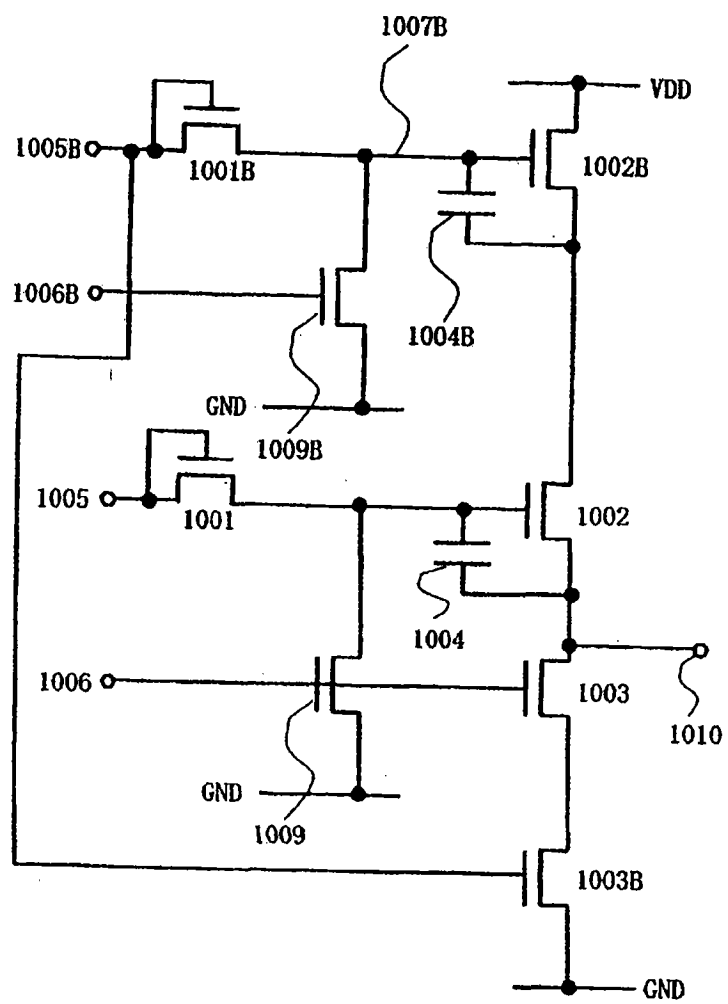


图 10

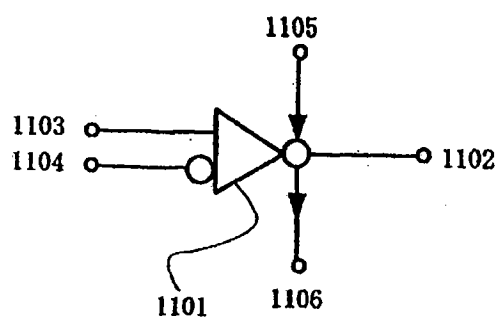
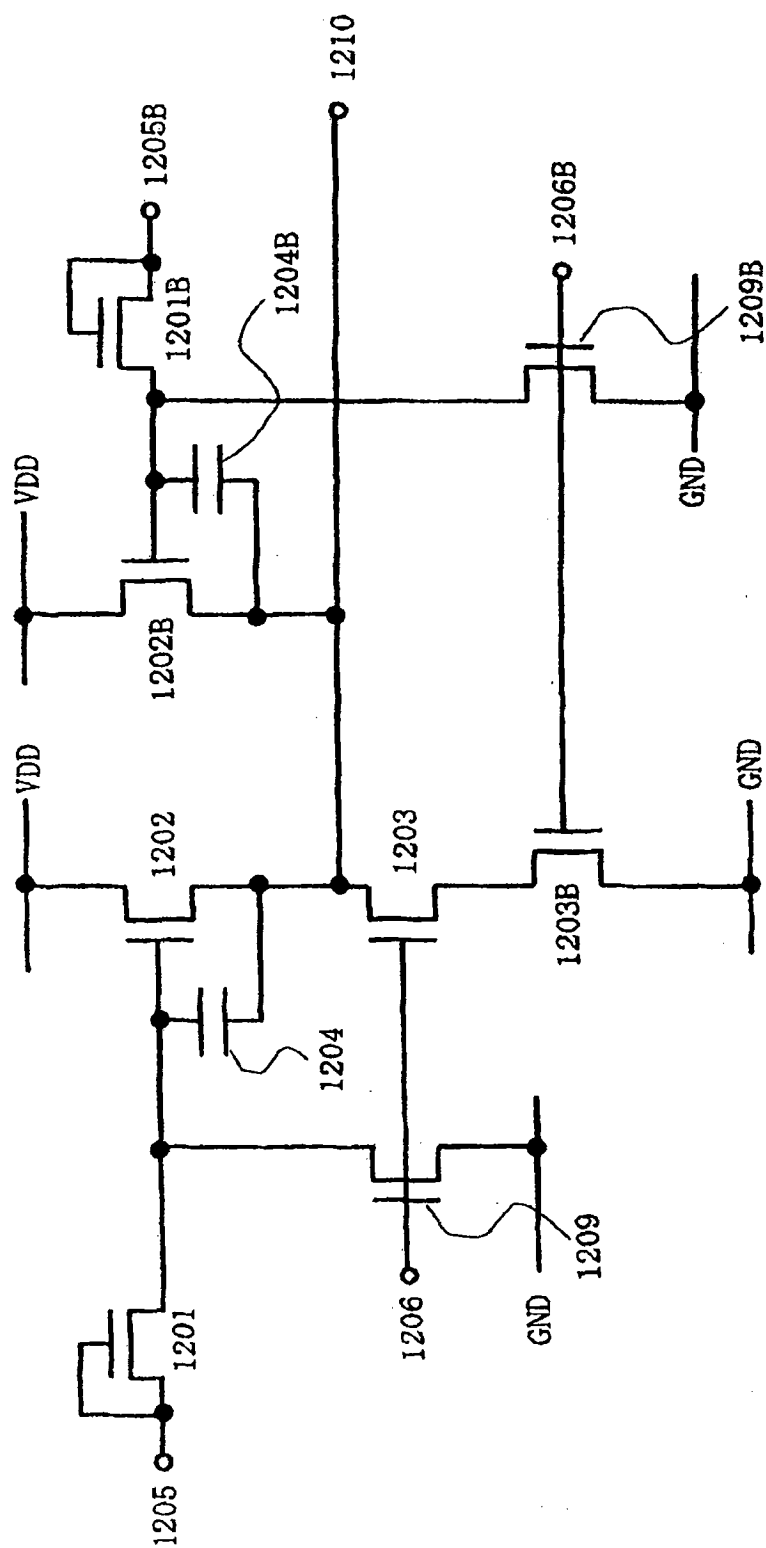


图 11



12

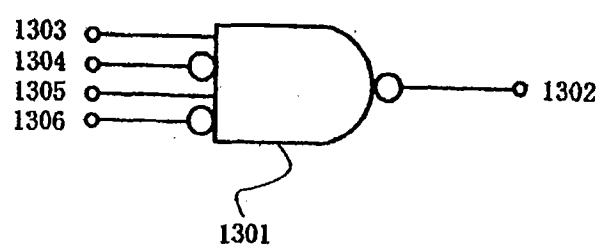
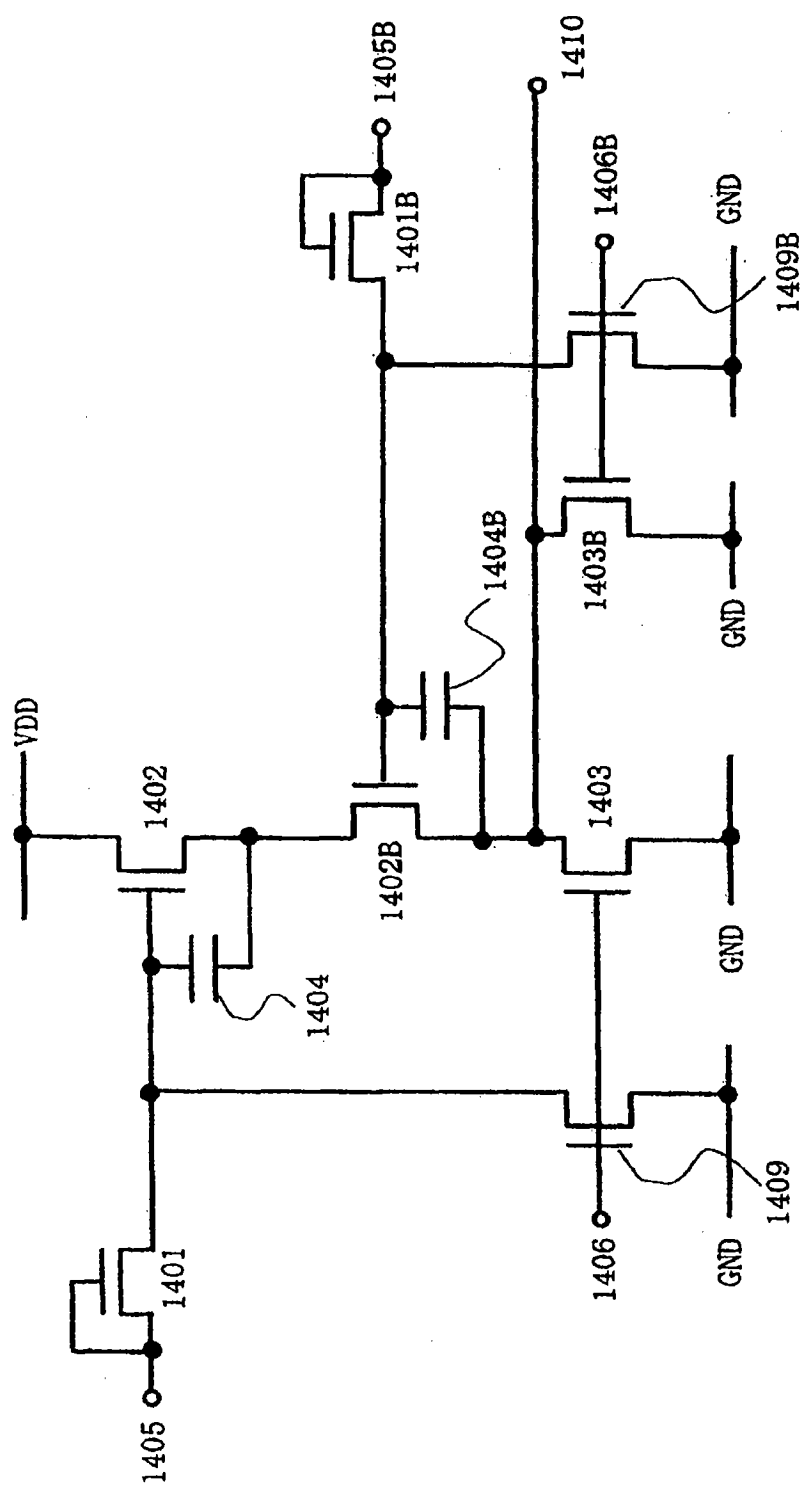


图 13



14

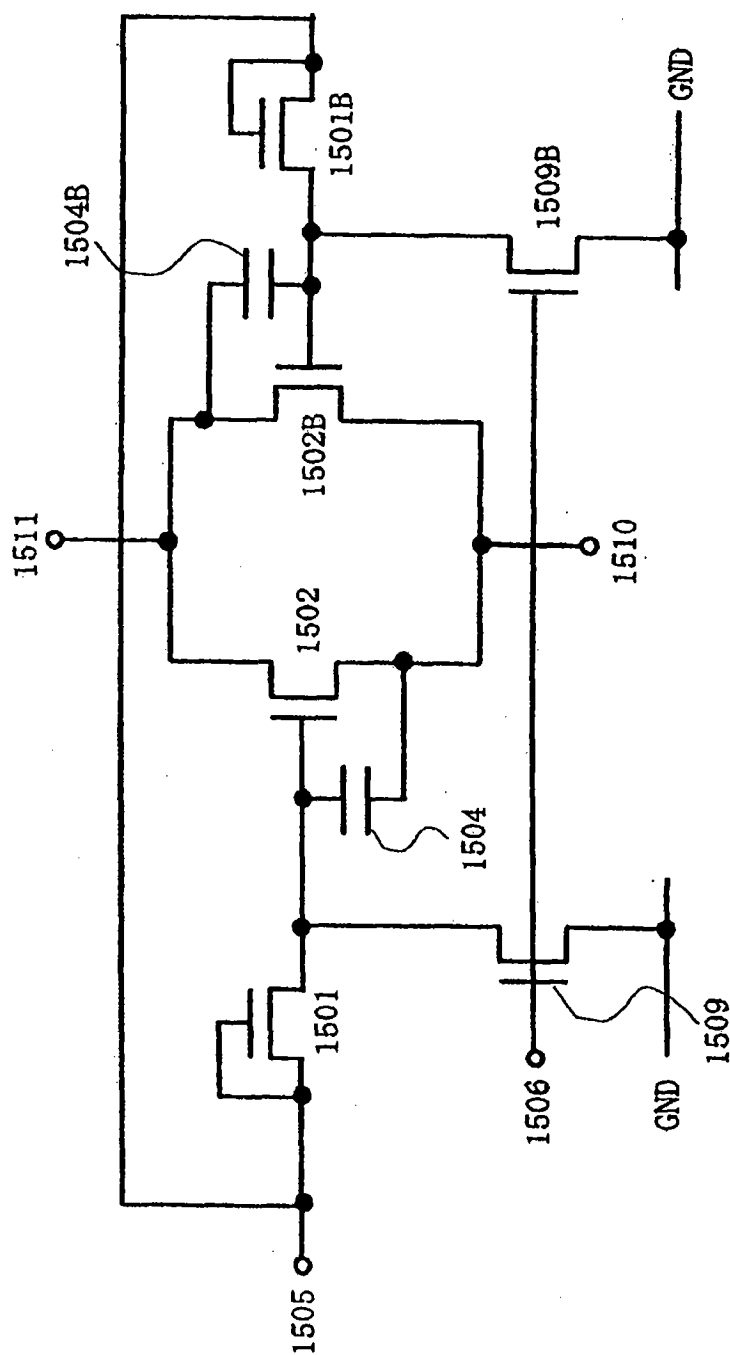


图 15

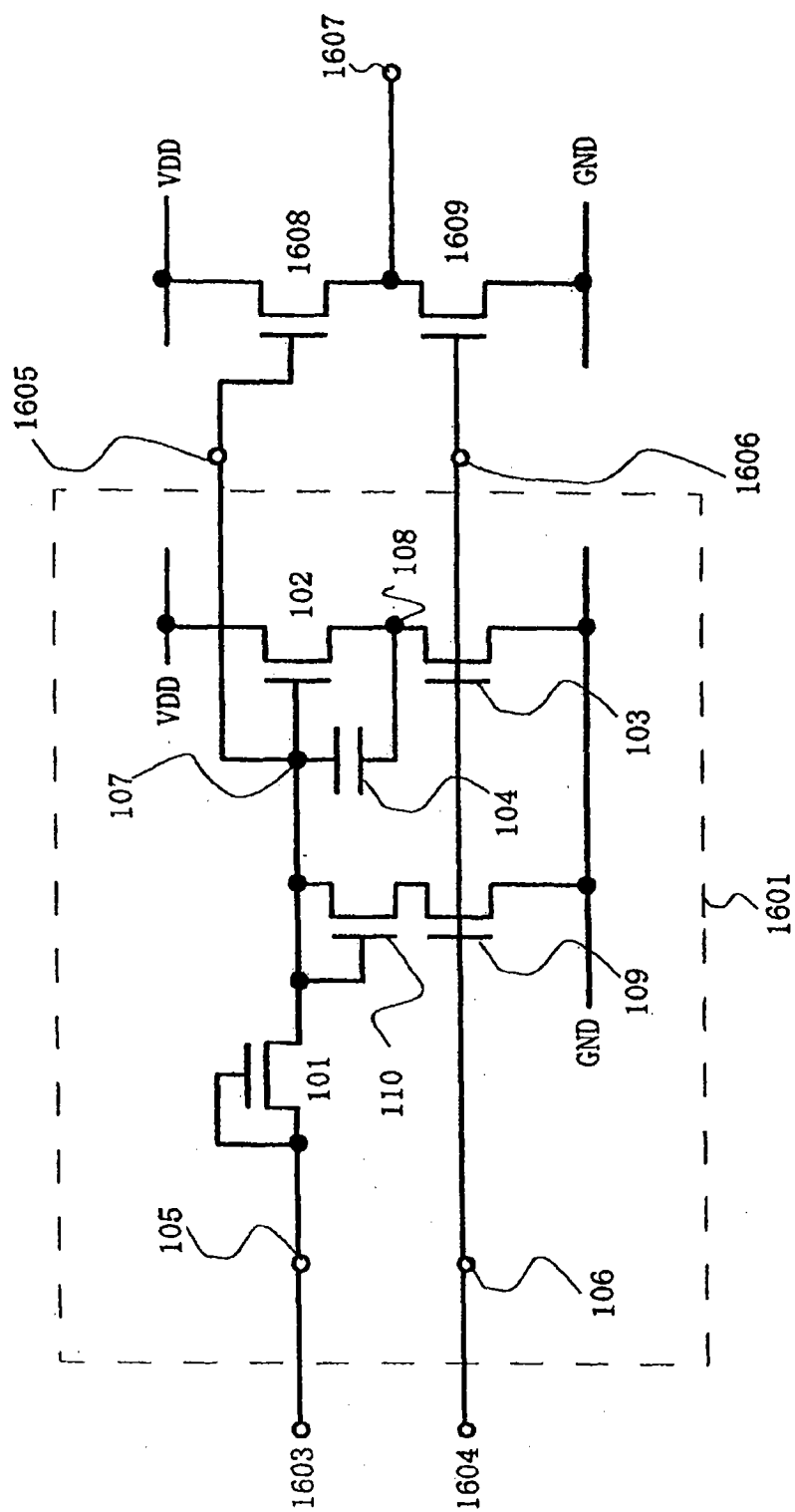


图 16

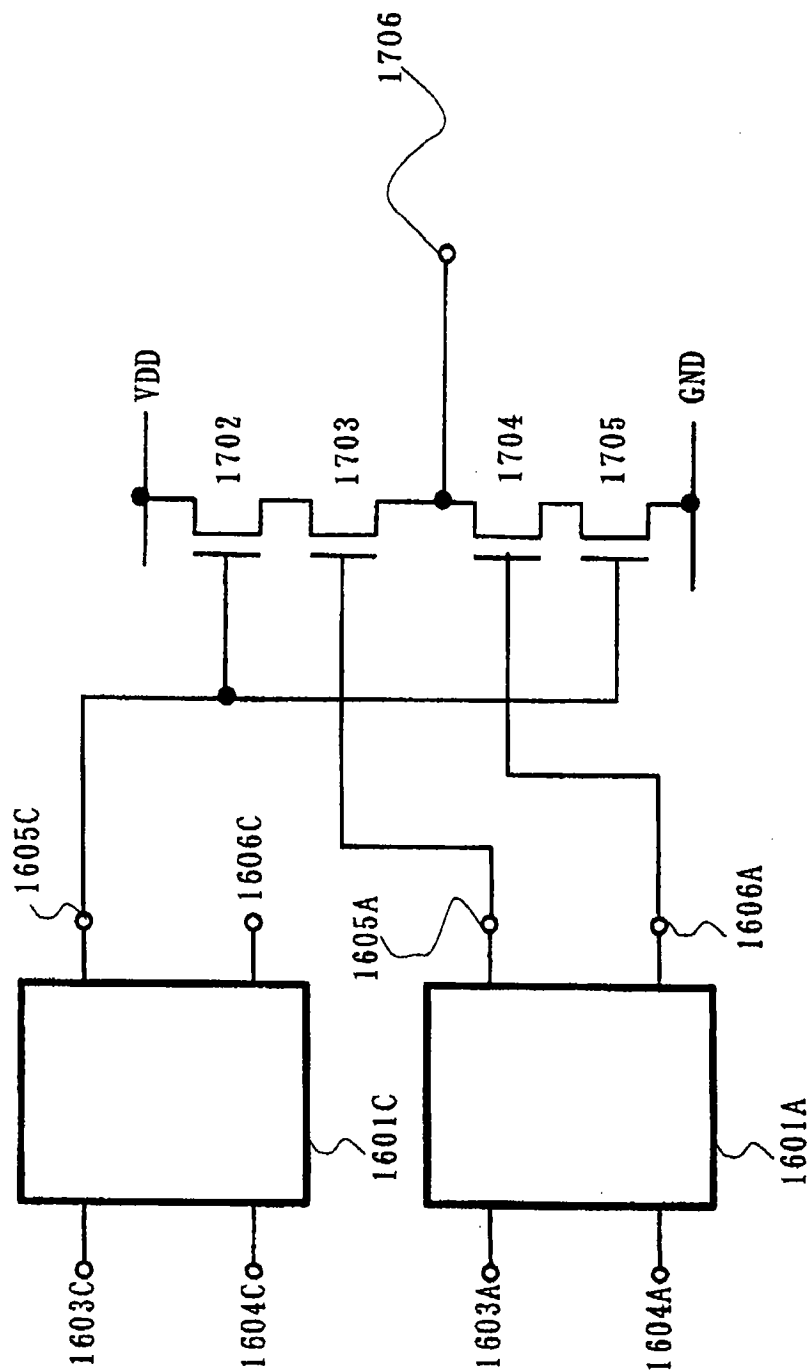


图 17

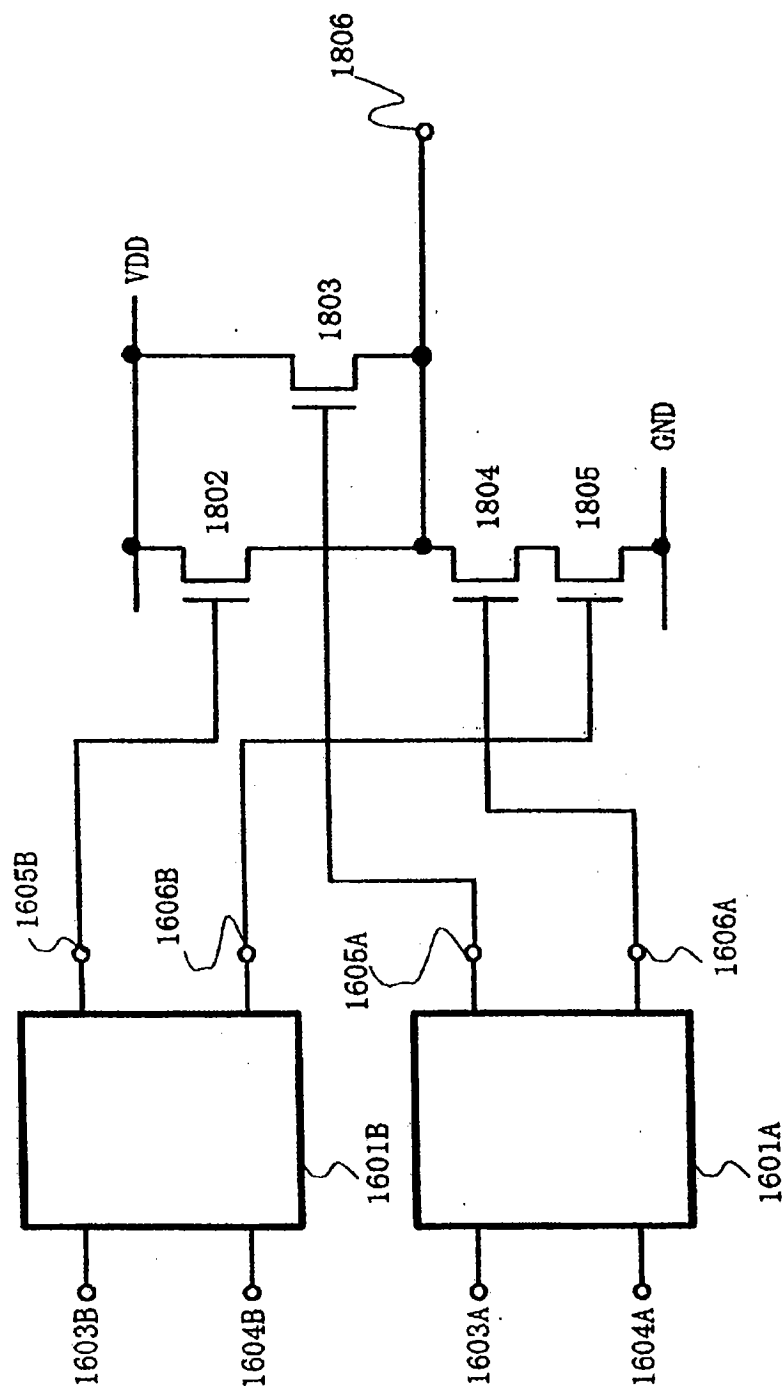


图 18

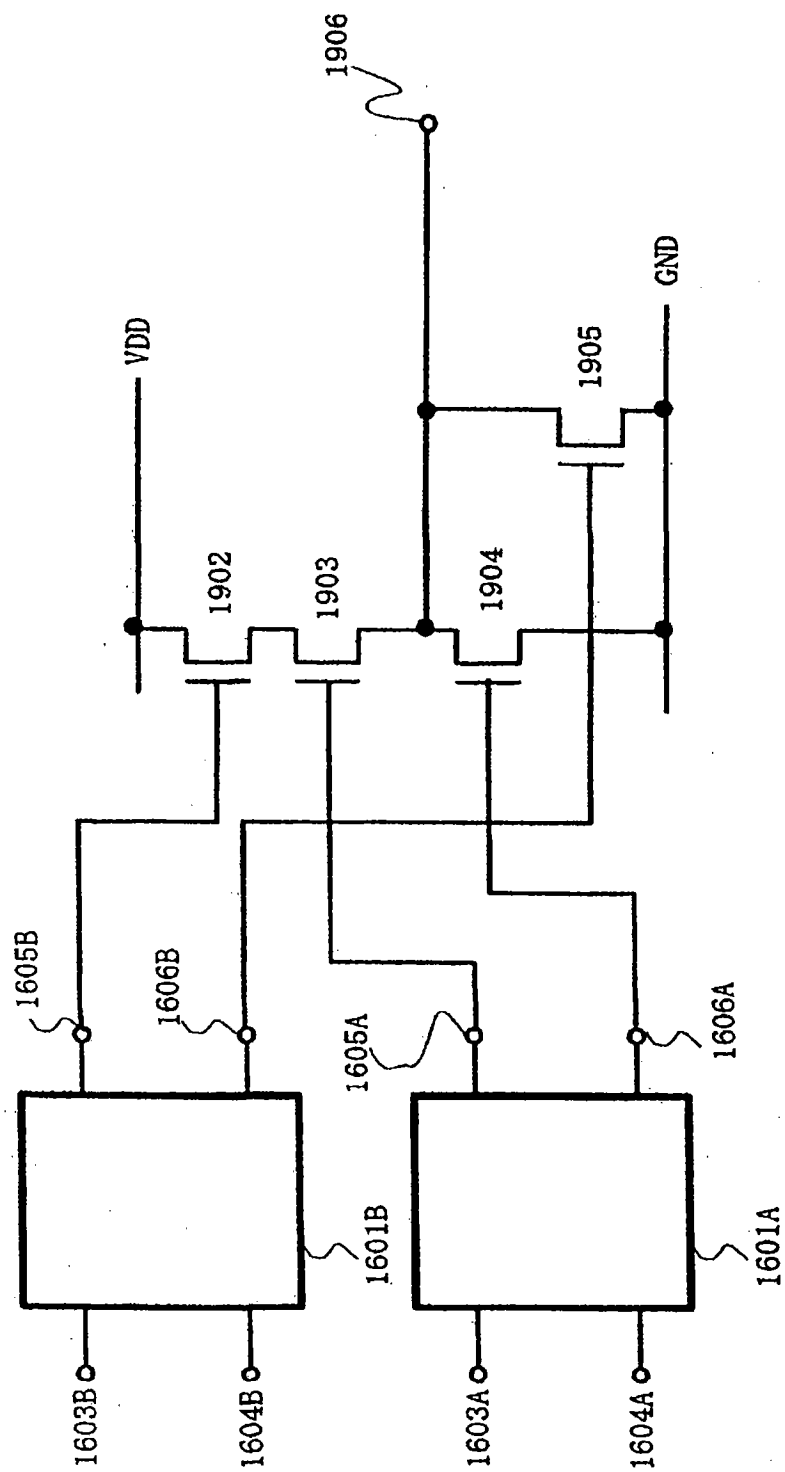


图 19

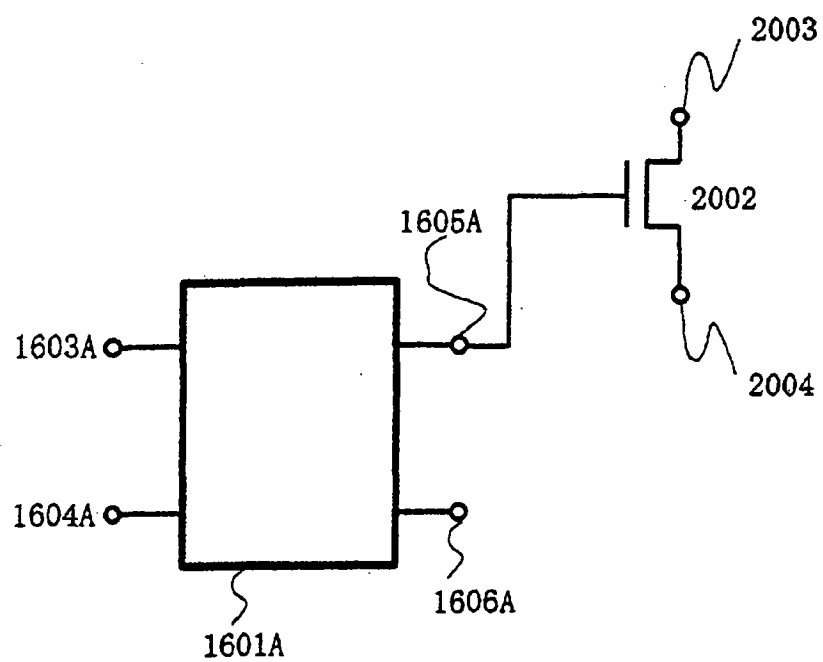


图 20

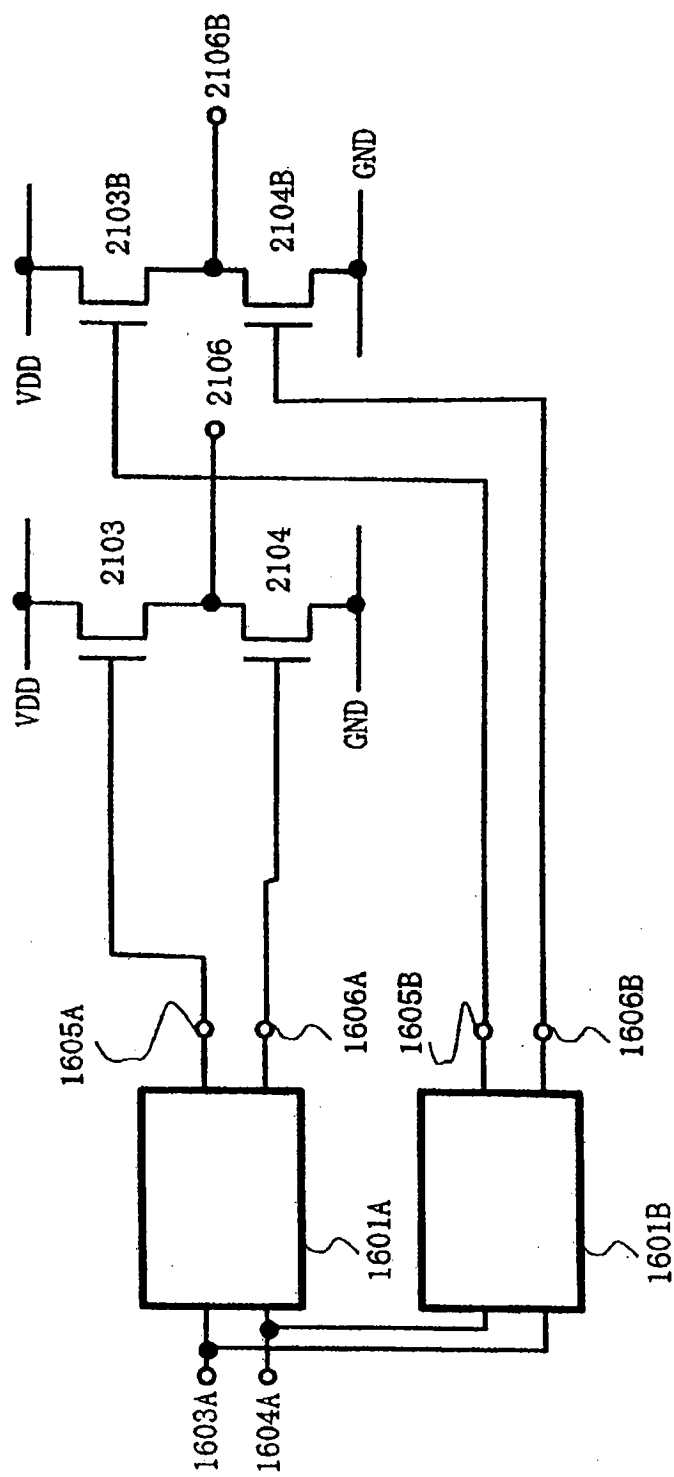


图 21

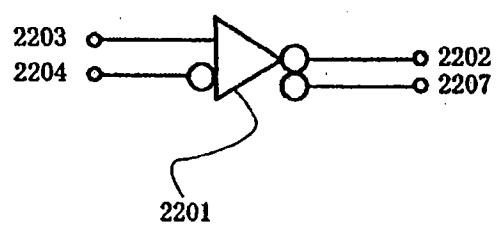


图 22

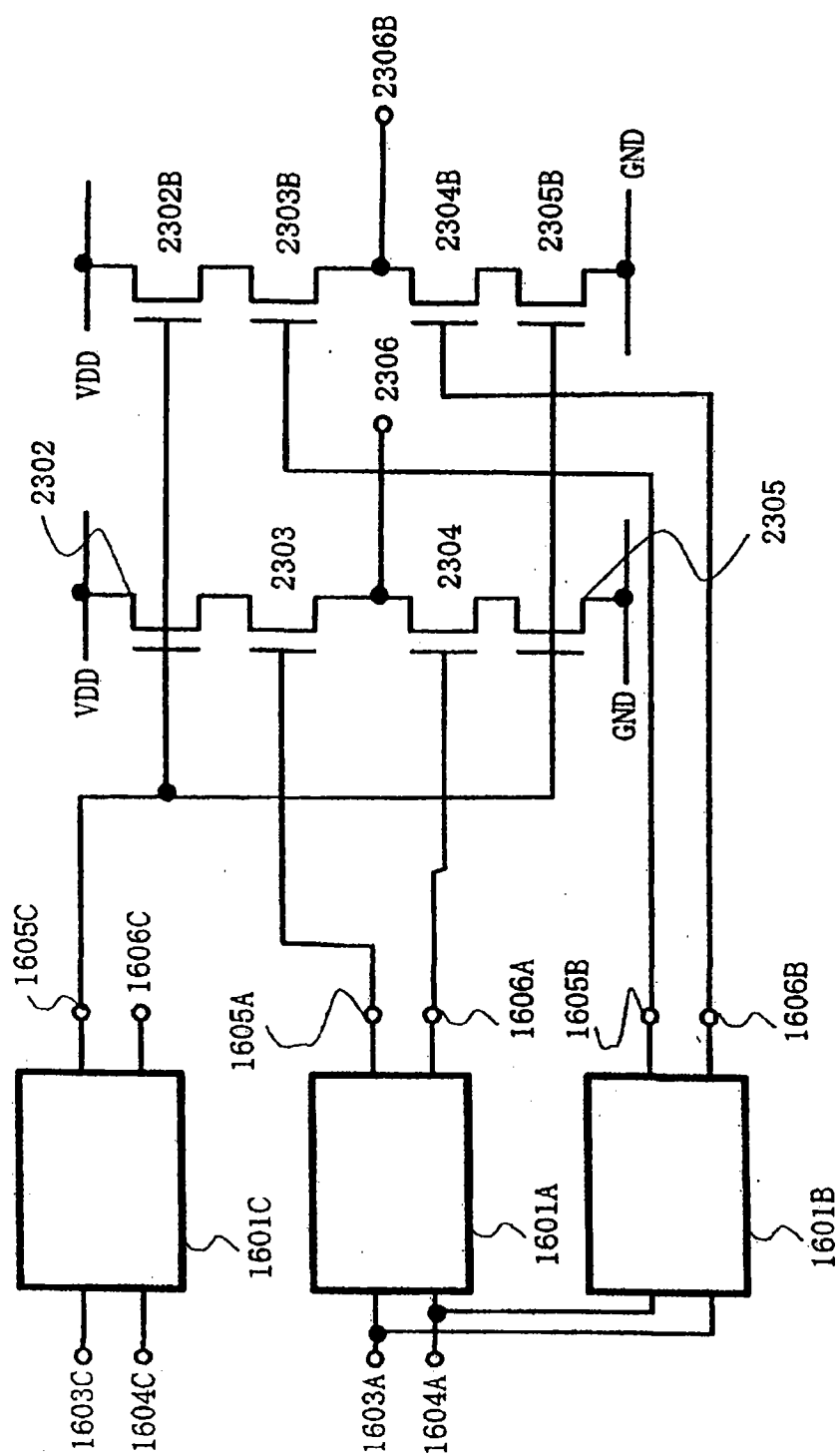


图 23

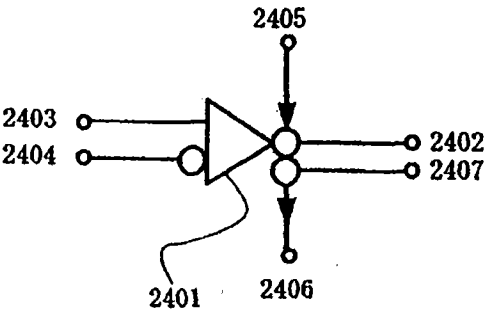


图 24

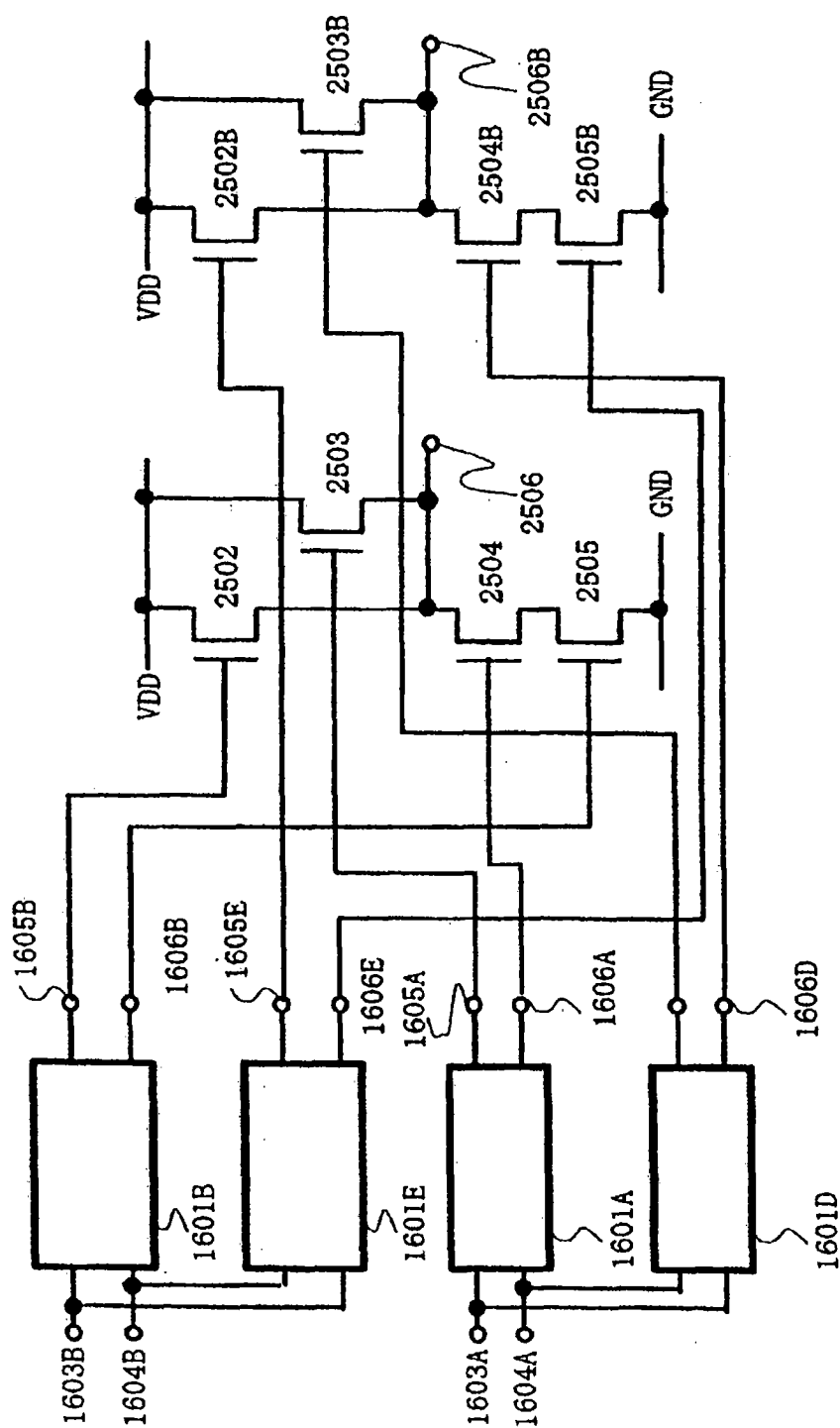


图 25

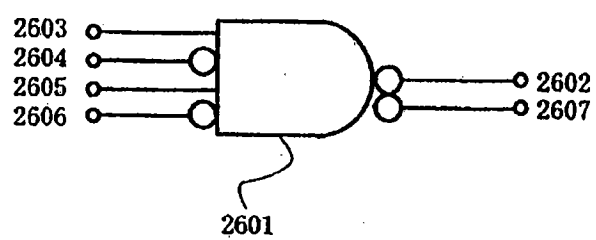
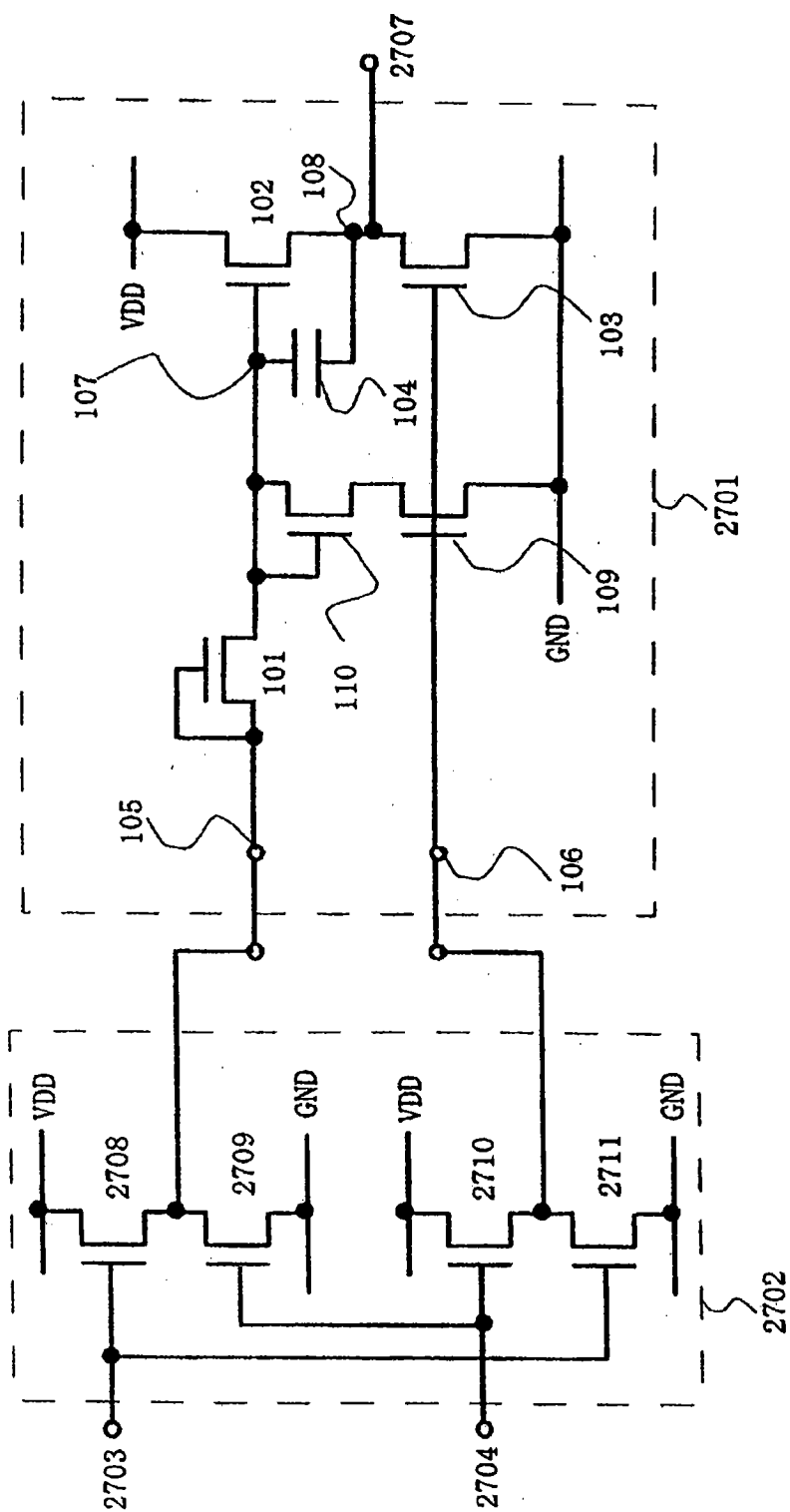


图 26



27

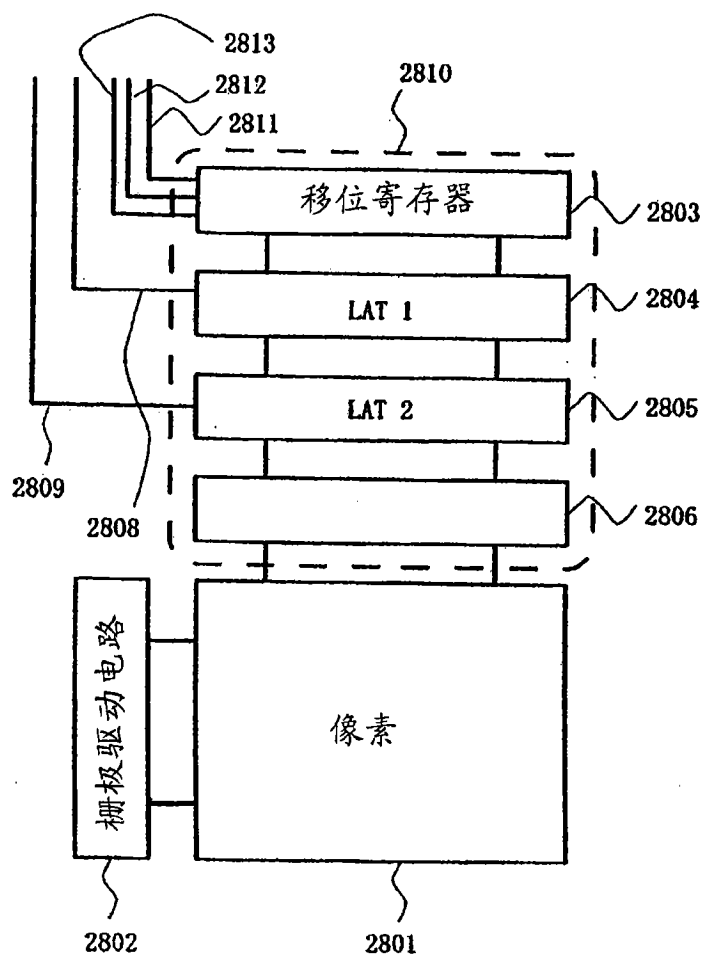


图 28

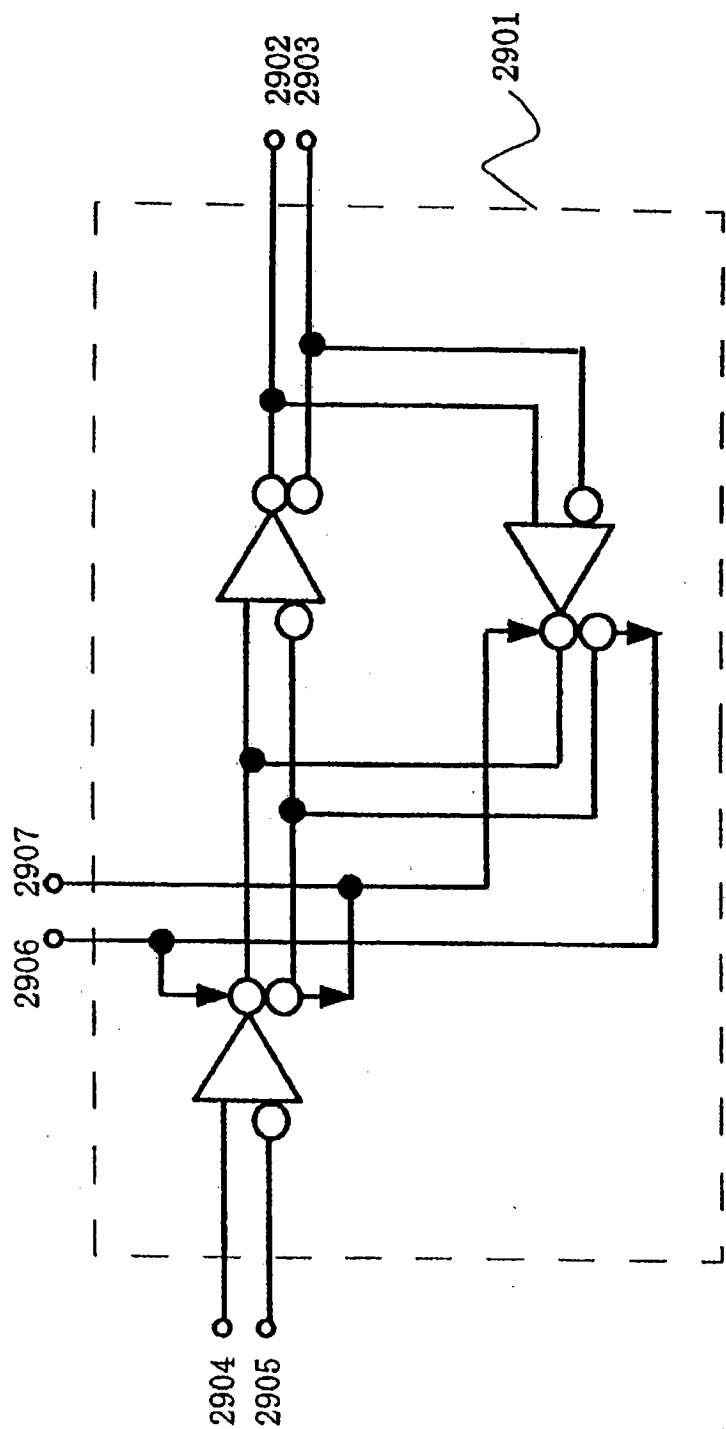


图 29

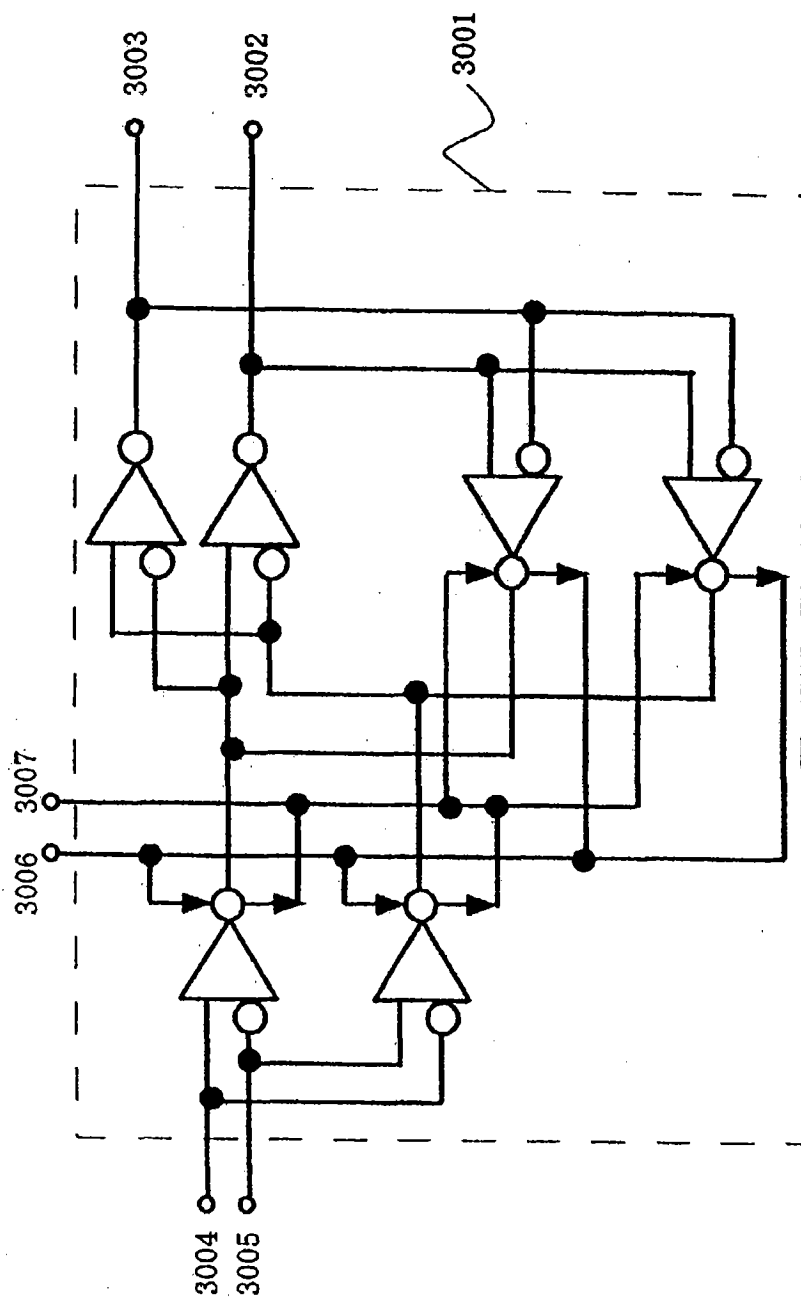


图 30

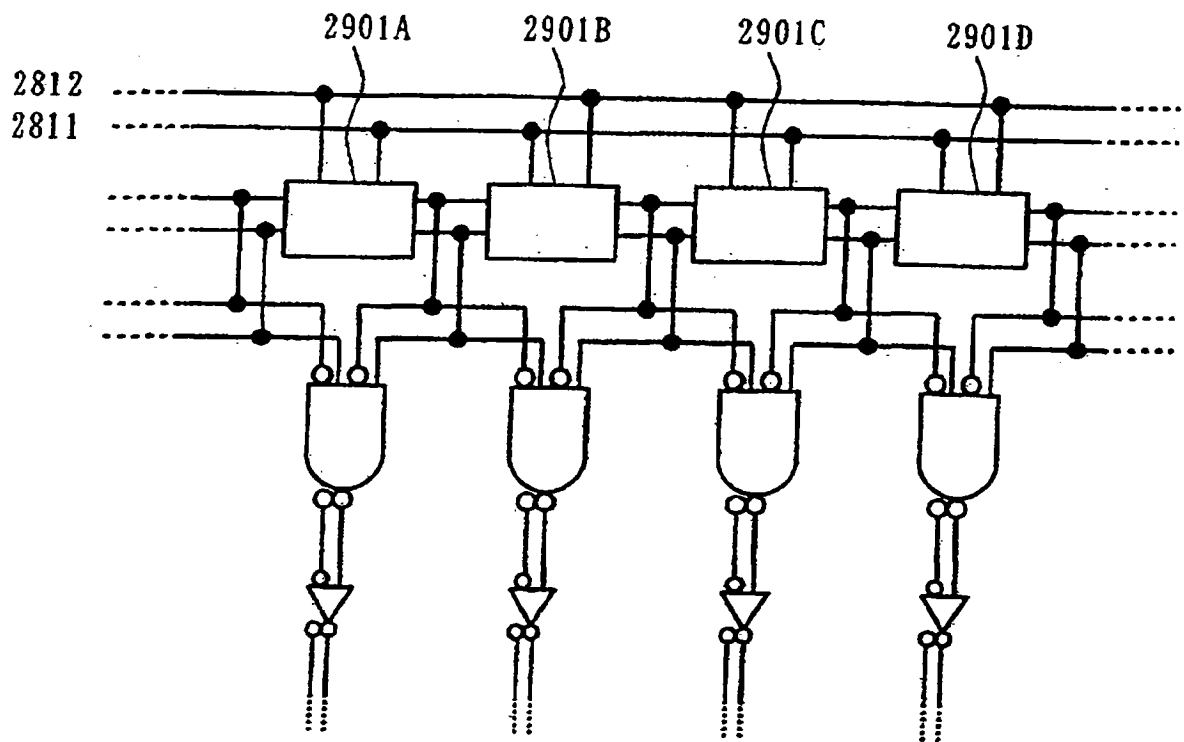


图 31

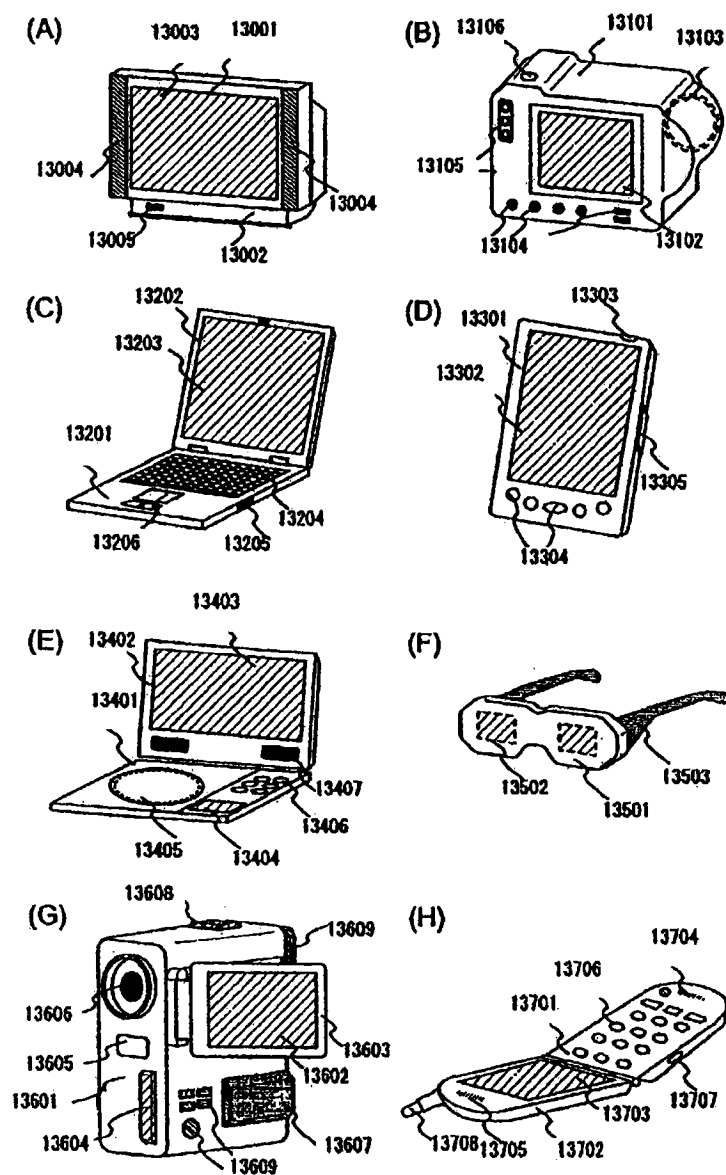


图 32

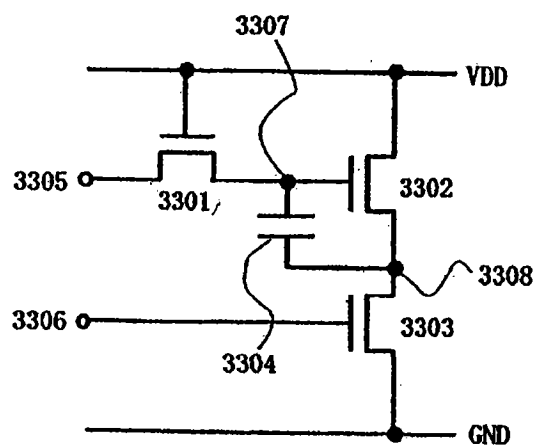


图 33

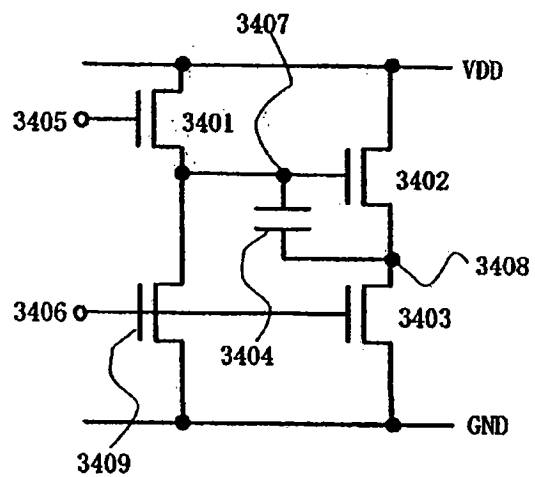


图 34