

(12) 发明专利

(10) 授权公告号 CN 101023494 B

(45) 授权公告日 2010.06.02

(21) 申请号 200580027032.X

(22) 申请日 2005.07.06

(30) 优先权数据

10/886,302 2004.07.06 US

(85) PCT申请进入国家阶段日

2007.02.09

(86) PCT申请的申请数据

PCT/US2005/023887 2005.07.06

(87) PCT申请的公布数据

W02006/014456 EN 2006.02.09

(73) 专利权人 桑迪士克股份有限公司

地址 美国加利福尼亚州

(72) 发明人 罗恩·巴尔齐莱

鲁文·埃尔哈米亚斯

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G11C 11/56(2006.01)

(56) 对比文件

CN 1150493 A, 1997.05.21, 说明书第2页2-7行, 第6页9-11行, 26行至第7页1-7行, 8-15行、图1.

说明书第2页2-7行, 第6页9-11行, 26行至第7页1-7行, 8-15行、图1.

WO 03/040917 A2, 2003.05.15, 图2-5.

CN 1442794 A, 2003.09.17, 全文.

审查员 杭雪蒙

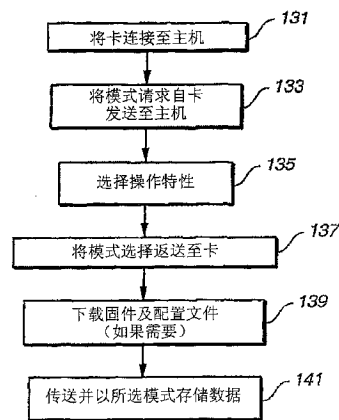
权利要求书 1 页 说明书 12 页 附图 8 页

(54) 发明名称

非易失性存储卡及其操作方法

(57) 摘要

本发明提供一种非易失性存储器系统及操作其的方法,其中在正常情况下在每一存储单元存储元件内编程至少四种状态,从而使每一单元存储至少两个位,但在需要或希望改良编程性能、或延长存储器的一部分的寿命(就可耐受的擦除及编程循环的次数而言)、或者获得某种其他益处时,能够选择性地每一存储元件中存储更少的状态。一实例性实施例是一种其中用户可在两状态与多状态操作之间进行选择的存储卡。



1. 一种可连接至一主机以在其之间传送数据及命令的电子电路卡,其包括:

一非易失性存储器,其包括复数个存储元件,所述复数个存储元件可以二进制模式或以一多状态模式操作,其中在所述二进制模式中所述存储元件中的每个存储元件均恰好存储两种数据状态中一个,在所述多状态模式中所述存储元件中的每个存储元件均存储多于两种数据状态;及

一控制器,其管理所述存储器中数据的存储及存取,其中响应于一来自卡外部的一命令,以所述二进制或所述多状态模式来管理所述存储器,其中所述控制器根据一用于所述二进制模式的第一固件文件及一用于所述多状态模式的第二固件文件来管理所述存储器中数据的存储及存取。

2. 如权利要求 1 所述的电子电路卡,其中在所述数据的所述存储之前,由所述卡所连接到的一主机的用户启动所述外部命令,且其中所述控制器响应于所述外部命令从所述主机下载所述第一及第二固件文件中的一个。

3. 如权利要求 2 所述的电子电路卡,其中所述控制器还响应于所述外部命令从所述主机下载一界定所述第一及第二固件文件中的所述一个的配置文件。

4. 一种操作一包括一非易失性存储器的电子电路卡的方法,所述非易失性存储器可以复数种具有不同操作特性的数据存储模式操作,所述方法包括:

将所述卡连接至一主机;

响应于所述连接,将一模式选择请求从所述卡传输至所述主机;

由所述主机的一用户响应于所述模式选择请求从所述操作特性中进行选择;

将所述用户的模式选择从所述主机传输至所述卡;

将数据从所述主机传送至所述卡并根据对应于所述所选操作特性的所述所选数据存储模式将所述数据存储于其中。

5. 如权利要求 4 所述的方法,其中所述操作特性包括所述非易失性存储器的相对容量。

6. 如权利要求 4 所述的方法,其中所述操作特性包括所述传送数据的相对速度。

7. 如权利要求 4 所述的方法,其进一步包括:

响应于传输所述用户的模式选择且在所述传送数据之前,将一固件文件从所述主机传送到所述卡以根据所述所选数据存储模式对所述卡进行所述操作,其中所述固件文件对应于所述所选数据存储模式来管理所述卡中的数据的数据的所述存储及存取。

8. 如权利要求 7 所述的方法,其进一步包括:

响应于传输所述用户的模式选择且在所述传送数据之前,将一界定所述所传送固件文件的卡操作特性的配置文件从所述主机传送到所述卡。

非易失性存储卡及其操作方法

技术领域

[0001] 本发明大体而言涉及一种非易失性存储器及其操作,且更具体而言,涉及用于选择性地以数量少于多状态存储器能够操作的状态数量来操作一多状态存储器的技术。

背景技术

[0002] 本发明的原理应用于各种类型的非易失性存储器—那些当前现有的非易失性存储器及那些打算使用正开发的新技术的非易失性存储器。然而,本发明的实施方案是参照一其中存储元件为浮动栅极的闪速电可擦可编程只读存储器 (EEPROM) 作为实例来加以说明。

[0003] 在当前的市售产品中,闪速 EEPROM 阵列中的每一浮动栅极存储元件通常通过以二进制模式操作来存储单个数据位,其中将浮动栅极晶体管的两个阈电平范围定义为存储电平。浮动栅极晶体管的阈电平对应于存储于其浮动栅极上的电荷电平的范围。除缩小存储器阵列的尺寸外,在目前的趋势中,还通过在每一浮动栅极晶体管中存储多于一位数据来进一步提高这些存储器阵列的数据存储密度。此是通过为每一浮动栅极晶体管界定多于两个阈电平作为存储状态来实现,目前在市售产品中是包含四个此种状态(每一浮动栅极存储元件 2 个数据位)。还设想出更多的存储状态,例如每一存储元件 16 种状态。每一浮动栅极存储器晶体管均具有一可在其中实际操作该晶体管的特定的阈电压总范围(窗口),且该范围被划分针对其所界定的状态数量加上各状态之间的裕量,以使所述状态能够明显地相互区别。

[0004] 随着每一存储单元中所存储状态数量的增加,对浮动栅极存储元件上所编程的电荷电平的任何偏移的容忍度在降低。由于随着每一存储单元存储元件上所存储状态数量的增加,为每一存储状态所指定的电荷范围必定会变窄且更近地靠在一起,因而必须以提高的精确度来实施编程,且可容许的所存储电荷电平的任何编程后偏移的程度,无论是实际偏移还是视在偏移,均会降低。在对一个单元的状态进行编程及读取时,及在对与该单元存在一定程度电耦合的其他单元(例如那些处于同一列或行中的单元,及那些共享一条线或节点的单元)进行读取、编程及擦除时,可能会扰动存储在该单元中的电荷的实际偏移。

[0005] 由于各存储元件之间存在场耦合,因而所存储的电荷会出现视在偏移。作为集成电路制造技术得到改良的结果,随着存储单元阵列尺寸正在减小,此种耦合的程度必然正在增大。该问题在两组已在不同时刻进行编程的相邻单元之间最为明显。对一组单元进行编程,以向其浮动栅极增加一对应于一组数据的电荷电平。在使用一第二组数据对第二组单元进行编程后,由于第二组浮动栅极上的电荷与第一组相耦合的影响,自第一组单元的浮动栅极读取的电荷电平常常看起来不同于所编程的电荷电平。此称作 Yupin 效应 (Yupin effect),其阐述于美国专利第 5,867,429 号及第 5,930,167 号中,这些专利的全文以引用方式并入本文中。这些专利阐述了使该两组浮动栅极在实体上相互隔离,或者在读取第一组浮动栅极上的电荷时将第二组浮动栅极上电荷的影响考虑在内。此外,第 5,930,167 号专利阐述了仅以两种状态或以减小的裕量来选择性地编程一作为高速缓冲存储器的多状

态存储器中各部分的方法,以便缩短为对数据实施初始编程所需的时间。然后,读取该数据并以多于两种状态或以增大的裕量将其重新编程入存储器内。

[0006] 此种效应存在于各种类型的闪速 EEPROM 单元阵列中。其中一种设计的 NOR 阵列将其存储单元连接于相邻的位(列)线之间并将控制栅极连接至字(行)线。各单独的单元均包含一个浮动栅极晶体管并具有或不具有与其串联形成的一选择晶体管,或包含由单个选择晶体管隔开的两个浮动栅极晶体管。在下列以引用方式全文并入本文中的 SanDisk 公司的美国专利和待决申请案中即提供这些阵列的实例及其在存储系统中的应用:第 5,095,344 号、第 5,172,338 号、第 5,602,987 号、第 5,663,901 号、第 5,430,859 号、第 5,657,332 号、第 5,712,180 号、第 5,890,192 号和第 6,151,248 号专利,及 2000 年 2 月 17 日提出申请的第 09/505,555 号和 2000 年 9 月 22 日提出申请的第 09/667,344 号。

[0007] 其中一种设计的 NAND 阵列具有许多存储单元(例如 8 个、16 个或甚至 32 个),所述存储单元以串联的形式通过两端的选择晶体管连接于一位线与一参考电位之间。字线与不同串联中的单元的控制栅极相连接。这些阵列及其操作的相关实例在下列以引用方式全文并入本文中的美国专利中给出:第 5,570,315 号,第 5,774,397 号及第 6,046,935 号。简要地说,在两个步骤中将来自输入数据中不同逻辑页面的两个数据位编程为各个单元的四种状态之一:首先根据一个数据位将一个单元编程为一种状态,且然后,如果所述数据使得有必要,则根据输入数据的第二位将该单元重新编程为其状态中的另一种状态。

[0008] 增大各单独存储单元的编程状态数量的另一种可能不利的影响是缩短存储单元的寿命(就其可耐受的擦除/编程循环的次数而言)。这是因为在单元中存储多种状态所需的编程精确度更高。由于在反复使用之后陷获于介电质中的电荷以及其他因素,在已使存储单元经历很大次数的循环之后,进行编程可能会耗用更多的时间且更难使用必要的高精确度以多状态形式操作。

发明内容

[0009] 简要且大体地说,本发明提供一种非易失性存储器系统及操作其的方法,其中在正常情况下在每一存储单元存储元件内编程至少四种状态,从而使每一单元存储至少两个位,但在需要或希望改良编程性能、或延长存储器的一部分的寿命(就可耐受的擦除及编程循环的次数而言)、或者获得某种其他益处时,能够选择性地在每一存储元件中存储更少的状态。在正常情况下通过将一存储单元的存储元件编程为至少四个阈电平范围之一而在该单元中提供至少四种状态,所述至少四个阈电平范围在一阈电平操作窗口中相互隔开。作为存储少于正常情况的状态的一实例,当切换至仅存储两种状态时,使用所述至少四个阈电平范围中相互隔开最远的两个。当实施于上面所述的四状态 NAND 型存储器中时,每次将仅来自一个页面的位编程至所述两个相互隔开最大量的阈电平。通过简单地对所选单元省略所述编程第二页面数据位的步骤,在一所选存储单元群组中将编程自四种状态切换至两种状态。

[0010] 本发明的各个方面可实施为一种以可移开方式插入主机系统的一配合插座内的存储卡。更具体而言,本发明的一特定实施例是一种其中可响应于用户命令而以二进制模式或多状态模式存储用户数据的集成电路卡。此使用户能够根据消费者偏好及使用所述卡的应用来选择使单个存储卡用作一高容量卡还是用作一高性能卡。

[0011] 本发明的其他方面、特征、优点及应用包括于下文对实例性实施例的说明中,该说明应结合附图来阅读。

附图说明

- [0012] 图 1 为一将构建的非易失性存储器系统的方块图,其中阐述本发明的各个方面;
- [0013] 图 2 图解说明图 1 所示存储器阵列当为 NAND 型时的现有电路及组织;
- [0014] 图 3 显示一形成于一半导体衬底上的 NAND 型存储器阵列沿一系列的剖面图;
- [0015] 图 4 为图 3 所示存储器阵列沿其剖面 4-4 剖切的剖面图;
- [0016] 图 5 为图 3 所示存储器阵列沿其剖面 5-5 剖切的剖面图;
- [0017] 图 6 提供显示图 2-5 所示 NAND 存储单元阵列的实例性操作电压的表 1;
- [0018] 图 7 图解说明图 2-5 所示 NAND 存储单元阵列的另一特征;
- [0019] 图 8 显示图 2-5 所示 NAND 存储单元阵列当以四种状态操作时的阈电压的实例性现有分布;
- [0020] 图 9 显示一可用于图 2-5 所示存储单元阵列中的实例性编程电压信号;
- [0021] 图 10A 及 10B 为电压阈电平分布,其图解说明一种用于对图 2-5 所示存储单元阵列进行编程的多状态技术;
- [0022] 图 11 复制在增加读取及验证参考电压情况下图 10A 及 10B 所示的多状态电压阈电平分布;及
- [0023] 图 12 显示图 2-5 所示阵列的存储单元当编程为两种状态时的电压阈电平分布;
- [0024] 图 13 为一流程图,其图解说明一实例性存储卡实施例的操作。

具体实施方式

[0025] 非易失性存储器系统实例

[0026] 为提供具体的实例,参照图 1-7 来说明一其中实施本发明各个方面的具体非易失性存储器系统。图 1 为一闪存存储器系统的方块图。包括复数个布置成一矩阵形式的存储单元 M 的存储单元阵列 1 由一列控制电路 2、一行控制电路 3、一 c-源极控制电路 4 及一 c-p-井控制电路 5 来控制。列控制电路 2 连接至存储单元阵列 1 的位线 (BL),以用于读取存储于存储单元 (M) 中的数据、在一编程操作期间确定存储单元 (M) 的状态、及控制位线 (BL) 的电位电平以促进编程或禁止编程。行控制电路 3 连接至字线 (WL),以选择其中一条字线 (WL)、施加读取电压、施加与由列控制电路 2 所控制的位线电位电平相组合的编程电压、及施加一与一上面形成有存储单元 (M) 的 p-型区域 (在图 3 中标记为“c-p-井”11) 的电压相耦合的擦除电压。c-源极控制电路 4 控制一连接至存储单元 (M) 的共用源极线 (在图 2 中标记为“c-源极”)。c-p-井控制电路 5 则控制 c-p-井电压。

[0027] 存储于存储单元 (M) 中的数据通过列控制电路 2 读出并经由 I/O 线及一数据输入/输出缓冲器 6 输出至外部 I/O 线。要存储于存储单元中的编程数据经由外部 I/O 线输入至数据输入/输出缓冲器 6,并传送至列控制电路 2。外部 I/O 线连接至一控制器 20。

[0028] 用于控制闪存存储器装置的命令数据输入至一命令接口,该命令接口连接至与控制器 20 相连的外部控制线。命令数据会将所请求的为何种操作通知闪存存储器。输入命令被传送至一状态机 8,状态机 8 控制列控制电路 2、行控制电路 3、c-源极控制电路 4、

c-p-井控制电路 5 及数据输入 / 输出缓冲器 6。状态机 8 可输出闪速存储器的状态数据, 例如 READY/BUSY(准备就绪 / 忙) 或 PASS/FAIL(成功 / 失败)。

[0029] 控制器 20 连接或可连接一主机系统, 例如个人计算机、数字照相机或个人数字助理。是由主机发出命令(例如向存储器阵列 1 存储或自存储器阵列 1 读取数据的命令), 并分别提供或接收该数据。控制器将这些命令转换成可由命令电路 7 解译及执行的命令信号。控制器通常还包含用于将用户数据写入至存储器阵列或自存储器阵列读取用户数据的缓冲存储器。一典型的存储器系统包括一个包含控制器 20 的集成电路芯片 21、及一个或多个分别包含一存储器阵列及相关联控制电路、输入 / 输出电路及状态机电路的集成电路芯片 22。当然, 目前的趋势是将系统的存储器阵列与控制器电路一同集成于一个或多个集成电路芯片上。所述存储器系统可嵌入作为主机系统的一部分, 或者可包含于一可以可移开方式插入主机系统中一配合插座内的存储卡中。此种卡可包含整个存储器系统, 或者可将带有相关联外围电路的控制器及存储器阵列设置于单独的卡中。

[0030] 参照图 2 来说明存储单元阵列 1 的一实例性结构。阐述一 NAND 型闪速 EEPROM 作为一实例。在一具体实例中, 将所述存储单元 (M) 划分成 1, 024 个区块。存储于每一区块中的数据是同时受到擦除。因而, 区块是可同时被擦除的单元数量的最小单位。在每一区块中, 在本实例中, 均有 8, 512 个列, 其划分成偶数列及奇数列。位线也划分成偶数位线 (BL_e) 及奇数位线 (BL_o)。在每一栅极电极处连接至字线 (WL0 至 WL3) 的四个存储单元串联连接形成一 NAND 单元单位。NAND 单元单位的一个端子经由一第一选择晶体管 (S) 连接至对应的位线 (BL)、且另一端子经由一第二选择晶体管 (S) 连接至 c-源极, 所述第一选择晶体管 (S) 的栅极电极耦接至一第一选择栅极线 (SGD), 所述第二选择晶体管 (S) 的栅极电极则耦接至一第二选择栅极线 (SGS)。尽管为简明起见, 在图中显示在每一单元单位中包含四个浮动栅极晶体管, 然而也可使用更大数量的晶体管, 例如 8 个、16 个或者甚至 32 个。

[0031] 在本实例中, 在一用户数据读取及编程操作期间, 同时选择 4, 256 个单元 (M)。所选单元 (M) 具有相同的字线 (WL), 例如 WL2, 并具有相同种类的位线 (BL), 例如偶数位线 BL_e0 至 BL_e4255。因此, 可同时读取或编程 532 个字节的数据。同时受到读取或编程的这 532B 的数据在逻辑上形成一“页面”。因此, 一个区块可存储至少八个逻辑页面。当每一存储单元 (M) 存储两位数据时(即为一多电平存储单元), 在每一单元存储两位的情况下, 一个区块存储 16 个页面。在本实施例中, 每一存储单元的存储元件(在本实例中为每一存储单元的浮动栅极)存储两位用户数据。

[0032] 图 3 显示一在图 2 中所示意性显示的类型的 NAND 单元单位沿位线 (BL) 方向的剖面图。在一 p 型半导体衬底 9 的表面上, 形成有一 p 型区域 c-p-井 11, 所述 c-p-井由一 n 型区域 10 围绕以使所述 c-p-井与所述 p 型衬底电绝缘。n 型区域 10 经由一第一接触孔 (CB) 及一 n 型扩散层 12 连接至一由一第一金属 M0 制成的 c-p-井线。p 型区域 c-p-井 11 也经由第一接触孔 (CB) 及一 p 型扩散层 13 连接至所述 c-p-井线。所述 c-p-井线连接至 c-p-井控制电路 5(图 1)。

[0033] 每一存储单元均具有: 一浮动栅极 (FG), 其存储一对应于所述单元中所存储数据的电荷量; 形成栅极电极的字线 (WL); 及由 p 型扩散层 12 制成的漏极电极和源极电极。浮动栅极 (FG) 通过一穿隧氧化物薄膜 (14) 形成于所述 c-p-井的表面上。字线 (WL) 通过一绝缘薄膜 (15) 堆叠于所述浮动栅极 (FG) 上。源极电极经由第二选择晶体管 (S) 及第一接

触孔 (CB) 连接至由第一金属 (M0) 制成的共用源极线 (c-源极)。所述共用源极线连接至 c-源极控制电路 (4)。漏极电极经由所述第一选择晶体管 (S)、所述第一接触孔 (CB)、一由第一金属 (M0) 制成的中间布线、及一第二接触孔 (V1) 连接至由一第二金属 (M1) 制成的位线 (BL)。所述位线连接至行控制电路 (2)。

[0034] 图 4 及 5 分别显示一存储单元 (图 3 中的剖面 4-4) 及一选择晶体管 (图 3 中的剖面 5-5) 沿字线 (WL2) 方向的剖面图。每一列均通过一形成于衬底中并填充有隔离材料的沟槽与相邻列相隔离,此称作浅沟槽隔离 (STI)。各浮动栅极 (FG) 通过 STI 及绝缘薄膜 15 以及字线 (WL) 而相互隔离。目前,浮动栅极 (FG) 之间的空间正在变得小于 $0.1 \mu\text{m}$,且浮动栅极之间的容性耦合一直在增大。由于选择晶体管 (S) 的栅极电极 (SG) 是与浮动栅极 (FG) 和字线 (WL) 在相同的形成工艺步骤中形成,因而其显示一堆叠的栅极结构。这两条选择栅极线 (SG) 在线的末端处并联。

[0035] 图 6 中的表 I 归纳了在一具体实例中所施加的用于操作存储单元阵列 1 的电压,其中每一存储单元的浮动栅极存储两位,具有如下状态之一: "11", "10", "01", "00"。该表显示其中选择字线 "WL2" 及位线 "BL_e" 进行读取及编程的情形。通过将 c-p-井升高至一 20V 的擦除电压并将一所选区块的各字线 (WL) 接地,可擦除该所选区块的数据。由于未选定区块的所有字线 (WL)、位线 (BL)、选择线 (SG) 及 c-源极均被置于浮动状态,因而所述字线 (WL)、位线 (BL)、选择线 (SG) 及 c-源极因与 c-p-井进行容性耦合而也升高至接近 20V。因此,强电场仅施加至所选存储单元 (M) 的穿隧氧化物薄膜 14 (图 4 及 5),且当一穿隧电流流过穿隧氧化物薄膜 14 时,所选存储单元的数据被擦除。在本实例中,被擦除的单元为四种可能的编程状态之一,即 "11"。

[0036] 为在一编程操作期间在浮动栅极 (FG) 中存储电子,将所选字线 WL2 连接至一编程脉冲 V_{pgm} 并将所选位线 BL_e 接地。另一方面,为禁止对其中将不进行编程的存储单元 (M) 进行编程,将对应的位线 BL_e 以及未选定的位线 BL₀ 连接至一电源的 V_{dd} (例如 3V)。未选定的字线 WL₀、WL₁ 及 WL₃ 连接至 10V,第一选择栅极 (SGD) 连接至 V_{dd},且第二选择栅极 (SGS) 接地。因此,正被编程的存储单元 (M) 的沟道电位被设定为 0V。处于禁止编程状态的沟道电位则升高至约 6V 左右,这是所述沟道电位因与字线 (WL) 进行容性耦合而被上拉的结果。如上文所解释,在编程期间,强电场仅施加至存储单元 (M) 的穿隧氧化物薄膜 14,且穿隧电流以与擦除时相反的方向流过穿隧氧化物薄膜 14,且然后逻辑状态自 "11" 变至其他状态 "10", "01", 或 "00" 之一。

[0037] 在读取及验证操作中,选择栅极 (SGD 及 SGS) 及未选定的字线 (例如 WL₀, WL₁ 及 WL₃) 升高至一 4.5V 的读取通过电压,以使其成为通过门。所选字线 (WL₂) 连接至一电压 - 其电平是针对每一读取及验证操作来加以规定,以便确定所关心存储单元的阈电压是否已达到此电平。例如,在一 READ 10 操作中,将所选字线 WL₂ 接地,以便侦测阈电压是否高于 0V。在该读取情形中,可以说读取电平为 0V。在一 VERIFY01 操作中,将所选字线 WL₂ 连接至 2.4V,以便验证阈电压是否已达到 2.4V。在该验证情形中,可以说验证电平为 2.4V。

[0038] 所选位线 (BL_e) 预充电至一例如 0.7V 的高电平。若阈电压高于所述读取或验证电平,则所关心位线 (BL_e) 的电位电平会因存储单元 (M) 不导通而保持高电平。另一方面,若阈电压低于所述读取或验证电平,则所关心位线 (BL_e) 的电位电平会因存储单元 (M) 导通而降至一例如低于 0.5V 的低电平。关于读取及验证操作的进一步详情将在下文中加以

解释。

[0039] 图 7 显示图 1 所示列控制电路 2 的一部分。每一对位线 (BL_e 及 BL_o) 均耦接至一数据存储部分 16, 数据存储部分 16 包含两个数据存储 (DS1 及 DS2) 寄存器, 每一数据存储寄存器均能够存储一位数据。数据存储部分 16 在读取或验证操作期间检测所选位线 (BL) 的电位电平、并然后以二进制方式存储数据, 并在编程操作中控制位线电压。通过选择 " EVENBL " 信号及 " ODDBL " 信号之一, 数据存储部分 16 选择性地连接至所选位线 (BL)。数据存储部分 16 还耦接至 I/O 线, 以输出所读取数据及存储编程数据。如上文参照图 1 所述, I/O 线连接至数据输入 / 输出缓冲器 6。

[0040] 每一存储元件具有多于两种状态的存储器系统的操作

[0041] 图 8 图解说明当在每一存储单元 (M) 中每一浮动栅极存储元件存储两位数据 (即四种数据状态) 时存储单元阵列 1 的阈电压分布。曲线 25 表示阵列 1 内处于已擦除状态 (" 11 " 数据状态) 的单元的阈电压 V_T (为负阈电压电平) 的分布。图中显示存储有 " 10 " 及 " 00 " 用户数据的存储单元的阈电压分布 26 及 27 分别位于 0V 与 1V 之间及 1V 与 2V 之间。曲线 28 显示已被编程至 " 01 " 数据状态的单元的分布, " 01 " 数据状态是最高阈电压电平, 其设定为高于 2V 且小于 4.5V 的读取通过电压。

[0042] 在本实例中, 存储于单个存储单元 (M) 中的两个位中的每一位均来自一不同的逻辑页面。换句话说, 存储于每一存储单元中的这两个位中的每一位均载送一不同于另一位逻辑页面地址。当输入一下部页面地址 (= 0, 2, 4, ..., 16, 382) 时, 存取图 8 中所示的右侧位。当输入一上部页面地址 (= 1, 3, 5, ..., 16, 383) 时, 存取左侧位。

[0043] 为提供改良的可靠性, 使各个分布收紧 (分布缩窄) 更佳, 因为分布变紧会使读取裕量 (其间的距离) 变宽。根据本发明, 分布宽度变紧, 而编程速度并未显著降低。

[0044] 根据 "用于多电平 NAND EEPROM 的快速且精确的编程方法 (Fast and Accurate Programming Method for Multi-level NAND EEPROMs)" (1995 年 VLSI 技术研讨会文摘, 第 129-130 页) 一文, 原则上, 为将一分布限制至 0.2V 的宽度, 要求在各步骤间使通常的重复性编程脉冲递增 0.2V, 该文章以引用方式并入本文中。为将所述分布收紧于 0.05V 宽以内, 需要按 0.05V 步长增大的脉冲。为以如此小的编程电压步长增量对单元进行编程, 编程时间会增大到 4 倍。然而, 根据下文所述本发明的原理的各个方面, 编程时间的此种显著增大并非是为减小阈电压分布的宽度所必需的。

[0045] 图 9 显示一种现有编程脉冲技术。图中显示一编程电压 V_{pgm} 波形。编程电压 V_{pgm} 被划分成许多个脉冲, 且逐一脉冲地递增 0.2V。在该特定实例中, V_{pgm} 的起始电平为 12V。

[0046] 在各脉冲之间的周期内, 实施验证 (读取) 操作。换句话说, 在每一编程脉冲之间读取每一得到并行编程的单元的编程电平, 以判定其是否等于或大于其正在被编程到的验证电平。如果判定出一给定存储单元的阈电压已超过验证电平, 则通过将该给定单元的串联单元单位所连接至的位线的电压自 0V 升高至 V_{dd} 来移除 V_{pgm} 。然后, 继续对受到并行编程的各单元中的其他单元进行编程, 直至其依次达到其验证电平为止。当在该单元的最末编程脉冲期间阈电压自低于所述验证电平移至于高于所述验证电平时, 阈电压的偏移量等于 0.2V 的 V_{pgm} 步长。因此, 阈电压被控制在一 0.2V 的宽度以内。

[0047] 图 10A 及 10B 显示一种在一上述类型的阵列中对一 4 状态 NAND 存储单元进行编程的特定现有技术。在第一遍编程中, 根据来自下部逻辑页面的位来设定该单元的阈电平。

如果该位是“1”，则不实施任何操作，因为其是由于先前已被擦除而处于该状态中。然而，如果该位是“0”，则将所述单元的电平升高至第一编程状态 34。由此结束第一遍编程。

[0048] 在第二遍编程中，根据存储于所述单元中的来自上部逻辑页面的位，设定所述单元的阈电平。如果为“1”，则不进行编程，因为所述单元处于状态 33 或状态 34 之一中 - 此视下部页面位的编程而定，二者均载送一上部页面位“1”。然而，如果上部页面位为“0”，则对所述单元实施第二次编程。如果所述第一遍的结果使所述单元保持于被擦除状态 33 中，则如图 10B 中的上部箭头所示将所述单元自该状态编程至最高状态 36。然而，如果作为第一遍编程的结果，已将所述单元编程至状态 34，则如图 10B 中的下部箭头所示在第二遍中将所述单元自该状态进一步编程至状态 35。第二遍的结果是在不改变第一遍编程的结果的情况下将所述单元编程至指定用于存储来自上部页面的“0”的状态。

[0049] 当然，如果存储器以多于四种状态操作，则在存储单元的所规定电压阈值窗口内将存在与状态数量相等的分布数量。进一步，尽管已为每一分布分配了特定的位图案，然而还可如此分配不同的位图案 - 在此种情形中，各个状态（在中间进行编程）可不同于在图 10A 及 10B 中所示的状态。在前面在“背景技术”中所提及的专利中针对 NAND 系统论述了几种此种变化形式。此外，用于在 NAND 型及以多种状态操作的其他类型存储器阵列中降低 Yupin 效应的后果的技术阐述于由 Jian Chen, Tomoharu Tanaka, Yupin Fong 及 Khandker N. Quader 于 2001 年 6 月 27 日提出申请且名称为“用于降低以多种数据状态操作的非易失性存储器中各存储元件之间耦合的影响的操作技术 (Operating Techniques for Reducing Effects of Coupling Between Storage Elements of a Non-Volatile Memory Operated in Multiple Data States)”的第 09/893, 277 号美国申请案中。该申请案也以引用方式全文并入本文中。

[0050] 图 11 图解说明用于读取每一个单元以便判定所述单元处于这四种阈值状态中哪一种阈值状态的电压。电压 V_{V10} 、 V_{V00} 及 V_{V01} 是参考电压，其在编程期间分别用于读取存储单元的 10、00 及 01 存储状态以便验证其状态。此种验证通常是在各重复的编程脉冲之间进行。如图所示，所得到的编程分布分别具有这些编程 - 验证电压中与所述分布的下边缘重合的一个编程 - 验证电压。

[0051] 大体位于各分布 33-36 中相邻分布之间中间位置处的电压 0, V_{R00} 及 V_{R01} 用于自存储单元阵列读取数据。这些电压为阈电压，所读取的每一个单元的阈电压状态即与其相比较。这是通过将自存储单元测量的电流或电压分别与参考电流或电压进行比较来实现。在这些读取电压与所编程阈电压分布之间存在裕量，因此如上文所述允许所述分布因扰动及类似原因而存在一定的扩展，只要所述分布不与读取电压 0, V_{R00} 及 V_{R01} 中的任一个重叠即可。然而，随着存储状态分布的数量的增大，此种裕量减小且因此较佳以更高的精确度实施编程，以便防止此种扩展。

[0052] 每一存储元件具有两种状态的存储器系统的操作

[0053] 图 12 图解说明上文所述多状态存储器的两状态操作。仅对图 10 及 11 中所示的前两种状态 33 及 36 进行编程，其在图 12 中分别标记为 33' 及 36'。如果要存储于一个单元中的一个数据位是“1”，则在一编程操作期间不对该单元采取任何措施。其阈电平保持处于被擦除阈电平分布 33' 内。然而，如果要存储于所述单元中的数据位是“0”，则以图 9 中所示的方式对所述单元进行编程，以将其阈电平移至分布 36' 内。这是以与如图 10B 中

所示当将一上部页面位“0”自被擦除状态 33 编程至编程状态 36 时相同的方式来进行。参考电压 V_{v01} 用于以与多状态情形中相同的方式对编程进行验证。此种技术的一个优点在于，其非常易于在根据上面所述的技术以多种状态对存储器的大部分进行编程的同时，以两种状态对某些单元进行编程。或者，制造一种如下存储器集成电路芯片：其可通过熔丝或状态机 8 内的固件设定值设定成以多状态或两状态形式操作整个存储单元阵列。当以两种状态进行操作时的编程保持与当以多于两种状态进行操作时的编程相同，只是当仅以两种状态进行操作时省略了对下部页面的编程。

[0054] 对各单独单元的读取是使用参考电压 V_{r00} 来判定其阈值状态是处于被擦除分布 33' 还是编程分布 36' 内。此不同于多状态读取 - 在多状态读取中，是使用 0 伏的较低参考电压与较高参考电压 V_{r01} (图 11) 来判定一单元是否被编程至状态 33 或 36 之一。由于在两状态操作 (图 12) 中没有数据被编程至多状态分布 34 或 35 (图 11) 内，因而使用大体处于分布 33' 与 36' 中间的非零参考电压 V_{r00} 来读取已以两状态形式进行编程的存储单元。此会使这些分布与所用参考电压之间的裕量比多状态读取操作期间的裕量显著增大。因此，在两状态模式中可容忍这些分布出现更大的扩展及移动 (实际的及视在的两种)。

[0055] 此种技术之一主要优点是降低了因编程、读取及 / 或擦除操作而对一已编程或已擦除单元的电荷电平造成的扰动的的影响。具体而言，使用非零的正值读取阈电平 V_{r00} 来读取数据会提高存储单元对读取扰动的影响的容忍度。我们知道，擦除分布 33' 会因那些单元及相同行中的其他单元受到读取而趋于沿正方向移动。且随着存储单元经历很大次数的擦除 / 编程循环，此种效应会变得更加普遍。在大多数应用中，被擦除状态也是其中一种编程状态。当使用 0 伏作为一阈值断点电平来读取负阈值分布 33' 内的单元时，如参照图 11 所述，该分布随时间出现的正偏移可具有达到 0 伏且甚至变为正值的不利影响。这也可出现于现有的两状态 (二进制) 存储器系统中 - 其中在读取期间使用 0 伏作为存储单元被编程到的两种阈电平之间的断点。但是由于作为使用 V_{r01} 验证电平进行编程的结果，图 12 中的第二编程状态分布 36' 与被擦除分布 33' 隔开一相当大的裕量，因而更高的读取阈值断点 V_{r00} 允许分布 33' 在其所存储状态被误读取之前出现明显更大的正偏移。这是使两状态操作的阈值窗口保持与多状态操作相同的一重要优点。

[0056] 使用图 12 所示增大的裕量的另一优点是数据得到保持的时间长度变长。分布 33' 及 36' 可在其数据电平被阈值 V_{r00} 误读取之前偏移一增大的量。随着存储单元所经历的擦除 / 编程循环的次数的增大，此种偏移出现的速率会增大。因此，降低读取扰动及 / 或增强数据保持性也会使存储器的寿命延长。

[0057] 裕量变宽还使两状态情形中每一位的编程远快于多位编程，这是因为不需要使每一被编程单元的最终阈电平包含于此种窄的分布中。可使用更高的 ΔV_{pgm} (图 9) 或更高的绝对电压来缩短对单元进行编程所需的时间，此将致使分布 36' 加宽，而此可通过更高的裕量来容忍。

[0058] 一也以上文所述方式实现二进制运行的多状态存储器架构具有许多用途。可将存储器系统中的几个区块 1 (图 2) 指定用于两状态存储，而其余区块则以多状态存储形式操作。这是在状态机 8 内加以设定，其中在编程及读取期间的存储状态的数量取决于正被编程或读取数据的区块的物理地址、或者与物理地址相关的地址。

[0059] 在一特定应用中，使被最频繁地写入数据的存储单元区块以两状态形式操作，而

不太频繁地被重写的其余区块则以多状态形式操作。被频繁地重写的数据的实例包括一关于其中存储用户数据的存储器区块的表（例如系统文件分配表（FAT））、区块循环计数值及作为操作一闪速 EEPROM 系统的一部分而被存储的其他开销数据。对于所述 FAT 表而言，在那些指定当更新 FAT 表时所要写入的数据量少于当存储用户数据时所要写入的数据量的主机系统中，可容易地识别出 FAT 表的频繁更新。然后，控制器 20（图 1）将此种所识别出的 FAT 表数据指引至一以两种状态形式操作的区块。对于存储单元区块经历计数值及其他此种开销数据而言，控制器 20 知晓此种数据要写入的区块，因此将这些区块的操作设定为两状态形式。至少在某种程度上控制了（如果未完全消除的话）需要过早地更换已达到其耐受极限的区块。

[0060] 本发明的另一应用是在存储器的整个寿命内当将存储器阵列中的至少某些区块自多状态切换至两状态操作变得有利时，实施此种切换。例如，此可对那些所接受的数据重写远多于其他区块的区块动态地进行。另一实例是将当以多状态操作时正接近其耐受极限次数的擦除 / 编程循环的所选区块的操作切换至两状态。尽管所述存储单元的状态可能不能继续进行多状态操作，然而其可在此后根据参照图 12 所述的技术以两状态形式操作。当然，以两种状态存储相同的数据量需要使用的区块的数量为以四种状态存储时的两倍。因此应保持各单独区块或区块群组的擦除 / 编程循环次数的计数值，以便为状态机 8 提供数据来使其据以判定何时将区块自一种操作形式切换至另一种操作形式。在第 5, 043, 940 号美国专利中阐述了将这些计数值保存于所计数的各单独区块中。另一选择为，如在 2000 年 2 月 17 日提出申请的第 09/505, 555 号美国申请案中所述，可将各循环计数值一同保持于不同于所计数的那些区块的区块中。一种产生循环计数值的特定技术阐述于 2000 年 9 月 14 日提出申请的第 09/662, 032 号美国申请案中。前述专利及专利申请案特此以引用方式并入本文中。

[0061] 在上文对本发明特定实例的说明中，多状态操作是包含四种状态。当然，多状态操作可涉及多于四种状态，例如八种或十六种状态，其中与在图 10 及 11 中针对四种状态所示的相比，使阈电压分布窄得多且其间的裕量变小。此外，尽管已阐述一种两状态模式作为一替代模式来提供更大的裕量、延长寿命及提高编程效率，然而所述替代模式也可利用少于在正常操作中所用状态数量的多于两种存储状态。例如，如果正常的多状态操作是编程及读取十六种状态，则可将所述替代模式限制为这些存储状态中相隔最大量的四种存储状态：最低存储状态、最高存储状态及其中间等间距的两种其他状态。

[0062] 介电存储元件的替代应用

[0063] 上文已参照利用导电浮动栅极作为电荷存储元件的存储单元类型对上述闪速 EEPROM 存储单元进行了说明。然而，本发明还可实施于一在各个存储单元中使用一电荷陷获介电质作为存储元件来代替浮动栅极的系统中。所述介电存储元件夹于一导电控制栅极与所述单元的沟道区域内的衬底之间。尽管所述介电质可分隔成与浮动栅极具有相同尺寸及位置的各个元件，然而通常不必如此，因为电荷是由此种介电质局部地陷获。所述电荷陷获介电质可遍布除由选择晶体管或类似物所占据区域以外的整个阵列。

[0064] 在如下技术文章及专利中大体阐述了介电存储元件存储单元，这些文章及专利以引用方式全文并入本文中：Chan 等人所著的“一种真正的单晶体管氧化物 - 氮化物 - 氧化物 EEPROM 装置 (A True Single-Transistor Oxide-Nitride-Oxide EEPROM

Device)”(IEEE Electron Device Letters(IEEE 电子装置通讯),第 EDL-8 卷, No. 3, 1987 年 3 月,第 93-95 页);Nozaki 等人所著的“一种用于半导体盘应用的具有 MONOS 存储单元的 1-Mb EEPROM(A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application)”(IEEE Journal of Solid State Circuits(IEEE 固态电路杂志),第 26 卷, No. 4, 1991 年 4 月,第 497-501 页);Eitan 等人所著的“NROM:一种新颖的局部陷获式 2 位非易失性存储单元 (NROM:A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell)”(IEEE Electron Device Letters(IEEE 电子装置通讯),第 21 卷, No. 11, 2000 年 11 月,第 543-545 页);及第 5,851,881 号美国专利。

[0065] 有两种特定的电荷陷获介电材料及构造适于实际应用。其中一种是一三层式介电质,其具有首先生长于衬底上的二氧化硅、一层沉积于其上的氮化硅及另一层生长及/或沉积于所述氮化硅层上的氧化硅(“ONO”)。第二种替代材料是单层富硅的二氧化硅夹于栅极与半导体衬底表面之间。该后一种材料阐述于如下两篇文章中,这两篇文章以引用方式全文并入本文中:DiMaria 等人所著的“使用富 Si 的 SiO₂ 注入体及一浮动多晶硅存储层的电可改写只读存储器 (Electrically-alterable read-only-memory using Si-rich SiO₂ injectors and a floating polycrystalline silicon storage layer)”(J. Appl. Phys. 52(7), 1981 年 7 月,第 4825-4842 页);Hori 等人所著的“一种用于非易失性存储器应用的具有植入 Si 的栅极-SiO₂ 绝缘体的 MOSFET (A MOSFET with Si-implanted Gate-SiO₂ Insulator for Nonvolatile Memory Applications)”(IEDM 92, 1992 年 4 月,第 469-472 页)。介电存储元件还进一步论述于在 2002 年 10 月 25 日提出申请的第 US10/280,352 号美国专利申请案中,该美国专利申请案以引用方式并入本文中。

[0066] 基于存储卡的实施方案

[0067] 如上文所述,本发明的各个方面可实施为一种可按可移开方式插入主机系统的配合插座内的存储卡。此种卡可包括由控制器芯片 21(图 1)(其中所述控制器根据固件 25 来管理存储器)及可按二进制模式或多状态模式存储数据的存储器芯片 22 构成的整个存储器系统;或者可分别在单独的卡中提供带有相关联外围电路的控制器及存储器阵列。存储器芯片 22 可根据上文所述的实施例或者根据另一允许选择模式的实施例构造而成。

[0068] 更具体而言,本发明的一特定实施例是一种其中可响应于用户命令而以二进制模式或多状态模式存储用户数据的集成电路卡。此使选用所述卡的主机(例如数字照相机)的用户能够根据使用所述卡的应用来选择使单个存储卡用作一高容量卡还是用作一高性能卡。

[0069] 集成电路卡的各个方面阐述于如下文献中:2001 年 8 月 2 日提出申请的第 09/924,185 号美国专利申请案-其以引用方式并入本文中,及其中所引用的参考文献;及 2002 年 11 月 21 日提出申请的第 10/302,009 号美国专利申请案和 2003 年 12 月 9 日提出申请的第 US 10/732,149 号美国专利申请案,这两个美国专利申请案也以引用方式并入本文中。

[0070] 尽管存在使用多状态存储器操作的现有技术存储卡以及使用二进制单元存储单元操作来存储用户数据的现有技术存储卡,然而这些卡不是其中一种类型就是另一种类型。因此,当消费者购买闪速媒体卡时,他们被迫在具有相对较低的性能的高容量卡与具有相对小的容量的较高性能卡之间进行选择。在某些情况下,为作出正确的选择,此将要求消

费者提前知道所述卡将用于的应用。本发明使用户能够自同一卡选择高性能或高容量。

[0071] 例如,考虑能够使存储单元以四状态模式或二进制模式操作的 NAND 型多状态存储器的上述主要实例。通过能够取得高容量卡并使其在容量减半的情况下成为高性能卡,用户具有在高容量与高性能之间进行选取的选择权。因此,单个卡既可用作一比如高密度的 256MB 卡,也可用作一高性能的 128MB 卡,其中由用户根据将如何使用所述卡来作出所述选择。

[0072] 可选择高性能模式来得到一较高的读取 / 写入速度或者提供一具有更佳耐受性的最强健的存储器,因为二进制模式能够实现更大的状态间间隔。且然而,甚至在使用 NAND 型架构的闪速存储器内,为二进制模式选择所述多状态中的哪一对状态可如上文所述来进行或者以其他方式自所述多状态中选取。此外,存储器也可使用其他架构(例如 NAND 型及 AND 型),及采用其他单元类型(例如介电性单元)。

[0073] 在一种变化形式中,用于管理对存储器中数据的存储及存取的固件既能够操纵多电平 NAND 也能够操纵二进制 NAND。在此种选项中,用于这两种模式的固件保持于所述卡上且将不涉及到固件下载,但发给所述卡的一特定命令将决定操作模式。在另一种变化形式中,使用两个单独的固件文件 - 其中一个用于二进制,而另一个则用于多状态。在此种情形中,如果所选模式不对应于所述卡上的当前固件,则使用一固件下载应用程序。该第二种变化形式将通常具有所需固件更为简单的优点,但具有在改变模式时需要改变固件的缺点。

[0074] 图 13 为一流程图,其图解说明一实例性存储卡实施例的操作。所述过程始于在步骤 131 中将所述卡连接至主机上。此时,所述卡可用作一正常的存储卡,除非用户启动一模式改变 - 主动地作出所述改变或者可能因其所插入于的主机而发生所述改变。对于一新的卡而言,其可处于一种缺省模式或者要求作出一初始选择。

[0075] 在步骤 133 中,所述卡通知主机可按多于一种模式操作。用户可随后自对应于不同操作模式的各种相对性能准则中进行选取。

[0076] 消费者随后在步骤 135 中作出对操作特性的选择,且在步骤 137 中通过由主机发出一命令而将对应的所选模式传送至所述卡。如果所述卡早已具有存储于存储器中的用户数据,则此将通常会在重新配置存储器时造成数据的丢失,除非将所述数据暂时传送至主机并随后在新模式中重写所述数据。所述选择同样可由用户主动地发起或者由根据应用决定的主机间接地发起。例如,对于一快速写入装置(例如数字录像机),可选择高性能模式,而静止图片则可以高密度模式加以存储以提高所述卡可容纳的图片数量。

[0077] 在步骤 139 中,如果需要,则将适当的一组固件自主机加载至控制器中。例如,如果存储器此前已处于二进制模式且只能处理二进制模式的固件被切换至多状态,则将下载多状态固件,反之亦然。如果需要,此时还加载一界定固件及操作特性的配置文件。如果固件可处理这两种模式,则仅需要步骤 135 的命令且跳过步骤 139。

[0078] 此时,可在步骤 141 中传送用户数据并以所选模式加以存储。然后,将由控制器以一种对主机透明的方式以所选模式管理及存取所述数据。除发出命令及如果需要则传送适当的固件以外,所述过程及后续操作均类似地对主机透明。所述卡一旦针对所选模式进行格式化,其便可按此种模式与任何其他主机一起使用。

[0079] 上文说明已阐述了其中存储器可按第一种高容量二进制模式或第二种高性能多状态模式操作的实例。更一般而言,可存在更多种模式。例如,如果存储单元可分别存储四

位,则可存在一种每一单元具有四位的高容量模式及一高性能二进制模式、且也可存在一每一单元使用两位的中间模式。通过此种方式,如果在高容量模式不具有足以满足应用的性能时所述中间模式具有足以满足应用的性能,则此将使用户能够采用所述中间模式而非二进制模式及其相对更小的容量。

[0080] 涉及一种具有二进制模式及多状态模式的存储卡的本发明的各个方面也可按一种动态的自适应性方式来实现,以取代或增补所述的用户所选操作模式。这些也可与第5,930,167号美国专利相结合-在该美国专利中,使存储器的一部分以二进制模式操作以用作一高速缓冲存储器并此后在多状态模式中对其进行写入。

[0081] 结论

[0082] 尽管已就本发明的特定实例及变化形式来说明本发明,然而应了解,本发明将在随附申请专利范围的整个范畴内受到保护。

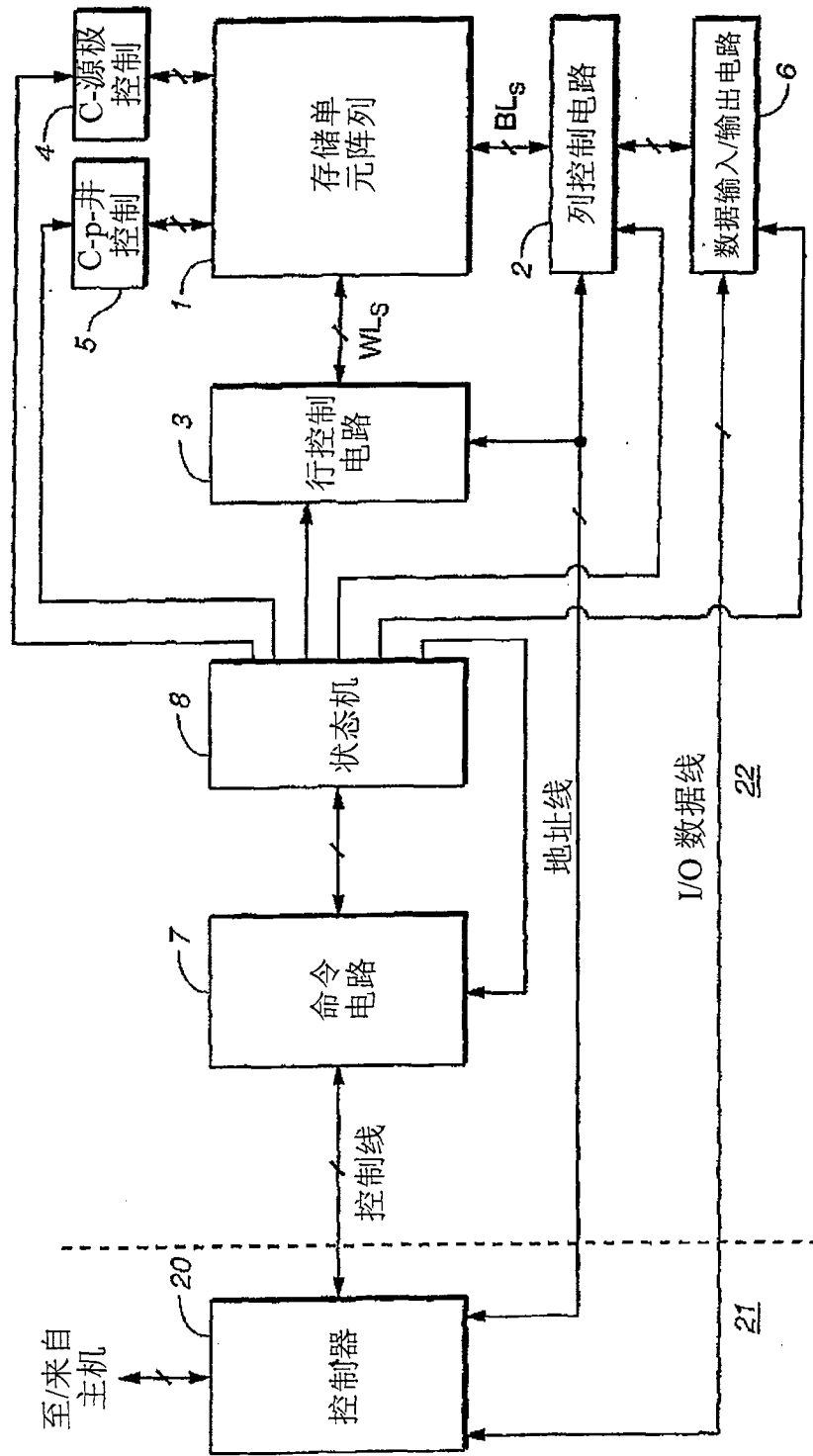


图 1

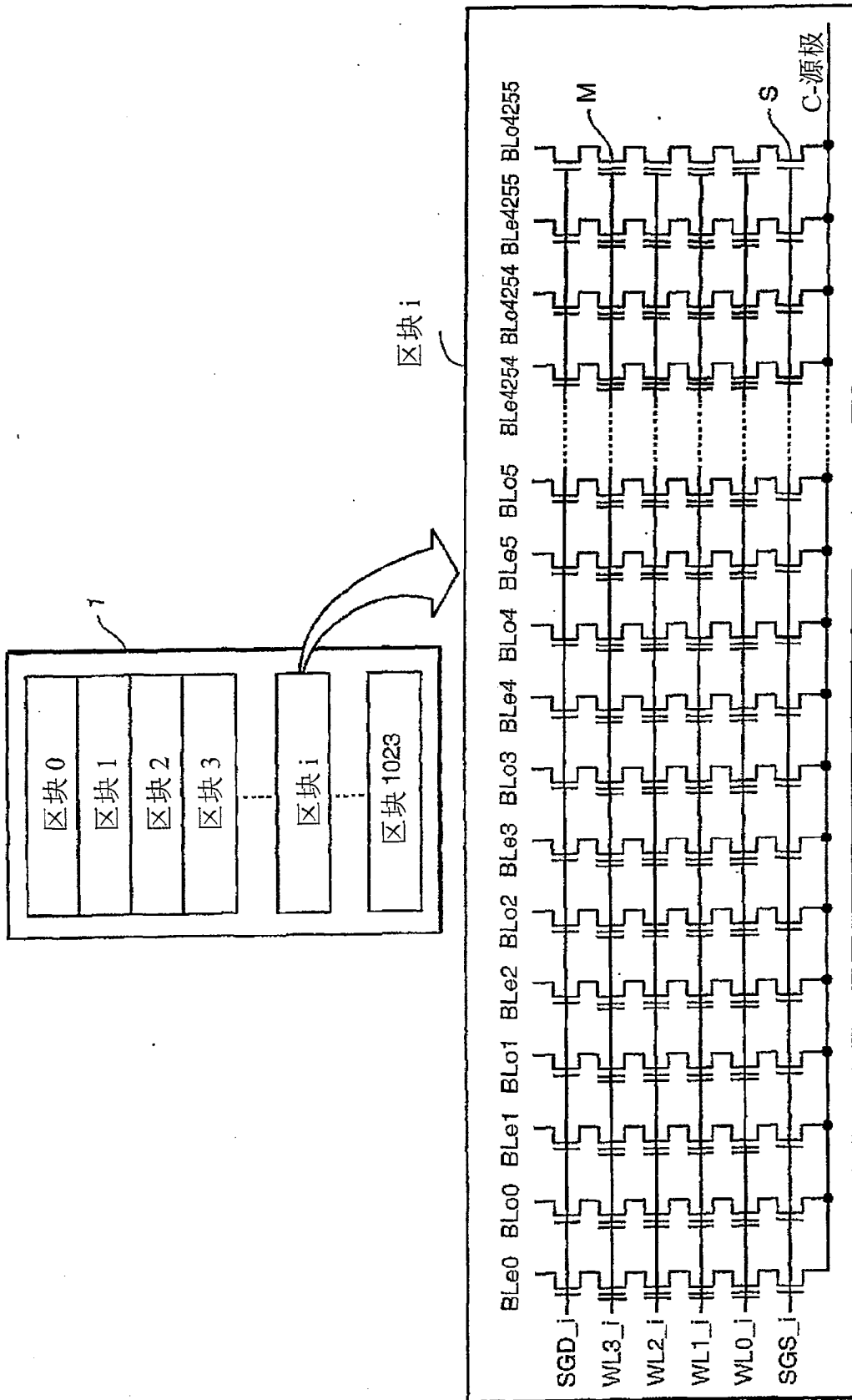


图 2

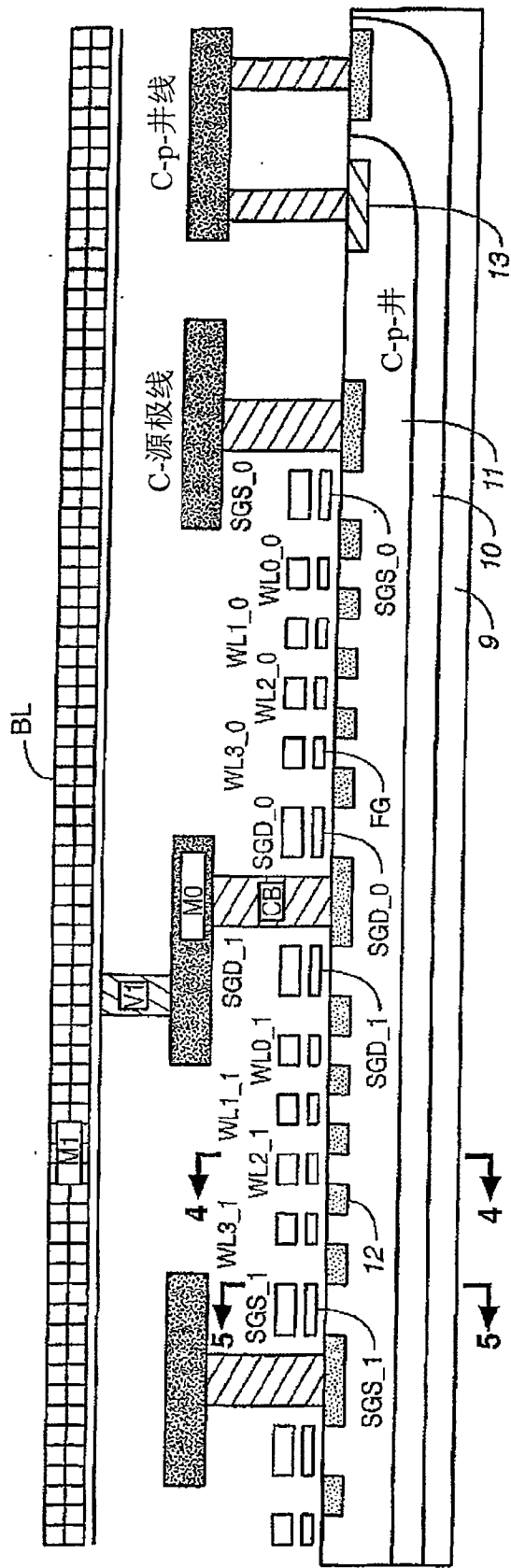


图 3

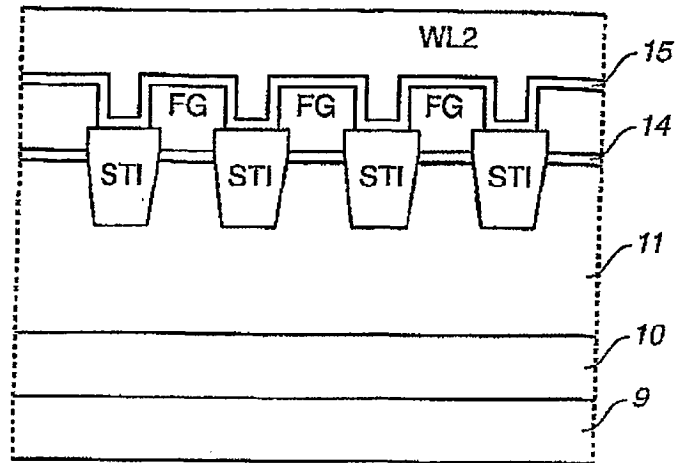


图 4

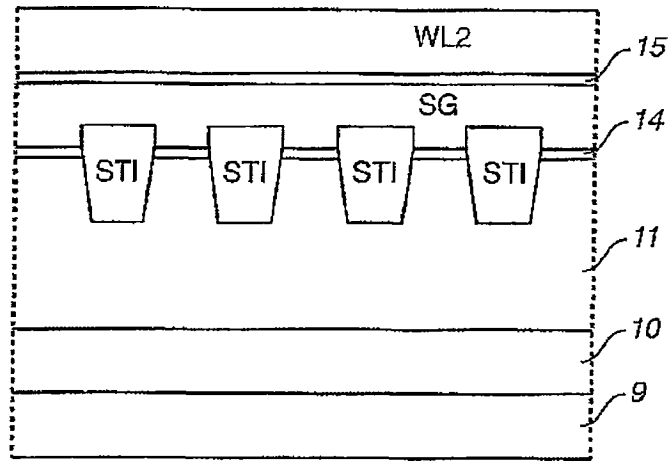


图 5

	擦除	编程促进	编程禁止	读取 10	对 10 进行第一遍读取	对 10 进行第二遍读取	读取 00	对 00 进行第一遍读取	对 00 进行第二遍读取	对 10 进行第一遍验证	对 10 进行第二遍验证	对 00 进行第一遍验证	对 00 进行第二遍验证	验证 01
Ble	浮动	0V	Vdd	H 或 L	H 或 L	H 或 L	H 或 L	H 或 L	H 或 L	H 或 L	H 或 L	H 或 L	H 或 L	H 或 L
BLo	浮动	Vdd	Vdd	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V
SGD	浮动	Vdd	Vdd	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL3	0V	10V	10V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL2	0V	Vpgm	Vpgm	0V	0V	0V	1V	1V	1V	0.2V	0.4V	1.2V	1.4V	2.4V
WL1	0V	10V	10V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL0	0V	10V	10V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
SGS	浮动	0V	0V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
C-源极	浮动	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V
C-p-井	20V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V

图 6

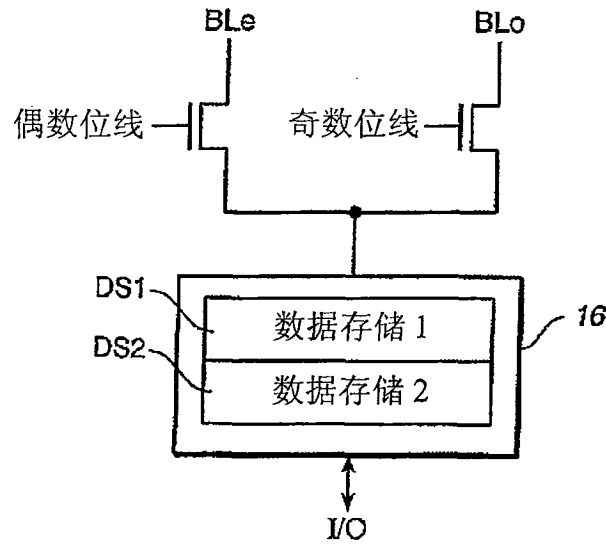


图 7

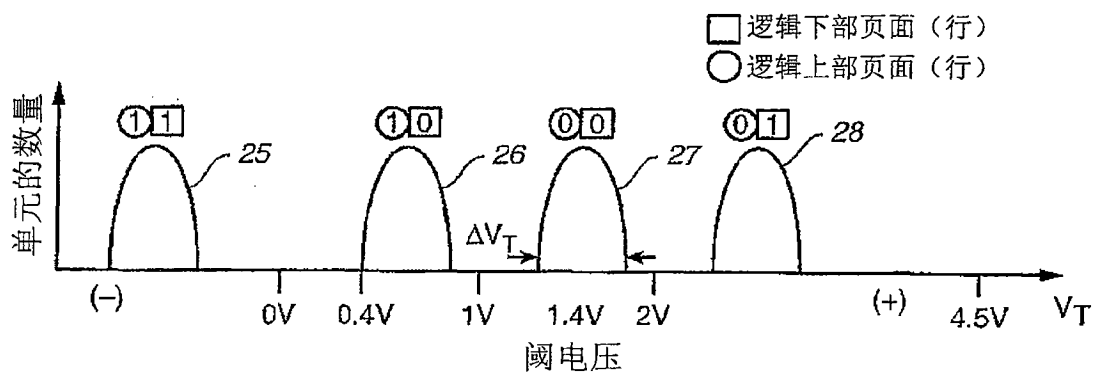


图 8

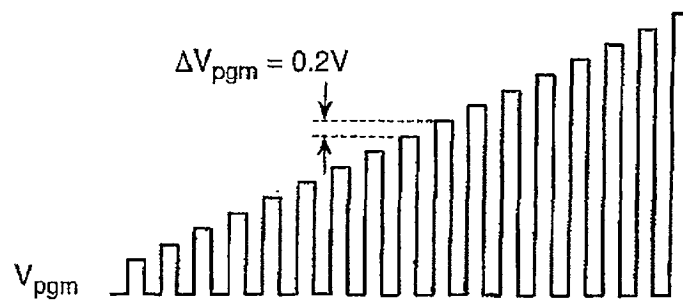


图 9

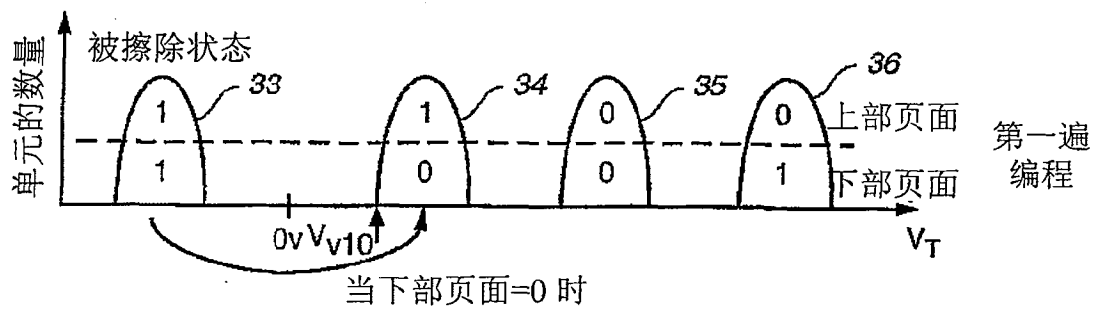


图 10A

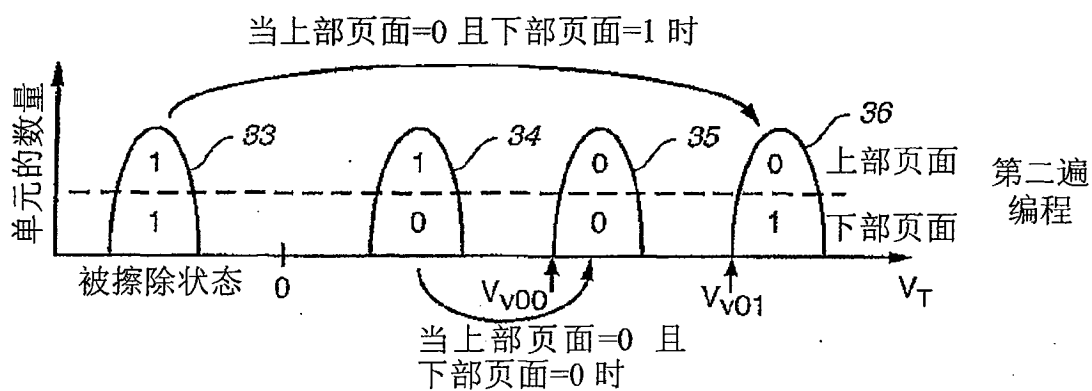


图 10B

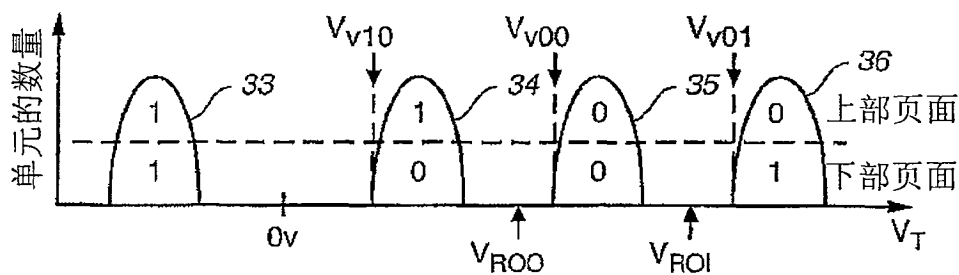


图 11

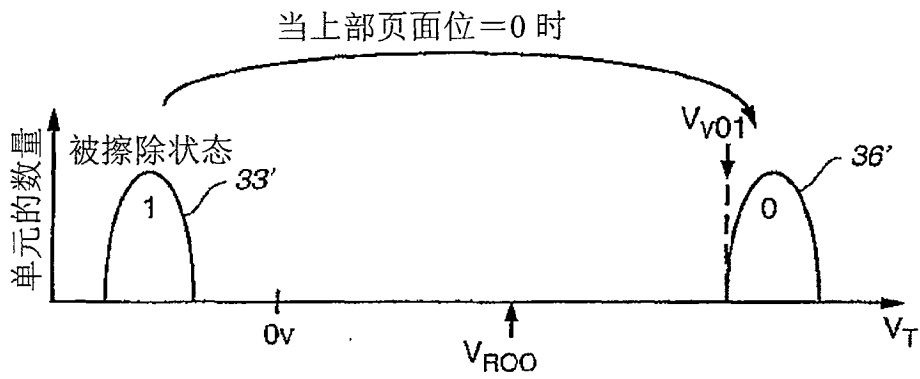


图 12

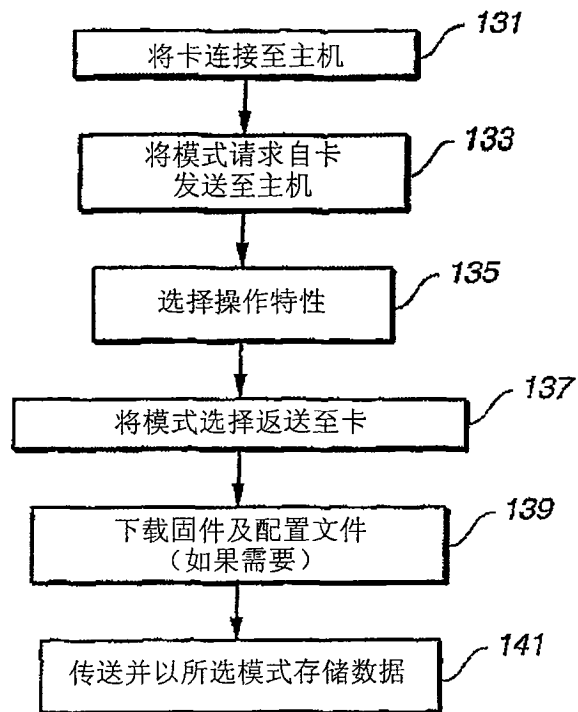


图 13