



(12)发明专利

(10)授权公告号 CN 105027438 B

(45)授权公告日 2017. 10. 24

(21)申请号 201480011567.7

(22)申请日 2014.02.26

(65)同一申请的已公布的文献号

申请公布号 CN 105027438 A

(43)申请公布日 2015.11.04

(30)优先权数据

13/787,666 2013.03.06 US

(85)PCT国际申请进入国家阶段日

2015.08.31

(86)PCT国际申请的申请数据

PCT/US2014/018811 2014.02.26

(87)PCT国际申请的公布数据

W02014/137714 EN 2014.09.12

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 R·维兰古蒂皮查 P·B·帕特尔

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 李小芳

(51)Int.Cl.

H03K 3/356(2006.01)

H03K 3/037(2006.01)

G06F 1/32(2006.01)

H03K 19/00(2006.01)

(56)对比文件

US 7652513 B2,2010.01.26,

US 7652513 B2,2010.01.26,

CN 101233687 A,2008.07.30,

CN 101233687 A,2008.07.30,

US 2006255849 A1,2006.11.16,

CN 1679109 B,2011.06.15,

审查员 丁娴子

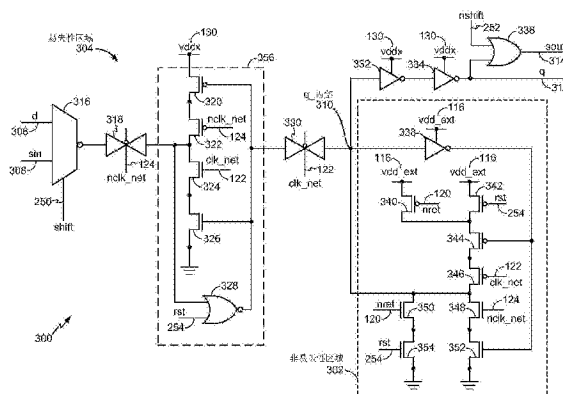
权利要求书3页 说明书10页 附图8页

(54)发明名称

低泄漏保留寄存器盘

(57)摘要

一种特定方法包括接收保留信号(nret)。响应于接收到该保留信号,该方法包括将状态信息(q内部,310)留存在保留寄存器(300)的非易失性级(302)中以及减少至该保留寄存器的易失性级(356)的功率。该非易失性级(302)可由外部电压源(Vdd_ext)供电。该易失性级可由内部电压源(Vddx)供电。



1. 一种电路,包括:

包括具有第一时钟输入和至外部电压源的体连接的晶体管的保留级,其中所述保留级由所述外部电压源供电,并且其中所述外部电压源在待机模式期间保持打开;以及
响应于所述保留级的输出的反相器,其中所述反相器由内部电压源供电。

2. 如权利要求1所述的电路,其特征在于,所述保留级接收保留信号和反相保留信号作为输入。

3. 如权利要求2所述的电路,其特征在于,所述反相保留信号被配置成触发第一保留寄存器进入待机模式或退出所述待机模式。

4. 如权利要求1所述的电路,其特征在于,所述反相器包括p沟道金属氧化物半导体 (PMOS) 晶体管和n沟道金属氧化物半导体 (NMOS) 晶体管。

5. 一种电路,包括:

包括具有第一时钟输入的晶体管的保留级,其中所述保留级由外部电压源供电;以及
响应于所述保留级的输出的反相器,其中所述反相器由内部电压源供电,所述反相器的输出被提供至第一保留寄存器。

6. 如权利要求5所述的电路,其特征在于,所述第一保留寄存器包括第一易失性区域和第一非易失性区域,并且其中所述第一非易失性区域接收保留信号作为输入信号。

7. 如权利要求6所述的电路,其特征在于,所述第一保留寄存器被包括在包括第二保留寄存器的保留寄存器盘中,其中所述第二保留寄存器包括第二易失性区域和第二非易失性区域,并且其中所述第一保留寄存器耦合至所述第二保留寄存器。

8. 如权利要求7所述的电路,其特征在于,所述第一非易失性区域和所述第二非易失性区域位于连接至所述外部电压源的第一n型阱 (n阱) 中,且其中所述第一易失性区域和所述第二易失性区域位于连接至所述内部电压源的第二n阱中。

9. 如权利要求5所述的电路,其特征在于,所述第一保留寄存器被包括在包括第二保留寄存器的保留寄存器盘中,其中所述反相器的所述输出被提供至所述第二保留寄存器,且其中所述第一保留寄存器耦合至所述第二保留寄存器。

10. 一种电路,包括:

包括具有第一时钟输入的晶体管的保留级,其中所述保留级由外部电压源供电;
响应于所述保留级的输出的反相器,其中所述反相器由内部电压源供电;以及
时钟选通电路,所述时钟选通电路被配置成向第一保留寄存器的第二时钟输入提供第一时钟信号以及向第二保留寄存器的第三时钟输入提供所述第一时钟信号,其中所述第一保留寄存器和所述第二保留寄存器形成保留寄存器盘,其中所述时钟选通电路在所述保留寄存器盘外部,并且其中所述时钟选通电路包括由所述外部电压源供电的第一级和由所述内部电压源供电的第二级。

11. 如权利要求10所述的电路,其特征在于,所述第一级包括所述保留级,并且其中所述第二级包括所述反相器。

12. 一种设备,包括:

用于切换数据的装置,包括具有时钟输入和至外部电压源的体连接的的门,其中所述用于切换数据的装置由所述外部电压源供电,并且其中所述外部电压源在待机模式期间保持打开;以及

用于将所述用于切换数据的装置的输出反相的装置,其中所述用于反相的装置由内部电压源供电。

13.一种设备,包括:

用于切换数据的装置,包括具有时钟输入的门,其中所述用于切换数据的装置由外部电压源供电;

用于将所述用于切换数据的装置的输出反相的装置,其中所述用于反相的装置由内部电压源供电;以及

用于向用于留存第一位的装置和用于留存第二位的装置提供时钟信号的装置,其中所述用于留存第一位的装置和所述用于留存第二位的装置形成用于留存数据的装置,其中所述用于提供时钟信号的装置在所述用于留存数据的装置外部,并且其中所述用于提供时钟信号的装置包括由所述外部电压源供电的第一级和由所述内部电压源供电的第二级。

14.如权利要求13所述的设备,其特征在于,所述第一级包括所述用于切换数据的装置而所述第二级包括所述用于反相的装置。

15.一种方法,包括:

在包括具有时钟输入和至外部电压源的体连接的晶体管的保留级处接收时钟信号,其中所述保留级由所述外部电压源供电,并且其中所述外部电压源在待机模式期间保持打开;以及

将来自所述保留级的输出提供至反相器,其中所述反相器由内部电压源供电。

16.如权利要求15所述的方法,其特征在于,进一步包括在所述保留级处接收保留信号和反相保留信号。

17.如权利要求16所述的方法,其特征在于,进一步包括基于所述反相保留信号来触发第一保留寄存器进入待机模式或退出所述待机模式。

18.一种方法,包括:

在包括具有时钟输入的晶体管的保留级处接收时钟信号,其中所述保留级由外部电压源供电;

将来自所述保留级的输出提供至反相器,其中所述反相器由内部电压源供电;以及

将来自所述反相器的输出提供至第一保留寄存器。

19.如权利要求18所述的方法,其特征在于,进一步包括将来自所述反相器的所述输出提供至第二保留寄存器,其中所述第一保留寄存器和所述第二保留寄存器形成保留寄存器盘,并且其中所述第一保留寄存器耦合至所述第二保留寄存器。

20.一种包括指令的计算机可读存储设备,所述指令在由处理器执行时使所述处理器:

发起向包括具有时钟输入和至外部电压源的体连接的晶体管的保留级提供保留信号,其中所述保留级由所述外部电压源供电,

其中所述外部电压源在待机模式期间保持打开,

其中所述保留级被配置成在所述时钟输入处接收时钟信号,

其中所述保留级被配置成向反相器提供输出,以及

其中所述反相器由内部电压源供电。

21.一种电路,包括:

包括第一非易失性区域和第一易失性区域的第一保留寄存器;以及

包括第二非易失性区域和第二易失性区域的第二保留寄存器,其中所述第一保留寄存器耦合至所述第二保留寄存器,其中所述第二易失性区域包括:

复用器,其配置成根据移位信号来选择来自所述第一保留寄存器的移位数据信号或选择输入数据信号;以及

易失性保留级,其配置成根据时钟信号来锁存所选择的移位数据信号或输入数据信号,

其中所述第一非易失性区域和所述第二非易失性区域位于连接至外部电压源的第一n型阱(n阱)中,并且其中所述第一易失性区域和所述第二易失性区域位于连接至内部电压源的第二n阱中。

22.如权利要求21所述的电路,其特征在于,所述第一保留寄存器和所述第二保留寄存器形成保留寄存器盘。

23.一种电路,包括:

包括第一非易失性区域和第一易失性区域的第一保留寄存器;

包括第二非易失性区域和第二易失性区域的第二保留寄存器,其中所述第一保留寄存器耦合至所述第二保留寄存器;以及

时钟选通电路被配置成向所述第一保留寄存器提供时钟信号以及向所述第二保留寄存器提供所述时钟信号,其中所述第一非易失性区域、所述第二非易失性区域和所述时钟选通电路位于连接至外部电压源的第一n型阱(n阱)中,并且其中所述第一易失性区域和所述第二易失性区域位于连接至内部电压源的第二n阱中。

24.一种方法,包括:

响应于接收到保留信号;

将状态信息留存在保留寄存器的非易失性级中;以及

减少至所述保留寄存器的易失性级的功率,

其中所述非易失性级由外部电压源供电,所述易失性级由内部电压源供电,并且所述非易失性级包括晶体管堆栈;以及

响应于接收到重置信号,将所述晶体管堆栈中的一个或多个晶体管的偏置反向以减少泄漏电流。

25.如权利要求24所述的方法,其特征在于,所述状态信息至少包括内部数据状态。

26.如权利要求24所述的方法,其特征在于,当减小至所述易失性级的功率时,位于所述易失性级内的组件进入浮置状态。

低泄漏保留寄存器盘

[0001] I. 领域

[0002] 本公开一般涉及泄漏电流减小。

[0003] II. 相关技术描述

[0004] 由蓄电源(例如,电池)供电的电子设备(例如,移动电话)可被置于待机模式以在不活动时段期间节省功耗。在待机模式中,电子设备的电路可能被关断且与这些电路相关联的逻辑状态可能丢失。然而,一些逻辑状态(例如,控制信息)应当在待机模式期间被保留,以在该电子设备退出待机模式之后使该电子设备正常工作。这些逻辑状态可被存储在保留寄存器(retention register)中。多个保留寄存器可被耦合在一起以形成保留寄存器盘(retention register tray)。驱动保留寄存器盘的某些电路在待机模式中可能由于与此类电路的晶体管相关联的泄漏电流而消耗功率。泄漏电流增加了电子设备的总功耗,从而减少了电子设备的可用操作时间。

[0005] III. 概述

[0006] 在一特定实施例中,一种电路包括时钟选通电路和在待机模式(例如,其中内部电源被断电的模式)中保存状态信息的保留寄存器盘。时钟选通电路和保留寄存器盘中的每一者的一部分由内部电源供电且时钟选通电路和保留寄存器盘中的每一者的一部分由外部电源供电。内部电源可在设备的包含保留寄存器盘的区域内部,而外部电源可在设备的包含保留寄存器盘的区域外部。时钟选通电路和保留寄存器盘可被配置成减少在时钟选通电路和保留寄存器盘进入待机模式时的泄漏电流。从而,包括时钟选通电路、保留寄存器盘或这两者的电子设备的可用操作时间可在电子设备靠所存储功率运行时增大。

[0007] 在一特定实施例中,一种电路包括包含具有第一时钟输入的晶体管的保留级。保留级可由外部电压源供电。该电路进一步包括响应于该保留级的输出的反相器。该反相器可由内部电压源供电。

[0008] 在另一特定实施例中,一种设备包括用于切换数据的装置。用于切换数据的装置可包括具有时钟输入的门。用于切换数据的装置可由外部电压源供电。该设备进一步包括用于将用于切换数据的装置的输出反相的装置。该用于反相的装置可由内部电压源供电。

[0009] 在另一特定实施例中,一种方法包括在保留级处接收时钟信号。该保留级可包括具有时钟输入的晶体管。保留级可由外部电压源供电。该方法进一步包括将来自该保留级的输出提供至反相器。该反相器可由内部电压源供电。

[0010] 在另一特定实施例中,一种计算机可读存储设备包括指令,这些指令在由处理器执行时使该处理器发起向保留级提供保留信号。该保留级可由外部电压源供电,且该保留级可被配置成接收时钟信号。该保留级可被配置成向反相器提供输出。该反相器可由内部电压源供电。

[0011] 在另一特定实施例中,一种电路包括包含第一非易失性区域和第一易失性区域的第一保留寄存器。该电路进一步包括包含第二非易失性区域和第二易失性区域的第二保留寄存器。第一保留寄存器可耦合至第二保留寄存器。第一非易失性区域和第二非易失性区域可位于第一n型阱(n阱)中。第一n阱可连接至外部电压源。第一易失性区域和第二易失性

区域可位于第二n阱中。第二n阱可连接至内部电压源。

[0012] 在另一特定实施例中,一种方法包括接收保留信号。响应于该保留信号,该方法包括将状态信息留存在保留寄存器的非易失性级中以及减少至保留寄存器的易失性级的功率。该非易失性级可由外部电压源供电。该易失性级可由内部电压源供电。

[0013] 至少一个所公开的实施例所提供的特定优点是:与不具有时钟选通电路的一部分由内部电源供电且时钟选通电路的一部分由外部电源供电的电路相比,当时钟选通电路处于待机模式中时,与时钟选通电路相关联的泄露电流可减少。从而,纳入了该时钟选通电路的电子设备的可用操作时间可增大。

[0014] 至少一个所公开的实施例所提供的另一特定优点是:与不具有保留寄存器盘的一部分由内部电源供电且保留寄存器盘的一部分由外部电源供电的电路相比,当保留寄存器盘处于待机模式中时,与保留寄存器盘相关联的泄露电流可减少。从而,纳入了该保留寄存器盘的电子设备的可用操作时间可增大。

[0015] 至少一个所公开的实施例所提供的另一特定优点是:通过在制造期间将至少两个保留寄存器的非易失性区域合并在一起,保留寄存器盘可降低电子设备的制造复杂性。

[0016] 至少一个所公开的实施例所提供的另一特定优点是:通过在制造期间将至少两个保留寄存器的易失性区域合并在一起,保留寄存器盘可降低电子设备的制造复杂性。

[0017] 本公开的其他方面、优点和特征将在阅读了整个申请后变得明了,整个申请包括下述章节:附图简述、详细描述以及权利要求。

[0018] IV.附图简述

[0019] 图1是时钟选通电路的特定实施例的示图;

[0020] 图2是保留寄存器盘的特定实施例的示图;

[0021] 图3是一位保留寄存器的特定实施例的示图;

[0022] 图4是解说图3的保留寄存器的功能的特定实施例的真值表;

[0023] 图5是解说图3的保留寄存器的待机模式的特定实施例的时序图;

[0024] 图6是保留寄存器盘的特定实施例的布局图;

[0025] 图7是解说操作时钟选通电路的方法的特定实施例的流程图;

[0026] 图8是解说保留寄存器的操作的特定实施例的流程图;以及

[0027] 图9是包括时钟选通电路和保留寄存器盘的通信设备的框图。

[0028] V.详细描述

[0029] 参考图1,示出了时钟选通电路100的特定解说性实施例。时钟选通电路100包括第一级和第二级。第一级可包括保留级102。第一级可由具有比内部电压源(vddx) 130更高的电压的外部电压源(vdd_ext) 116供电。外部电压源116可在待机模式期间保持打开。第二级可包括反相器104。第二级可由内部电压源130供电。与使用内部电压源130对保留级102供电相比,在保留级102使用外部电压源116可减小与保留级102相关联的体泄漏电流。

[0030] 保留级102可接收保留信号(ret) 118、反相保留信号(nret) 120、以及外部时钟信号(c1k) 106作为输入。保留信号118和反相保留信号120可由在时钟选通电路100外部且在参考图2描述的保留寄存器盘200外部的一个或多个电路提供。例如,保留信号118和反相保留信号120可基于处理器确定要进入待机模式而从该处理器接收。外部时钟信号106可由在时钟选通电路100外部且在保留寄存器盘200外部的一个或多个电路(例如,从晶体振荡器)

提供。保留级102可经由数据线134向反相器104输出反相内部时钟信号(nclk_net)124。保留级102可包括耦合至n沟道金属氧化物半导体(NMOS)晶体管堆栈的p沟道金属氧化物半导体(PMOS)晶体管堆栈。PMOS晶体管堆栈可包括串联耦合的第一PMOS晶体管108和第二PMOS晶体管110。NMOS晶体管堆栈可包括与第二PMOS晶体管110串联耦合的第一NMOS晶体管112以及与第一NMOS晶体管112串联耦合的第二NMOS晶体管114。当保留信号118为高(即,处于与逻辑高值相关联的状态)且反相保留信号120为低(即,处于与逻辑低值相关联的状态)时,保留级102可被配置成进入待机模式,其中保留级102将数据线134与外部电压源116以及与地电绝缘。当保留信号118为低且反相保留信号120为高时,保留级102可输出外部时钟信号106的反相信号作为反相内部时钟信号124。PMOS堆栈和NMOS堆栈可减少由于自反向偏置效应引起的与保留级102相关联的泄漏电流。

[0031] 外部电压源116可以是在包含保留寄存器盘200的区域外部的电压源,如参考图2进一步描述的。外部电压源116可在经由保留信号118启用的待机模式期间保持开启。第一PMOS晶体管108的体连接和第二PMOS晶体管110的体连接可被连接至外部电压源116。与使用内部电压源130对保留级102供电相比,在保留级102使用外部电压源116可以减少与第一PMOS晶体管108相关联的体泄漏电流(例如,栅体泄漏电流),因为外部电压源116比内部电压源130具有更高电压,并且因为保留信号118是由外部电压源116供电的。外部电压源116可导致第一PMOS晶体管108的栅极端子与体端子之间减小的电势差,从而导致减小的体泄漏电流。出于类似原因,在保留级102使用外部电压源116可减小与第二PMOS晶体管110相关联的体泄漏电流。

[0032] 反相器104可包括与第三NMOS晶体管128串联耦合的第三PMOS晶体管126。反相器104可被配置成将反相内部时钟信号124反相并输出内部时钟信号(clk_net)122。

[0033] 反相器104可由内部电压源130供电。内部电压源130可从外部电压源116得到且可具有比外部电压源116更小的电压值。内部电压源130可位于设备的包含保留寄存器盘200的区域内部,如参考图2进一步描述的。当保留信号118被使能时,内部电压源130可在待机模式期间被禁用。例如,在待机模式期间,可以通过将内部电压源130与外部电压源116断开连接来关闭内部电压源130。在反相器104处使用内部电压源130可通过减少与第三PMOS晶体管126相关联的阈下(sub-threshold)泄漏电流来减少与反相器104相关联的泄漏电流。

[0034] 第四PMOS晶体管132可连接至外部电压源116。第四PMOS晶体管132还可连接至数据线134。第四PMOS晶体管132可以是被配置成在待机模式期间通过将数据线134耦合至外部电压源116来将反相内部时钟信号124设置为高(即,设置为与逻辑高值相关联的状态)的上拉器件。作为结果,在待机模式期间,内部时钟信号122被设置为低。

[0035] 相应地,在时钟选通电路100处于待机模式时与时钟选通电路100相关联的泄漏电流可被减小。从而,纳入了时钟选通电路100的电子设备的可用操作时间可增大。

[0036] 参照图2,示出了保留寄存器盘200的特定实施例。保留寄存器盘200可包括一个或多个一位保留寄存器,诸如代表性的保留寄存器204。尽管图2中示出了八个保留寄存器204、206、208、210、212、214、216和218,但保留寄存器盘200可包括多于八个保留寄存器或少于八个保留寄存器。保留寄存器盘200可被配置成存储八位数据。保留寄存器可被配置成基于反相保留信号(nret)120进入或退出待机模式。如参考图6描述的,保留寄存器盘200的保留寄存器204-218可被配置成使得保留寄存器204-218的非易失性区域可制造在单个n型

阱 (n阱) 中。

[0037] 保留寄存器204可被配置成接收图1的反相保留信号120、内部时钟信号 (clk_net) 122和反相内部时钟信号 (nclk_net) 124、移位数据信号 (sin) 220、数据输入信号 (d0) 230、移位信号 (shift) 250、反相移位信号 (nshift) 252、以及重置信号 (rst) 254作为输入。保留寄存器204可被配置成输出数据输出信号 (q0) 240或移位数据输出信号 (soutb0) 221。内部时钟信号122和反相内部时钟信号124可由时钟选通电路 (诸如图1的时钟选通电路100) 提供。时钟选通电路100可与保留寄存器盘200集成或可与保留寄存器盘200分开。反相保留信号120、移位数据信号220、数据输入信号230、移位信号250、反相移位信号252、以及重置信号254可由在时钟选通电路100和保留寄存器盘200外部的一个或多个电路提供。

[0038] 保留寄存器盘200的每个保留寄存器204-218可被配置成接受数据输入信号230-237和移位数据信号220-227作为输入并输出数据输出信号240-247和移位数据输出信号221-228。保留寄存器204-218可被配置成从另一保留寄存器接收移位数据输出信号220-227作为移位数据信号220-227。从而,保留寄存器204-218可被耦合在一起。所耦合的保留寄存器中的最后一个保留寄存器的移位数据输出信号 (例如,保留寄存器218的移位数据输出信号228) 可被用来生成保留盘输出 (nsout) 258。例如,保留盘输出258可通过将保留寄存器218的移位数据输出信号以及移位信号250输入到与非 (NAND) 门256来生成。保留寄存器204-218的输入信号和输出信号之间的关系参考图3进一步描述。尽管图2示出了与非门256,但其他逻辑门或切换布置也可被用来生成保留盘输出258。

[0039] 参考图3,示出了一位保留寄存器300的特定解说性实施例。保留寄存器300可对应于图2的保留寄存器盘200的保留寄存器204-218之一。保留寄存器300可包括非易失性区域302 (例如,保留寄存器300中在待机模式期间被供电的部分) 和易失性区域304 (例如,保留寄存器300中在待机模式期间被断电的部分)。位于非易失性区域302内的组件可由外部电压源 (vdd_ext) 116来供电。位于易失性区域304内的组件可由内部电压源 (vddx) 130来供电。位于易失性区域304内的组件可被配置成在待机模式期间进入浮置 (floating) 状态。

[0040] 保留寄存器300可被配置成接收反相保留信号 (nret) 120、内部时钟信号 (clk_net) 122、反相内部时钟信号 (nclk_net) 124、移位数据信号 (sin) 308、数据输入信号 (d) 306、移位信号 (shift) 250、反相移位信号 (nshift) 252、以及重置信号 (rst) 254作为输入。保留寄存器300可被配置成输出数据输出信号 (q) 312和移位数据输出信号 (sout) 314。内部时钟信号122和反相内部时钟信号124可由时钟选通电路 (诸如图1的时钟选通电路100) 提供。

[0041] 保留寄存器300可被配置成在复用器316处使用移位信号250来选择数据输入信号306或移位数据信号308。复用器316可被配置成将经反相的所选数据信号 (例如,数据输入信号306的反相信号或移位数据信号308的反相信号) 输出到第一传输门318。数据输入信号306可对应于图2的数据输入信号230-237之一。移位数据信号308可对应于图2的移位数据信号220-227之一。复用器316可由内部电压源130供电。第一传输门318可被配置成响应于反相内部时钟信号124向易失性保留级356提供经反相的所选数据信号。

[0042] 易失性保留级356可接收内部时钟信号122、反相内部时钟信号124、和重置信号254作为输入。经反相的所选数据信号和重置信号254可被用于生成易失性保留级356的输出,该输出被提供至第二传输门330。例如,可通过将所选数据信号的反相信号和重置信号

254输入到或非(NOR)门328来生成易失性保留级356的输出。或非门328可被配置成在重置信号254为低(即,处于与逻辑低值相关联的状态)时将经反相的所选数据信号反相并将所选数据信号提供给第二传输门330。或非门328还可在重置信号254为高(即,处于与逻辑高值相关联的状态)时使得易失性保留级356的输出为低。或非门328的输出可被耦合至第一PMOS晶体管320的输入和第二NMOS晶体管326的输入。或非门328可由内部电压源130供电。尽管图3示出了或非门328,但其他逻辑门或切换布置也可被用来生成易失性保留级356的输出。易失性保留级356可由内部电压源130供电。

[0043] 易失性保留级356包括耦合至第一n沟道金属氧化物半导体(NMOS)晶体管堆栈的第一p沟道金属氧化物半导体(PMOS)晶体管堆栈。第一PMOS晶体管堆栈可包括串联耦合的第一PMOS晶体管320和第二PMOS晶体管322。第一NMOS晶体管堆栈可包括与第二PMOS晶体管322串联耦合的第一NMOS晶体管324以及与第一NMOS晶体管324串联耦合的第二NMOS晶体管326。第一PMOS晶体管堆栈和第一NMOS晶体管堆栈可被配置成响应于反相内部时钟信号124和内部时钟信号122来将或非门328的输出反相。易失性保留级356可被配置成保存所选数据信号并且当重置信号254被禁用且内部时钟信号122为高时将所选数据信号传送到第二传输门330。第一PMOS晶体管堆栈和第一NMOS晶体管堆栈可减小在待机模式期间由于自反向偏置效应引起的与易失性保留级356相关联的泄漏电流。

[0044] 第二传输门330可被配置成响应于内部时钟信号122向内部数据节点(q_内部)310传送易失性保留级356的输出。内部数据节点310可被耦合至输出反相器链并耦合至非易失性区域302。输出反相器链可包括串联耦合的第一输出反相器332和第二输出反相器334。输出反相器链可由内部电压源130供电。尽管在图3中的输出反相器链中示出了两个反相器,但输出反相器链可包括多于两个反相器。输出反相器链可被配置成输出经延迟的内部节点信号作为数据输出信号312。数据输出信号312可对应于图2的数据输出信号240-247之一。

[0045] 输出反相器链可进一步被配置成向逻辑门提供经延迟的内部数据节点信号。例如,输出反相器链可被配置成向或(OR)门336提供经延迟的内部数据节点信号。或门336可被配置成当反相移位信号252被使能时输出高信号作为移位数据输出信号314。或门336可被进一步配置成当反相移位信号252未被使能时输出经延迟的内部数据节点信号作为移位数据输出信号314。移位数据输出信号312可对应于图2的移位数据输出信号221-228之一。或门336可由内部电压源130供电。尽管图3示出了或门,但其他逻辑门或切换布置也可被用来生成移位数据输出信号314。

[0046] 非易失性区域302可被配置成在保留寄存器300处于待机模式中时保存数据信号(例如,内部数据节点310的状态)。非易失性区域302可接收反相保留信号120、重置信号254、内部时钟信号122、以及反相内部时钟信号124作为输入。非易失性区域302可由外部电压源116供电。非易失性区域302可包括被配置成向第二PMOS晶体管堆栈提供输入的非易失性反相器338。非易失性反相器338可被进一步配置成向第二NMOS晶体管堆栈提供输入。

[0047] 第二PMOS晶体管堆栈可被耦合至第二NMOS晶体管堆栈。第二PMOS晶体管堆栈可包括第三PMOS晶体管340、第四PMOS晶体管342、第五PMOS晶体管344、以及第六PMOS晶体管346。第三PMOS晶体管340和第四PMOS晶体管342的漏极可被耦合至第五PMOS晶体管344的源极。第五PMOS晶体管可与第六PMOS晶体管346串联耦合。第二NMOS晶体管堆栈可包括与第六PMOS晶体管346串联耦合的第三NMOS晶体管348并可包括与第三NMOS晶体管348串联耦合的

第四NMOS晶体管352。第三NMOS晶体管348和第六PMOS晶体管346可进一步耦合至内部数据节点310。非易失性反相器338、第二PMOS晶体管堆栈、以及第二NMOS晶体管堆栈可被配置成当保留寄存器300不处于重置模式时保存内部数据节点310处的值。第二PMOS晶体管堆栈和第二NMOS晶体管堆栈可减小在重置模式期间由于自反向偏置效应引起的与非易失性区域302相关联的泄漏电流。

[0048] 第二PMOS晶体管堆栈和第二NMOS晶体管堆栈可被进一步耦合至第三NMOS晶体管堆栈。第三NMOS晶体管堆栈可包括与第六NMOS晶体管354串联耦合的第五NMOS晶体管350。第五NMOS晶体管350可被进一步耦合至第三NMOS晶体管348、第六PMOS晶体管346以及内部数据节点310。第三NMOS晶体管堆栈可被配置成当保留寄存器300处于重置模式而非处于待机模式中时将内部数据节点310处的值设置为低。当反相保留信号120或重置信号254为低时,当内部时钟信号122为高时内部数据节点310的状态可被留存,且非易失性区域302可在内部时钟信号122为低时输出浮置(hi-Z)信号。当反相保留信号120和重置信号254为高时,内部数据节点310处的值可被下拉到低。

[0049] 在操作期间,复用器316可被配置成向第一传输门318输出经反相的所选数据信号。第一传输门318可被配置成响应于反相内部时钟信号124向易失性保留级356提供经反相的所选数据信号。当重置信号254为低时,易失性保留级356可被配置成留存经反相的所选数据信号并向第二传输门330提供所选数据信号。当重置信号254为高时,易失性保留级356可被配置成留存低值并向第二传输门330提供低值。第二传输门330可被配置成响应于内部时钟信号122向内部数据节点310提供易失性保留级的输出(例如,所选数据信号或低值)。内部数据节点310可被连接至输出反相器链并连接至非易失性区域302。非易失性区域302可被配置成当保留寄存器300处于待机模式且易失性区域302未被供电时留存内部数据节点310的状态。非易失性区域302可进一步被配置成当重置信号254为高时将内部数据节点310的值设置为低。输出反相器链可被配置成输出经延迟的内部节点信号作为数据输出信号312。输出反相器链可进一步被配置成向逻辑门提供经延迟的内部数据节点信号以选择性地输出移位数据输出信号314。

[0050] 相应地,在待机模式期间与保留寄存器300的易失性保留级356相关联的泄漏电流和在重置模式期间与保留寄存器300的非易失性区域302相关联的泄漏电流可由于自反向偏置效应而被减小。从而,纳入了保留寄存器300的电子设备的可用操作时间可在电子设备靠所存储功率运行时增大。

[0051] 图4是解说根据特定实施例的保留寄存器(诸如图3的保留寄存器300)的功能的真值表400。图4解说了基于数据输入ret、d、rst、sin和shift的值的输出q和sout的值。在功能模式中,q的值等于d的值,且sout的值等于1(即,在与逻辑高值相关联的状态中)。在重置模式中,rst的值等于1,q的值等于0(即,在与逻辑低值相关联的状态中),且sout的值等于1。在扫描模式中,shift的值等于1,且q和sout的值等于sin的值。在待机模式中,ret的值等于1,内部电压源(vddx)为关闭,q的前值存储在非易失性区域(诸如图3的非易失性区域302)中,且不使用q和sout的值。位于图3的易失性区域304内的组件可被配置成当在待机模式中到易失性区域304的功率减少时进入由图4中的X表示的浮置状态(即,由坍塌域驱动的值)。图4还解说了其中内部电压源(vddx)开启且ret的值为高的多种角落情况。

[0052] 图5解说了保留寄存器(诸如图3的保留寄存器300)的范例操作。图5解说了在保留

寄存器 (诸如保留寄存器300) 的断电序列、待机模式、以及上电序列期间的内部时钟信号 (CLK_NET)、内部电压 (VDDX)、重置信号 (RST)、保留信号 (RET)、数据输出值 (输出数据)、以及内部数据值 (内部数据) 的曲线图500。内部时钟信号可对应于图3的内部时钟信号122。内部电压可对应于图3的内部电压源130处的电压。重置信号可对应于图3的重置信号254。该保留信号可对应于图3的反相保留信号120的反相信号。数据输出值可对应于图3的移位数据输出信号314或数据输出信号312。内部数据值可对应于图3的内部数据节点310处的值。

[0053] 如由曲线图500所解说的,在保留寄存器进入待机模式之前,保留信号可被设置成高。随后,可减小内部电压。内部时钟信号、重置信号、以及数据输出值处的值在待机模式期间不被使用。然而,内部数据值可在待机模式期间被保存。

[0054] 当保留寄存器准备退出待机模式时,可增大内部电压。在内部电压稳定之后,保留信号可被设置为低。数据输出值可反映内部数据值。当保留寄存器接收到重置信号时,保留寄存器可将内部数据值和数据输出值设置为低。

[0055] 参照图6,示出了保留寄存器盘600的特定实施例的布局图。保留寄存器盘600可对应于图2的保留寄存器盘200。保留寄存器盘600可集成到第一半导体器件区域602中。保留寄存器盘600可包括一个或多个一位保留寄存器。在图6的与用虚线分开的区域相对应的第一半导体器件区域602中示出了八个保留寄存器。在其他实施例中,保留寄存器盘600可包括多于八个保留寄存器或少于八个保留寄存器。保留寄存器盘600的每个保留寄存器可对应于图3的保留寄存器300。

[0056] 在第一半导体器件区域602中的保留寄存器盘600的制造期间,每个保留寄存器的非易失性区域可被一起编组在第一n型阱 (n阱) 604中。第一n阱604可由外部电压源116供电。每个保留寄存器的非易失性区域可对应于图3的非易失性区域302。而且,第一n阱604可包括图1的时钟选通电路100。尽管在图6中示出了由外部电压源116供电的一个n阱 (例如,第一n阱604),但在其他实施例中,保留寄存器盘600可包括由外部电压源116供电的多于一个n阱。可通过在制造期间将多于一个保留寄存器的非易失性区域合并到单个n阱中来降低制造复杂度。而且,内部时钟信号 (例如,图1的内部时钟信号122) 和反相内部时钟信号 (例如,图1的反相内部时钟信号124) 的路由在单个n阱中与在多个n阱中相比更紧凑 (即,使用更少的功率且具有更小的延迟)。

[0057] 每个保留寄存器的易失性区域可被放置在与第一n阱分开的n阱 (例如,第二n阱606、第三n阱608、第四n阱610、以及第五n阱612) 中。与第一n阱604分开的n阱可由内部电压源130供电。每个保留寄存器的易失性区域可对应于图3的易失性区域304。尽管在图6中第二n阱606、第三n阱608、第四n阱610、以及第五n阱612各自由两个保留寄存器共享,但在其他实施例中,n阱606-612可各自包括多于两个保留寄存器或少于两个保留寄存器的易失性区域。可通过在制造期间将多于一个保留寄存器的易失性区域合并到单个n阱中来降低制造复杂度。

[0058] 根据制造设计约束,第一n阱604可被放置在距另一n阱 (例如,第二n阱606、第三n阱608、第四n阱610、以及第五n阱612) 特定距离处。而且,将第二半导体器件区域614毗邻第一半导体器件区域602放置可能是期望的。第二半导体器件区域614可以是包含第一半导体器件区域602的半导体管芯的一部分,或第二半导体器件区域614可以是与包含第一半导体器件区域602的半导体管芯不同的半导体管芯的一部分。第二半导体器件614可包括一个或

多个n阱(例如,第六n阱616和第七n阱618)。至少一个所公开的实施例提供的一个特定优势在于可通过以下方式降低设计复杂度:将每个非易失性区域(例如,第一n阱604)放置成距半导体器件的边缘有一距离,以使得包含n阱的第二半导体器件区域可毗邻包含非易失性区域的第一半导体器件区域来放置而不违背该非易失性区域的设计约束。

[0059] 相应地,可降低与保留寄存器600相关联的制造复杂度和设计复杂度。从而,纳入了保留寄存器盘600的半导体管芯可被更容易地制造。

[0060] 图7是解说操作时钟选通电路的方法700的特定实施例的流程图。在一个实施例中,该时钟选通电路对应于图1的时钟选通电路100。方法700包括在702,在包括具有时钟输入的晶体管的保留级接收时钟信号。保留级可由外部电压源供电。时钟选通电路100的保留级102可在具有时钟输入的晶体管(诸如第二PMOS晶体管110或第一NMOS晶体管112)处接收外部时钟信号106。保留级102可由外部电压源116供电。方法700进一步包括在704,将来自该保留级的输出提供至反相器,其中该反相器由内部电压源供电。例如,保留级102可经由数据线134向反相器104提供输出。反相器104可由内部电压源130供电。

[0061] 方法700的反相器的输出可被提供至第一保留寄存器或提供至第一保留寄存器和第二保留寄存器,其中第一保留寄存器和第二保留寄存器形成保留寄存器盘,并且其中第一保留寄存器耦合至第二保留寄存器。例如,图1的反相器104的输出可被提供至图2的保留寄存器204和保留寄存器206,其中保留寄存器204和保留寄存器206形成保留寄存器盘200,且其中保留寄存器204沿被用来传送数据输出信号(soutb0) 221的数据线被耦合至保留寄存器206。该保留级可接收保留信号和反相保留信号。例如,保留级102可接收保留信号118和反向保留信号112。第一保留寄存器可基于反向保留信号被触发以进入待机模式或退出待机模式。

[0062] 从而,方法700使得时钟选通电路能够发出时钟信号和反相时钟信号,即便保留级和反向保留级由不同的电压源供电。相应地,在时钟选通电路处于待机模式时与时钟选通电路相关联的泄漏电流可被减小。因此,纳入了时钟选通电路的电子设备的可用操作时间可在电子设备靠所存储功率运行时增大。

[0063] 图8是解说操作保留寄存器的方法800的特定实施例的流程图。在一个实施例中,保留寄存器对应于图3的保留寄存器300。方法800包括在802,响应于接收到保留信号,将状态信息留存在保留寄存器的非易失性级中,其中该非易失性级由外部电压源供电。例如,保留寄存器300可接收反向保留信号120。反向保留信号120可由在时钟选通电路100和保留寄存器盘200外部的一个或多个电路(例如,基于确定要进入待机模式从处理器)提供。响应于反向保留信号120,保留寄存器300的非易失性区域302可留存状态信息。该状态信息可至少包括内部数据状态(例如,内部数据节点310处的值)。非易失性区域302可由外部电压源116供电。

[0064] 方法800进一步包括在804,减少到保留寄存器的易失性级的功率,其中易失性级由内部电压源供电。例如,可减小到保留寄存器300的易失性区域304的功率。易失性区域304可由内部电压源130供电。

[0065] 方法800可使得保留寄存器能够在到该保留寄存器的易失性区域的功率被减小时留存数据。

[0066] 图7和图8的方法可通过各种设备来实现,诸如现场可编程门阵列(FPGA)器件、专

用集成电路 (ASIC)、处理单元 (例如,中央处理单元 (CPU))、数字信号处理器 (DSP)、控制器、另一硬件设备、固件设备、或其任何组合。作为示例,图7和8的方法可由执行指令的一个或多个处理器来执行,如参考图9进一步描述的。作为解说,图7的方法可由被配置成向时钟选通电路的保留级发出保留信号的处理器来发起。该保留级可由外部电压源供电并可被配置成接收时钟信号并向反相器提供输出。该反相器可由内部电压源供电。

[0067] 参照图9,描绘了纳入保留寄存器盘和时钟选通电路的通信设备的特定解说性实施例的框图并将其一般地标示为900。通信设备900或其组件可包括、实现、或被包括在一设备内,该设备诸如:移动站、接入点、机顶盒、娱乐单元、导航设备、通信设备、个人数字助理 (PDA)、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、便携式计算机、台式计算机、平板设备、监视器、计算机监视器、电视机、调谐器、无线电装置、卫星无线电装置、音乐播放器、数字音乐播放器、便携式音乐播放器、视频播放器、数字视频播放器、数字视频盘 (DVD) 播放器、或便携式数字视频播放器,其中每一个可被配置成执行图7和8的方法中的一者或多者。在一个实施例中,通信设备900包括图1的至少一个时钟选通电路100和图2的至少一个保留寄存器盘200。

[0068] 通信设备900包括耦合到存储器932的处理器910,诸如数字信号处理器 (DSP)。在特定实施例中,处理器910包括连接至保留寄存器盘952 (例如,图2的保留寄存器盘200) 的时钟选通电路950 (例如,图1的时钟选通电路100)。作为示例,存储器932可以是存储器设备,诸如随机存取存储器 (RAM)、磁阻随机存取存储器 (MRAM)、自旋转移矩MRAM (STT-MRAM)、闪存、只读存储器 (ROM)、可编程只读存储器 (PROM)、可擦式可编程只读存储器 (EPROM)、寄存器、硬盘、可移动盘、或压缩碟只读存储器 (CD-ROM)。该存储器设备可包括在由处理器 (例如,处理器910、显示器控制器926、或无线控制器940) 执行时可使得该处理器发出被提供至保留级 (例如,图1的保留级102) 的保留信号的指令。保留级可由外部电压源 (例如,图1的外部电压源116) 供电、可被配置成接收时钟信号 (例如,图1的外部时钟信号106)、并可被配置成向反相器 (例如,图1的反相器104) 提供输出。该反相器可由内部电压源 (例如,图1的内部电压源130) 供电。

[0069] 通信设备900可包括耦合至处理器910并耦合至显示器928的显示器控制器926。在特定实施例中,显示器控制器926包括连接至保留寄存器盘948 (例如,图2的保留寄存器盘200) 的时钟选通电路946 (例如,图1的时钟选通电路100)。编码器/解码器 (CODEC) 934也可耦合至处理器910。扬声器936和话筒938可耦合至CODEC 934。无线控制器940 (例如,接收机、发射机、或收发机) 可耦合到处理器910和天线942。在特定实施例中,无线控制器940包括连接至保留寄存器盘956 (例如,图2的保留寄存器盘200) 的时钟选通电路954 (例如,图1的时钟选通电路100)。

[0070] 结合所描述的实施例,一种设备包括用于切换数据的装置。用于切换数据的装置可包括具有时钟输入的的门。用于切换数据的装置可由外部电压源供电。在一个实施例中,处理器910、显示器控制器926、或无线控制器940包括与图1的时钟选通电路100对应的时钟选通电路,且用于切换数据的装置对应于时钟选通电路100的保留级102。该设备可进一步包括用于将用于切换数据的装置的输出反相的装置。该用于反相的装置可由内部电压源供电。例如,用于反相的装置可对应于图1的时钟选通电路100的反相器104。

[0071] 结合所述实施例,一种设备包括用于留存第一位的装置。在一个实施例中,处理器

910、显示器控制器926、或无线控制器940包括与图2的保留寄存器盘200相对应的保留寄存器盘，而用于留存第一位的装置对应于保留寄存器盘200的保留寄存器204。该设备可进一步包括用于留存第二位的装置。例如，用于留存第二位的装置可对应于保留寄存器盘200的保留寄存器206。用于留存第一位的装置和用于留存第二位的装置可形成用于留存数据的装置。例如，用于留存数据的装置可对应于保留寄存器盘200。

[0072] 结合所描述的实施例，一种设备包括用于向用于留存第一位的装置以及用于留存第二位的装置提供时钟信号的装置。在一个实施例中，处理器910、显示器控制器926、或无线控制器940包括与图1的时钟选通电路100对应的时钟选通电路，且用于提供时钟信号的装置对应于图1的时钟选通电路100。用于提供时钟信号的装置可在用于留存数据的装置外部。例如，时钟选通电路100可在图2的保留寄存器盘200外部。用于提供时钟信号的装置包括由外部电压源供电的第一级以及由内部电压源供电的第二级。例如，时钟选通电路100包括由外部电压源116供电的保留级102以及由内部电压源130供电的反相器104。

[0073] 在一特定实施例中，处理器910、显示器控制器926、存储器932、CODEC 934以及无线控制器940被包括在系统级封装或片上系统设备922处。在特定实施例中，输入设备930和电源944被耦合至片上系统设备922。此外，在一特定实施例中，如图9中所解说的，显示器928、输入设备930、扬声器936、话筒938、天线942和电源944在片上系统设备922的外部。然而，显示器928、输入设备930、扬声器936、话筒938、天线942和电源944中的每一者可被耦合到片上系统设备922的组件，诸如接口或控制器。

[0074] 技术人员将进一步领会，结合本文所公开的实施例来描述的各种解说性逻辑框、配置、模块、电路、和算法步骤可实现为电子硬件、由处理器执行的计算机软件、或这两者的组合。各种解说性组件、框、配置、模块、电路、和步骤已经在上文以其功能性的形式作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性，但此类实现决策不应被解读为致使脱离本发明的范围。

[0075] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或两者的组合来实现。软件模块可驻留在随机存取存储器 (RAM)、闪存、只读存储器 (ROM)、可编程只读存储器 (PROM)、可擦式可编程只读存储器 (EPROM)、电可擦式可编程只读存储器 (EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器 (CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质中。示例性的存储介质耦合至处理器以使得该处理器能从/向该存储介质读和写信息。替换地，存储介质可以被整合到处理器。处理器和存储介质可驻留在专用集成电路 (ASIC) 中。ASIC可驻留在计算设备或用户终端中。在替换方案中，处理器和存储介质可作为分立组件驻留在计算设备或用户终端中。

[0076] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。对这些实施例的各种修改对于本领域技术人员而言将是显而易见的，并且本文中定义的原理可被应用于其他实施例而不会脱离本公开的范围。因此，本公开并非旨在被限定于本文中示出的实施例，而是应被授予与如由所附权利要求定义的原理和新颖性特征一致的最广的可能范围。

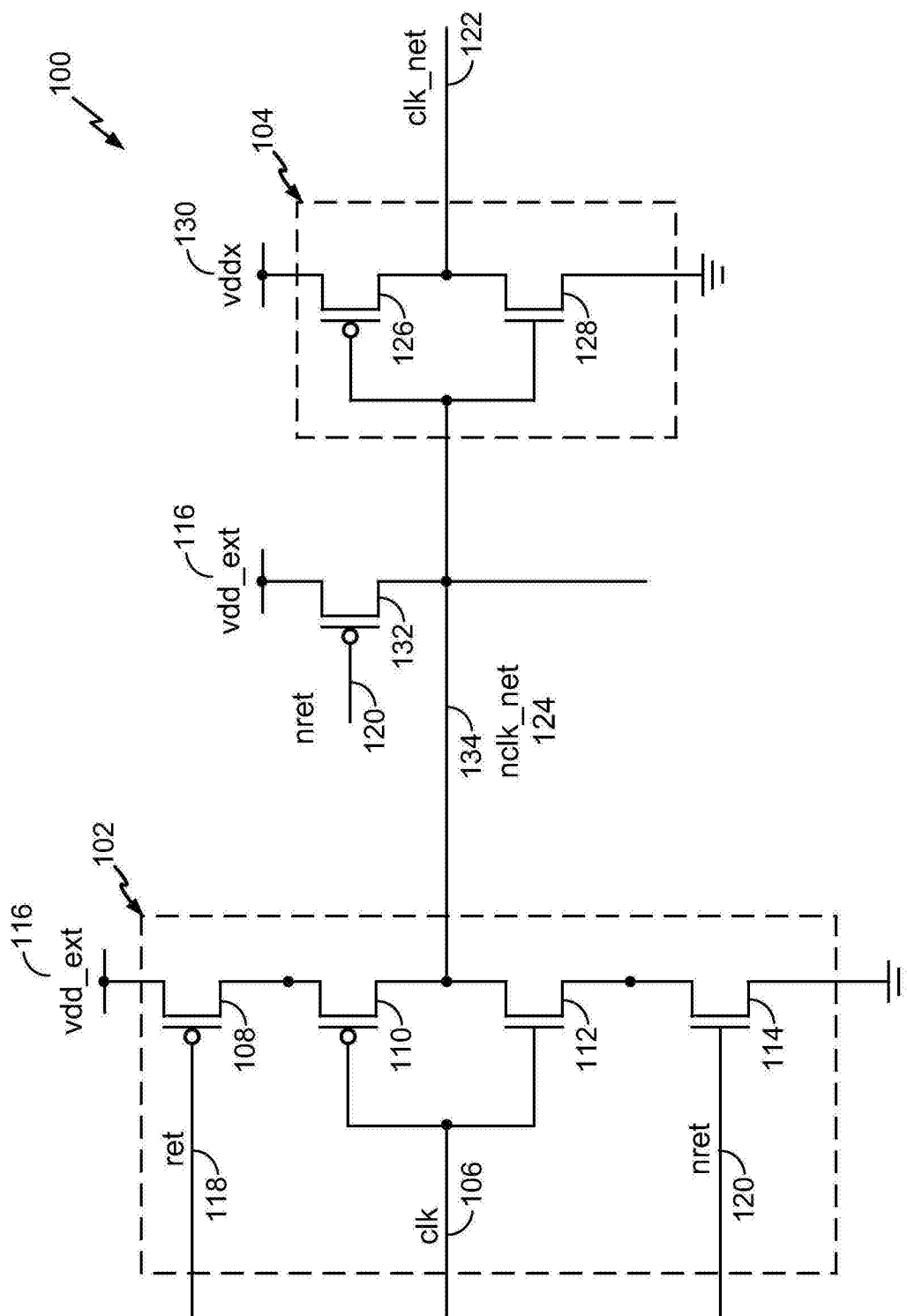


图1

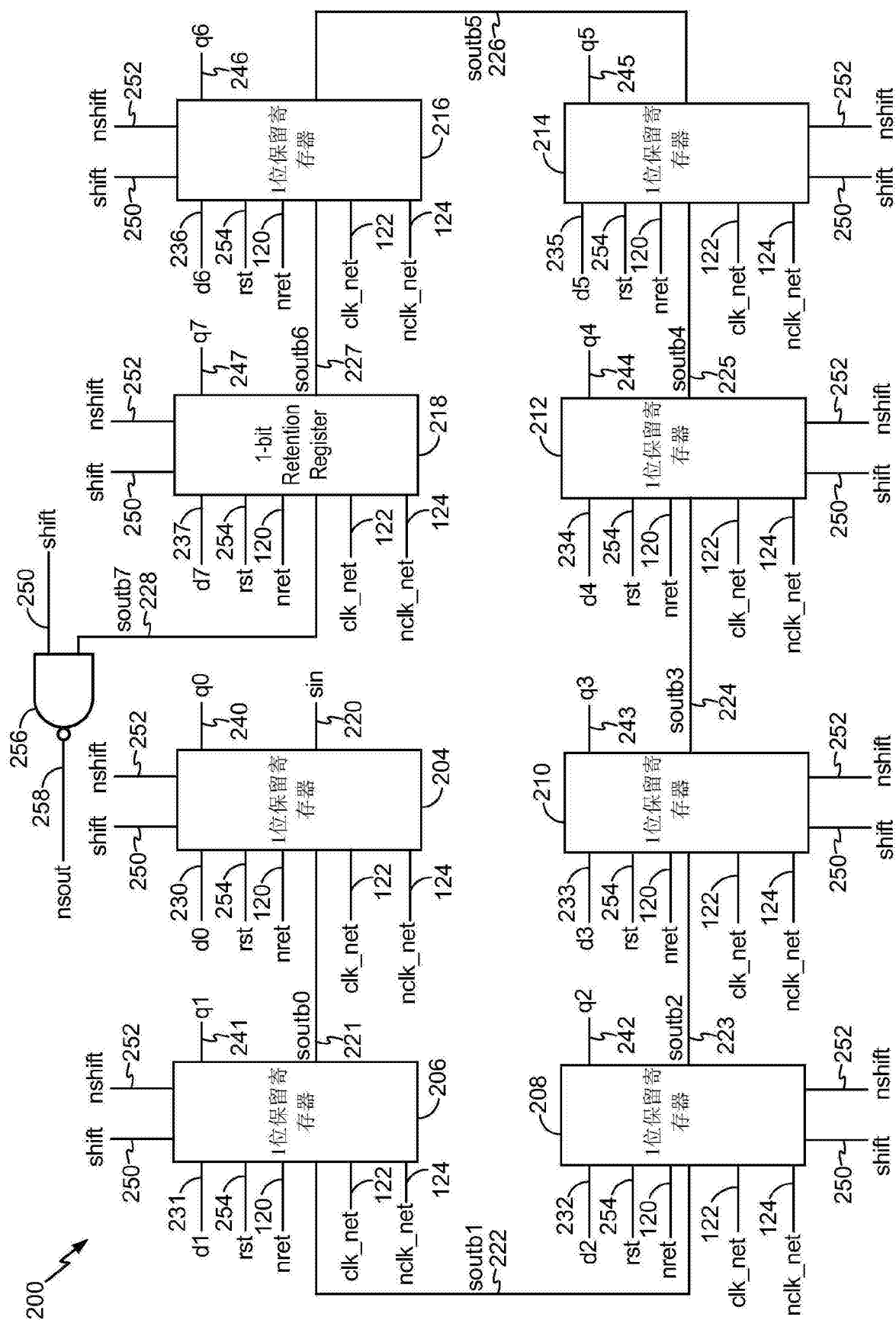


图2

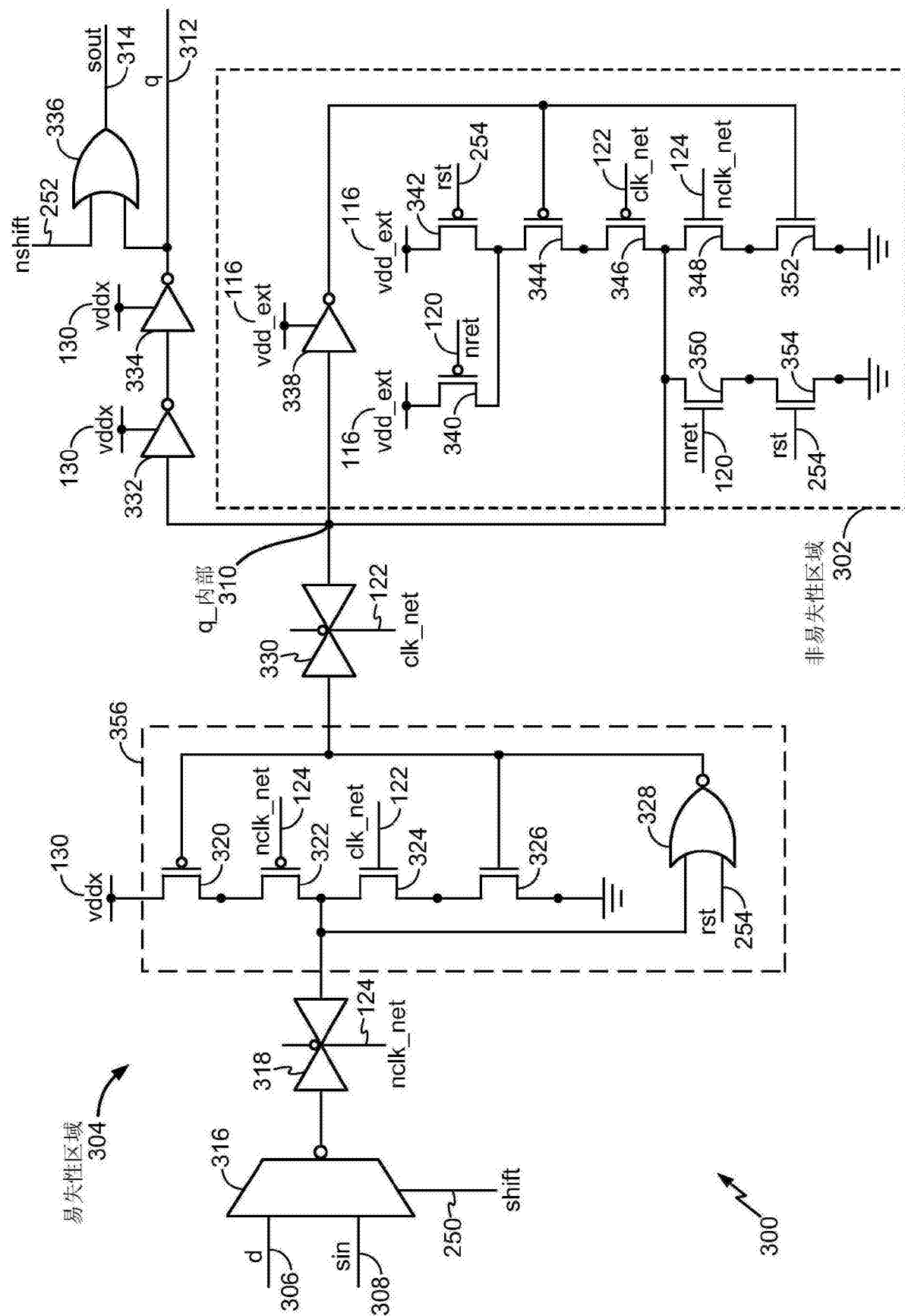


图3

400

	数据输入						功率输入		输出		内部节点		
	ret	d	rst	sin	shift	vddx	vdd_ext	q	sout	q_内部	clk_net	nclk_net	
评论													
功能模式	0	D	0	0	0	开启	开启	D	1	D	clk	nclk	
重置操作	0	D	1	0	0	开启	开启	0	1	0	clk	nclk	
扫描模式	0	D	0	S	1	开启	开启	S	S	S	clk	nclk	
待机模式	1	X	X	X	X	关闭	开启	X	X	Qslave	0	1	
角落情形	1	D	0	0	0	开启	开启	Qslave	1	Qslave	0	1	
	1	D	1	0	0	开启	开启	Qslave	1	Qslave	0	1	
	1	D	0	S	1	开启	开启	Qslave	Qslave	Qslave	0	1	

D	数据输入1或0
S	扫描数据1或0
X	无关的（由坍塌域驱动的1或0）
clk, nclk	翻转时钟
Qslave	存储在非易失性区域中的值

图4

18

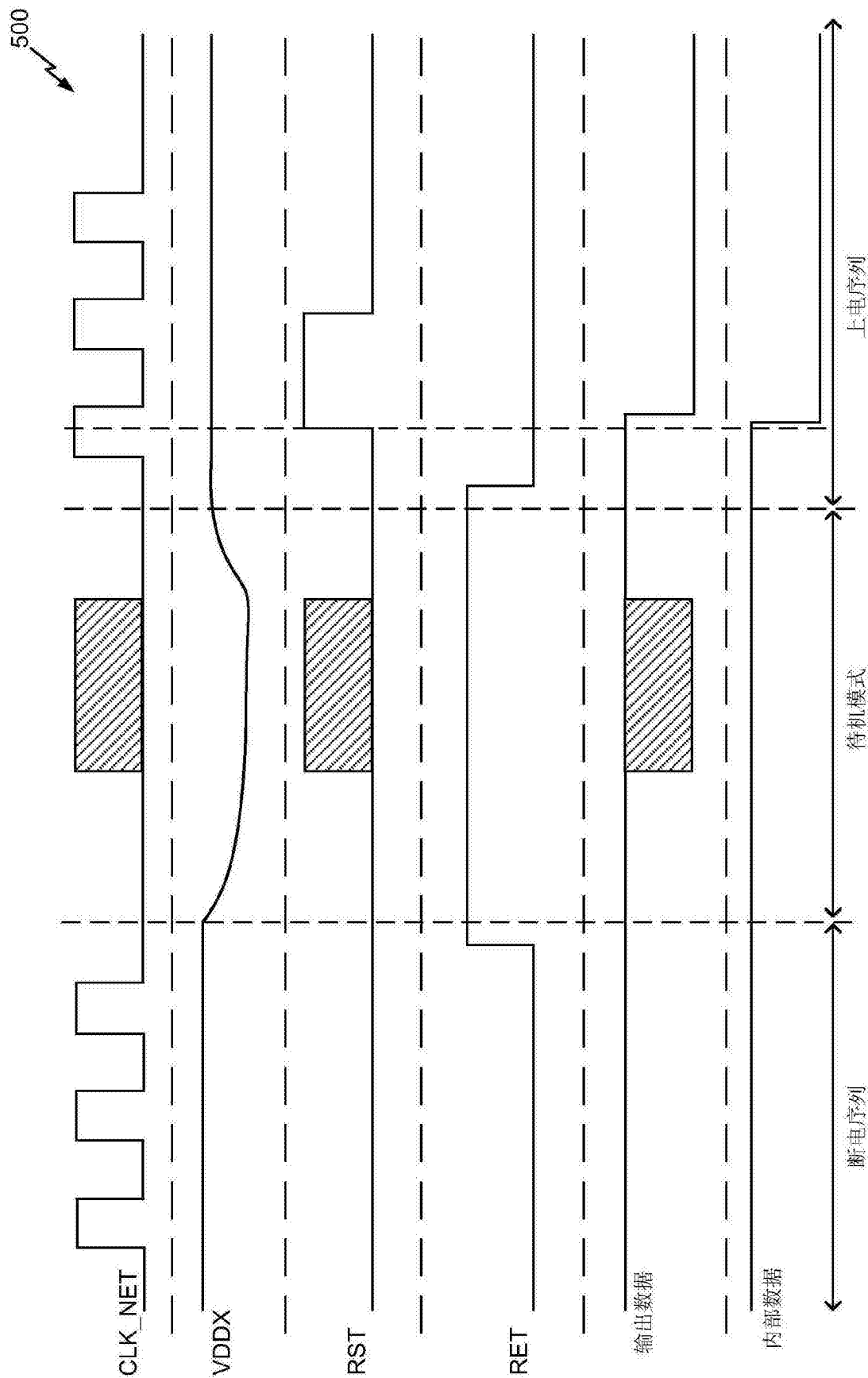


图5

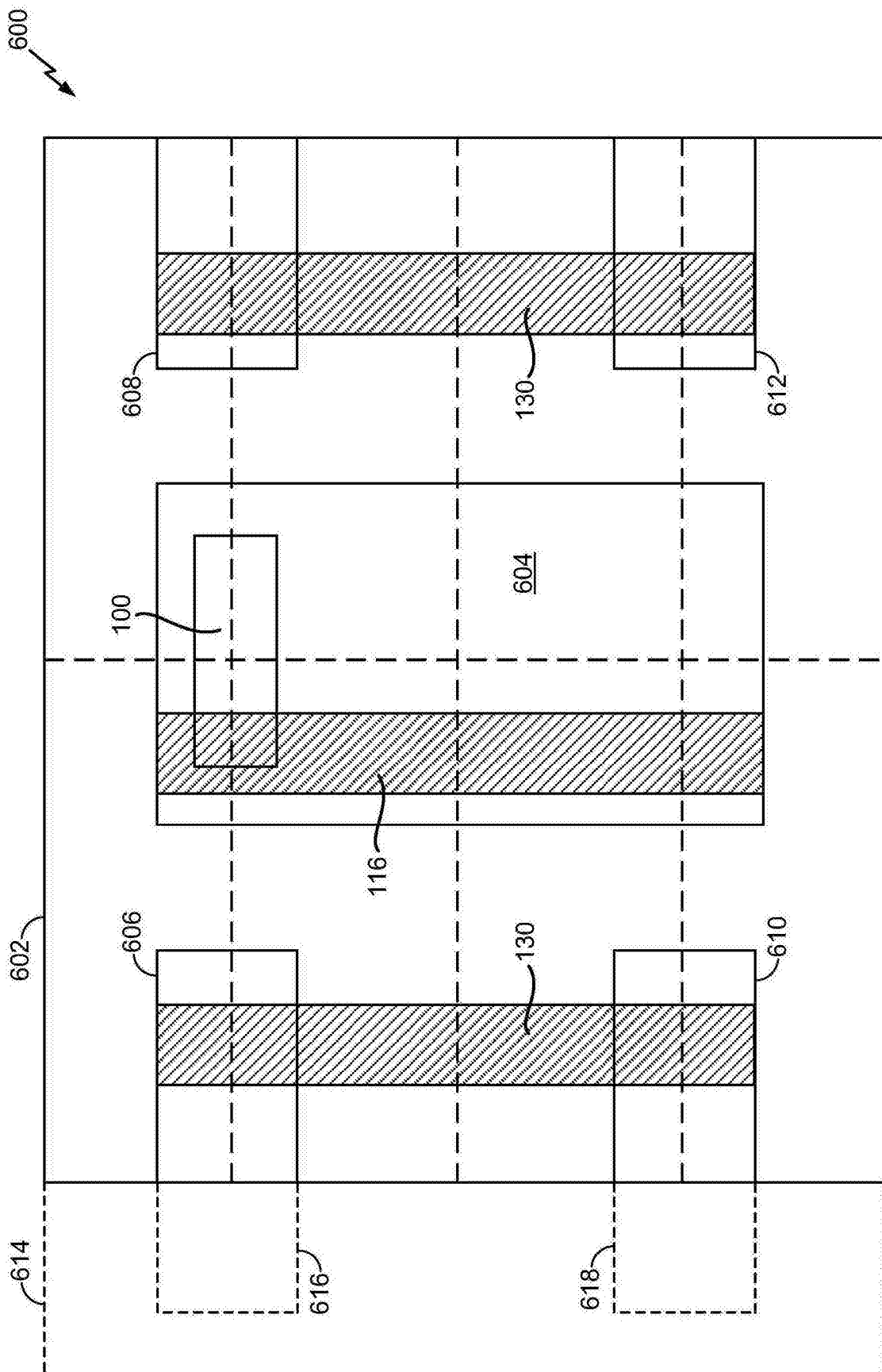


图6

700

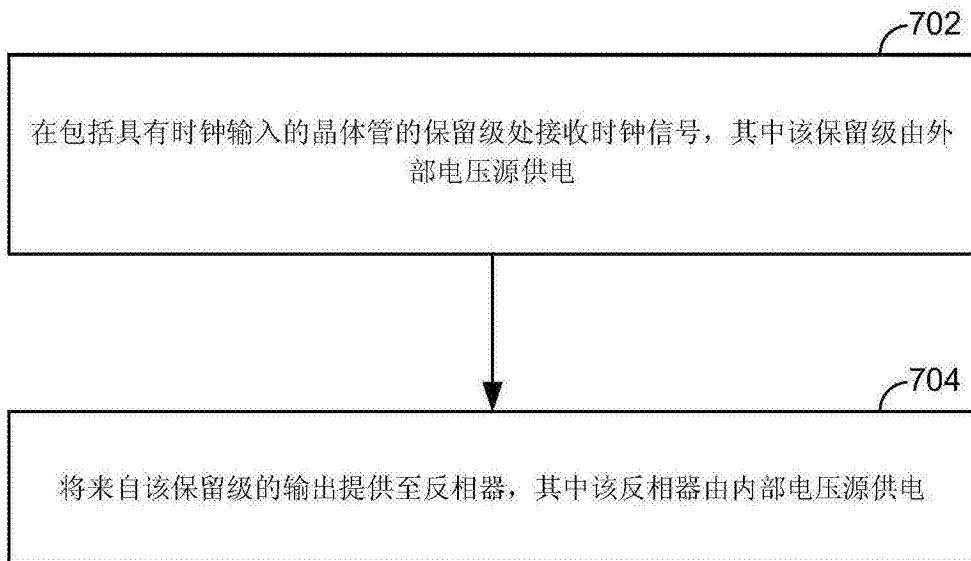


图7

800

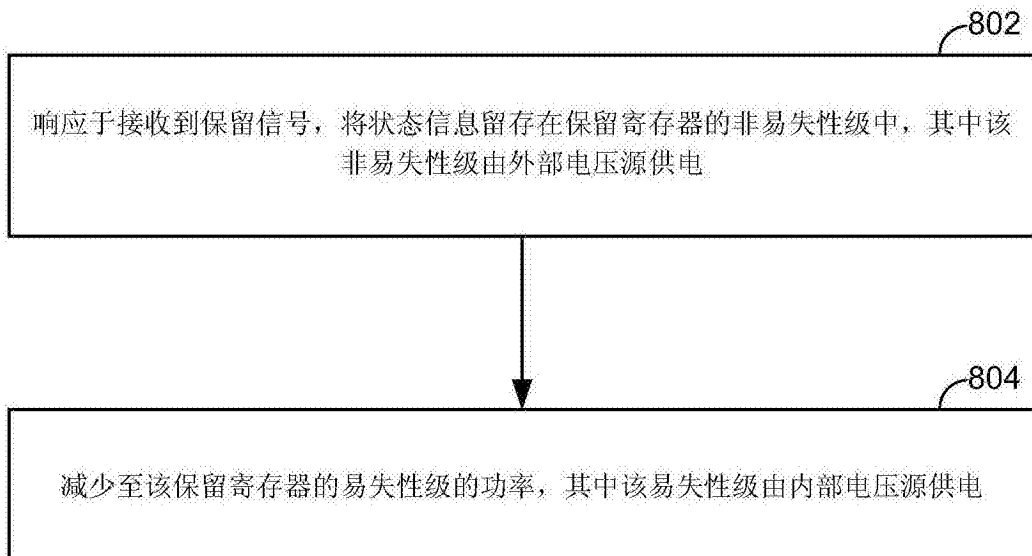


图8

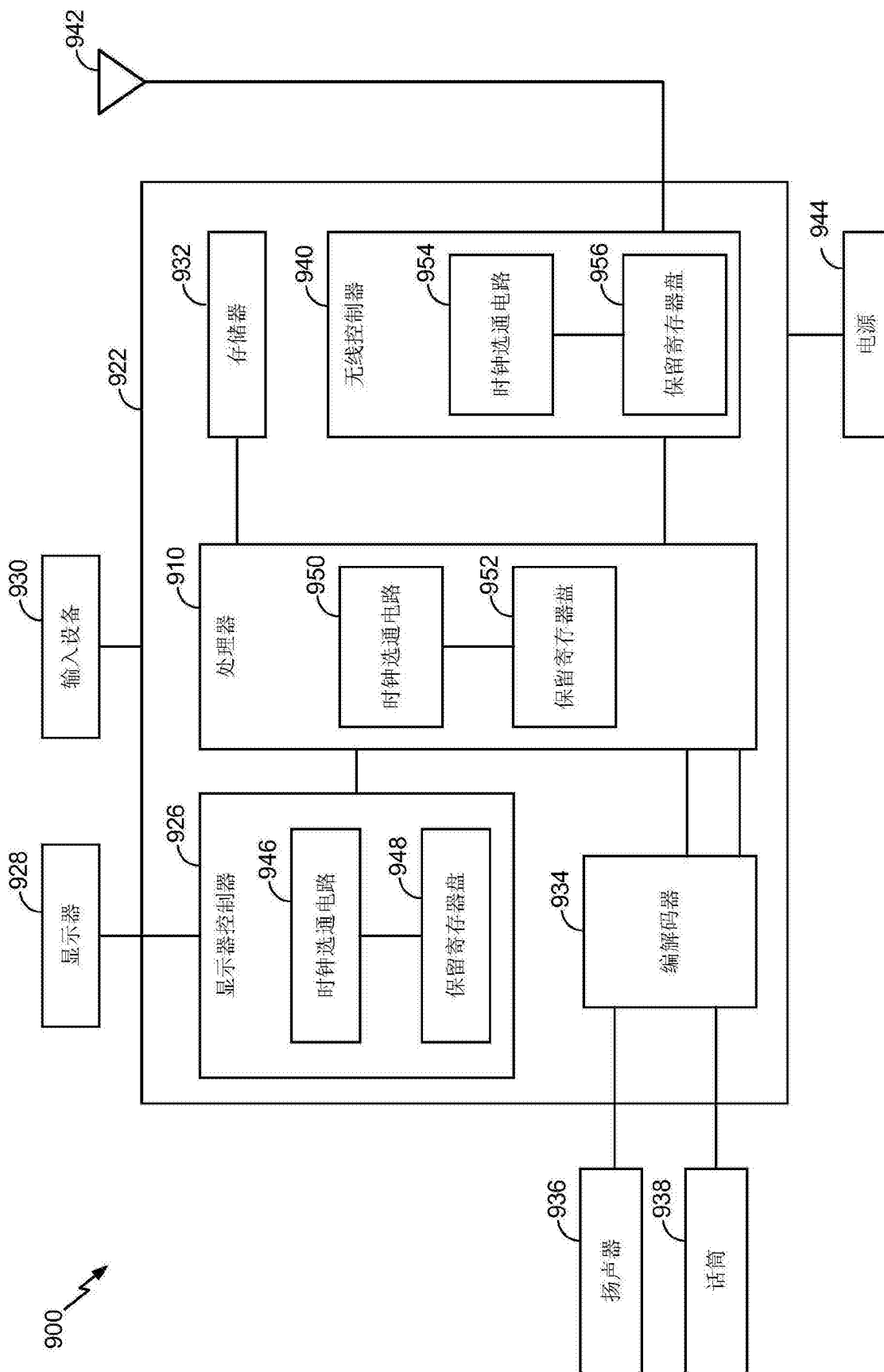


图9