

申請日期： 93.6.30	IPC分類 H01L 79/14
申請案號： 93119774	

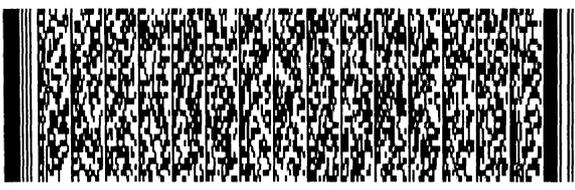
(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	利用機械應變矽增加積體電路或元件速度的方法
	英文	A Method Utilizing Mechanically Strained Silicon to Enhance Intergrated Circuits (IC) or Devices Speed

二、 發明人 (共4人)	姓名 (中文)	1. 余承擘 2. 詹孫戎 3. 張書通
	姓名 (英文)	1. 2. 3.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 台北市羅斯福路四段1號電機新館R515 2. 台北市羅斯福路四段1號電機新館R515 3. 台北市羅斯福路四段1號電機新館R515
	住居所 (英文)	1. 2. 3.

三、 申請人 (共1人)	名稱或姓名 (中文)	1. 國立台灣大學
	名稱或姓名 (英文)	1. National Taiwan University
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北市羅斯福路四段1號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 陳維昭
代表人 (英文)	1.	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 劉致為
	姓名 (英文)	4.
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 台北市羅斯福路四段1號電機新館R515
	住居所 (英文)	4.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

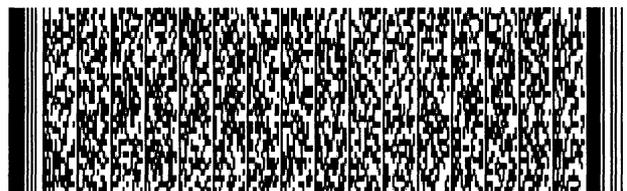
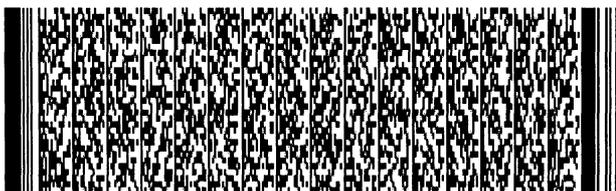
在積體電路技術上，元件的速度受到載子先天物理條件的影響而有一定的極限。本案藉由將用於製做積體電路元件的基板應力應變，而使得載子的有效質量減小，進而提升元件的操作速度。

【先前技術】

習知將應變矽 (strained Si) 技術應用於金氧半場效電晶體 (MOSFETs) 的方法，是利用將矽成長於鬆弛的 (relaxed) 矽鍺層上，由於鍺的晶格常數大約比矽大 4%，所以矽便受到矽鍺層施予拉伸的張力而產生應變。而此矽鍺層可成長在絕緣矽 (silicon-on-insulator, SOI) 的基板，或者傳統的矽基板上，不論是那一種方式，均證實可增強 P 型及 N 型金氧半場效電晶體的速度。

若直接成長應變矽於傳統矽晶圓之上，必須先在矽晶圓上先成長一層鬆弛的矽鍺層，但是因為鬆弛矽鍺層與矽晶圓介面處晶格常數差異過大所以會產生缺陷；為了降低這樣的缺陷，多會先成長一層厚度較厚 (0.5~2 μm) 之鍺濃度漸變 (漸增) 之矽鍺緩衝層 (graded relaxed SiGe buffer)，然後再成長一鍺濃度均勻之厚鬆弛矽鍺層，最後才是磊晶成長厚度較薄之應變矽層。環顧目前應變矽的成長方法，皆必須先成長鬆弛之矽鍺緩衝層，而這個步驟會造成應變矽與矽鍺緩衝層介面產生不少的錯位 (dislocation)，而降低應變矽的品質。

習知利用機械方式產生應變的方法為四點彎曲法



五、發明說明 (2)

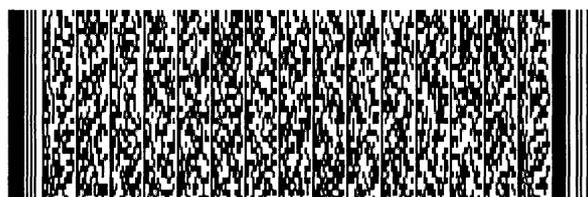
(Four point Bending Method, 參考Jeffery C. Shuling et al, IEEE Sensors Journal, Vol. 1, No.1, pp. 14-30), 其結構屬於量測性質。方法是將整片晶圓 (wafer) 的兩點固定, 在另外兩個點上施力以使晶圓產生應變。這種方法一般用於壓阻材料上的應力校正居多, 目前日本的Hitachi公司與麻省理工學院 (MIT) 的研究團隊都有用此方式來將製做好的金氧半場效電晶體元件產生應變。這個方法雖然方便且容易實施, 然而卻無法讓元件產生永久應變。職是之故, 本案創作人鑒於上述習知技術之缺失, 經悉心之研究, 並本鍥而不捨的精神, 終創作出本案之『利用機械應變矽增加積體電路或元件速度的方法』。

【發明內容】

本案之主要目的在於提供一種增加積體電路或元件速度的方法, 藉由在基板上作用應力, 使基板產生應變, 基板發生應變後, 傳輸載子的有效質量就會縮小, 載子遷移率及飽和速度均增加, 因此元件的操作速度可以獲得提升。

根據本案之構想, 利用將基板應力應變以增加積體電路或元件速度的方法, 包含以下步驟: 提供一基板; 固定該基板的邊界; 於該基板上施予一應力; 以及該基板受該應力而產生應變。

根據上述之構想, 其中該基板係選自單晶矽、多晶



五、發明說明 (3)

矽、非晶矽、鍺化矽、以及其他第三、四、五族元素之元素或化合物，以提供能承受應變之半導體基板或絕緣體基板。

根據上述之構想，其中該基板係選自絕緣矽基板 (SOI) 以及絕緣矽鍺基板 (Silicon Germanium on Insulator, SGOI) 其中之一。

根據上述之構想，其中該基板係選自原始基板以及經過加工的基板其中之一。

根據上述之構想，其中該基板係為方形。

根據上述之構想，其中對該方形基板施予應力的方式係為於該方形基板的對稱軸上，以橫桿沿著對稱軸自該方形基板的底部向上頂撐，以使該方形基板得到對稱應變。

根據上述之構想，其中對該方形基板施予應力的方式係為於該方形基板的對稱軸上，以二點以上的施力點由該方形基板的底部向上頂撐，以使該方形基板得到對稱應變。

根據上述之構想，其中該基板係為與其他基板或薄膜進行黏合或鍵結之複合基板。

根據上述之構想，其中該複合基板於應變前可施予研磨、蝕刻、以及分裂以改變該複合基板的厚度。

根據上述之構想，其中該應力係為拉伸應力以及壓縮應力其中之一。

根據上述之構想，其係藉由一組模具器材完成。

根據上述之構想，其中該組模具器材係由一夾扣裝置



五、發明說明 (4)

以及一活動軸桿所組成。

根據上述之構想，其中可於該組模具中注入可凝固之液體，利用凝固後之液體將受應變之基板固定。

本案另一方面提供一種利用將基板應力應變以增加積體電路或元件速度的方法，包含以下步驟：(a)提供一第一基板；(b)於該第一基板表面形成複數個孔洞；(c)於該複數個孔洞內填入體積可改變之物質；(d)提供一第二基板；(e)將該第二基板覆蓋於該第一基板之上，使其緊密貼合；(f)使該物質改變體積；以及(g)該第二基板受到因該物質體積改變所產生的應力而產生應變。

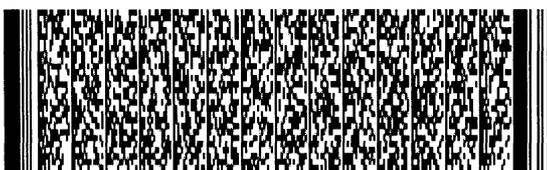
根據上述之構想，其中該第一基板係選自單晶矽、多晶矽、非晶矽、鍺化矽、以及其他第三、四、五族元素之元素或化合物。

根據上述之構想，其中該第二基板係選自單晶矽、多晶矽、非晶矽、鍺化矽、以及其他第三、四、五族元素之元素或化合物，以提供能承受應變之半導體基板或絕緣體基板。

根據上述之構想，其中該第二基板係選自絕緣矽基板(SOI)以及絕緣矽鍺基板(SGOI)其中之一。

根據上述之構想，其中該第二基板於黏合前以及黏合後可施予研磨、蝕刻、以及分裂以改變該複合基板的厚度。

根據上述之構想，其中該第二基板於黏合前於其上製作電子積體電路元件以及光電元件。



五、發明說明 (5)

根據上述之構想，其中該步驟(f)係利用溫度或壓力的改變，而使得該物質改變體積。

根據上述之構想，其中該第二基板於產生應變後，將該第二基板表面平坦化，以製做電子積體電路元件以及光電元件。

根據上述之構想，其中該應力係為拉伸應力以及壓縮應力其中之一。

【實施方式】

本案透過對矽基板施予機械應力，使矽基板彎曲產生應變，進而有效地降低電子及電洞的有效質量，以增加電子和電洞的遷移率。因為電子和電洞的遷移率增加、元件的操作速度變快，一些例如MOSFET的電子元件的特性可以因而獲得改善。

第一圖是本案最基本實施例的示意圖。第一圖中以圓形基板為例，第一圖(a)是圓形基板10的上視圖。第一圖(b)顯示將圓形基板10的邊緣以夾具12固定，然後基板10受到來自於基板底部的一個向上的機械應力20的作用，而形成彎曲的應變基板11。

若基板為方形基板，則基板受應力作用的情形，可以參考第二圖。第二圖(a)為方形基板13的上視圖。在對基板13施予應力之前，同樣地，先用夾具12將基板13的邊緣固定。為了在基板13上產生對稱應變，在對稱軸(X軸)的下方，施予一個向上的機械應力，基板13便會因此應力



五、發明說明 (6)

的作用，而產生對稱應變。要在基板的對稱軸上施予一機械應力，較簡單且易於實施的方法可參考第二圖(b)，該方法是在基板下方沿著對稱軸的方向上，放置一水平桿21，然後將水平桿21水平向上抬舉以對基板13施予一向上的機械應力20，使基板彎曲而形成彎曲的應變基板14。另外一個方法則如第二圖(c)所示，在基板13下方沿著對稱軸，平均放置多個垂直的支撐棒22，每個支撐棒22之間的距離大致相等，第二圖(c)是以兩個支撐棒為例，然後在每個支撐棒22上施予均勻且相等的力，使基板13受到這些支撐棒22所施予的機械應力20的總合，而形成彎曲的應變基板14。

上述的兩個例子中，基板10和基板13是以較常見的圓形和方形做為例子，事實上基板可以是任何形狀、任意大小、或甚至是切割後的基板。而且，基板可以是表面未經任何處理之基板、已製作積體電路元件之半導體基板、或是如第三圖所示，可以是事先進行鍵結或黏合之兩片或兩片以上的半導體晶圓基板31、32。此外，半導體基板31和32，可以在鍵結或黏合後、受應力應變前，以機械研磨、化學蝕刻、或是smart-cut等方式進行基板厚度之削減設計。而半導體基板31和32在受到機械應力20的作用後，便形成產生應變的半導體基板311和321。

欲對基板施以應力使其產生應變，除了以上的方法之外，還可以製做特定的模組或器具，以便專門用來使基板產生應變，並使得製做應變基板的步驟更簡化。如第四圖



五、發明說明 (7)

(a) 所示，提供應力之模組40主要由夾具41與活動軸桿42所構成。提供應力之模組40適用於任意形狀的基板，只要基板43能夠被模具兩邊的夾具41固定，然後將活動軸桿42由底部升起，對基板43施以應力，便可以得到應變基板44，如第四圖(b)所示。除了第四圖(b)中所示的單一軸桿之外，也可以使用多點對稱之軸桿45，如第四圖(c)所示，對基板43施以對稱的應力，進而產生對稱的應變基板44。

第五圖(a)表示形成應變基板44之後，將提供應力之模組40整個置於裝滿可凝固之液態溶液51的容器50中，待溶液凝固之後，將應變基板44與提供應力之模組40分離，如第五圖(b)所示，之後應變基板44所受的應力，便由已凝固之溶液52提供，以使得應變基板44繼續保持在受應力的狀態。利用這種方式，提供應力之模組40便可以重覆使用以節省成本，且有助於封裝工程的進行。

第六圖提供另一種在基板上施予應力以使其產生應變的方式。如第六圖(a)所示，首先在模具60上製做一個或多個凹槽61，在凹槽61中填入容易改變體積之填充物62，而後將基板43蓋上，以黏合或鍵結等方式，使基板43與模具60緊密貼合，將凹槽61密封，如第六圖(b)所示。之後以改變溫度或是改變壓力的方式，讓填充物62產生體積變化。如果填充物變為膨脹之填充物63，如第六圖(c)所示，則基板43受到拉伸應力作用，而形成受拉伸應力應變之基板46；或是如果填充物變為收縮之填充物64，則基板



五、發明說明 (8)

43 受到壓縮應力作用，而形成受壓縮應力應變之基板47。而且不論是受拉伸應力應變之基板46，或是受壓縮應力應變之基板47，隨後都可以用蝕刻或研磨的方式進行表面平坦化處理。

為了清楚了解基板受應力應變之後所產生的效果，我們利用模擬軟體分析，並且經由實驗證實元件的操作速度確實獲得提升。第七圖是利用模擬軟體ANSYS分析外加應力對基板產生應變之分析圖，其顯示在本案中對晶圓施以機械應力而於晶圓上產生應變的分佈圖，由這個分析圖可以看出晶圓確實會受應力影響而產生應變，而且離中心愈近，應變就愈大。第八圖是分析藉由本案的方法所製造出的應變矽基板，其上的電晶體的汲極電流對應汲極電壓的關係圖。由第八圖中可見，基板受到應變之後，不論閘極電壓為何，汲極電流與未受應變前相較之下，均有提升，而且增加的幅度可至6.5%。由此可見，本案之利用機械應變矽以增加積體電路或元件速度的方法確實對元件的效能有所提升，而且電流增加因子可望由實驗最佳化而再進一步提升。

本案得由熟悉技藝之人任施匠思而為諸般修飾，然皆不脫如附申請範圍所欲保護者。



圖式簡單說明

- | | |
|---------------|---------------|
| 311 應變的半導體基板 | 321 應變的半導體基板 |
| 40 提供應力之模組 | 41 夾具 |
| 42 活動軸桿 | 43 基板 |
| 44 應變基板 | 45 多點對稱之軸桿 |
| 46 受拉伸應力應變之基板 | 47 受壓縮應力應變之基板 |
| 50 容器 | 51 可凝固之液態溶液 |
| 52 已凝固之溶液 | 60 模具 |
| 61 凹槽 | 62 易於改變體積之填充物 |
| 63 膨脹之填充物 | 64 收縮之填充物 |



四、中文發明摘要 (發明名稱：利用機械應變矽增加積體電路或元件速度的方法)

本案係提供一種利用將基板應力應變以增加積體電路或元件速度的方法，包含以下步驟：(a) 提供一基板；(b) 固定該基板的邊界；(c) 於該基板上施予一應力；以及(d) 該基板受該應力而產生應變。

五、英文發明摘要 (發明名稱：A Method Utilizing Mechanically Strained Silicon to Enhance Intergrated Circuits (IC) or Devices Speed)



六、指定代表圖

(一)、本案代表圖為：第_____二_____圖

(二)、本案代表圖之元件代表符號簡單說明：

10 圓形基板

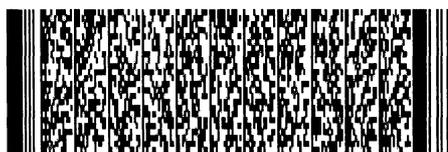
11 彎曲的應變基板

12 夾具

13 方形基板

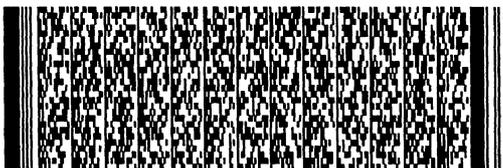
14 彎曲的應變基板

20 機械應力



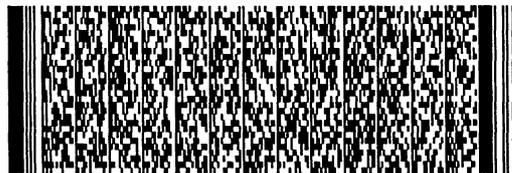
六、申請專利範圍

1. 一種利用將基板應力應變以增加積體電路或元件速度的方法，包含以下步驟：
 - (a) 提供一基板；
 - (b) 固定該基板的邊界；
 - (c) 於該基板上施予一應力；以及
 - (d) 該基板受該應力而產生應變。
2. 如申請專利範圍第1項所述之方法，其中該基板係選自單晶矽、多晶矽、非晶矽、鍺化矽、以及其他第三、四、五族元素之元素或化合物，以提供能承受應變之半導體基板或絕緣體基板。
3. 如申請專利範圍第1項所述之方法，其中該基板係選自絕緣矽基板(SOI)以及絕緣矽鍺基板(SGOI)其中之一。
4. 如申請專利範圍第1項所述之方法，其中該基板係選自原始基板以及經過加工的基板其中之一。
5. 如申請專利範圍第1項所述之方法，其中該基板係為方形。
6. 如申請專利範圍第5項所述之方法，其中對該方形基板施予應力的方式係為於該方形基板的對稱軸上，以橫桿沿著對稱軸自該方形基板的底部向上頂撐，以使該方形基板得到對稱應變。
7. 如申請專利範圍第5項所述之方法，其中對該方形基板施予應力的方式係為於該方形基板的對稱軸上，以二點以上的施力點由該方形基板的底部向上頂撐，以使該方形基板得到對稱應變。



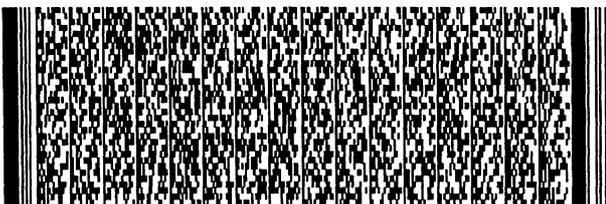
六、申請專利範圍

8. 如申請專利範圍第1項所述之方法，其中該基板係為與其他基板或薄膜進行黏合或鍵結之複合基板。
9. 如申請專利範圍第8項所述之方法，其中該複合基板於應變前可施予研磨、蝕刻、以及分裂以改變該複合基板的厚度。
10. 如申請專利範圍第1項所述之方法，其中該應力係為拉伸應力以及壓縮應力其中之一。
11. 如申請專利範圍第1項所述之方法，其係藉由一組模具器材完成。
12. 如申請專利範圍第11項所述之方法，其中該組模具器材係由一夾扣裝置以及一活動軸桿所組成。
13. 如申請專利範圍第11項所述之方法，其中可於該組模具中注入可凝固之液體，利用凝固後之液體將受應變之基板固定。
14. 一種利用將基板應力應變以增加積體電路或元件速度的方法，包含以下步驟：
 - (a) 提供一第一基板；
 - (b) 於該第一基板表面形成複數個孔洞；
 - (c) 於該複數個孔洞內填入體積可改變之物質；
 - (d) 提供一第二基板；
 - (e) 將該第二基板覆蓋於該第一基板之上，使其緊密貼合；
 - (f) 使該物質改變體積；以及
 - (g) 該第二基板受到因該物質體積改變所產生的應力而產生應變。

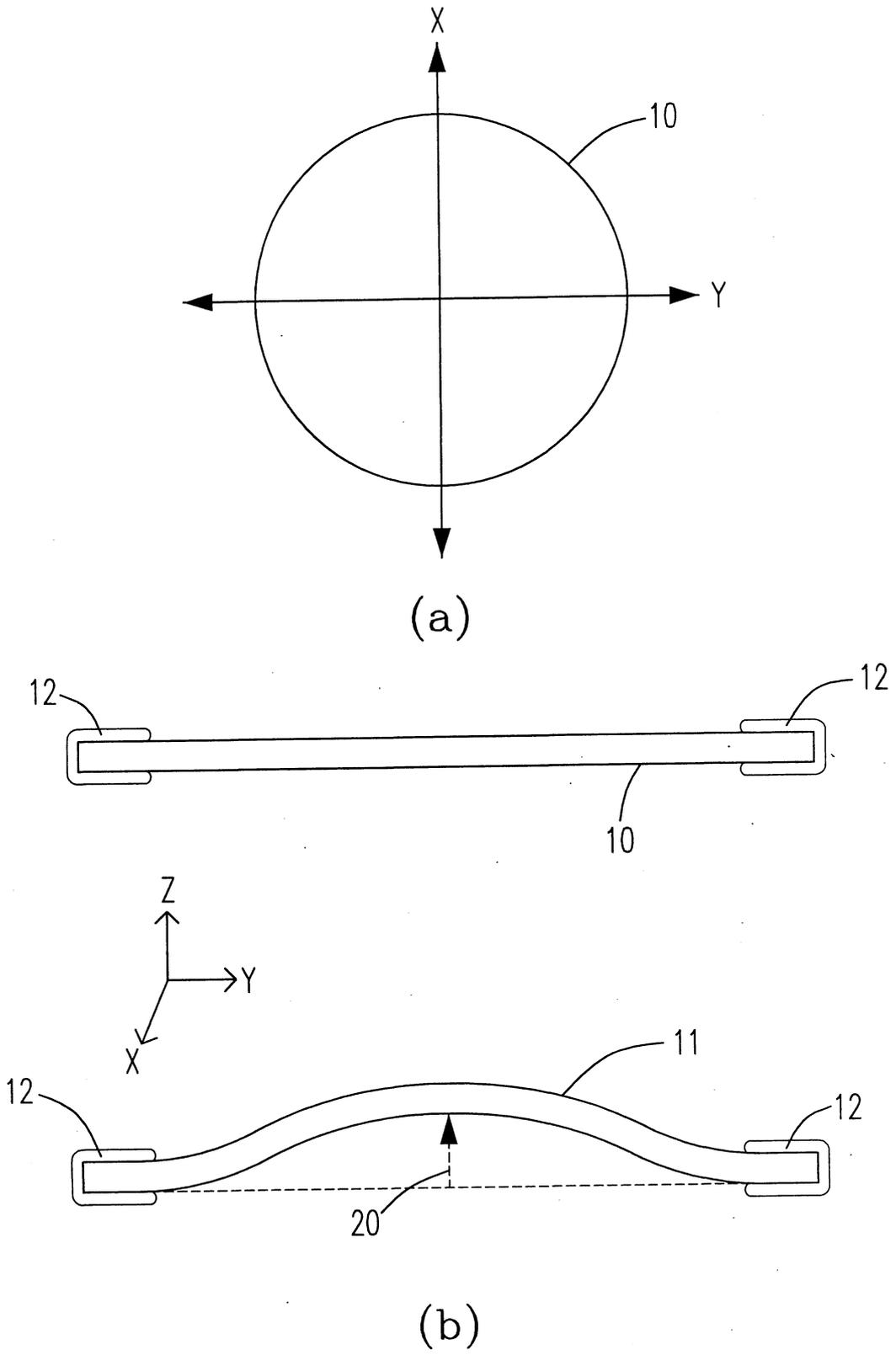


六、申請專利範圍

15. 如申請專利範圍第14項所述之方法，其中該第一基板係選自單晶矽、多晶矽、非晶矽、鍺化矽、以及其他第三、四、五族元素之元素或化合物。
16. 如申請專利範圍第14項所述之方法，其中該第二基板係選自單晶矽、多晶矽、非晶矽、鍺化矽、以及其他第三、四、五族元素之元素或化合物，以提供能承受應變之半導體基板或絕緣體基板。
17. 如申請專利範圍第14項所述之方法，其中該第二基板係選自絕緣矽基板（SOI）以及絕緣矽鍺基板（SGOI）其中之一。
18. 如申請專利範圍第14項所述之方法，其中該第二基板於黏合前以及黏合後可施予研磨、蝕刻、以及分裂以改變該複合基板的厚度。
19. 如申請專利範圍第14項所述之方法，其中該第二基板於黏合前於其上製作電子積體電路元件以及光電元件。
20. 如申請專利範圍第14項所述之方法，其中該步驟(f)係利用溫度或壓力的改變，而使得該物質改變體積。
21. 如申請專利範圍第14項所述之方法，其中該第二基板於產生應變後，將該第二基板表面平坦化，以製做電子積體電路元件以及光電元件。
22. 如申請專利範圍第14項所述之方法，其中該應力係為拉伸應力以及壓縮應力其中之一。

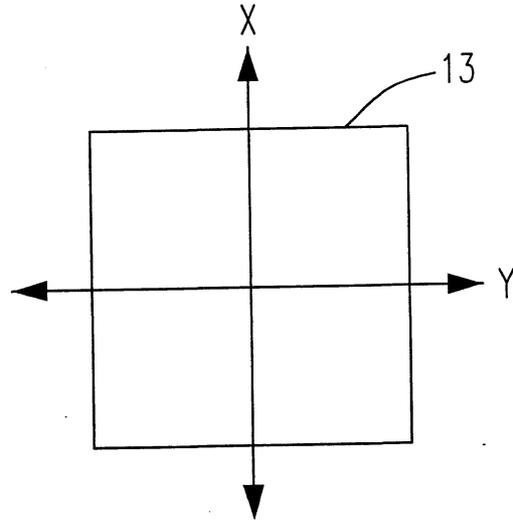


圖式

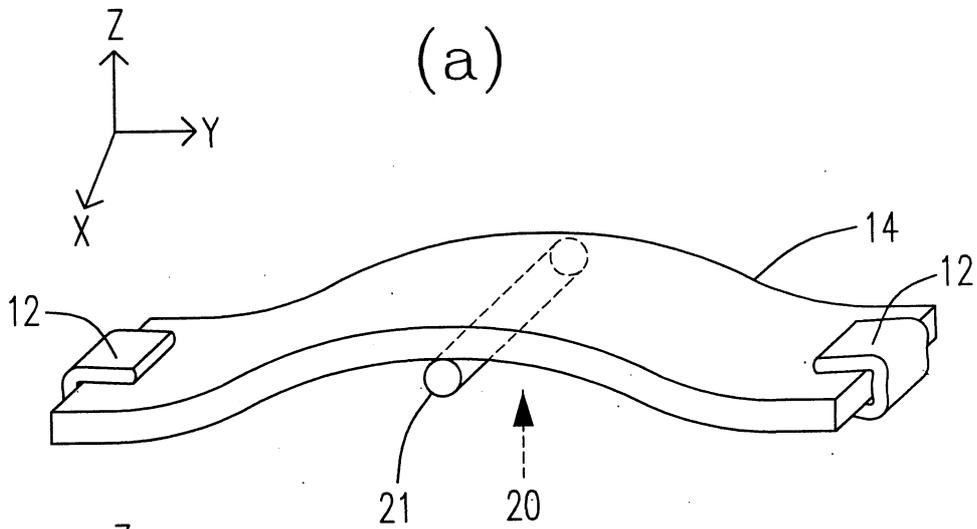


第一圖

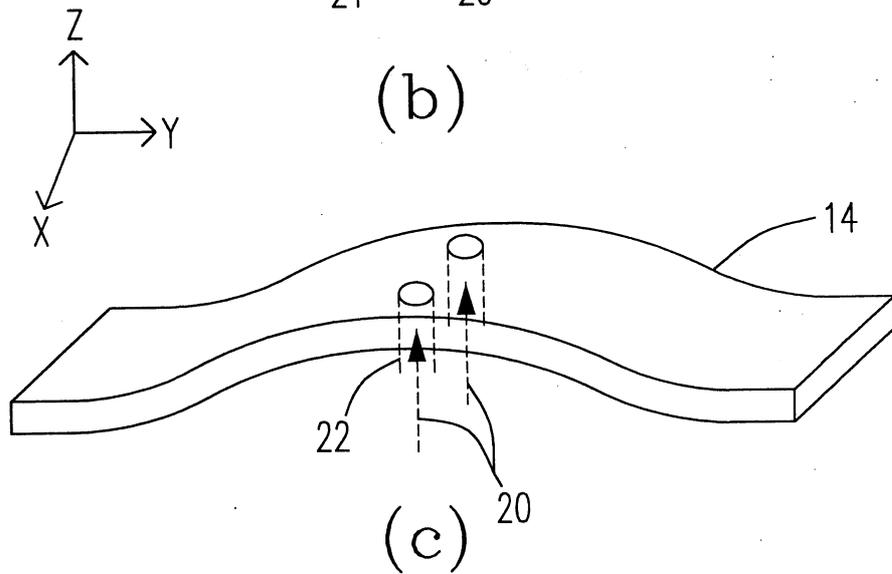
圖式



(a)



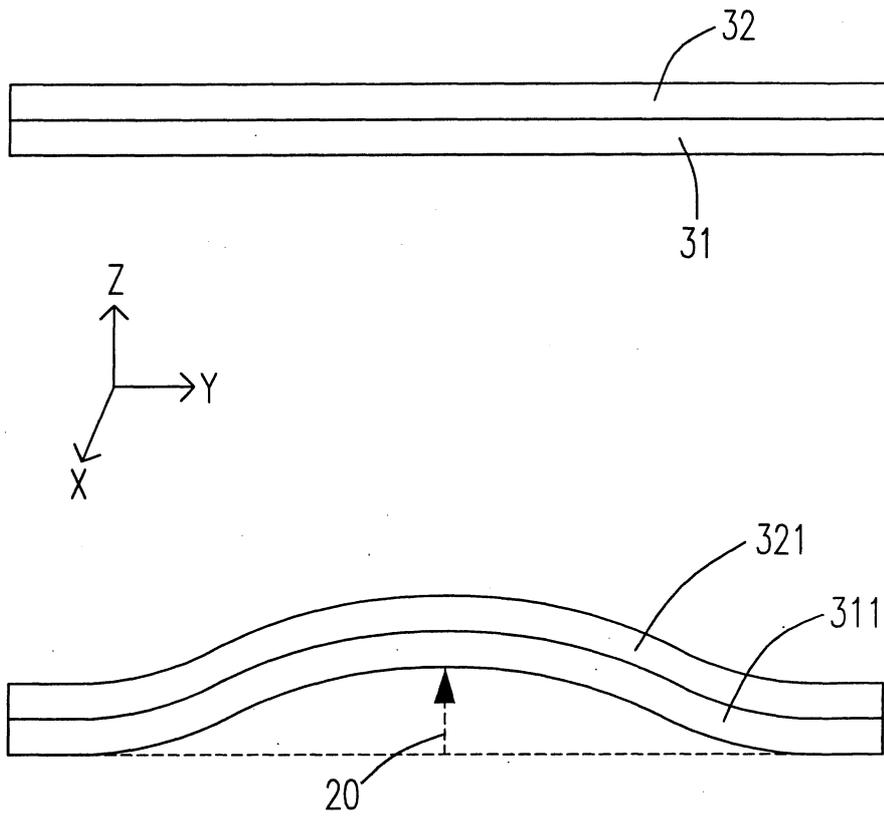
(b)



(c)

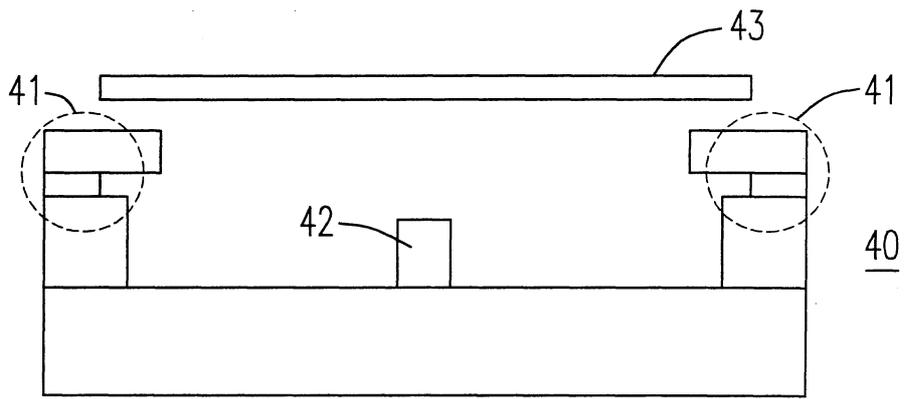
第二圖

圖式

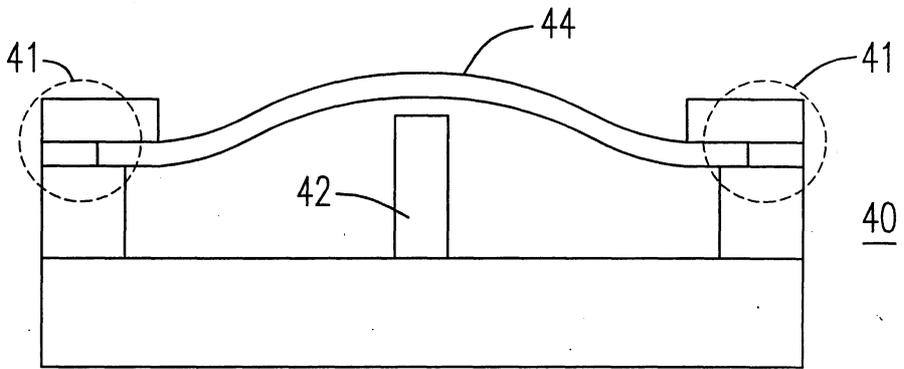


第三圖

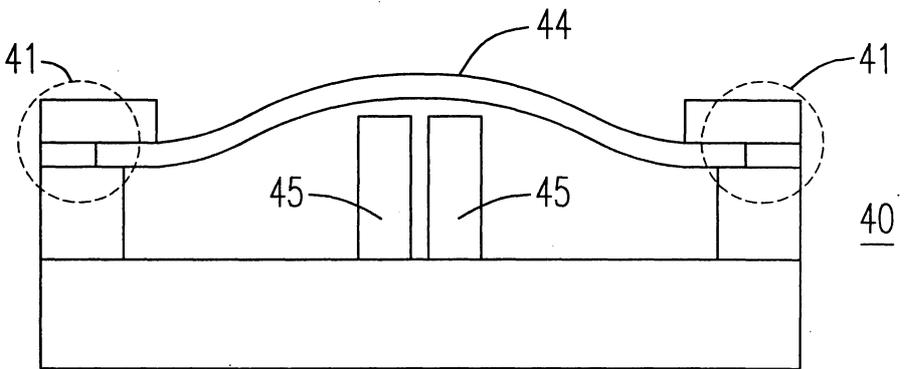
圖式



第四圖(a)

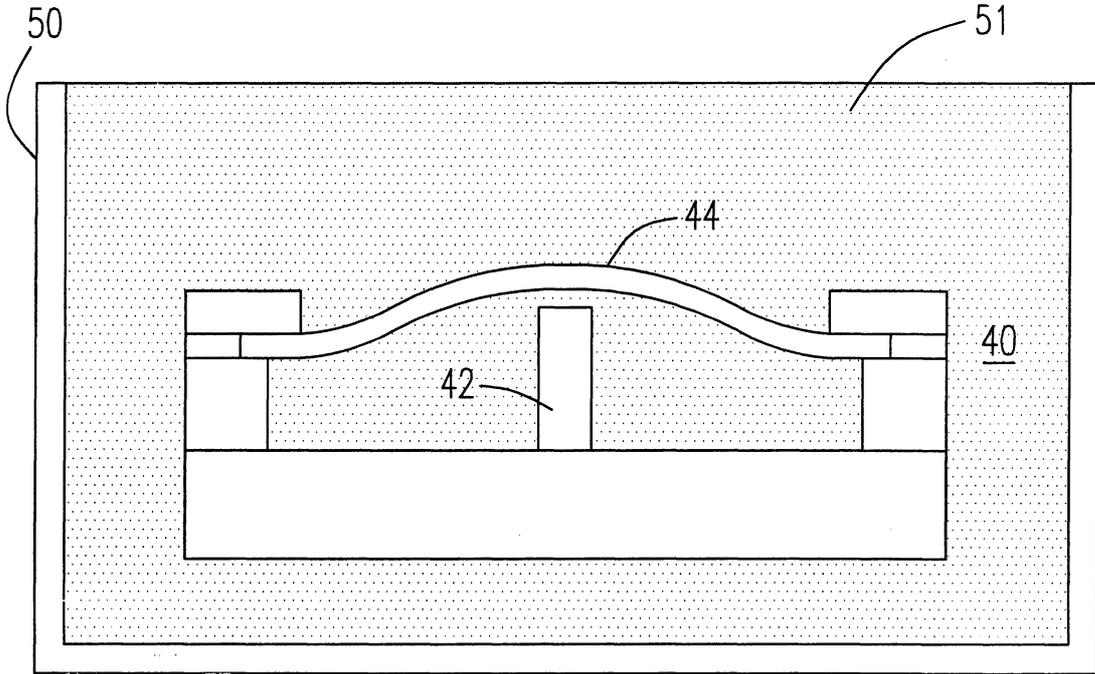


第四圖(b)

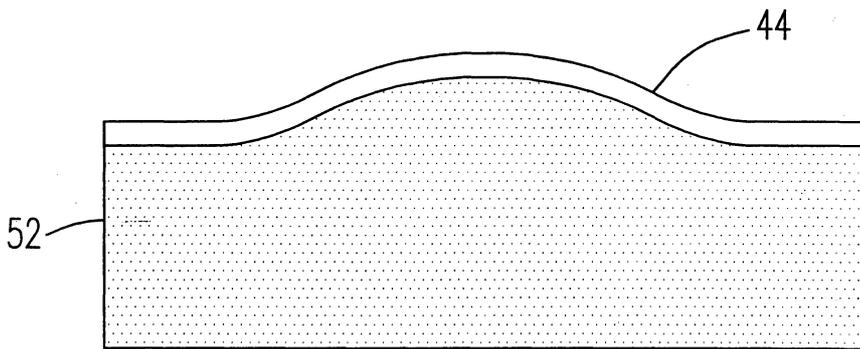


第四圖(c)

圖式

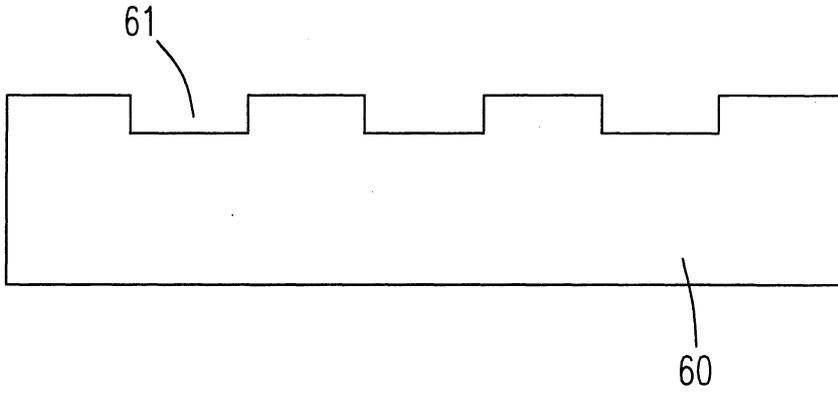


第五圖(a)

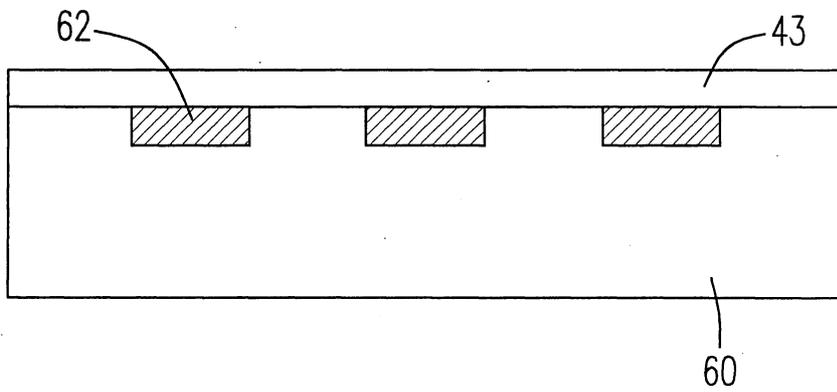


第五圖(b)

圖式

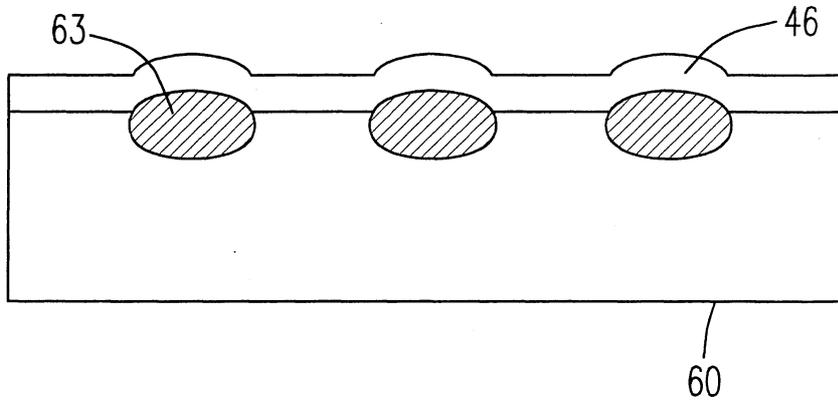


第六圖(a)

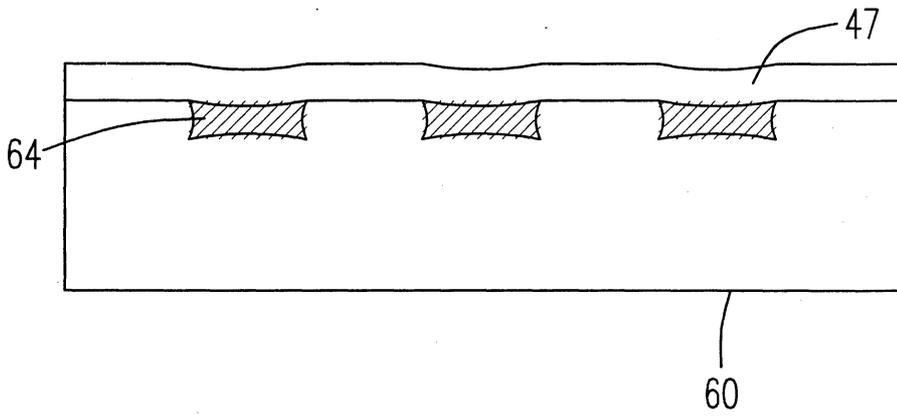


第六圖(b)

圖式

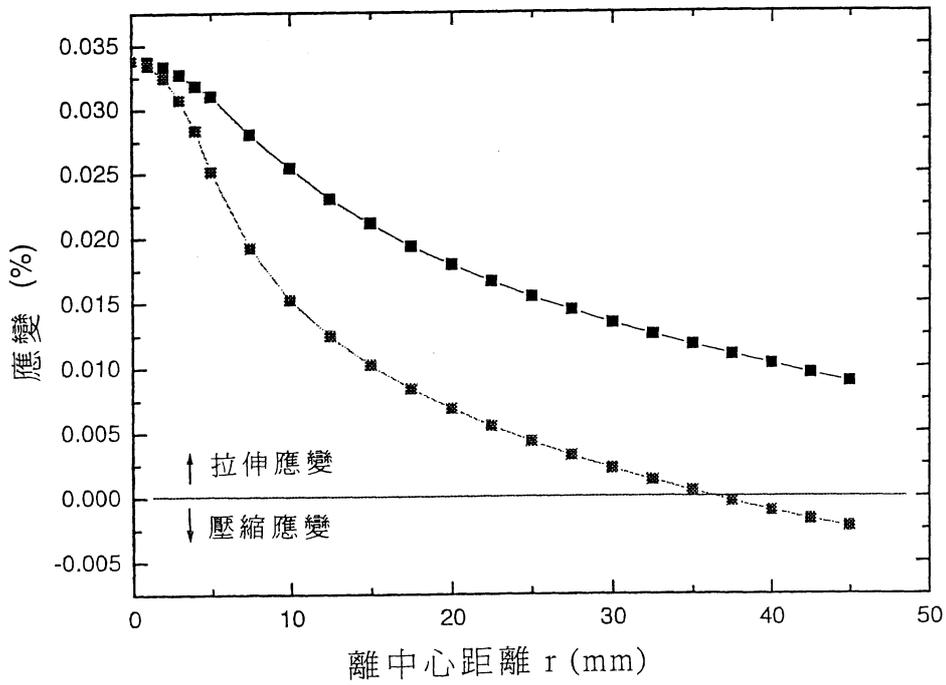
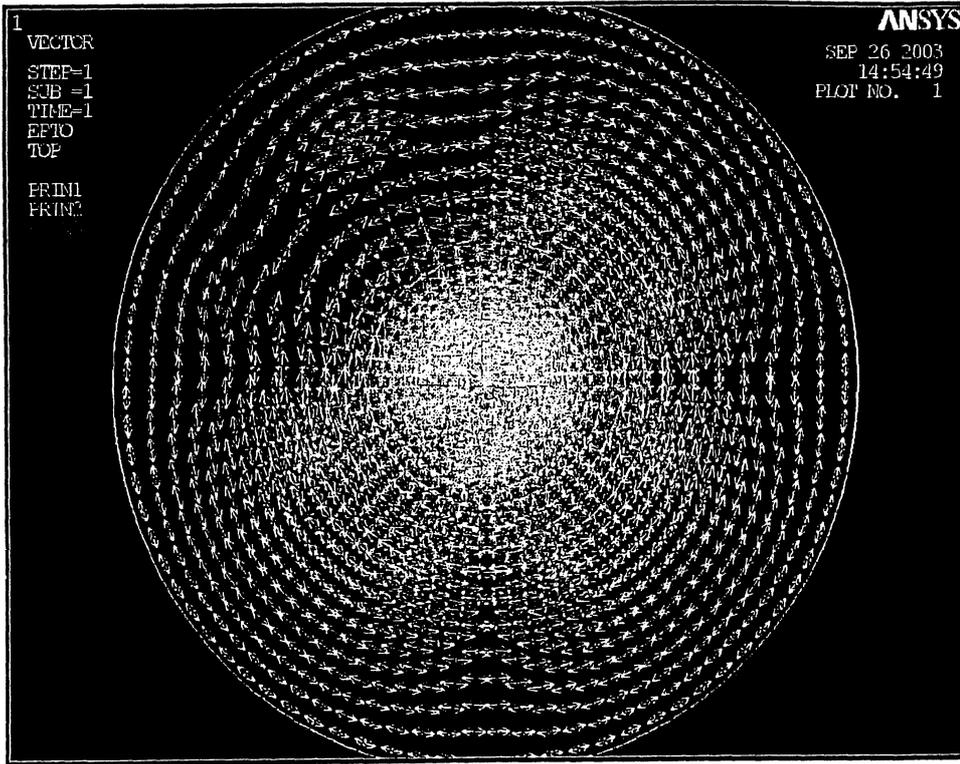


第六圖(c)



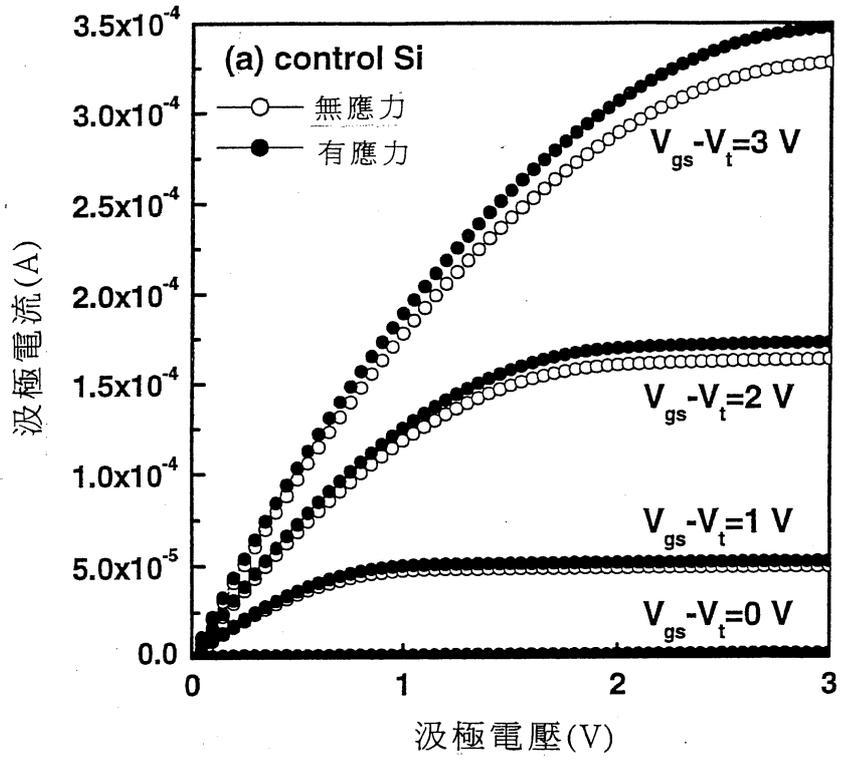
第六圖(d)

圖式



第七圖

圖式



第八圖

圖式簡單說明

第一圖為本案對圓形基板施予應力應變之一較佳實施例示意圖；

第二圖為本案對方形基板施予應力應變之一較佳實施例示意圖；

第三圖為本案對複合基板施予應力應變之一較佳實施例示意圖；

第四圖(a)、第四圖(b)、第四圖(c)為本案提供應力之模組的另一較佳實施例示意圖；

第五圖(a)、第五圖(b)為本案利用可凝固之液體以對基板實施應力應變之一較佳實施例示意圖；

第六圖(a)、第六圖(b)、第六圖(c)、第六圖(d)為本案利用改變凹槽內物體體積的方法，以對基板實施應力應變之一較佳實施例示意圖；

第七圖為利用模擬軟體，分析外加應力對半導體基板產生應變之分析圖；以及

第八圖為比較受應力應變的基板與未受應力應變的基板，其上電晶體的汲極電流對應汲極電壓的關係圖。

元件符號說明

10 圓形基板	11 彎曲的應變基板
12 夾具	13 方形基板
14 彎曲的應變基板	20 機械應力
21 水平桿	22 垂直支撐棒
31 半導體基板	32 半導體基板

