

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成27年3月19日(2015.3.19)

【公開番号】特開2013-229086(P2013-229086A)

【公開日】平成25年11月7日(2013.11.7)

【年通号数】公開・登録公報2013-061

【出願番号】特願2012-102135(P2012-102135)

【国際特許分類】

G 11 C 16/02 (2006.01)

G 11 C 16/04 (2006.01)

【F I】

G 11 C 17/00 6 1 1 G

G 11 C 17/00 6 4 1

G 11 C 17/00 6 2 2 E

【手続補正書】

【提出日】平成27年1月29日(2015.1.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記複数ビットデータのビット数に相当する数のページを有する複数の不揮発性メモリ部と、

上記複数の不揮発性メモリ部のデータ書き込み／読み出のための制御を行う制御部とを備え、上記制御部は、

上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御するメモリ装置。

【請求項2】

上記制御部は、

上記下位ページに書き込みをするときは、上記複数の不揮発性メモリ部のうち、少なくとも2つの不揮発性メモリ部に同時にアクセスできる請求項1に記載のメモリ装置。

【請求項3】

上記複数ビットデータは2ビットである請求項1に記載のメモリ装置。

【請求項4】

上記不揮発性メモリ部はNAND型フラッシュメモリである請求項1に記載のメモリ装置。

【請求項5】

1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記複数ビットデータのビット数に相当する数のページを有する複数の不揮発性メモリ部についてデータの読み出／書き込み制御を行うメモリ制御装置であつて、

上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ペ

ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御するメモリ制御装置。

【請求項 6】

上記不揮発性メモリ部はNAND型フラッシュメモリである請求項5に記載のメモリ制御装置。

【請求項 7】

1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記複数ビットデータのビット数に相当する数のページを有する複数の不揮発性メモリ部についてデータの読み出し/書き込み制御を行うメモリ制御方法であって、

上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御する

メモリ制御方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

本開示のメモリ装置は、1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記複数ビットデータのビット数に相当する数のページを有する複数の不揮発性メモリ部と、上記複数の不揮発性メモリ部のデータ書き込み/読み出しがための制御を行なう制御部とを備える。そして上記制御部は、上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本開示のメモリ制御装置は、1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記複数ビットデータのビット数に相当する数のページを有する複数の不揮発性メモリ部についてデータの読み出し/書き込み制御を行うメモリ制御装置であり、上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本開示のメモリ制御方法は、1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記複数ビットデータのビット数

に相当する数のページを有する複数の不揮発性メモリ部についてデータの読み出し/書き込み制御を行うメモリ制御方法であり、上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行う場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御する。

#### 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

#### 【0019】

外部インターフェース8は、外部のホスト10とコントローラ9との間で各種データの送受信を可能とするために設けられ、上記ホスト10からのコマンド受信やデータの送受信等を行う。

上記ホスト10から書き込まれたデータは、当該外部インターフェース8を介してバッファRAM7に一時蓄積された後、コントローラ9の制御により、データ線Ldを介して所定の不揮発性2~5のいずれかに書き込まれる。

また、ホスト10から不揮発性メモリ2~5のいずれかに書き込まれたデータの読み出しがあった場合、コントローラ9の制御により該当する不揮発性メモリからの読み出しがデータ線Ldを介してバッファRAM7に一時蓄積された後、外部インターフェース8を介して上記ホスト機器に対して送出される。

#### 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

#### 【0021】

メモリセルMTは直列に接続され、両端を選択ゲートトランジスタSTで挟んだ構成となっている。この構成をNAND列と呼ぶ。ここでは、各NAND列はm個のメモリセルMTが直列に接続されて構成されている。各NAND列の一端はドレイン側選択ゲート線SG0に接続された選択ゲートトランジスタST10~ST1nを介してビット線BL0~BLnに、他端はソース側選択ゲート線SGLに接続された選択ゲートトランジスタST20~ST2nを介して共通ソース線SLに接続されている。NAND列の各々のメモリセルMTの制御ゲートは、ワード線WL0~WLmに接続されている。

#### 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

#### 【0041】

なお本技術は以下のような構成も採ることができる。

(1) 1つのメモリセルに複数ビットデータを記録でき、書き込み制御単位としての複数の上記メモリセルに対応して、上記複数ビットデータのビット数に相当する数のページを有する複数の不揮発性メモリ部と、

上記複数の不揮発性メモリ部のデータ書き込み/読み出しがための制御を行なう制御部とを備え、上記制御部は、

上記複数の不揮発性メモリ部のうち、1の不揮発性メモリ部にデータの書き込みを行なう場合、下位ページから上位ページに向かって順にページ単位で書き込むとともに、下位ページに書き込むときには他の不揮発性メモリ部の何れかの領域に同じタイミングで上記下位ページに書き込むべきデータを書き込むように制御するメモリ装置。

(2) 上記制御部は、

上記下位ページに書き込みをするときは、上記複数の不揮発性メモリ部のうち、少なくとも2つの不揮発性メモリ部に同時にアクセスできる上記(1)に記載のメモリ装置。

(3) 上記複数ビットデータは2ビットである(1)又は(2)に記載のメモリ装置。

(4) 上記不揮発性メモリ部はNAND型フラッシュメモリである上記(1)乃至(3)のいずれかに記載のメモリ装置。