

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4201202号
(P4201202)

(45) 発行日 平成20年12月24日(2008.12.24)

(24) 登録日 平成20年10月17日(2008.10.17)

(51) Int.Cl.	F I
H O 3 K 19/0948 (2006.01)	H O 3 K 19/094 B

請求項の数 25 (全 18 頁)

(21) 出願番号	特願2004-530071 (P2004-530071)	(73) 特許権者	000005821
(86) (22) 出願日	平成15年8月1日(2003.8.1)		パナソニック株式会社
(65) 公表番号	特表2005-536161 (P2005-536161A)		大阪府門真市大字門真1006番地
(43) 公表日	平成17年11月24日(2005.11.24)	(74) 代理人	100101454
(86) 国際出願番号	PCT/EP2003/008576		弁理士 山田 卓二
(87) 国際公開番号	W02004/019495	(74) 代理人	100081422
(87) 国際公開日	平成16年3月4日(2004.3.4)		弁理士 田中 光雄
審査請求日	平成17年8月30日(2005.8.30)	(74) 代理人	100091524
(31) 優先権主張番号	10/224,093		弁理士 和田 充夫
(32) 優先日	平成14年8月19日(2002.8.19)	(72) 発明者	アンソニー アイ. スタンスフィールド
(33) 優先権主張国	米国 (US)		イギリス ビーエス8 4ワイビー ブリ
		(72) 発明者	アラン ディー. マーシャル
			イギリス ビーエス8 3ピーワイ ブリ
			ストル セント メアリーズ ロード 2
			最終頁に続く

(54) 【発明の名称】 パス装置用低電圧変調回路

(57) 【特許請求の範囲】

【請求項 1】

再構成可能装置であって、
 処理装置入力及び処理装置出力をそれぞれが備えている複数の処理装置と、
 前記処理装置出力の少なくとも一つを前記処理装置入力の少なくとも一つに接続する構成可能ルーティングネットワークと、
 前記構成可能ルーティングネットワークと前記処理装置入力の間に位置しており、少なくともその一つは論理回路及び電圧変調回路を備えている複数の入力バッファ回路を備え、

前記構成可能ルーティングネットワークは、一つまたは二つ以上の入力バッファ回路へ劣化電圧入力信号を供給する再構成可能装置。

【請求項 2】

前記構成可能ルーティングネットワークは、複数のパストランジスタを備えていることを特徴とする請求項 1 の再構成可能装置。

【請求項 3】

前記電圧変調回路は、非劣化供給電圧信号を受信しており、前記論理回路に出力供給電圧信号を供給しており、

その出力供給電圧信号は、前記非劣化供給電圧信号又は劣化供給電圧信号のいずれかを備えていることを特徴とする請求項 1 の再構成可能装置。

【請求項 4】

10

20

前記論理回路は、
前記構成可能ルーティングネットワークから前記劣化電圧入力信号を受信する論理回路入力と、
前記電圧変調回路から前記出力供給電圧信号を受信する供給電圧入力と、
論理回路出力を備えており、
前記電圧変調回路は、
前記非劣化供給電圧信号を受信する電圧変調回路入力と、
前記供給電圧入力に前記出力供給電圧信号を供給する電圧変調回路出力と、
前記非劣化供給電圧信号を前記劣化供給電圧に変換し、前記劣化供給電圧信号を前記電圧変調回路出力に供給するコンバータと、
前記コンバータをバイパスし、前記非劣化供給電圧信号を前記電圧変調回路出力に供給するバイパス回路と、
前記出力供給電圧信号を前記電圧変調回路出力へ供給するために、前記コンバータと前記バイパス回路の間で選択するための制御信号を受信する制御入力とを備えていることを特徴とする請求項 3 の再構成可能装置。

10

【請求項 5】

前記コンバータは、トランジスタを備えていることを特徴とする請求項 4 の再構成可能装置。

【請求項 6】

前記トランジスタはゲート入力を備えており、前記制御入力の前記トランジスタのゲート入力に接続されることを特徴とする請求項 5 の再構成可能装置。

20

【請求項 7】

前記トランジスタはゲート入力を備えており、前記電圧変調回路入力の前記ゲート入力に接続されることを特徴とする請求項 5 の再構成可能装置。

【請求項 8】

前記バイパス回路は、トランジスタを備えていることを特徴とする請求項 4 の再構成可能装置。

【請求項 9】

前記トランジスタはゲート入力を備えており、前記制御入力の前記トランジスタのゲート入力に接続されることを特徴とする請求項 8 の再構成可能装置。

30

【請求項 10】

前記バイパス回路は、抵抗を備えていることを特徴とする請求項 4 の再構成可能装置。

【請求項 11】

前記非劣化供給電圧は高値を備えており、前記劣化供給電圧は前記高値より低い減少高値を備えていることを特徴とする請求項 4 の再構成可能装置。

【請求項 12】

前記電圧変調回路は正供給電圧に接続しており、前記高値は正供給電圧と略等しいことを特徴とする請求項 11 の再構成可能装置。

【請求項 13】

前記高値は、高 C M O S 電圧を備えていることを特徴とする請求項 11 の再構成可能装置。

40

【請求項 14】

前記構成可能ルーティングネットワークは閾値電圧を有する装置を備えており、前記減少高値は前記高値から前記閾値電圧の絶対値を差し引いた値に略等しいことを特徴とする請求項 11 の再構成可能装置。

【請求項 15】

前記非劣化供給電圧は低値を備えており、前記劣化供給電圧は前記低値より高い増高低値を備えていることを特徴とする請求項 4 の再構成可能装置。

【請求項 16】

前記電圧変調回路はグラウンド電圧に接続しており、前記低値は前記グラウンド電圧と

50

略等しいことを特徴とする請求項 15 の再構成可能装置。

【請求項 17】

前記低値は、低 C M O S 電圧を備えていることを特徴とする請求項 15 の再構成可能装置。

【請求項 18】

前記構成可能ルーティングネットワークは閾値電圧を有する装置を備えており、前記増大低値は前記低値に前記閾値電圧の絶対値を加えた値に略等しいことを特徴とする請求項 15 の再構成可能装置。

【請求項 19】

前記少なくとも一つの入力バッファ回路は正供給電圧及びグラウンド電圧に接続しており、前記電圧変調回路は前記正供給電圧と前記グラウンド電圧の間にいかなる追加的電流経路も形成せずにグラウンド電圧間論理回路に接続することを特徴とする請求項 1 の再構成可能装置。

10

【請求項 20】

前記制御信号は、前記論理回路出力上に供給される出力信号に基づいていることを特徴とする請求項 4 の再構成可能装置。

【請求項 21】

前記制御信号は、前記出力信号の反転信号に等しいことを特徴とする請求項 20 の再構成可能装置。

【請求項 22】

20

前記電圧変調回路出力は、前記電圧変調回路出力から前記供給電圧入力に電流が流れることを可能にするために前記供給電圧入力に接続されることを特徴とする請求項 4 の再構成可能装置。

【請求項 23】

前記電圧変調回路出力は、前記電圧変調回路入力から前記論理回路出力に電流が流れることを可能にするために前記供給電圧入力に接続されることを特徴とする請求項 22 の再構成可能装置。

【請求項 24】

前記電圧変調回路は、第 2 非劣化供給電圧信号を受信しており、前記論理回路に第 2 出力供給電圧信号を供給しており、

30

前記第 2 出力供給電圧信号は、前記第 2 非劣化供給電圧信号又は第 2 劣化供給電圧信号のいずれかを備えていることを特徴とする請求項 4 の再構成可能装置。

【請求項 25】

前記論理回路は、第 2 出力供給電圧信号を受信する第 2 供給電圧入力をさらに備えており、

前記電圧変調回路は、

前記第 2 非劣化供給電圧信号を受信する第 2 電圧変調回路入力と、

前記第 2 供給電圧入力に前記第 2 出力供給電圧信号を供給する第 2 電圧変調回路出力と

、

前記第 2 非劣化供給電圧信号を前記第 2 劣化供給電圧に変換し、前記第 2 劣化供給電圧信号を前記第 2 電圧変調回路出力に供給する第 2 コンバータと、

40

前記第 2 コンバータをバイパスし、前記第 2 非劣化供給電圧信号を前記第 2 電圧変調回路出力に供給する第 2 バイパス回路と、

前記第 2 出力供給電圧信号を前記第 2 電圧変調回路出力に供給するために、前記第 2 コンバータと前記第 2 バイパス回路の間で選択をするための第 2 制御信号を受信する第 2 制御入力とを備えていることを特徴とする請求項 24 の再構成可能装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関する。本発明は、特に、装置を通して信号の経路指定のために

50

多くの半導体装置において使用される切替型ルーティングネットワークの改良に関する。

【背景技術】

【0002】

本明細書では、P及びNチャンネルMOS (Metal Oxide Semiconductor) 装置 (PMOS及びNMOS) は、ゲートノード、ドレインノード、及びソースノードとして記述される。これは他の実施形態の構造及び動作を明確にするために役立つ。PMOS装置はゲートの信号が低のときに正電流を伝達し、ゲートの信号が高のときに電流の伝達を中止する。NMOS装置はゲートの信号が高のときに正電流を伝達し、ゲートの信号が低のときに電流の伝達を中止する。

【0003】

標準的な慣例に従うと、NMOS装置内では正電流がドレインノードからソースノードへ流れ、PMOS装置内ではソースノードからドレインノードへ流れる。ソースノードとドレインノードの慣例は、本発明の実施形態の構造及び動作を記述するのを役立たせるためにのみ使用され、本発明の範囲を限定するものではない。特にソース領域とドレイン領域が対称であれば、MOSトランジスタを逆動作させることができる。従って、ソースとドレインの相対的な位置は、本発明の実施形態の開示に重要な意味を持たない。

【0004】

図12を参照すると、多くの半導体装置は、構成可能ルーティングネットワーク20を介して接続される多数のプロセス素子10を備えている。例えば、フィールドプログラマブルゲートアレイ (「FPGA」)、プロセッサアレイ及び再構成可能演算アレイ (「RAA」) などの再構成可能装置は、多くのプロセス素子を一般的に備えている。プロセス素子は、プロセス素子の種々の組合せ間におけるリンクを形成可能な汎用相互接続ネットワークによって共に接続されている。同様に、集積装置は一つまたは複数の共有バスを介して接続されるいくつかのプロセッサ、周辺装置およびメモリを備えている。構成可能ルーティングネットワーク20とプロセス素子10の間に入力バッファ回路80を設けることはしばしば有益である。これらの入力バッファ回路80は、入力値を単に伝達するバッファであり得る。入力バッファ回路80は、CMOSインバータ、NANDゲート、又はNORゲート等の単純な論理装置でもあり得る。入力バッファ回路80は、半導体装置の設計者によって種々の機能を実行するための、より複雑な回路でもあり得る。

【0005】

構成可能ルーティングネットワーク20は、一つのプロセス素子10から他のプロセス素子へ信号を伝達する。CMOS回路に対してこれらの信号は典型的には2進数値の連続である。2進値の連続は、論理「1」に対応する高電圧か、論理「0」に対応する低電圧のいずれかで表される。高電圧は、通常は V_{dd} に等しく、つまり正供給電圧60である。低電圧は、通常はGndに等しく、つまりグラウンド供給電圧70である。

【0006】

一般的に、ルーティングネットワーク20は、配線セグメント30のセットと能動素子のセットを備えている。能動素子のセットは、配線セグメント30間の接続の結線又は断線を行うことが可能なスイッチ40として構成される。配線セグメント30間の結線又は断線を選択的に行うことによって、ルーティングネットワーク20は装置上の種々のプロセス素子10間におけるさまざまな接続を行うことができる。プロセス素子10の条件が変化するにつれて、これらの接続は動的に変更することができる。スイッチ40は制御配線50上の信号によって制御され、典型的にはそれら自身が一部である装置の状態、またはときには他の装置の状態によって制御される。

【発明の開示】

【発明が解決しようとする課題】

【0007】

切替型ルーティングネットワークにおいて使用可能なスイッチ40には種々の種類がある。ルーティングネットワークを設計する際に有効なスイッチ40の一つは、パストランジスタとして知られている単一のトランジスタである。単一のトランジスタのソース及び

10

20

30

40

50

ドレインは、ルーティングネットワーク内にある一対の配線セグメント30に接続されている。パストランジスタは良好な選択である。なぜなら、半導体装置上で大きな空間を占めることがなく、信号を配線セグメント30を通してどちらの方向にも伝達でき、経路に能動回路がないので電力消費はそれほど大きくもない。電力は配線セグメント30の充電、放電にのみ使用される。

【0008】

スイッチ40をパストランジスタとして導入することによる不利な点もある。使用するパストランジスタの種類によって、パストランジスタを伝達できる最高電圧がゲート電圧（通常NMOSトランジスタをオンする V_{dd} ）よりも小さいか、またはパストランジスタを伝達できる最低電圧がゲート電圧（通常PMOSトランジスタをオンする Gnd ）よりも大きいかのどちらかである。NMOSパストランジスタにおいて、減少高信号はゲート電圧よりトランジスタの閾値電圧 V_t に等しい分だけ低く、 $V_{dd} - V_t$ の減少高信号が生成される。PMOSパストランジスタにおいて、増大低信号はゲート電圧よりトランジスタの閾値電圧 V_t の絶対値に等しい分だけ高く、 $Gnd - V_t$ の増大低信号が生成される（慣例によりPMOSトランジスタは負の閾値電圧を有しているため、 $Gnd - V_t$ は Gnd よりも大きい）。したがって、 V_{dd} と Gnd 間で変化する非劣化信号は、パストランジスタを通して伝達される際に劣化する。他の能動装置もまた同様に、能動装置により高信号または低信号のいずれかを変化させる。このパストランジスタの電圧が変化する効果のために、パストランジスタを通して送られる信号を受信する入力バッファ回路80のような論理装置は、論理装置内のトランジスタをオンまたはオフすることを保証するのに十分高くまたは低くない信号を受信する。

【0009】

例えば、NMOSパストランジスタからの減少高信号が、入力バッファ回路80内にあってソースに正の供給電圧 V_{dd} が供給されているPMOSトランジスタのゲートに供給されると、減少高信号はPMOSトランジスタを完全にオフするには不十分であり、いくらかの電流がPMOSトランジスタを通してリークするだろう。同様に、増大低信号が、入力バッファ回路80内にあってソースにグラウンド電圧 Gnd が供給されているNMOSトランジスタのゲートに供給されると、増大低信号はNMOSトランジスタを完全にオフするには不十分であり、いくらかの電流がNMOSトランジスタを通してリークするだろう。この現象はルーティングネットワークにおけるパストランジスタスイッチに特有なものではない。同様の問題は、高信号または低信号がいかなる能動または電力を供給された装置（例えば、トランジスタ、整流器、増幅器等）を経て伝達されるときに減少または増大されるときはいつでも起こる。

【0010】

ルーティングネットワークにおけるパストランジスタのような能動装置によって引き起こされる電圧変化の問題を解決しようとする試みのために種々の手段が使用されている。例えば、パストランジスタの閾値電圧 V_t を減少することによって、パストランジスタの出力の減少高信号を、パストランジスタの出力に取り付けられた他の装置のオン/オフを保証するのに十分なレベルの高さまで上げることができる。

【0011】

電圧 V_t を下げるためには、シリコン基板を作成するためのより複雑な工程が要求される。より低い電圧 V_t を有する装置を設計することもできるが、余分な工程段階が要求される。更に、この余分段階は、一般的に、より低い V_t 素子が通常の V_t 素子から物理的に離れて配置されなければならないことを意味しており、シリコン上の貴重な空間を消費してしまう。また、より低い V_t 素子はトランジスタがオフされるときに大きなリーク電流があることを意味しており、電力が浪費される。

【0012】

電圧が変化する問題に対する別の解決法は、減少高信号を高信号に、または増大低信号を低信号へ引き戻すためのレベル回復回路を使用することである。電圧を回復するための回路には、2つのよく知られた種類がある。まず一番目に、「弱ブルアップ」回路として

知られる回路は減少高信号をプルアップするのに使用され得る（同様に、弱プルダウンは増大低信号をプルダウンすることができる）。二番目に、減少高信号及び増大低信号の両方をそれぞれ高値または低値に戻すために、差分増幅器回路が使用され得る。

【 0 0 1 3 】

図 1 の回路は、弱プルアップ回路の例である。図 1 の回路は、減少高信号が供給される論理装置としてインバータ 1 4 0 の利用を示している。弱プルアップ回路は、NANDゲートのような他の装置に対して同様に機能する。しかしながら、弱プルアップ回路はNORゲートのような装置に対して有用ではない。弱プルアップが有用であるためには、プルアップが取り付けられている入力が高であり、その場合のみゲートの出力が低でなければならない。この条件は、インバータ及びNANDゲートに対しては満たされるが、他の入力が高の場合にその出力が低であり得るNORゲートに対しては満たされない。

10

【 0 0 1 4 】

インバータ 1 4 0 は、完全に起動されることを保証するために、 V_{dd} に等しい高信号を必要とする。減少高信号は、入力 1 1 0 上で受信される。この減少高信号はインバータ 1 4 0 に伝達され、インバータ 1 4 0 はこの減少高信号の反転信号である低信号（低信号はGndに等しい）よりも少し大きい増大低信号を発する。この増大低信号は、PMOSトランジスタ 1 3 0 のゲートに渡され、PMOSトランジスタ 1 3 0 をオンする。PMOSトランジスタ 1 3 0 は、正電圧供給入力 1 2 0 上に存在する全 V_{dd} レベルまで入力 1 1 0 をプルアップすることができる。このようにして、入力 1 1 0 上の減少高信号は全 V_{dd} レベルまでプルアップされ、インバータ 1 4 0 は完全に起動され、全低電圧Gndを出力 1 5 0 へ伝達する。逆に、入力 1 1 0 上の増大低信号はPMOSトランジスタ 1 3 0 をNMOSトランジスタで置き換え、正電圧供給入力 1 2 0 上の V_{dd} 電圧をGnd電圧で置き換えることにより、全低電圧Gndへプルダウンできる。

20

【 0 0 1 5 】

しかしながら、この回路には重大な欠点がある。トランジスタ 1 3 0 の適正な強度を選択することは、回路の効果的な動作のために重要であり、決して些細なことではない。トランジスタの強度とは、電流が伝導しているときのトランジスタの抵抗値として計測される。高強度トランジスタは低強度トランジスタより大きな電流を伝導する。トランジスタ 1 3 0 が低強度過ぎると、トランジスタ 1 3 0 が入力をプルアップするのに（またはNMOSプルダウントランジスタに対してはプルダウンするのに）長時間かかり、その間にインバータ 1 4 0 は電力を消費する。トランジスタ 1 3 0 が高強度過ぎると、インバータを反転するために入力 1 1 0 上へ低を駆動しようとするときに、駆動回路がトランジスタに対してプルするのに時間がかかる。また、トランジスタ 1 3 0 が高強度過ぎると、入力 1 1 0 上へ高を駆動しようとするときに、NMOSがトランジスタをプルダウンするのに時間がかかる。抵抗性負荷に対してトランジスタ 1 3 0 からプルすることの必要性はまた、電力消費を増大させる。

30

【 0 0 1 6 】

トランジスタに対して適性強度を選択することは、再構成可能アレイでは特に難しい。なぜなら、最適強度が信号の元々の源から信号の目標である装置までのアレイを通しての経路の抵抗値に依存するからである。アレイは再構成可能なので、この経路はアレイ上に構成されたアプリケーションに依存してその長さが変動しているので、抵抗値は変化しており一定ではない。したがって、プルアップトランジスタに対して安全な値を選択する唯一の方法は、最悪の場合の経路に対しても安全な値、つまり経路のほとんど大半に対しては準最適値であることが保証される値を使用することである。この安全値は、その抵抗値が常にアレイを通してのいかなる経路によっても劣位に立たされるのに十分なほど低強度の値である。

40

【 0 0 1 7 】

他の解決方法は、図 2 に図示される差分増幅器回路である。この回路では、入力 2 1 0 上の入力信号は基準入力 2 8 0 上の基準信号 V_{ref} と比較される。 V_{ref} は、ルーティングネットワークを通して伝達する高信号及び低信号の間になるように選択されている

50

。正電圧供給入力 220 は、2つのPMOSトランジスタ 230、240 に正供給電圧 V_{dd} を供給している。グラウンド電圧供給入力 270 は、2つのNMOSトランジスタ 250、260 にグラウンド供給電圧 Gnd を供給している。2つのPMOSトランジスタ 230、240 のドレインは、2つのNMOSトランジスタ 250、260 を介してグラウンド 270 に接続されている。2つのPMOSトランジスタ 230、240 のそれぞれのドレインは、他のPMOSトランジスタのゲートに接続されている。第1NMOSトランジスタ 250 は、入力 210 上の入力信号によって制御されている。第2NMOSトランジスタ 260 は、基準入力 280 上の V_{ref} によって制御されている。そして最後に、出力 290 は、第2PMOSトランジスタ 240 のドレインに接続されている。

【0018】

差分増幅器は、2つのPMOSトランジスタ 230、240 の両方が通常は同時にオンされないように構成されている。2つのPMOSトランジスタ 230、240 の一つが低ドレイン電圧を有すると、そのトランジスタは他方のトランジスタをオンすることによって他方のドレイン電圧（及びそれ自身のゲート電圧）を高にする。このとき、それ自身はオフしており、それ自身のドレイン電圧が低く留まることを保証している。ドレイン電圧は電圧を Gnd にプルダウンしようとするNMOSトランジスタ 250、260 によって制御されている。2つのNMOSトランジスタ 250、260 のうちでそれ自身のゲート上の信号がより高い方は、より強くプルダウンし、対応するPMOSトランジスタ 230、240 のドレイン上により低い電圧を与え、結果として他のPMOSトランジスタをオンにする。従って、入力 210 上の信号が基準入力 280 の V_{ref} 信号よりも低いと、第1PMOSトランジスタ 230 はオンし、第2PMOSトランジスタ 240 はオフし、出力 290 は Gnd まで下降する。入力 210 上の信号が電圧入力 280 の V_{ref} 信号よりも大きいと、第2PMOSトランジスタ 240 はオンし、第1PMOSトランジスタ 230 はオフし、出力 290 は V_{dd} まで上昇する。このように V_{ref} は高及び低入力信号レベルの中間となるように選択されるので、入力信号が低よりは高により近いときは、いかなる入力信号も V_{dd} に等しい出力という結果になり、入力信号が高より低により近いときは、いかなる入力信号も Gnd に等しい出力という結果になる。

【0019】

しかしながらこの回路は、トランジスタ 230、240、250、260 を経ての V_{dd} から Gnd への抵抗性経路のため電力を消費する。第2NMOSトランジスタ 260 は、常に部分的に導通しているために、出力 290 が高のときはいつでも増幅器を通しての定常的な電力ドレインがある。差分増幅器回路の余分な電力消費は、まず第1にパストランジスタネットワークを使用する電力の利点を帳消しにしてしまう。

【0020】

従って、システムは半導体装置においての電力消費を増大することなく、少数の追加部品でネットワークを通して伝達する電圧に対するルーティングネットワークの影響を容易かつ最適に補償出来ることが必要である。

【0021】

添付された図は本発明の実施形態と詳細な説明をより理解するためのものであり、開示される実施形態の原理を説明する。

【発明を実施するための最良の形態】

【0022】

図3は、CMOS論理装置の例を示す。図3の論理装置はインバータ300であるが、当業者には、ここで開示された実施形態がいかなる標準論理装置または、標準論理装置のいくつかの組合せと共に使用され得ることが理解されよう。図12において、インバータ300は、例えば再構成可能装置の入力バッファ回路80の構成要素であってもよい。説明を簡単にするために、開示された実施形態をCMOS論理装置を参照して説明する。論理装置の他の形態を使用する他の実施形態もまた可能である。図3に示すCMOSインバータは、入力310、正電圧供給320、グラウンド電圧供給350及び出力360に接続されている。正電圧供給320は、高CMOS電圧 V_{dd} の電力を供給する。この電力

10

20

30

40

50

はCMOS論理装置に対して高値を（論理「1」）示す電圧として使用される。グラウンド電圧供給350は、グラウンド値Gndを供給する。そのグラウンド値Gndはまた、CMOS論理装置に対して低値（論理「0」）示す電圧として使用される。インバータ300は、正電圧供給入力325、第1PMOSトランジスタ330、第1NMOSトランジスタ340及びグラウンド電圧供給入力355を備えている。

【0023】

インバータ300は、入力310上の信号の反転信号を、出力360に伝達する。入力310上の信号が低値（例えばGnd、CMOS低など）の場合、第1PMOSトランジスタ330がオンされ、正電圧供給320から正電圧供給入力325を通して出力360へ電流が流れる。これにより、高信号は出力360へ送られる。第1NMOSトランジスタ340は低信号によってオフされており、グラウンド電圧供給350への経路は阻止されており、電流がグラウンド電圧供給350へ流れることが防止される。入力310上の信号が高値（つまり、V_{dd}、CMOS高など）の場合、第1PMOSトランジスタ330がオフされ、電流が正電圧供給320から流れることが防止される。第1NMOSトランジスタ340は高値によってオンされており、これにより出力360がグラウンド電圧供給入力355を通してグラウンド電圧供給350へ接続される。これにより、低信号は出力360へ送られる。

【0024】

図4に示すように電圧変調回路400は、インバータ300のような目標回路と共に使用され、高及び/または低出力信号を供給する。電圧変調回路400は、インバータ300へ供給される電力が最初に電圧変調回路400を通り、その後にインバータ300へ供給されるように、インバータ300の正電圧供給320と正電圧供給入力325の間に接続されている。電圧変調回路400は、インバータ300の正電圧供給320と正電圧供給入力325の間に配置されているので、インバータ300によって形成された既存の経路以外には追加的電流経路が形成されない。従って、電圧変調回路400は、インバータ300内の既存のもの以外に追加的電力消費源となるものを形成しない。

【0025】

電圧変調回路400は、コンバータとバイパス回路を備えている。一つの実施形態では、コンバータは第2NMOSトランジスタ410であり、バイパス回路は第2PMOSトランジスタ420である。他の実施形態において、コンバータは一つまたは複数のトランジスタ、ダイオードまたは他の装置のような他の種類の装置で構成される。これらの装置は、入力310上の信号が減少高信号であっても、第1PMOSトランジスタ330がオフされることを保証するのに有効な減少レベルに正電圧供給320上の電圧を変換する。他の実施形態では、バイパス回路は、一つまたは複数のスイッチまたは他の装置のような他の種類の装置で構成される。これらの装置は、高値と減少高値の間でインバータ300に与えられた信号を選択的に制御する。

【0026】

正電圧供給320は、第2NMOSトランジスタ410のゲート及びドレインの両方に接続されており、さらに第2PMOSトランジスタ420のソースにも接続されている。制御入力430は、第2PMOSトランジスタ420のゲートに接続されている。第2NMOSトランジスタ410のソース及び第2PMOSトランジスタ420のドレインは、インバータ300の正電圧供給入力325に接続されている。

【0027】

インバータ300が通常動作のときは、入力310上の信号は低値と減少高値の間で変化する。入力信号が低値のときは、制御入力430は第2PMOSトランジスタ420へ低値を供給可能になっている。入力信号が減少高値のときは、制御入力430は第2PMOSトランジスタ420へ高値を供給可能になっている。これらの制御入力値は、出力360上の信号を反転するか、出力信号の反転信号である信号の他の利用できる源から導出できる。より一般的には、いかなる論理装置において、制御入力値は、論理装置内のPMOSトランジスタを通しての導通経路がない場合は常に第2PMOSトランジスタ420

10

20

30

40

50

がオフ（つまり、制御入力高となり）であり、論理装置内のPMOSトランジスタを通しての導通経路がある場合は常に第2PMOSトランジスタ420がオン（制御低）となるように構成されている。標準CMOSゲートに対して（NMOSまたはPMOS装置のいずれかを通して経路が存在するが両方同時には存在しない場合）、「PMOS導通」状態は出力上の高信号と等しく、「PMOS非導通」状態は出力上の低信号と等しい。したがって、制御信号の値は出力信号の反転信号となる。電圧変調回路400は、CMOSゲートへの供給接続に接続しており、CMOSゲート（例えば入力310）への個々のデータ入力へは接続していないので、制御入力430が入力310を追尾することは常に必要というわけではない。これが図1の弱プルアップ回路との異なる点である。弱プルアップ回路は個々の入力を制御しようとするため、入力が高のとき低である制御信号をプルアップのために必要とする従って、弱プルアップ回路は、必要な制御信号が供給され得るゲートに対してのみ動作する。図1の回路は、例えばNORゲートへは適用できないが、図4に示す本発明の実施形態の回路はいかなるCMOSゲートにも適用できる。

10

【0028】

入力信号が低値であり、従って制御入力430が低値を第2PMOSトランジスタ420へ供給するときは、第2PMOSトランジスタ420は全電圧 V_{dd} を正電圧供給入力320から正電圧供給入力325へ伝達する。この全電圧 V_{dd} は第2NMOSトランジスタ410を通して伝達されている減少電圧に優先する。このように制御入力430上の制御信号は、第2PMOSトランジスタ420を選択し、全正供給電圧 V_{dd} を正電圧供給入力325へ供給するように動作する。

20

【0029】

入力信号が低値なので、第1PMOSトランジスタ330は V_{dd} を正電圧供給入力325から出力360へ供給する。第1NMOSトランジスタ340は低値によりオフされ、このためトランジスタ340を通してのグラウンド電圧供給350への電流経路はない。従って、全CMOS高信号がインバータ300の出力360上へ供給される。

【0030】

入力信号が減少高信号であり、従って制御入力430が第2PMOSトランジスタ420に高信号を供給するとき、第2PMOSトランジスタ420はオフされ、それにより電流が第2PMOSトランジスタ420を流れることが阻止される。しかしながら、依然として第2NMOSトランジスタ410を通しての正電圧供給320への接続が存在する。これは第2NMOSトランジスタ410のゲートが V_{dd} へ接続されており、それゆえ第2NMOSトランジスタ410が常に導通状態にあることによる。NMOSトランジスタはそのゲート電圧よりも大きく、その閾値電圧よりも小さい高信号を伝達することはできないことを再考されたい。NMOSトランジスタができることは高々、減少高信号を伝達することであり、この場合 $V_{dd} - V_{t(N2)}$ であり、 $V_{t(N2)}$ は第2NMOSトランジスタ410の閾値電圧である。この減少高信号は正電圧供給入力325へ供給される。このようにして、制御入力430上の制御信号は第2NMOSトランジスタ410を選択し、減少高信号を正電圧供給入力325へ供給するように動作する。

30

【0031】

正電圧供給入力信号は $V_{dd} - V_{t(N2)}$ の減少高値であり、入力310からの入力信号は $V_{dd} - V_{t(pass)}$ の減少高値である（ここで $V_{t(pass)}$ は、それを通して入力信号が入力310に接続される一つまたは複数の装置の閾値電圧である）。ここで、第2NMOSトランジスタ410の閾値電圧が、入力310へ接続された一つまたは複数の装置の閾値電圧に略等しくなるように選択されていると仮定すると、入力信号と正電圧供給入力信号は略同電圧である。したがって、ゲート-ソース間の第1PMOSトランジスタ330の両端の電圧差は略ゼロであり、第1PMOSトランジスタ330はオフされる。 $V_{t(N2)}$ と $V_{t(pass)}$ が正確に等しくなる必要はない。要求される条件は、第1PMOSトランジスタ330を通して流れる電流が無視できることを保証するような、ゲート-ソース間電圧であるということである。この条件は、ゲート-ソース間電圧が $1/2 V_{t(p1)}$ を超えるとときに典型的に満たされる。これは $V_{t(N2)} -$

40

50

$V_{t(pass)} = 1/2 V_{t(p1)}$ という条件に等しい (PMOS トランジスタは十分に低いゲート電圧によってオンされ、高いゲート電圧によってオフされることを再考されたい)。

【0032】

たとえば、正電圧供給 320 が全 V_{dd} 電圧を供給していても第 1 PMOS トランジスタ 330 を通してのリーク電流はない。これは、全 V_{dd} 電圧信号が第 2 NMOS トランジスタ 410 によって減少高信号へ変換されているからである。入力 310 上の減少高信号は依然として第 1 NMOS トランジスタ 340 上の閾値電圧を超えるほど強いのでそのトランジスタをオンし、出力 360 上の信号はグラウンド電圧供給 350 により Gnd へ下げられる。従って、全 CMOS 低インバータ 300 の出力 360 に供給される。

10

【0033】

図 5 に示す第 2 実施形態では、入力 310 が高信号を供給できるが、低信号ではなく増大低信号のみを供給できる状況に対処するために、電圧変調回路の変形が使用されている。第 2 電圧変調回路 500 はインバータ 300 と共に使用され、高及び/または低出力信号を供給する。第 2 電圧変調回路 500 は、インバータ 300 から取り出された電流が最初に第 2 電圧変調回路 500 を通り、次にグラウンド電圧供給 350 に流れるように、インバータ 300 のグラウンド電圧供給 350 とグラウンド電圧供給入力 355 の間に接続されている。第 2 電圧変調回路 500 は、インバータ 300 のグラウンド電圧供給 350 とグラウンド電圧供給入力 355 の間に配置されているので、インバータ 300 により形成された既存の経路以外に追加的な電流経路はない。従って、第 2 電圧変調回路 500 はインバータ 300 内の既存のもの以外に追加的な電力消費源を形成しない。

20

【0034】

第 2 電圧変調回路 500 はコンバータとバイパス回路を備えている。一つの実施形態においては、コンバータは第 3 PMOS トランジスタ 510 であり、バイパス回路は第 3 NMOS トランジスタ 520 である。他の実施形態において、コンバータは、一つまたは複数のトランジスタ、ダイオードまたは他の装置等の他の種類の装置から構成されている。これらの装置は、入力 310 上の信号が増大低信号であっても、グラウンド電圧供給 350 上の低信号を第 1 NMOS トランジスタ 340 がオフされることを保証するのに有効な増大低レベルに変換する。他の実施形態においては、バイパス回路は一つまたは複数のスイッチまたは他の装置等の他の種類の装置から構成されている。これらの装置は、低値と増大低値の間でインバータ 300 に供給される電圧を選択的に制御する。

30

【0035】

グラウンド電圧供給 350 は、第 3 PMOS トランジスタ 510 のゲート及びドレインの両方に接続されており、さらに第 3 NMOS トランジスタ 520 のソースにも接続されている。第 2 電圧変調回路 500 はまた第 3 NMOS トランジスタ 520 のゲートに接続される制御入力 530 を備えている。第 3 PMOS トランジスタ 510 のソースと第 3 NMOS トランジスタ 520 のドレインは共にインバータ 300 のグラウンド電圧供給入力 355 へ接続されている。

【0036】

インバータ 300 が通常動作のときは、入力 310 上の信号は増大低値と高値の間で変化する。入力信号が高値のときは、制御入力 530 は高値を第 3 NMOS トランジスタ 520 に供給可能になっている。入力信号が増大低値のとき制御入力 530 は、第 3 NMOS トランジスタ 520 に低値を供給可能になっている。これらの制御入力値は出力 360 上の信号を反転するか、または他の利用できる出力信号の反転信号である信号源から導出される。より一般的には、いかなる論理装置において、制御入力値は、論理装置内の NMOS トランジスタを通して導通経路がないときは常に第 3 NMOS トランジスタ 520 がオフ (つまり制御入力低) であり、論理装置内の NMOS トランジスタを通して導通経路があるときは常に第 3 NMOS トランジスタ 520 がオン (制御高) となるように構成されている。標準的な CMOS ゲートに対しては (NMOS または PMOS 装置を通して経路がある場合であり、両方同時ではない場合)、「NMOS 導通」状態は出力上の低信号

40

50

に等しく、「N M O S 非導通」状態は出力上の高信号に等しい。したがって、制御信号の値は、出力信号の反転信号となる。第2電圧変調回路500がC M O Sゲートの供給接続に接続しており、C M O Sゲート（つまり、入力310）への個々のデータ入力には接続していないので、制御入力530が入力310を追尾することは常に必要というわけではない。これが図1の弱プルアップ回路との違いである。弱プルアップ回路は個々の入力を制御しようとして、入力が高のとき低である制御信号をプルアップのために必要とする。したがって、制御信号は、要求される制御信号が供給され得るゲートに対してのみ動作する。例えば図1の回路はN O Rゲートに適用できないが、図5に示す本発明の実施形態の回路はいかなるC M O Sゲートにも適用可能である。

【0037】

入力信号が高値であり、従って制御入力530が高値を第3 N M O S トランジスタ520に供給するとき、第3 N M O S トランジスタ520は全グラウンド電圧G n dをグラウンド電圧供給350からグラウンド電圧供給入力355へ伝達する。この全グラウンド電圧G n dは、第3 P M O S トランジスタ510を通して伝達されている増大低信号に優先する。このように、制御入力530上の信号は第3 N M O S トランジスタ520を選択し、グラウンド信号をグラウンド電圧供給入力355へ供給するように動作する。

【0038】

入力信号が高値なので、第1 P M O S トランジスタ330はオフされ、正電圧供給320から出力360へ電流は流れない。第1 N M O S トランジスタ340は高値によってオンされており、グラウンド電圧供給350は出力360に接続される。これにより、出力360はG n dへプルダウンされる。したがって、全C M O S低値はインバータ300の出力360上へ供給される。

【0039】

入力信号が増大低値であり、したがって制御入力530が第3 N M O S トランジスタ520に低値を供給すると、第3 N M O S トランジスタ520がオフされ、それにより電流が第3 N M O S トランジスタ520を通して流れることが阻止される。しかしながら、第3 P M O S トランジスタ510のゲートがG n dへ接続されており、第3 P M O S トランジスタ510がそのために常に導通状態なので、第3 P M O S トランジスタ510を通してのグラウンド電圧供給350への接続は依然として存在する。P M O S トランジスタは全低信号を伝達できないことを再考されたい。P M O S トランジスタは高々、減少低信号を伝達できるだけであり、この場合 $-V_{t(P2)}$ であり、 $V_{t(P2)}$ は第3 P M O S トランジスタ510の閾値電圧である（P M O S トランジスタは通常、負の閾値電圧を持つといわれ、 $-V_{t(P2)}$ は従って正値となる）。この増大低信号は、グラウンド電圧供給入力355に供給される。このように、制御入力530上の信号は第3 P M O S トランジスタ510を選択して、増大低信号をグラウンド電圧供給入力355へ供給する。

【0040】

グラウンド電圧供給入力信号は $-V_{t(P2)}$ の増大低値であり、入力310からの入力信号は $-V_{t(pass)}$ の増大低値である（ $V_{t(pass)}$ は、それを通して入力信号が入力310へ接続される一つまたは複数の装置の閾値電圧であり、P M O S 装置に対して負値でもある）。ここで、第3 P M O S トランジスタ510の閾値電圧が、入力信号が入力310へ接続されるまでに通過した一つまたは複数の装置の閾値に略等しくなるように選択されていると仮定すると、入力信号とグラウンド電圧供給入力信号は略同電圧になる。第1 N M O S トランジスタ340の両端にかかるゲート - ソース間電圧はそれゆえに略ゼロであり、第1 N M O S トランジスタ340はオフされる。第1 N M O S トランジスタ340を通して流れる電流が無視できることが保証される程度にゲート - ソース間電圧が十分に低ければ、 $V_{t(P2)}$ と $V_{t(pass)}$ が正確に等しい必要はない。この条件は、ゲート - ソース間電圧が $1/2 V_{t(N1)}$ 未満のとき典型的に満たされる。これは $V_{t(P2)} - V_{t(pass)} = 1/2 V_{t(N1)}$ という条件に等しい。

【0041】

全G n d電圧信号は、第3 P M O S トランジスタ510によって増大低信号に変換され

10

20

30

40

50

るので、グラウンド電圧供給 350 が全 Gnd 電圧信号を供給し続けても、第 1 NMOS トランジスタ 340 を通してのリーク電流は実質的にはない。入力 310 上の増大低信号は依然として、第 1 PMOS トランジスタ 330 のゲート - ソース間電圧を閾値電圧未満に維持するのに十分なほど低く、それによりそれをオンし、出力 360 上の信号はこうに V_{dd} へプルされる。したがって、全 CMOS 高がインバータ 300 の出力 360 上に供給される。

【0042】

電圧変調回路 400 と第 2 電圧変調回路 500 を組合せて、入力 310 が高値または低値に到達しない信号を供給する状況に対処するように使用できる。この組合せは図 6 に示されている。

10

【0043】

電圧変調回路 400、500 のどちらかまたは両方は、いかなる CMOS 論理装置と共に使用できる。例えば、図 7 は CMOS NAND ゲート 700 と共に使用される電圧変調回路 400 を示している。NAND ゲートは、いずれかの入力信号が低のときは常に高出力信号を生成し、両方の入力信号が高のときは低出力信号を生成する。従って、第 1 入力 730 (IN1) または第 2 入力 740 (IN2) のいずれかが低信号を供給するときは、対応する PMOS トランジスタ 710、720 はオンされ、 V_{dd} 電圧が正電圧供給 320 から第 2 PMOS トランジスタ 420 を通して、その後オンした PMOS トランジスタ 710、720 を通して出力 780 上へ伝達されるようになる。入力 730、740 の少なくとも一つが低信号を供給しているので、対応する NMOS トランジスタ 750、760 の少なくとも一つはオフされ、このようにしていかなる電流もグラウンド電圧供給 350 へ流れることを阻止される。両方の入力信号が高のときは、両方の PMOS トランジスタ 710、720 はオフされ、両方の NMOS トランジスタ 750、760 はオンされる。これにより V_{dd} 電圧が阻止され、グラウンド電圧供給 350 と出力 780 の間の接続が形成され、これにより出力信号を Gnd まで引き下げる。

20

【0044】

両方の入力信号が減少高信号の場合は、上述のように、制御入力 430 は高信号を供給し、電圧変調回路 400 は減少高信号を PMOS トランジスタ 710、720 へ供給する。制御入力 430 上の制御信号は、上述のように生成された出力 780 上の出力信号の反転信号である。これにより、いかなる無視できない電流が PMOS トランジスタ 710、720 を通してリークすることが阻止され、よって省電力となる。ここにおいても、電圧変調回路 400 が V_{dd} と Gnd 間の既存の電流経路に沿って配置されているので、追加的な電流経路は形成されないことに留意されたい。入力 730、740 上の減少高信号はグラウンド電圧供給 350 と出力 780 間の接続を形成するのに十分であり、それゆえ低信号が出力 780 上へ適切に供給される。

30

【0045】

他の例として、図 8 に示すように電圧変調回路 400 は CMOS NOR ゲート 800 と共に使用される。NOR ゲートはいずれかの入力信号が高のときは常に低出力信号を生成し、両方の入力信号が低のときは高出力信号を生成する。従って第 1 入力 850 または第 2 入力 860 のいずれかが高信号を供給するときは、対応する NMOS トランジスタ 810、820 はオンされ、グラウンド電圧供給 350 から出力 870 への接続は閉じられ、出力 870 は Gnd まで引き下げられる。入力 850、860 の少なくとも一つは高信号が供給されているので、対応する PMOS トランジスタ 830、840 の少なくとも一つはオフされ、いかなる電流も正電圧供給 320 から流れることが阻止される。両方の入力信号が低の場合は、両方の NMOS トランジスタ 810、820 がオフされ、両方の PMOS トランジスタ 830、840 がオンされる。これにより、グラウンド電圧供給 350 と出力 870 間の接続が阻止され、正電圧供給 320 と出力 870 間の接続が形成されて、出力信号を V_{dd} にする。

40

【0046】

いずれかの入力信号が減少高信号の場合、制御入力 430 は高値を供給し、電圧変調回

50

路 4 0 0 は上述のように減少高信号を P M O S トランジスタ 8 4 0 へ供給する。制御入力 4 3 0 上の制御信号は、上述のように生成された出力 8 7 0 上の出力信号の反転信号である。これによりいかなる無視できない電流も P M O S トランジスタ 8 4 0 を通してリークすることが阻止され、よって省電力となる。電圧変調回路 4 0 0 が V_{dd} と G n d 間の既存の電流経路に沿って配置されているので、追加的な電流経路は形成されないことに留意されたい。入力 8 5 0、8 6 0 上の減少高信号はグラウンド電圧供給 3 5 0 と出力 8 7 0 間の接続を形成するのに十分であり、低信号が出力 8 7 0 上へ適切に供給される。

【 0 0 4 7 】

図 9 を参照して、制御入力 4 3 0 は図に示すように第 2 N M O S トランジスタ 4 1 0 と第 2 P M O S トランジスタ 4 2 0 の両ゲートのいずれかへ二者択一的に接続することができる。その結果、制御入力 4 3 0 上の容量性負荷となる。トランジスタゲートは固有の容量を有するので容量は増大するが、これは追加的なトランジスタゲートへの接続があることによる。しかしながらこの構成は、トランジスタをそのゲートを共に結合して N / P の対で配置される傾向があるメタルマスクプログラマブルゲートアレイに使用されるような、あるシリコン構成様式との互換性があってもよい。

【 0 0 4 8 】

弱プルアップトランジスタと比較した場合の上述の電圧変調回路 4 0 0、5 0 0 の利点は、入力 3 1 0 へ接続されている信号経路における抵抗に最適装置強度が依存しないため、電圧変調回路 4 0 0、5 0 0 に対する装置強度を選択し易いということである。図 1 0 には、図 4 の回路と同様な回路 1 0 0 0 が示されており、制御信号は接続 1 0 2 0 と出力インバータ 1 0 1 0 を介してインバータ 3 0 0 の反転出力により供給されている。

【 0 0 4 9 】

回路 1 0 0 0 が機能するためには、入力 3 1 0 における入力信号の変化が出力 1 0 3 0 へ伝達されることが必要である。これは逆に、接続 1 0 2 0 上の制御信号が誤状態にあっても出力インバータ 1 0 1 0 は反転できなければならないことを意味する。制御信号は出力インバータ 1 0 1 0 から導出されるので、出力インバータ 1 0 1 0 への入力、接続 1 0 2 0 上の信号が高であると同時に高となるような非ゼロの伝達遅延が起こり得る。接続 1 0 2 0 上の制御信号が高なので、電圧変調回路 4 0 0 はインバータ 3 0 0 へ減少高信号 $V_{dd} - V_{t(N2)}$ を供給しているだけである。入力 3 1 0 が低であると、インバータ 3 0 0 は減少高信号をインバータ 3 0 0 の出力へ供給し、それは出力インバータ 1 0 1 0 への入力となる。従って、出力インバータ 1 0 1 0 はすべての可能な状況においても出力インバータ 1 0 1 0 が反転できることを保証するための $V_{dd} - V_{t(N2)}$ より低い切替え可能な閾値電圧（出力インバータ 1 0 1 0 が高から低へ転移する電圧）を有することが必要である。これは出力インバータ 1 0 1 0 における装置の相対強度に対する制約となり、入力 3 1 0 に接続されているいずれにも依存しない。

【 0 0 5 0 】

第 2 N M O S トランジスタ 4 1 0 と第 2 P M O S トランジスタ 4 2 0 の強度への制約は出力インバータ 1 0 1 0 に比べてより緩和されている。トランジスタ 4 1 0、4 2 0 いずれかが、最適強度を超えて、または最適強度未満に形成されていると、回路 1 0 0 0 はより低速度で作動するが、それでも正常に機能する。トランジスタ 4 1 0、4 2 0 の大きさに対する制約は、論理回路における他のいかなるトランジスタの大きさに対する制約と同様であり、同様にアプローチできる。当業者は容易にこれらの制約を評価し、トランジスタ 4 1 0、4 2 0 の強度についての適切な選択を行うことができるであろう。図 1 0 の回路に対して、第 2 N M O S トランジスタ 4 1 0 を第 1 N M O S トランジスタ 3 4 0 の強度と同じに、第 2 P M O S トランジスタ 4 2 0 を第 1 P M O S トランジスタ 3 3 0 の強度と同じように選択することは、典型的には機能的で物理的にコンパクトにし易いという結果になる（より一般的には、いかなる論理回路に対しても、電圧変調回路のトランジスタを論理装置のトランジスタと同じ強度になるように選択することは、典型的には機能的に有利な結果となる）。

【 0 0 5 1 】

上述のように、図 1 におけるプルアップトランジスタ 130 の最適サイズは、入力を駆動する回路の抵抗に依存し、それは信号が辿ったルーティングネットワークを通しての経路の関数である。電圧変調回路 400 においては、入力 310 はトランジスタのソースまたはドレインではなく、インバータ 300 を形成するトランジスタ 330、340 のゲートへ接続する。インバータ 300 の正しい作動は、ルーティングネットワークを通して伝達される最大及び最小電圧の間にある切替え閾値に依存する。これらの電圧は、信号がルーティングネットワークを通して辿る経路に依存せず、従って要求されるインバータ閾値は、入力信号ルートとは独立したものとなる。同様に第 2 NMOS トランジスタ 410 の要求される閾値もまたルーティングネットワークを通して伝達される最高電圧に依存するが、それ以外はそのネットワークの特性からは独立している。

10

【0052】

更に考慮すべきことは第 2 NMOS トランジスタ 410 の長さの選択である。上述したように、第 1 PMOS トランジスタ 330 を通してのリーク電流は、第 2 NMOS トランジスタ 410 と、入力 310 へ接続される装置（例えばルーティングネットワークにおける NMOS パストランジスタ）との間の閾値電圧の差に依存する。第 2 NMOS トランジスタ 410 の閾値電圧が入力 310 に接続される装置の閾値電圧よりも高いことは、リーク電流が第 1 PMOS トランジスタ 330 を経て流れることを阻止するために好ましい。 $V_{t(N2)}$ が高ければ高いほど、第 1 PMOS トランジスタ 330 のソース電圧 $V_{dd} - V_{t(N2)}$ は低くなり、ゲート電圧 $V_{dd} - V_{t(pass)}$ （入力 310 により供給される）がソース電圧よりも低くなる事態がより起こりにくくなることによってリーク

20

【0053】

多くの CMOS 処理において、トランジスタの閾値電圧は、トランジスタの長さの関数である。図 11 のグラフは、一つの CMOS 処理を例としたときの、この関数の例を示す。垂直な線は、実際にこの CMOS 処理の例によって製造される、最小のトランジスタの長さを表している。最小の長さに近い領域では、トランジスタの長さが増大するにつれて閾値電圧が急に増大する。曲線は最小の長さの約 2 倍のところで平らになり、最終的には少し減少する。いくつかの実施形態における入力 310 へ接続されているような NMOS パストランジスタは典型的には最小の長さである。従って、第 2 NMOS トランジスタ 410 の長さを閾値電圧曲線上のより高い点に一致するように選択することにより、第 2 NMOS トランジスタ 410 は相対的に高い閾値を有するように選択されることになるので、リークを引き起こすパストランジスタまたは入力 310 に接続される他の装置の長さにおけるバラツキのリスクを最小限にすることができる。

30

【0054】

他の実施形態においては、構成可能ルーティングネットワークにおける能動装置の電圧劣化効果は、論理回路ではなく能動装置に異なる電圧を供給することによって補償される。例えば、パストランジスタのゲート電圧が論理回路へ供給される第 1 高供給電圧 V_{dd} より高くなるように、NMOS パストランジスタルーティングネットワークを利用して、第 2 高供給電圧がパストランジスタへ供給される。第 1 高供給電圧 V_{dd} は、第 1 と第 2 高供給電圧間に要求される差を得るために、回路技術に対するほとんどの正の許容動作電圧よりも低く設定しても良い。この第 2 高供給電圧は、パストランジスタが最大 V_{dd} までの最高電圧を伝達できるように、パストランジスタのゲートに供給される。同様に PMOS パストランジスタルーティングネットワークに対しては、第 2 低供給電圧がパストランジスタへ供給されることによって、パストランジスタのゲート電圧は論理回路へ供給される第 1 低供給電圧 Gnd よりも低くなる。第 1 低供給電圧 Gnd は、第 1 と第 2 低供給電圧間に要求される差を得るために、回路技術に対するほとんどの負の許容動作電圧よりも高く設定してもよい。この第 2 低供給電圧はパストランジスタのゲートに供給され、パストランジスタが伝達できる最小電圧を Gnd まで下げる。第 2 の高または低供給電圧ルーティングネットワークが供給され、レベルシフトバッファが異なる供給電圧を使用する素子間を伝達する信号上に供給されてもよい。高及び低を劣化する能動装置に対して、第

40

50

2 高供給電圧及び第 2 低供給電圧の両方が供給される。

【0055】

再び図 12 を参照して、第 2 供給電圧 $V_{control}$ は制御ワイヤ 50 上に供給される。これまでの説明では、 $V_{control}$ と V_{dd} が等しい、つまり NMOS パストランジスタ 40 は $V_{dd} - V_{t(pass)}$ の減少高信号のみを伝達できると仮定してきた。第 2 供給電圧 $V_{control}$ が V_{dd} と等しくないこの別の実施形態においては、NMOS パストランジスタ 40 は $V_{control} - V_{t(pass)}$ の高信号を伝達できる。 $V_{control}$ を $V_{dd} + V_{t(pass)}$ 以上に選択すると、NMOS パストランジスタにより伝達される高信号は V_{dd} まで可能になる。従って、NMOS パストランジスタを含む再構成可能ネットワークは、 $V_{control}$ が $V_{dd} + V_{t(pass)}$ 以上に選択されれば、 V_{dd} の非劣化高信号を伝達できる。同様に PMOS パストランジスタを含む再構成可能ネットワークは、 $V_{t(pass)}$ の負値を有し、第 2 供給電圧 $V_{control}$ が $Gnd + V_{t(pass)}$ 以下に選択されれば、 Gnd の非劣化低信号を伝達できる。

10

【0056】

上述の明細書において、具体的な実施形態を参照して本発明を説明した。しかしながら、本発明のより広い思想と範囲を逸脱することなく本発明に種々の変形及び変更を加え得るということは明白である。例えば、ここで説明した回路図に示される要素の具体的な構成及び組合せは単に説明のために過ぎず、本発明は異なるまたは追加的要素、または要素の異なる構成または組合せを使用しても実行可能であることは理解されよう。従って、本明細書及び図はそれに制約されるのではなく、説明のためと見なすべきであり、本発明は添付される請求項及びその法的等価物に従う以外に制約または制限されるものではない。

20

【図面の簡単な説明】

【0057】

【図 1】弱プルアップ回路を示す。

【図 2】差分増幅器を示す。

【図 3】CMOS 論理に導入されたインバータを示す。

【図 4】図 3 のインバータの正電圧供給入力に接続されており、本発明の一つの実施形態に係る電圧変調回路を示す。

【図 5】図 3 のインバータのグラウンドに接続されており、本発明の第 2 実施形態に係る電圧変調回路を示す。

30

【図 6】図 3 のインバータの正電圧供給入力とグラウンド電圧供給入力に接続されており、本発明の第 3 実施形態に係る電圧変調回路を示す。

【図 7】CMOS NAND ゲートに接続されており、本発明の一つの実施形態に係る電圧変調回路を示す。

【図 8】CMOS NOR ゲートへ接続されており、本発明の一つの実施形態に係る電圧変調回路を示す。

【図 9】コンバータとバイパス回路の両方に接続された制御信号を有しており、本発明の一つの実施形態に係る電圧変調回路を示す。

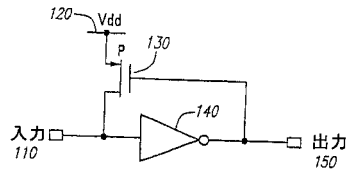
【図 10】目標回路の出力の出力信号の反転信号から制御信号を導出しており、本発明の一つの実施形態に係る電圧変調回路を示す。

40

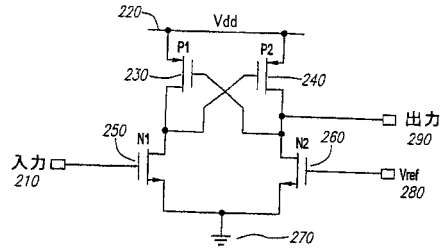
【図 11】トランジスタの長さでトランジスタの閾値電圧との間の関係を表すグラフを示す。

【図 12】再構成可能装置を示す。

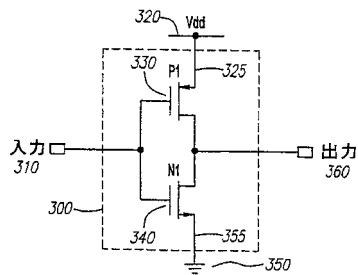
【図 1】



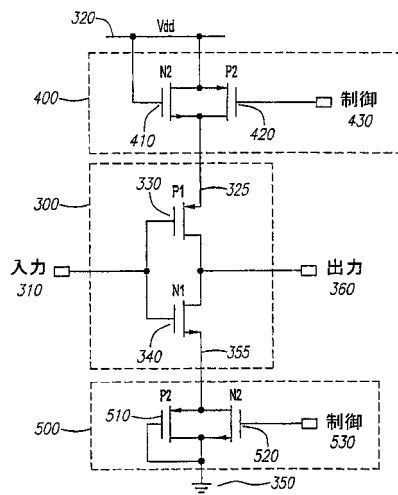
【図 2】



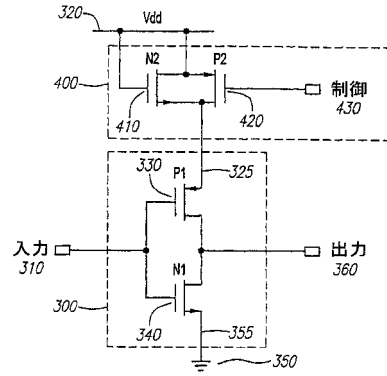
【図 3】



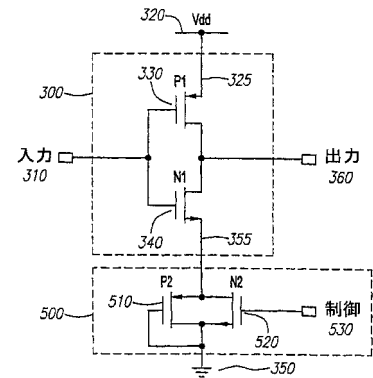
【図 6】



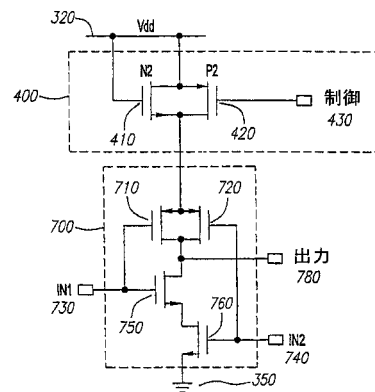
【図 4】



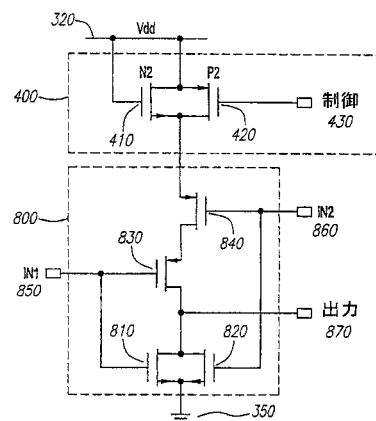
【図 5】



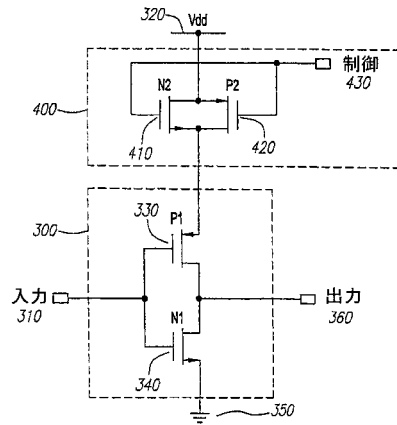
【図 7】



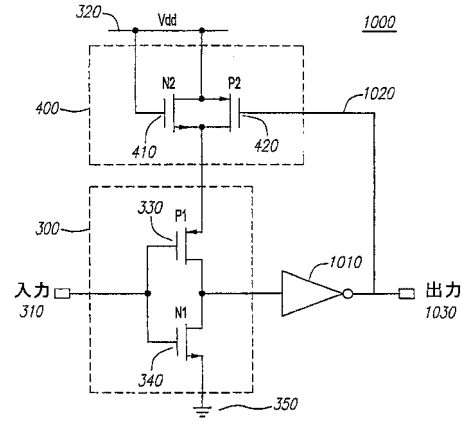
【図 8】



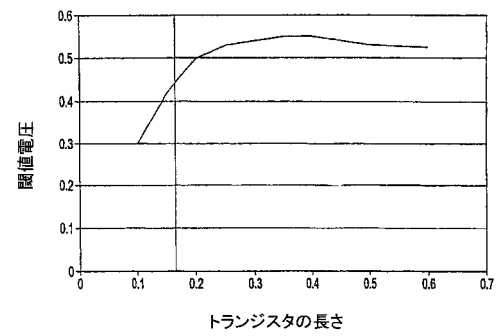
【図 9】



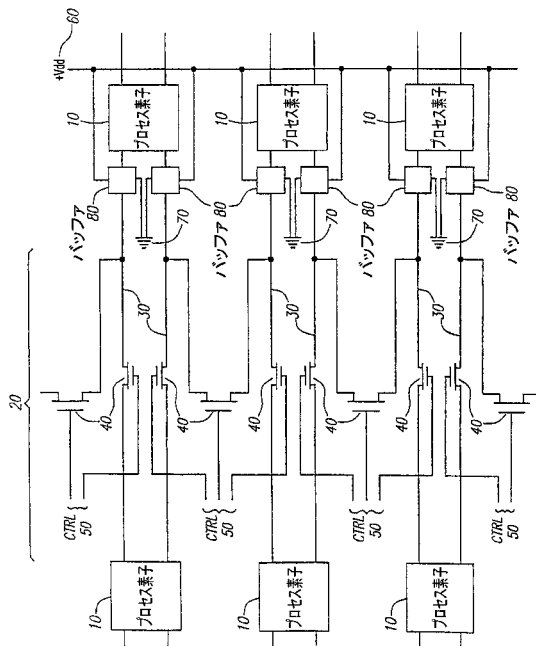
【図 10】



【図 11】



【図 12】



フロントページの続き

審査官 小曳 満昭

- (56)参考文献 特開平 0 7 - 3 2 1 6 4 1 (J P , A)
国際公開第 0 1 / 0 8 6 8 1 3 (W O , A 1)
特開平 0 9 - 1 2 1 1 5 4 (J P , A)
米国特許第 0 6 2 5 5 8 5 0 (U S , B 1)

- (58)調査した分野(Int.Cl. , D B 名)
H03K 19/00