

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017年8月31日(31.08.2017)



(10) 国際公開番号

WO 2017/145334 A1

- (51) 国際特許分類:  
H02J 1/00 (2006.01) H02M 1/08 (2006.01)  
H01J 49/42 (2006.01)
- (21) 国際出願番号: PCT/JP2016/055677
- (22) 国際出願日: 2016年2月25日(25.02.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立ハイテクノロジーズ(HITACHI HIGH-TECHNOLOGIES CORPORATION)  
[JP/JP]; 〒1058717 東京都港区西新橋一丁目2番14号 Tokyo (JP).
- (72) 発明者: 渡辺 敏光(WATANABE Toshimitsu); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 利根 正純(TONE Masazumi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 任田 浩(TOUDA Hiroshi); 〒1058717 東京都港区西新橋一丁目2番14号 株式会社

日立ハイテクノロジーズ内 Tokyo (JP). 大西 富士夫(ONISHI Fujio); 〒1058717 東京都港区西新橋一丁目2番14号 株式会社日立ハイテクノロジーズ内 Tokyo (JP). 照井 康(TERUI Yasushi); 〒1058717 東京都港区西新橋一丁目2番14号 株式会社日立ハイテクノロジーズ内 Tokyo (JP).

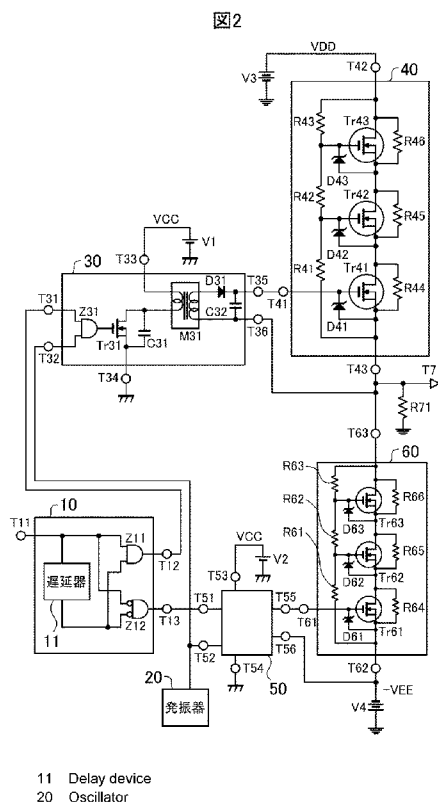
(74) 代理人: 特許業務法人 湘洋内外特許事務所(SHOYO INTELLECTUAL PROPERTY FIRM); 〒2200004 神奈川県横浜市西区北幸二丁目15番1号 東武横浜第2ビル6階 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

[続葉有]

(54) Title: POWER SUPPLY AND MASS SPECTROMETER

(54) 発明の名称: 電源および質量分析装置



(57) Abstract: The objective is to more rapidly switch the polarity of a high voltage and output the high voltage. Therefore, in the present invention a first switch circuit of a power supply has: a first switch element that is connected to an output terminal and to the control terminal of which a first drive signal is input; a plurality of second switch elements cascode-connected between the first switch element and a voltage source of a first polarity; and a first voltage-dividing circuit that divides the voltage between the voltage source of the first polarity and the output terminal and inputs a divided voltage to a control terminal of each of the plurality of second switch elements. In addition, a second switch circuit has: a third switch element that is connected to a voltage source of a second polarity and to the control terminal of which a second drive signal is input; a plurality of fourth switch elements cascode-connected between the third switch element and the output terminal; and a second voltage-dividing circuit that divides the voltage between the voltage source of the second polarity and the output terminal and inputs a divided voltage to a control terminal of each of the plurality of fourth switch elements.

(57) 要約: 高電圧の極性をより高速に切り替え、出力する。電源の第1のスイッチ回路は、制御端子に第1の駆動信号が入力される、出力端子と接続された第1のスイッチ素子と、第1のスイッチ素子と第1の極性の電圧源との間にカスコード接続された複数の第2のスイッチ素子と、複数の第2のスイッチ素子のそれぞれの制御端子に、第1の極性の電圧源と出力端子との間の電圧を分圧して入力する第1の分圧回路と、を有する。第2のスイッチ回路は、制御端子に第2の駆動信号が入力される、第2の極性の電圧源と接続された第3のスイッチ素子と、第3のスイッチ素子と出力端子との間にカスコード接続された複数の第4のスイッチ素子と、複数の第4のスイッチ素子のそれぞれの制御端子に、第2の極性の電圧源と出力端子との間の電圧を分圧して入力する第2の分圧回路と、を有する。



SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー  
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー  
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,  
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,  
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

**発明の名称：**電源および質量分析装置

### 技術分野

[0001] 本発明は、電源および質量分析装置に関するものである。

### 背景技術

[0002] 特許文献1には、出力電圧の正負の極性切り替えが可能な高電圧電源およびそれを用いた質量分析装置が開示されている。特許文献1では、極性の切り替え時間を10～20m秒にすることができると記載されている。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：国際公開WO2007/029327号

### 発明の概要

#### 発明が解決しようとする課題

[0004] 質量分析装置では、例えば、気化された試料のイオンが、正イオンであるか負イオンであるかによって、気化された試料に印加する高電圧の極性を切り替える。この切り替え時間が長くなると、イオンの非検出期間が長くなり、定量値の検出において正確な分析が出来なくなるという問題がある。

[0005] そこで本発明は、高電圧の極性をより高速に切り替え、出力することができる技術を提供することを目的とする。

#### 課題を解決するための手段

[0006] 本願は、上記課題の少なくとも一部を解決する手段を複数含んでいるが、その例を挙げるならば、以下の通りである。上記課題を解決すべく、本発明に係る電源は、第1の極性の電圧源と出力端子との間に接続された第1のスイッチ回路と、第2の極性の電圧源と前記出力端子との間に接続された第2のスイッチ回路と、を有し、前記第1のスイッチ回路は、制御端子に前記出力端子の電圧を制御する第1の駆動信号が入力される、前記出力端子と接続された第1のスイッチ素子と、前記第1のスイッチ素子と前記第1の極性の

電圧源との間にカスコード接続された複数の第2のスイッチ素子と、前記複数の第2のスイッチ素子のそれぞれの制御端子に、前記第1の極性の電圧源と前記出力端子との間の電圧を分圧して入力する第1の分圧回路と、を有し、前記第2のスイッチ回路は、制御端子に前記出力端子の電圧を制御する第2の駆動信号が入力される、前記第2の極性の電圧源と接続された第3のスイッチ素子と、前記第3のスイッチ素子と前記出力端子との間にカスコード接続された複数の第4のスイッチ素子と、前記複数の第4のスイッチ素子のそれぞれの制御端子に、前記第2の極性の電圧源と前記出力端子との間の電圧を分圧して入力する第2の分圧回路と、を有することを特徴とする。

### 発明の効果

[0007] 本発明によれば、高電圧の極性をより高速に切り替え、出力することができる。上記した以外の課題、構成、および効果は、以下の実施形態の説明により明らかにされる。

### 図面の簡単な説明

[0008] [図1]第1の実施の形態に係る電源を用いた質量分析装置の構成例を示した図である。

[図2]電源の回路図である。

[図3]電源の動作例を説明するタイミングチャートである。

[図4]第2の実施の形態に係る電源の回路図である。

[図5]第3の実施の形態に係る電源の回路図である。

[図6]第4の実施の形態に係る電源の回路図である。

[図7]第5の実施の形態に係る電源の回路図である。

### 発明を実施するための形態

[0009] 以下、本発明の実施の形態を、図面を参照して説明する。

質量分析装置は、試料を分子あるいはイオン分子などの形にして質量数を測定するものである。例えば、液体クロマトグラフ質量分析装置においては、対象試料を液体に溶融した後、気化した状態でイオン化し、マスフィルタまたはイオントラップと呼ばれる質量選別器を通して分離された分子イオン

の数を検出する。質量分析装置は、検出した分子イオンの数に基づいて、試料中に含まれる分子の種類と定量値（割合）を測定する。

[0010]     〔第 1 の実施の形態〕

図 1 は、第 1 の実施の形態に係る電源を用いた質量分析装置の構成例を示した図である。図 1 に示す質量分析装置は、例えば、液体クロマトグラフから溶出する試料液を分析する質量分析装置である。図 1 に示すように、質量分析装置は、制御部 1 と、電源 2～4 と、イオン化部 5 と、マスフィルタ 6 と、C D（Conversion Dynode：コンバージョンダイノード）部 7 と、シンチレータ 8 と、光電子検出器 9 とを有している。なお、図 1 には、説明のため、イオン分子 A 1，A 2 と、2 次電子 A 3 と、フォトン A 4 とを示している。

[0011]     制御部 1 は、装置全体を制御している。制御部 1 は、電源 2，4 が出力する電圧の極性を切り替えるための制御信号を、電源 2，4 に出力している。

[0012]     電源 2 は、例えば、数 k V の高電圧をイオン化部 5 に出力する。電源 2 は、制御部 1 から出力される制御信号に応じて、イオン化部 5 に出力する高電圧の極性を切り替える。

[0013]     電源 3 は、高周波電圧と直流電圧とを重畳した電圧をマスフィルタ 6 に出力する。

[0014]     電源 4 は、例えば、数 k V の高電圧を C D 部 7 に出力する。電源 4 は、制御部 1 から出力される制御信号に応じて、C D 部 7 に出力する高電圧の極性を切り替える。

[0015]     イオン化部 5 には、質量分析される試料液が封入される。イオン化部 5 は、封入された試料液の原子や分子をイオン化する。イオン化部 5 は、電源 2 から供給される、極性の異なる高電圧によって、試料を正または負のイオンにイオン化する。イオン化部 5 によってイオン化されたイオン分子 A 1 は、マスフィルタ 6 へ送られる。

[0016]     マスフィルタ 6 には、電源 3 から、高周波電圧と直流電圧とを重畳した電圧が印加される。マスフィルタ 6 は、印加された電圧によって電場を形成し

、所定質量数のイオンのみを通過させる。マスフィルタ 6 を通過した所定質量数のイオン分子 A 2 は、C D 部 7 へ送られる。

[0017] C D 部 7 には、電源 4 から高電圧が供給されている。C D 部 7 は、電源 4 から供給された高電圧によって電場を形成し、マスフィルタ 6 を通過した所定質量数のイオン分子 A 2 を誘引する。例えば、C D 部 7 には、イオン分子 A 2 と逆極性の高電圧が印加され、イオン分子 A 2 を誘引する。

[0018] C D 部 7 へ誘引されたイオン分子 A 2 は、C D 部 7 が備える C D に衝突し、C D は、2 次電子 A 3 を放出する。C D 部 7 から放出された 2 次電子 A 3 は、下方に進み、シンチレータ 8 にエネルギーを与える。

[0019] シンチレータ 8 は、2 次電子 A 3 によって与えられたエネルギーによって、フォトン A 4 を生成する。シンチレータ 8 で生成されたフォトン A 4 は、光電子検出器 9 で増幅される。

[0020] 光電子検出器 9 は、2 次電子 A 3 の数に応じた検出信号を出力する。すなわち、光電子検出器 9 は、マスフィルタ 6 を通過して C D 部 7 に到達した、イオン分子 A 2 の数に応じた検出信号を出力する。

[0021] このように、質量分析装置の制御部 1 は、分析対象であるイオンの極性に応じて、電源 2, 4 に対し、出力電圧の極性を切り替える制御信号を出力する。電源 2, 4 は、以下で説明するように、制御信号に応じて、出力する高電圧の極性を高速に切り替える。これにより、質量分析装置は、例えば、正イオン検出と負イオン検出とを、短時間毎に交互に繰り返し行うことが可能となり、イオン検出できない期間を短くすることができる。そして、質量分析装置は、良好なマスクロマトグラムやイオンクロマトグラムを作成することができる。

[0022] 図 2 は、電源 2 の回路図である。電源 4 は、図 2 と同様の回路を有しており、その説明を省略する。図 2 に示すように、電源 2 は、タイミング制御回路 10 と、発振器 20 と、フローティング駆動回路 30, 50 と、スイッチ回路 40, 60 と、出力端子 T 71 と、抵抗 R 71 と、電圧源 V 1 ~ V 4 と、端子 T 11 ~ T 13 と、端子 T 31 ~ T 36 と、端子 T 41 ~ T 43 と、

端子 T 5 1 ~ T 5 6 と、端子 T 6 1 ~ T 6 3 とを有している。出力端子 T 7 1 は、イオン化部 5 に接続されている。なお、電源 4 の出力端子は、C D 部 7 に接続されている。

[0023] 端子 T 1 1 には、制御部 1 から出力される制御信号が入力される。制御信号は、例えば、「H (High)」および「L (Low)」の信号である。

[0024] タイミング制御回路 1 0 は、端子 T 1 1 に「H」の制御信号が入力されると、端子 T 1 2 に「H」の制御信号を出力し、端子 T 1 3 に「L」の制御信号を出力する。また、タイミング制御回路 1 0 は、端子 T 1 1 に「L」の制御信号が入力されると、端子 T 1 3 に「H」の制御信号を出力し、端子 T 1 2 に「L」の制御信号を出力する。なお、スイッチ回路 4 0 は、端子 T 1 2 に「H」の制御信号が出力されたとき、電圧源 V 3 の正の電圧を出力端子 T 7 1 に出力する。スイッチ回路 6 0 は、端子 T 1 3 に「H」の制御信号が出力されたとき、電圧源 V 4 の負の電圧を出力端子 T 7 1 に出力する。

[0025] タイミング制御回路 1 0 は、遅延器 1 1 と、AND 回路 Z 1 1 と、NAND 回路 Z 1 2 とを有している。

[0026] AND 回路 Z 1 1 の一端には、制御部 1 の制御信号が入力され、他端には、遅延器 1 1 を介して、制御部 1 の制御信号が入力される。これにより、制御部 1 の制御信号が「L」から「H」に切り替わったとき、AND 回路 Z 1 1 からは、遅延器 1 1 による遅延時間「 $\Delta T$ 」だけ遅れて、「H」の制御信号が出力される。これに対し、制御部 1 の制御信号が「H」から「L」に切り替わったときは、そのタイミングにおいて、AND 回路 Z 1 1 から「L」の制御信号が出力される。

[0027] NAND 回路 Z 1 2 の一端には、制御部 1 の制御信号が入力され、他端には、遅延器 1 1 を介して、制御部 1 の制御信号が入力される。これにより、制御部 1 の制御信号が「H」から「L」に切り替わったとき、NAND 回路 Z 1 2 からは、遅延器 1 1 による遅延時間「 $\Delta T$ 」だけ遅れて、「H」の制御信号が出力される。これに対し、制御部 1 の制御信号が「L」から「H」に切り替わったときは、そのタイミングにおいて、NAND 回路 Z 1 2 から

「L」の制御信号が出力される。

[0028] つまり、タイミング制御回路10は、制御信号が「L」から「H」に遷移したとき、時間「 $\Delta T$ 」だけ遅れて、「H」の制御信号を端子T12に出力する。また、タイミング制御回路10は、制御信号が「H」から「L」に遷移したとき、時間「 $\Delta T$ 」だけ遅れて、「H」の制御信号を端子T13に出力する。すなわち、タイミング制御回路10は、以下で説明するが、2つのスイッチ回路40、60が同時（ほぼ同時を含む、以下同じ）にオンしないように、端子T12、T13に出力する「H」の制御信号の出力タイミングをずらす。

[0029] 発振器20は、発振信号を、端子T32、T52を介して、フローティング駆動回路30、50に出力する。発振信号は、例えば、数100kHz～1MHz程度のクロック信号である。

[0030] フローティング駆動回路30は、端子T31に出力された制御信号に応じて、端子T35、T36間に、スイッチ回路40をオン・オフするための駆動信号を出力する。

[0031] 端子T36は、出力端子T71と接続されている。出力端子T71は、後述するように、電圧源V3による正の高電圧と、電圧源V4による負の高電圧との間で遷移する。そこで、フローティング駆動回路30は、トランス（磁氣的結合）を用いてタイミング制御回路10とスイッチ回路40とを電氣的に絶縁し、スイッチ回路40をフローティング（絶縁）駆動する。

[0032] フローティング駆動回路30は、AND回路Z31と、トランジスタTr31と、コンデンサC31、C32と、トランスM31と、ダイオードD31とを有している。

[0033] AND回路Z31の一端には、端子T31を介して、タイミング制御回路10から出力される制御信号が入力される。AND回路Z31の他端には、端子T32を介して、発振器20から出力される発振信号が入力される。AND回路Z31は、一端に「H」の制御信号が入力されているとき、他端に入力されている発振信号を、トランジスタTr31のゲートに出力する。

- [0034] トランジスタT r 3 1は、例えば、N型のMOS (Metal Oxide Semicondu ctor) トランジスタである。トランジスタT r 3 1のソースは、端子T 3 4を介してグランドに接続され、ドレインは、トランスM 3 1の1次側および端子T 3 3を介して、電圧「VCC」を供給する電圧源V 1に接続されている。トランジスタT r 3 1は、AND回路Z 3 1から出力される発振信号（クロック信号）に応じてオン・オフし、これにより、トランスM 3 1の1次側は、電圧源V 1とグランドとの間でオン・オフする。
- [0035] コンデンサC 3 1は、トランジスタT r 3 1のオフ期間に、トランスM 3 1の1次巻線と共振して安定した疑似共振を行う。
- [0036] トランスM 3 1の2次側は、1次側の電圧源V 1とグランドとの間のオン・オフによって、発振器20から出力される発振信号と同一周期の電圧（パルス波形）が誘起される。これにより、フローティング駆動回路30は、トランスM 3 1による巻線分離によって、スイッチ回路40をフローティング駆動する。
- [0037] トランスM 3 1の2次側に誘起された電圧は、ダイオードD 3 1およびコンデンサC 2 2によって構成される平滑回路で平滑化される。これにより、端子T 3 5, T 3 6間には、端子T 3 1に入力された制御信号に応じた、フローティングされた駆動信号が発生する。例えば、端子T 3 1に「H」の制御信号が入力されると、フローティング駆動回路30は、端子T 3 5, T 3 6間に、後述するスイッチ回路40のトランジスタT r 4 1をオンする駆動信号を出力する。一方、端子T 3 1に「L」の制御信号が入力されると、フローティング駆動回路30は、端子T 3 5, T 3 6間に、トランジスタT r 4 1をオンする駆動信号を出力しない。
- [0038] なお、電圧源V 1の電圧と、トランスM 3 1の1次側および2次側の巻線比とを適切に設計することにより、端子T 3 5, T 3 6の間には、トランジスタT r 4 1のV G（閾値電圧）以上の電圧の駆動信号を発生させることができる。
- [0039] フローティング駆動回路50は、フローティング駆動回路30と同様の構

成を有しており、その説明を省略する。なお、フローティング駆動回路50は、端子T51に「H」の制御信号が入力されると、端子T55, T56間に、スイッチ回路60をオンする駆動信号を出力する。一方、端子T51に「L」の制御信号が入力されると、フローティング駆動回路50は、端子T55, T56間に、スイッチ回路60をオンする駆動信号を出力しない。

[0040] スイッチ回路40は、正の電圧(VDD)を出力する電圧源V3と、出力端子T71との間に接続されている。スイッチ回路40は、端子T35, T36に出力される駆動信号に応じて、電圧源V3の正の高電圧を出力端子T71に出力する。

[0041] 例えば、スイッチ回路40は、端子T35, T36間に、VG以上の電圧の駆動信号が出力されるとオンする。これにより、電圧源V3の正の高電圧が、出力端子T71に出力される。電圧源V3の電圧は、例えば、1kV～10kVの正の高電圧である。

[0042] スイッチ回路40は、トランジスタTr41～Tr43と、抵抗R41～R46と、ダイオードD41～D43とを有している。トランジスタTr41～Tr43は、例えば、N型のMOSトランジスタである。

[0043] トランジスタTr41のゲートは、端子T41を介して、端子T35と接続されている。トランジスタTr41のソースは、端子T43を介して、端子T36および出力端子T71と接続されている。また、トランジスタTr41のソースは、端子T43を介して、一端がグランドに接続された抵抗R71と接続されている。

[0044] トランジスタTr42, Tr43は、トランジスタTr41と電圧源V3との間にカスコード接続されている。トランジスタTr42のソースは、トランジスタTr41のドレインと接続され、トランジスタTr43のソースは、トランジスタTr42のドレインと接続され、トランジスタTr43のドレインは、端子T42を介して、電圧源V3と接続されている。

[0045] トランジスタTr42, T43のゲートには、電圧源V3と出力端子T71との間の電圧を分圧して入力する抵抗R41～R43が接続されている。

抵抗R 4 1 は、トランジスタT r 4 2 のゲートと、トランジスタT r 4 1 のソース（出力端子T 7 1）との間に接続されている。抵抗R 4 2 は、トランジスタT r 4 2 のゲートと、トランジスタT r 4 3 のゲートとの間に接続されている。抵抗R 4 3 は、トランジスタT r 4 3 のゲートと、トランジスタT r 4 3 のドレイン（電圧源V 3）との間に接続されている。

[0046] トランジスタT r 4 1～T r 4 2のそれぞれのソースとドレインとの間には、抵抗R 4 4～R 4 6が並列に接続されている。抵抗R 4 4～R 4 6は、電圧源V 3と出力端子T 7 1との間の電圧を分圧して印加する。この抵抗R 4 4～R 4 6により、トランジスタT r 4 1～T r 4 3のそれぞれの耐圧は平等となり、トランジスタT r 4 1～T r 4 3は、安定して動作することができる。

[0047] トランジスタT r 4 1～T r 4 3のそれぞれのゲートとソースの間には、ダイオードD 4 1～D 4 3が接続されている。ダイオードD 4 1～D 4 3は、例えば、ツェナーダイオードであり、トランジスタT r 4 1～T r 4 3のゲートにかかる過電圧を抑制する。

[0048] スイッチ回路4 0の動作について説明する。電圧源V 3と出力端子T 7 1との間の電圧は、抵抗R 4 4～R 4 6によって分圧され、トランジスタT r 4 1～T r 4 3のそれぞれのソースに印加されている。また、電圧源V 3と出力端子T 7 1との間の電圧は、抵抗R 4 1～R 4 3によって分圧され、トランジスタT r 4 1，T r 4 2のそれぞれのゲートに印加されている。従って、端子T 4 1と端子T 4 3との間の電位差がゼロの場合、すなわち、端子T 3 5，T 3 6間に出力された駆動信号の電圧がゼロの場合、トランジスタT r 4 1～T r 4 3は、オフの状態にあり、微小なブリーダ電流が流れている。

[0049] ブリーダ電流は、抵抗R 7 1を介して、電圧源V 3に帰還するが、同時に電圧源V 4によるブリーダ電流が、抵抗R 7 1、端子T 6 3、スイッチ回路6 0、および電圧源V 4を介して流れる。そのため、端子T 4 3と端子T 6 3はゼロ電位に保たれ、出力端子T 7 1の電位はゼロである。

- [0050] 端子T 4 1, T 4 3間に、駆動信号(V G)が印加されると、トランジスタT r 4 1はオンする。トランジスタT r 4 1がオンすると、抵抗R 4 4の両端は短絡状態となり、トランジスタT r 4 2のソース電位が、トランジスタT r 4 2のゲート電位より低くなる。トランジスタT r 4 2のゲートとソースとの電位差がV Gを超えると、トランジスタT r 4 2はオンする。
- [0051] トランジスタT r 4 2がオンすると、抵抗R 4 5の両端は短絡状態となり、トランジスタT r 4 3のソース電位が、トランジスタT r 4 3のゲート電位より低くなる。トランジスタT r 4 3のゲートとソースとの電位差がV Gを超えると、トランジスタT r 4 3はオンする。
- [0052] すなわち、端子T 4 1, T 4 3に駆動信号が出力されると、トランジスタT r 4 1~T r 4 3は、トランジスタT r 4 1, T r 4 2, T r 4 3の順にオンする。そして、出力端子T 7 1には、電圧源V 3の正の高電圧が印加される。一方、端子T 4 1, T 4 3に駆動信号が出力されなくなると(端子T 4 1, T 4 3間の電圧がゼロになると)、トランジスタT r 4 1~T r 4 3は、トランジスタT r 4 1, T r 4 2, T r 4 3の順にオフし、出力端子T 7 1の電位はゼロに戻る。
- [0053] スイッチ回路6 0について説明する。スイッチ回路6 0は、負の電圧(−V E E)を出力する電圧源V 4と出力端子T 7 1との間に接続されている。スイッチ回路4 0は、端子T 5 5, T 5 6に出力される駆動信号に応じて、電圧源V 4の負の高電圧を出力端子T 7 1に出力する。
- [0054] 例えば、スイッチ回路6 0は、端子T 5 5, T 5 6間に、V G以上の電圧の駆動信号が出力されるとオンする。これにより、電圧源V 4の負の高電圧が、出力端子T 7 1に出力される。電圧源V 4の電圧は、例えば、−1 k V ~ −1 0 k Vの負の高電圧である。
- [0055] スイッチ回路6 0は、トランジスタT r 6 1~T r 6 3と、抵抗R 6 1~R 6 6と、ダイオードD 6 1~D 6 3とを有している。トランジスタT r 6 1~T r 6 3は、例えば、N型のM O Sトランジスタである。
- [0056] トランジスタT r 6 1のゲートは、端子T 6 1を介して、端子T 6 5と接

続されている。トランジスタTr61のソースは、端子T62を介して、端子T56および電圧源V4と接続されている。

[0057] トランジスタTr62, Tr63は、トランジスタTr61と出力端子T71との間にカスコード接続されている。トランジスタTr62のソースは、トランジスタTr61のドレインと接続され、トランジスタTr63のソースは、トランジスタTr62のドレインと接続され、トランジスタTr63のドレインは、端子T63を介して、出力端子T71と接続されている。

[0058] トランジスタTr62, Tr63のゲートには、電圧源V4と出力端子T71との間の電圧を分圧して入力する抵抗R61～R63が接続されている。抵抗R61は、トランジスタTr62のゲートと、トランジスタTr61のソース（電圧源V4）との間に接続されている。抵抗R62は、トランジスタTr62のゲートと、トランジスタTr63のゲートとの間に接続されている。抵抗R63は、トランジスタTr63のゲートと、トランジスタTr63のドレイン（出力端子T71）との間に接続されている。

[0059] トランジスタTr61～Tr62のそれぞれのソースとドレインの間には、抵抗R64～R66が並列に接続されている。抵抗R64～R66は、電圧源V4と出力端子T71との間の電圧を分圧して印加する。この抵抗R64～R66により、トランジスタTr61～Tr63のそれぞれの耐圧は平等となり、トランジスタTr61～Tr63は、安定して動作することができる。

[0060] トランジスタTr61～Tr63のそれぞれのゲートとソースの間には、ダイオードD61～D63が接続されている。ダイオードD61～D63は、例えば、ツェナーダイオードであり、トランジスタTr61～Tr63のゲートにかかる過電圧を抑制する。

[0061] スイッチ回路60の動作について説明する。電圧源V4と出力端子T71との間の電圧は、抵抗R64～R66によって分圧され、トランジスタTr61～Tr63のそれぞれのソースに印加されている。また、電圧源V4と出力端子T71との間の電圧は、抵抗R61～R63によって分圧され、ト

ランジスタ  $T_{r61}$ ,  $T_{r62}$  のそれぞれのゲートに印加されている。従って、端子  $T_{61}$  と端子  $T_{62}$  との間の電位差がゼロの場合、すなわち、端子  $T_{55}$ ,  $T_{56}$  間に出力された駆動信号の電圧がゼロの場合、トランジスタ  $T_{r61} \sim T_{r63}$  は、オフの状態にあり、微小なブリーダ電流が流れている。

[0062] ブリーダ電流は、電圧源  $V_4$  に流入し、抵抗  $R_{71}$  を介して帰還するが、同時に電圧源  $V_3$  によるブリーダ電流が、抵抗  $R_{71}$ 、電圧源  $V_3$ 、スイッチ回路  $40$ 、および端子  $T_{43}$  を介して流れる。そのため、端子  $T_{63}$  と端子  $T_{43}$  はゼロ電位に保たれ、出力端子  $T_{71}$  の電位はゼロである。

[0063] 端子  $T_{61}$ ,  $T_{62}$  間に、駆動信号 ( $V_G$ ) が印加されると、トランジスタ  $T_{r61}$  はオンする。トランジスタ  $T_{r61}$  がオンすると、抵抗  $R_{64}$  の両端は短絡状態となり、トランジスタ  $T_{r62}$  のソース電位が、トランジスタ  $T_{r62}$  のゲート電位より低くなる。トランジスタ  $T_{r62}$  のゲートとソースとの電位差が  $V_G$  を超えると、トランジスタ  $T_{r62}$  はオンする。

[0064] トランジスタ  $T_{r62}$  がオンすると、抵抗  $R_{65}$  の両端は短絡状態となり、トランジスタ  $T_{r63}$  のソース電位が、トランジスタ  $T_{r63}$  のゲート電位より低くなる。トランジスタ  $T_{r63}$  のゲートとソースとの電位差が  $V_G$  を超えると、トランジスタ  $T_{r63}$  はオンする。

[0065] すなわち、端子  $T_{61}$ ,  $T_{62}$  に駆動信号が出力されると、トランジスタ  $T_{r61} \sim T_{r63}$  は、トランジスタ  $T_{r61}$ ,  $T_{r62}$ ,  $T_{r63}$  の順にオンする。そして、出力端子  $T_{71}$  には、電圧源  $V_4$  の負の高電圧が印加される。一方、端子  $T_{61}$ ,  $T_{62}$  に駆動信号が出力されなくなると（端子  $T_{61}$ ,  $T_{62}$  間の電圧がゼロになると）、トランジスタ  $T_{r61} \sim T_{r63}$  は、トランジスタ  $T_{r61}$ ,  $T_{r62}$ ,  $T_{r63}$  の順にオフし、出力端子  $T_{71}$  の電位はゼロに戻る。

[0066] このように、スイッチ回路  $40$  は、正の電圧源  $V_3$  と出力端子  $T_{71}$  との間に接続され、カスコード接続された複数のトランジスタ  $T_{r41} \sim T_{r43}$  によって、電圧源  $V_3$  の正の高電圧を出力端子  $T_{71}$  に出力する。また、

スイッチ回路60は、負の電圧源V4と出力端子T71との間に接続され、カスコード接続された複数のトランジスタTr61~Tr63によって、電圧源V4の負の高電圧を出力端子T71に出力する。これにより、電源2は、高電圧の極性をより高速に切り替えることができる。

[0067] 図3は、電源2の動作例を説明するタイミングチャートである。図3に示す横軸tは時間を示している。

[0068] (A)に示す波形は、図2の端子T11に入力される制御信号を示している。(B)に示す波形は、タイミング制御回路10の遅延器11から出力される制御信号を示している。

[0069] タイミング制御回路10のAND回路Z11には、(A)に示す波形の制御信号と、(B)に示す波形の制御信号とが入力される。従って、AND回路Z11からは、(A)に示す波形と、(B)に示す波形とのANDを取った、(C)に示す波形の制御信号が出力される。(C)に示す波形の制御信号は、フローティング駆動回路30に出力される。

[0070] また、タイミング制御回路10のNAND回路Z12には、(A)に示す波形の制御信号と、(B)に示す波形の制御信号とが入力される。従って、NAND回路Z12からは、(A)に示す波形と、(B)に示す波形とのNANDを取った、(D)に示す波形の制御信号が出力される。(D)に示す波形の制御信号は、フローティング駆動回路50に出力される。

[0071] (E)に示す波形は、出力端子T71から出力される電圧の波形を示している。(C)および(E)に示すように、フローティング駆動回路30に「H」の制御信号が入力されているとき、フローティング駆動回路30からは、スイッチ回路40をオンする駆動信号が出力され、出力端子T71には、電圧源V3の正の高電圧「VDD」が出力される。また、(D)および(E)に示すように、フローティング駆動回路50に「H」の制御信号が入力されているとき、フローティング駆動回路50からは、スイッチ回路60をオンする駆動信号が出力され、出力端子T71には、電圧源V4の負の高電圧「-VEE」が出力される。

[0072] 図3の「 $\Delta T$ 」に示すように、スイッチ回路40、60のオン・オフの遷移時間は、タイミング制御回路10の遅延器11によって、時間差を持つ。これにより、電源2は、電圧源V3と電圧源V4とが導通することによる貫通電流を阻止しつつ、出力端子T71に接続される負荷への充放電を高速に行うことができる。

[0073] 以上説明したように、正の電圧源V3と出力端子T71との間に接続されたスイッチ回路40は、駆動信号が入力される、出力端子T71と接続されたトランジスタTr41と、トランジスタTr41と電圧源V3との間にカスコード接続された複数のトランジスタTr42、Tr43と、複数のトランジスタTr42、Tr43のそれぞれのゲートに、電圧源V3と出力端子T71との間の電圧を分圧して入力する複数の抵抗R41～R43と、を有する。負の電圧源V4と出力端子T71との間に接続されたスイッチ回路60は、駆動信号が入力される、電圧源V4と接続されたトランジスタTr61と、トランジスタTr61と出力端子T71との間にカスコード接続されたトランジスタTr62、Tr63と、複数のトランジスタTr62、63のそれぞれのゲートに、電圧源V4と出力端子T71との間の電圧を分圧して入力する複数の抵抗R61～R63とを有する。これにより、電源2は、高電圧の極性をより高速に切り替え、出力することができる。例えば、電源2は、0.5 msecで、電圧源V3、V4の高電圧を切り替え、出力することができる。また、電源2は、簡易な構成で実現でき、低コスト化を図ることができる。また、質量分析装置は、正負イオンの定量分析を高精度で短時間に行うことができる。

[0074] また、トランジスタTr41～Tr43のそれぞれには、抵抗R44～R46が並列に接続され、トランジスタTr61～Tr63のそれぞれには、抵抗R64～R66が並列に接続される。これにより、トランジスタTr41～Tr43、Tr61～Tr63の耐電圧は平等となり、トランジスタTr41～Tr43、Tr61～Tr63は、過渡的な変化に対しても安定して動作することができる。

[0075] また、電源 2 は、スイッチ回路 40、60 とタイミング制御回路 10 との間に、スイッチ回路 40、60 とタイミング制御回路 10 とを電氣的に絶縁するフローティング駆動回路 30、50 を有する。これにより、電源 2 は、電圧源 V3 と出力端子 T71 との間に接続されたスイッチ回路 40 と、電圧源 V4 と出力端子 T71 との間に接続されたスイッチ回路 60 とを高速に駆動することができる。

[0076] [第 2 の実施の形態]

第 2 の実施の形態では、フローティング駆動回路は、複数のトランスを有する。これにより、それぞれのトランスにかかる絶縁耐圧を低くし、電圧源のさらなる高電圧に対応できるようにする。

[0077] 図 4 は、第 2 の実施の形態に係る電源 2 の回路図である。図 4 において、図 2 と同じものには同じ符号を付し、その説明を省略する。以下では、図 2 と異なる部分について説明する。

[0078] 図 4 に示すように電源 2 は、フローティング駆動回路 80 と、抵抗 R81、R82 と、端子 T81～T87 と、フローティング駆動回路 90 と、抵抗 R91、R92 と、端子 T91～T97 とを有している。フローティング駆動回路 90 は、フローティング駆動回路 80 と同様の構成を有しており、その説明を省略する。

[0079] 端子 T81、T82 には、図 2 の端子 T31、T32 と同様に、制御信号と発振信号とが入力される。端子 T83 には、図 2 の端子 T33 と同様に、電圧源 V1 の電圧が入力される。端子 T86、T87 からは、図 2 の端子 T35、T36 と同様に、駆動信号が出力される。

[0080] フローティング駆動回路 80 は、AND 回路 Z81 と、トランジスタ Tr81 と、コンデンサ C81、C82 と、トランス M81、M82 と、ダイオード D81 とを有している。AND 回路 Z81、トランジスタ Tr81、コンデンサ C81、およびトランス M81 の 1 次側は、図 2 に示した AND 回路 Z31、トランジスタ Tr31、コンデンサ C31、およびトランス M31 の 1 次側と同様であり、その説明を省略する。

- [0081] トランスM81, M82は、直列に接続されている。トランスM81の2次側は、トランスM82の1次側に接続されている。これにより、トランスM82の2次側には、発振器20から出力される発振信号と同一周期の電圧（パルス波形）が誘起される。
- [0082] トランスM82の2次側に誘起された電圧は、ダイオードD81およびコンデンサC82によって構成される平滑回路で平滑化される。これにより、端子T86, T87間には、端子T81に入力された制御信号に応じた、フローティングされた駆動信号が発生する。
- [0083] 抵抗R81, R82は、出力端子T71とグランドとの間に直列に接続されている。トランスM81の2次側の一端およびトランスM82の1次側の一端は、端子T85を介して、抵抗R81と抵抗R82との間に接続されている。これにより、トランスM81の2次側の一端の電位およびトランスM82の1次側の一端の電位は、出力端子T71の電位を、抵抗R81, R82によって分圧した電位に保持される。例えば、抵抗R81, R82の抵抗値を同じにすると、端子T85の電位は、出力端子T71の電位の中間電位（ $1/2$ ）に保持され、トランスM81, M82の絶縁耐圧を平等にできる。
- [0084] 上記では、直列に接続された2つのトランスM81, M82の例について説明したが、3以上のトランスが直列に接続されてもよい。この場合、直列に接続するトランスの数に合わせて、出力端子T71とグランドとの間に直列に接続される抵抗の数を増やす。そして、各トランスの接続点を、複数の抵抗で分圧した電位で保持するようにする。
- [0085] 以上説明したように、フローティング駆動回路80, 90は、直列に接続された複数のトランスM81, M82を有する。これにより、フローティング駆動回路80, 90は、さらに絶対値の大きい電圧を出力する電圧源V3, V4が用いられても、スイッチ回路40, 60をフローティング駆動することができる。例えば、フローティング駆動回路80, 90は、例えば、電圧源V3, V4の電圧の絶対値が、10kVを超えるような場合であっても

、トランスと抵抗とを複数個設けることにより、スイッチ回路40、60をフローティング駆動することができる。

[0086] [第3の実施の形態]

第3の実施の形態では、フローティング駆動回路は、フォトカプラによって、タイミング制御回路とスイッチ回路とを電氣的に絶縁する。

[0087] 図5は、第3の実施の形態に係る電源2の回路図である。図5において、図2と同じものには同じ符号を付し、その説明を省略する。以下では、図2と異なる部分について説明する。

[0088] 図5に示すように電源2は、フローティング駆動回路100と、端子T101～T105と、フローティング駆動回路110と、端子T111～T115とを有している。フローティング駆動回路110は、フローティング駆動回路100と同様の構成を有しており、その説明を省略する。

[0089] 端子T101には、図2の端子T31と同様に、制御信号が入力される。端子T102には、図2の端子T33と同様に、電圧源V1の電圧が入力される。端子T104、T105からは、図2の端子T35、T36と同様に、駆動信号が出力される。

[0090] フローティング駆動回路100は、トランジスタTr101と、フォトカプラPT101～PT103とを有している。トランジスタTr101は、例えば、N型のMOSトランジスタである。

[0091] トランジスタTr101のゲートは、端子T101と接続され、タイミング制御回路10から出力される制御信号が入力される。トランジスタTr101のドレインは、フォトカプラPT101～PT103のそれぞれの発光側ダイオードの一端と接続されている。トランジスタTr101のソースは、端子T103を介して、グランドに接続されている。

[0092] フォトカプラPT101～PT103のそれぞれの発光側ダイオードの他端は、端子T102を介して、電圧源V1と接続されている。フォトカプラPT101～PT103の受光側ダイオードは、直列となるように接続されている。直列に接続された受光側ダイオードの両端は、端子T104、T1

05に接続されている。

[0093] 端子T101に「H」の制御信号が入力されると、トランジスタTr101はオンする。これにより、フォトカプラPT101～PT103のそれぞれの発光側ダイオードには、電圧源V1の電圧が印加され、フォトカプラPT101～PT103の発光側ダイオードは発光する。

[0094] フォトカプラPT101～PT103の受光側ダイオードは直列に接続されており、1個当たりの出力電圧を「V<sub>pt</sub>」とすると、端子T104, T105には、「3V<sub>pt</sub>」の電圧の駆動信号が出力される。例えば、フォトカプラPT101～PT103の受光側ダイオードの1個当たりの出力電圧を「0.7V」とすると、端子T104, T105には、「2.1V」の駆動信号が出力される。

[0095] なお、端子T104, T105間の電圧差をV<sub>G</sub>以上とすれば、スイッチ回路40を駆動できる。従って、スイッチ回路40に使用するトランジスタのV<sub>G</sub>に応じて、フォトカプラPT101～PT103の数を増減させる。

[0096] 以上説明したように、フローティング駆動回路100, 110は、受光側ダイオードが直列に接続された複数のフォトカプラPT101～PT103によって、スイッチ回路40, 60とタイミング制御回路10とを絶縁する。これにより、フローティング駆動回路100, 110は、適切な電圧の駆動信号をスイッチ回路40, 60に出力することができる。

[0097] なお、上記では、フォトカプラPT101～PT103の発光側ダイオードの接続は並列接続としているが、電圧源V1の電圧に応じて直列に接続してもよい。

[0098] また、発光側ダイオードと受光側ダイオードとを一体としたフォトカプラPT101～PT103ではなく、発光側と受光側を別部品で構成してもよい。この場合、発光側と受光側は、十分な絶縁距離を確保する。

[0099] [第4の実施の形態]

第4の実施の形態では、受光側にフォトトランジスタを用いたフォトカプラによって、タイミング制御回路とスイッチ回路とを電氣的に絶縁する。

- [0100] 図6は、第4の実施の形態に係る電源2の回路図である。図6において、図2と同じものには同じ符号を付し、その説明を省略する。以下では、図2と異なる部分について説明する。
- [0101] 図6に示すように電源2は、フローティング駆動回路120と、端子T121～T126と、フローティング駆動回路130と、端子T131～T136とを有している。フローティング駆動回路130は、フローティング駆動回路120と同様の構成を有しており、その説明を省略する。
- [0102] 端子T121には、発振器20から出力される発振信号が入力される。端子T122には、タイミング制御回路10から出力される制御信号が入力される。端子T125、T126からは、図2の端子T35、T36と同様に、駆動信号が出力される。
- [0103] フローティング駆動回路120は、トランジスタTr121、Tr122と、コンデンサC121、C122と、トランスM121と、ダイオードD121と、抵抗R121と、反転回路Z121と、フォトカップラPT121とを有している。
- [0104] トランジスタTr121は、例えば、N型のMOSトランジスタである。トランジスタTr121のゲートには、端子T121を介して、発振器20の発振信号が入力される。トランジスタTr121のドレインは、トランスM121の1次側の一端と接続されている。トランジスタTr121のソースは、端子T124を介して、グランドに接続されている。トランジスタTr121のソースとドレインとの間に接続されたコンデンサC121は、トランジスタTr121のオフ期間に、トランスM121の1次巻線と共振して安定した疑似共振を行う。
- [0105] トランスM121の1次側の他端は、端子T123を介して、電圧源V1と接続されている。トランスM121の2次側は、ダイオードD121とコンデンサC122とによって構成される平滑回路と抵抗R121とを介して、端子T125、T126と接続されている。
- [0106] 反転回路Z121には、端子T122を介して、制御信号が入力される。

反転回路Z 1 2 1は、入力された制御信号を反転して、トランジスタT r 1 2 2のゲートに出力する。

[0107] トランジスタT r 1 2 2は、例えば、N型のMOSトランジスタである。トランジスタT r 1 2 2のドレインは、フォトカプラP T 1 2 1の発光側ダイオードの一端と接続されている。トランジスタT r 1 2 2のソースは、端子T 1 2 4を介して、グランドと接続されている。

[0108] フォトカプラP T 1 2 1の発光側ダイオードの他端は、端子T 1 2 3を介して、電圧源V 1と接続されている。フォトカプラP T 1 2 1の受光側トランジスタは、端子T 1 2 5, T 1 2 6と接続されている。

[0109] トランジスタT r 1 2 1は、ゲートに入力される発振信号（クロック信号）に応じてオン・オフする。これにより、トランスM 1 2 1の1次側は、電圧源V 1とグランドとの間でオン・オフし、トランスM 1 2 1の2次側は、発振信号と同一周期の電圧（パルス波形）が誘起される。トランスM 1 2 1の2次側に誘起された電圧（以下、V C C 2と呼ぶことがある）は、ダイオードD 1 2 1およびコンデンサC 1 2 2によって構成される平滑回路で平滑化される。

[0110] 反転回路Z 1 2 1に、「H」の制御信号が入力された場合、トランジスタT r 1 2 2のゲートには、「L」の制御信号が入力され、トランジスタT r 1 2 2はオフする。トランジスタT r 1 2 2がオフすると、フォトカプラP T 1 2 1の発光側ダイオードには、電圧源V 1による電流が流れないため、発光側ダイオードは発光せず、受光側トランジスタはオフする。これにより、端子T 1 2 5, T 1 2 6間には、抵抗R 1 2 1を介して、トランスM 1 2 1の2次側の電圧V C C 2（駆動信号）が出力される。

[0111] 一方、反転回路Z 1 2 1に、「L」の制御信号が入力された場合、トランジスタT r 1 2 2のゲートには、「H」の制御信号が入力され、トランジスタT r 1 2 2はオンする。トランジスタT r 1 2 2がオンすると、フォトカプラP T 1 2 1の発光側ダイオードには、電圧源V 1による電流が流れ、発光側ダイオードは発光し、受光側トランジスタはオンする。これにより、ト

ランスM121の2次側の電圧VCC2（駆動信号）は、抵抗R121に電流を流して消費されるため、端子T125，T126間の電圧はほぼゼロとなる。

[0112] 以上説明したように、フローティング駆動回路120，130は、発振信号に応じて、電圧源V1に基づく電圧を2次側に出力するするランスM121と、制御信号に応じて、ランスM121の2次側の出力を制御し、駆動信号として出力するフォトカップラPT121とを有する。これにより、フローティング駆動回路120，130は、スイッチ回路40，60に用いられるトランジスタの素子特性（VG）に応じて、電圧源V1，V2の電圧、ランスM121の巻き線比、および抵抗R121の値を適切に選択または変更することにより、適切にスイッチ回路40，60をフローティング駆動することができる。

[0113] なお、電圧源V3，V4の電圧に応じて、フローティング駆動回路120，130の絶縁耐圧の向上を図るには、第2の実施の形態で説明したように、ランスを複数直列に接続すればよい。また、第3の実施の形態で説明したように、フォトカップラの発光側ダイオードと受光側トランジスタとを個別部品で構成すればよい。

[0114] [第5の実施の形態]

第5の実施の形態では、出力端子に出力する高電圧の大きさを変更できるようにする。

[0115] 図7は、第5の実施の形態に係る電源2の回路図である。図7において、図2と同じものには同じ符号を付し、その説明を省略する。以下では、図2と異なる部分について説明する。

[0116] 図7に示すように電源2は、端子T141と、比較器Z141と、増幅回路150，170と、フローティング駆動回路160，180と、端子T161～T165と、端子T181～T185と、抵抗R141，R142とを有している。

[0117] 端子T141には、制御部1から出力される制御信号が入力される。制御

信号は、正負の電圧で出力され、その大きさが変えられるようになっている。

[0118] 比較器Z141の正相入力には、端子T141を介して、制御信号が入力される。比較器Z141の逆相入力には、抵抗R141, R142によって分圧された出力端子T71の電圧が入力される。すなわち、出力端子T71の電圧は、抵抗R141, R142によって、比較器Z141にフィードバックされる。比較器Z141は、正相入力および逆相入力に入力された電圧を比較し、比較結果を電圧として増幅回路150, 170に出力する。

[0119] 増幅回路150は、演算増幅器Z151と、ダイオードD151, D152と、抵抗R151とを有している。演算増幅器Z151の正相入力には、比較器Z141の出力電圧が入力される。比較器Z141の出力電圧が正の場合、ダイオードD152がオンし、演算増幅器Z151は、ボルテージフォロワを構成する。そして、比較器Z141の出力電圧が端子T161に出力される。一方、比較器Z141の比較結果が負の電圧の場合、ダイオードD152はカットオフ状態となり、端子T161には、比較器Z141の出力電圧が出力されない。

[0120] フローティング駆動回路160は、トランジスタTr161と、コンデンサC161, C162と、トランスM161と、ダイオードD161とを有している。

[0121] トランジスタTr161は、例えば、N型のMOSトランジスタである。トランジスタTr161のソースは、端子T163を介してグラウンドに接続され、ドレインは、トランスM161の1次側の一端に接続されている。トランジスタTr161は、ゲートに入力される発振信号に応じてオン・オフし、これにより、トランスM161の1次側は、端子T161とグラウンドとの間でオン・オフする。

[0122] コンデンサC161は、トランジスタTr161のオフ期間に、トランスM161の1次巻線と共振して安定した疑似共振を行う。

[0123] トランスM161の1次側他端は、端子T161を介して、ボルテージ

フォロワ（演算増幅器 Z 1 5 1）の出力と接続されている。トランス M 1 6 1 の 2 次側は、1 次側のボルテージフォロワの出力とグラウンドとの間のオン・オフによって、発振器 2 0 から出力される発振信号と同一周期の、ボルテージフォロワの出力電圧の大きさに比例した大きさの電圧（パルス波形）が誘起される。

[0124] トランス M 1 6 1 の 2 次側に誘起された電圧は、ダイオード D 1 6 1 およびコンデンサ C 1 6 2 によって構成される平滑回路で平滑化される。これにより、端子 T 1 6 4, T 1 6 5 間には、スイッチ回路 4 0 をフローティング駆動する駆動信号が発生する。

[0125] 増幅回路 1 7 0 は、演算増幅器 Z 1 7 1 と、ダイオード D 1 7 1, D 1 7 2 と、抵抗 R 1 7 1, R 1 7 2 とを有している。演算増幅器 Z 1 7 1 の逆相入力には、比較器 Z 1 4 1 の出力電圧が、抵抗 R 1 7 1 を介して入力される。比較器 Z 1 4 1 の出力電圧が負の場合、演算増幅器 Z 1 7 1 の出力電圧は正となってダイオード D 1 7 2 がオンし、演算増幅器 Z 1 5 1 は、抵抗 R 1 7 1, R 1 7 2 の比で決まる利得を持つ反転増幅器を構成する。そして、比較器 Z 1 4 1 の反転増幅された出力電圧が端子 T 1 8 1 に出力される。一方、比較器 Z 1 4 1 の比較結果が正の電圧の場合、演算増幅器 Z 1 5 1 の出力電圧は負となってダイオード D 1 7 2 はカットオフ状態となり、端子 T 1 8 1 には、比較器 Z 1 4 1 の出力電圧が出力されない。

[0126] フローティング駆動回路 1 8 0 は、フローティング駆動回路 1 6 0 と同様であり、その説明を省略する。なお、端子 T 1 8 4, T 1 8 5 間には、端子 T 1 4 1 に入力された、負の制御信号の絶対値の大きさに応じた駆動信号が発生する。

[0127] 電源 2 の動作について説明する。端子 T 1 4 1 と出力端子 T 7 1 の電圧はゼロであるとする。この状態から、端子 T 1 4 1 に、例えば、1 V の制御信号が入力されると、比較器 Z 1 4 1 の出力電圧は、正の電圧「+V<sub>in</sub>」となる。

[0128] 比較器 Z 1 4 1 から、正の電圧「+V<sub>in</sub>」が出力されると、増幅回路 1

50の演算増幅器Z151の出力電圧は正となり、ダイオードD152がオンする。これにより、演算増幅器Z151は、ボルテージフォロワを構成し、端子T161には「+Vin」が出力される。

[0129] 端子T162には、発振器20から出力された発信信号が入力されており、増幅回路150のトランジスタTr161はスイッチング動作する。トランスM161の1次側は、「+Vin」の電圧において、オン・オフが繰り返されるため、トランスM161の2次側には、「+Vin」の大きさに比例した電圧「Vd」の駆動信号が発生する。スイッチ回路40は、電圧「Vd」の駆動信号によってオンし、出力端子T71に正の電圧が発生する。

[0130] 比較器Z141の出力電圧「+Vin」は、増幅回路170にも出力されるが、演算増幅器Z171の出力はマイナス電位となって、ダイオードD172はカットオフし、端子T181の電圧はゼロのままとなる。このため、フローティング駆動回路180から駆動信号は出力されないため、スイッチ回路60はオフとなる。

[0131] 出力端子T71の出力電圧は、抵抗R141, R142によって分圧され、比較器Z141の逆相入力に入力（フィードバック）される。ここで、例えば、抵抗R141, R142の抵抗比を1000:1とし、電圧源V3の電圧を5.000Vとした場合、抵抗R142の電圧は0から上昇し、最大5Vに到達することになるが、1Vまで上昇した時点で、比較器Z141の出力はゼロとなる（端子T141には、1Vの制御信号が入力されている）。

[0132] 比較器Z141の出力がゼロになると、増幅回路150の出力電圧はゼロとなり、スイッチ回路40がオフ方向に動作するフィードバック動作となる。これにより、出力端子T71の出力電圧は1.000Vで一定となる。なお、5.000Vの出力電圧を得たい場合には、制御部1は、端子T141に5Vの制御信号を出力すればよい。

[0133] 次に、負の出力電圧を出力する場合の動作について説明する。端子T141に、例えば、-1Vの制御信号が入力されると、比較器Z141の出力電

圧は、負の電圧「 $-V_{in}$ 」となる。

- [0134] 比較器Z141から、負の電圧「 $-V_{in}$ 」が出力されると、増幅回路170の演算増幅器Z171の出力電圧は正となり、ダイオードD172がオンする。演算増幅器Z171は、抵抗R171, R172の比で決まる利得Gを持つ反転増幅器の動作となり、端子T181には「 $+V_{in} \times G$ 」の電圧が出力される。
- [0135] 端子T181に正の電圧「 $+V_{in} \times G$ 」が出力されると、フローティング駆動回路180は、正の電圧の駆動信号を端子T184, T185に出力する。スイッチ回路60は、駆動信号によってオンし、出力端子T71に電圧が発生する。
- [0136] 比較器Z141の出力電圧「 $-V_{in}$ 」は、増幅回路150にも出力されるが、演算増幅器Z151の出力はマイナス電位となって、ダイオードD152はカットオフし、端子T161の電圧はゼロのままとなる。このため、フローティング駆動回路160から駆動信号は出力されないため、スイッチ回路40はオフとなる。
- [0137] 出力端子T71の出力電圧は、抵抗R141, R142によって分圧され、比較器Z141の逆相入力に入力（フィードバック）される。ここで、例えば、抵抗R141, R142の抵抗比を1000:1とし、電圧源V4の電圧を $-5.000V$ とした場合、抵抗R142の電圧は0から下降し、最小 $-5V$ に到達することになるが、 $-1V$ まで下降した時点で、比較器Z141の出力はゼロとなる（端子T141には、 $-1V$ の制御信号が入力されている）。
- [0138] 比較器Z141の出力がゼロになると、増幅回路170の出力電圧はゼロとなり、スイッチ回路60がオフ方向に動作するフィードバック動作となる。これにより、出力端子T71の出力電圧は $-1.000V$ で一定となる。なお、 $-5.000V$ の出力電圧を得たい場合には、制御部1は、端子T141に $-5V$ の制御信号を出力すればよい。
- [0139] このように、電源2は、端子T141に入力される制御信号の電圧に応じ

て、正負の高電圧出力をコントロールすることができる。

[0140] 以上説明したように、電源 2 は、制御信号とフィードバック信号とを比較する比較器 Z 1 4 1 と、比較器 Z 1 4 1 の正の電圧を検出して出力する増幅回路 1 5 0 と、比較器 Z 1 4 1 の負の電圧を検出して反転出力する増幅回路 1 7 0 と、増幅回路 1 5 0 とスイッチ回路 4 0 とを絶縁する、増幅回路 1 5 0 の出力に基づいて、スイッチ回路 4 0 を駆動する駆動信号を出力するフローティング駆動回路 1 6 0 と、増幅回路 1 7 0 とスイッチ回路 6 0 とを絶縁する、増幅回路 1 7 0 の出力に基づいて、スイッチ回路 6 0 を駆動する駆動信号を出力するフローティング駆動回路 1 8 0 と、出力端子 T 7 1 の電圧を分圧して、比較器 Z 1 4 1 にフィードバックする抵抗 R 1 4 1, R 1 4 2 とを有する。これにより、電源 2 は、端子 T 1 4 1 に入力される制御信号の電圧に応じて、正負の高電圧出力をコントロールすることができる。また、電源 2 を備えた質量分析装置は、様々なイオン分子の検出のためのアルゴリズムを組み立てることができる。

[0141] 以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に多様な変更または改良を加えることが可能であることが当業者には明らかである。また、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。さらに、各実施の形態を組み合わせることもできる。

[0142] また、図面等において示した各構成の位置、大きさ、形状、範囲などは、発明の理解を容易にするため、実際の位置、大きさ、形状、範囲などを表していない場合がある。このため、本発明は、必ずしも、図面等の開示された位置、大きさ、形状、範囲などに限定されない。

[0143] (付記 1)

第 1 の極性の電圧源と出力端子との間に接続された第 1 のスイッチ回路と、第 2 の極性の電圧源と前記出力端子との間に接続された第 2 のスイッチ回路と、を有し、前記第 1 のスイッチ回路は、制御端子に前記出力端子の電圧

を制御する第 1 の駆動信号が入力される、前記出力端子と接続された第 1 のスイッチ素子と、前記第 1 のスイッチ素子と前記第 1 の極性の電圧源との間にカスコード接続された複数の第 2 のスイッチ素子と、前記複数の第 2 のスイッチ素子のそれぞれの制御端子に、前記第 1 の極性の電圧源と前記出力端子との間の電圧を分圧して入力する第 1 の分圧回路と、を有し、前記第 2 のスイッチ回路は、制御端子に前記出力端子の電圧を制御する第 2 の駆動信号が入力される、前記第 2 の極性の電圧源と接続された第 3 のスイッチ素子と、前記第 3 のスイッチ素子と前記出力端子との間にカスコード接続された複数の第 4 のスイッチ素子と、前記複数の第 4 のスイッチ素子のそれぞれの制御端子に、前記第 2 の極性の電圧源と前記出力端子との間の電圧を分圧して入力する第 2 の分圧回路と、を有する電源と、

前記出力端子から出力される電圧によって、試料の質量分析を行う質量分析部と、

を有することを特徴とする質量分析装置。

[0144] (付記 2)

付記 1 に記載の質量分析装置であって、

前記質量分析部は、前記出力端子から出力される電圧によって、マスフィルタを通過したイオンを誘引するコンバージョンダイノード部、

を有することを特徴とする質量分析装置。

## 符号の説明

[0145] 1…制御部、2～4…電源、5…イオン化部、6…マスフィルタ、7…CD部、8…シンチレータ、9…光電子検出器、10…タイミング制御回路、20…発振器、30, 50…フローティング駆動回路、40, 60…スイッチ回路、80, 90, 100, 110, 120, 130…フローティング駆動回路、Z141…比較器、150, 170…増幅回路、160, 180…フローティング駆動回路。

## 請求の範囲

- [請求項1]       第1の極性の電圧源と出力端子との間に接続された第1のスイッチ回路と、
- 第2の極性の電圧源と前記出力端子との間に接続された第2のスイッチ回路と、
- を有し、
- 前記第1のスイッチ回路は、
- 制御端子に前記出力端子の電圧を制御する第1の駆動信号が入力される、前記出力端子と接続された第1のスイッチ素子と、
- 前記第1のスイッチ素子と前記第1の極性の電圧源との間にカスコード接続された複数の第2のスイッチ素子と、
- 前記複数の第2のスイッチ素子のそれぞれの制御端子に、前記第1の極性の電圧源と前記出力端子との間の電圧を分圧して入力する第1の分圧回路と、
- を有し、
- 前記第2のスイッチ回路は、
- 制御端子に前記出力端子の電圧を制御する第2の駆動信号が入力される、前記第2の極性の電圧源と接続された第3のスイッチ素子と、
- 前記第3のスイッチ素子と前記出力端子との間にカスコード接続された複数の第4のスイッチ素子と、
- 前記複数の第4のスイッチ素子のそれぞれの制御端子に、前記第2の極性の電圧源と前記出力端子との間の電圧を分圧して入力する第2の分圧回路と、
- を有することを特徴とする電源。
- [請求項2]       請求項1に記載の電源であって、
- 前記複数の第2のスイッチ素子のそれぞれの制御端子間には、抵抗が接続され、
- 前記複数の第2のスイッチ素子のうち、前記第1のスイッチ素子と

接続されたスイッチ素子の制御端子は、抵抗を介して前記出力端子と接続され、

前記複数の第2のスイッチ素子のうち、前記第1の極性の電圧源と接続されたスイッチ素子の制御端子は、抵抗を介して前記第1の極性の電圧源と接続され、

前記複数の第4のスイッチ素子のそれぞれの制御端子間には、抵抗が接続され、

前記複数の第2のスイッチ素子のうち、前記第3のスイッチ素子と接続されたスイッチ素子の制御端子は、抵抗を介して前記第2の極性の電圧源と接続され、

前記複数の第2のスイッチ素子のうち、前記出力端子と接続されたスイッチ素子の制御端子は、抵抗を介して前記出力端子と接続されている、

ことを特徴とする電源。

[請求項3]

請求項1に記載の電源であって、

前記第1のスイッチ素子、前記複数の第2のスイッチ素子、前記第3のスイッチ素子、および前記複数の第4のスイッチ素子のそれぞれには、抵抗が並列に接続される、

を有することを特徴とする電源。

[請求項4]

請求項1に記載の電源であって、

前記第1のスイッチ回路の前段に挿入され、前記第1のスイッチ回路を前段の回路と絶縁する、前記第1の駆動信号を出力する第1のフローティング駆動回路と、

前記第2のスイッチ回路の前段に挿入され、前記第2のスイッチ回路を前段の回路と絶縁する、前記第2の駆動信号を出力する第2のフローティング駆動回路と、

をさらに有することを特徴とする電源。

[請求項5]

請求項4に記載の電源であって、

前記第1のフローティング駆動回路および前記第2のフローティング駆動回路は、直列に接続された複数のトランスによって、前記第1のスイッチ回路および前記第2のスイッチ回路を前段の回路と絶縁する、

をことを特徴とする電源。

[請求項6]

請求項4に記載の電源であって、

前記第1のフローティング駆動回路および前記第2のフローティング駆動回路は、受光側ダイオードが直列に接続された複数のフォトカプラによって、前記第1のスイッチ回路および前記第2のスイッチ回路を前段の回路と絶縁する、

をことを特徴とする電源。

[請求項7]

請求項4に記載の電源であって、

発振信号を生成する発振器、をさらに有し、

前記第1のフローティング駆動回路は、

前記発振信号に応じて、第1の電圧源に基づく電圧を2次側に出力する第1のトランスと、

第1の制御信号に応じて、前記第1のトランスの2次側の出力を制御し、前記第1の駆動信号として出力する第1のフォトカプラと、

を有し、

前記第2のフローティング駆動回路は、

前記発振信号に応じて、第2の電圧源に基づく電圧を2次側に出力する第2のトランスと、

第2の制御信号に応じて、前記第2のトランスの2次側の出力を制御し、前記第2の駆動信号として出力する第2のフォトカプラと、

を有することを特徴とする電源。

[請求項8]

請求項1に記載の電源であって、

制御信号とフィードバック信号とを比較する比較器と、

前記比較器の正の電圧を検出して出力する第1の増幅回路と、

前記比較器の負の電圧を検出して反転出力する第2の増幅回路と、  
前記第1の増幅回路と前記第1のスイッチ回路とを絶縁する、前記第1の増幅回路の出力に基づいて、前記第1の駆動信号を出力する第1のフローティング駆動回路と、  
前記第2の増幅回路と前記第2のスイッチ回路とを絶縁する、前記第2の増幅回路の出力に基づいて、前記第2の駆動信号を出力する第2のフローティング駆動回路と、  
前記出力端子の電圧を前記比較器にフィードバックするフィードバック回路と、  
をさらに有することを特徴とする電源。

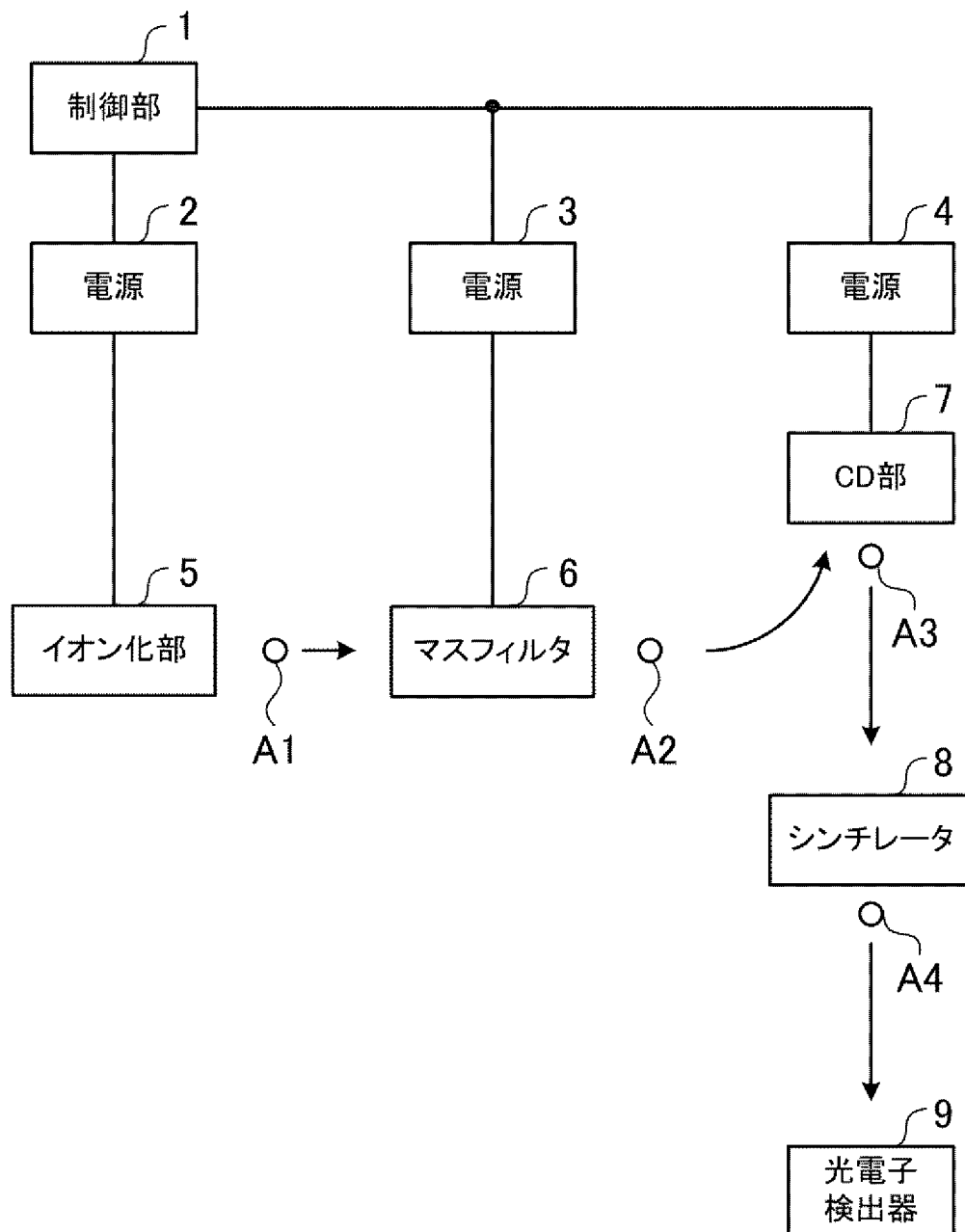
[請求項9]

第1の極性の電圧源と出力端子との間に接続された第1のスイッチ回路と、第2の極性の電圧源と前記出力端子との間に接続された第2のスイッチ回路と、を有し、前記第1のスイッチ回路は、制御端子に前記出力端子の電圧を制御する第1の駆動信号が入力される、前記出力端子と接続された第1のスイッチ素子と、前記第1のスイッチ素子と前記第1の極性の電圧源との間にカスコード接続された複数の第2のスイッチ素子と、前記複数の第2のスイッチ素子のそれぞれの制御端子に、前記第1の極性の電圧源と前記出力端子との間の電圧を分圧して入力する第1の分圧回路と、を有し、前記第2のスイッチ回路は、制御端子に前記出力端子の電圧を制御する第2の駆動信号が入力される、前記第2の極性の電圧源と接続された第3のスイッチ素子と、前記第3のスイッチ素子と前記出力端子との間にカスコード接続された複数の第4のスイッチ素子と、前記複数の第4のスイッチ素子のそれぞれの制御端子に、前記第2の極性の電圧源と前記出力端子との間の電圧を分圧して入力する第2の分圧回路と、を有する電源と、  
前記出力端子から出力される電圧によって、試料の質量分析を行う質量分析部と、  
を有することを特徴とする質量分析装置。

- [請求項10]           請求項 9 に記載の質量分析装置であって、  
                  前記質量分析部は、前記出力端子から出力される電圧によって、試  
                  料をイオン化するイオン化部、  
                  を有することを特徴とする質量分析装置。

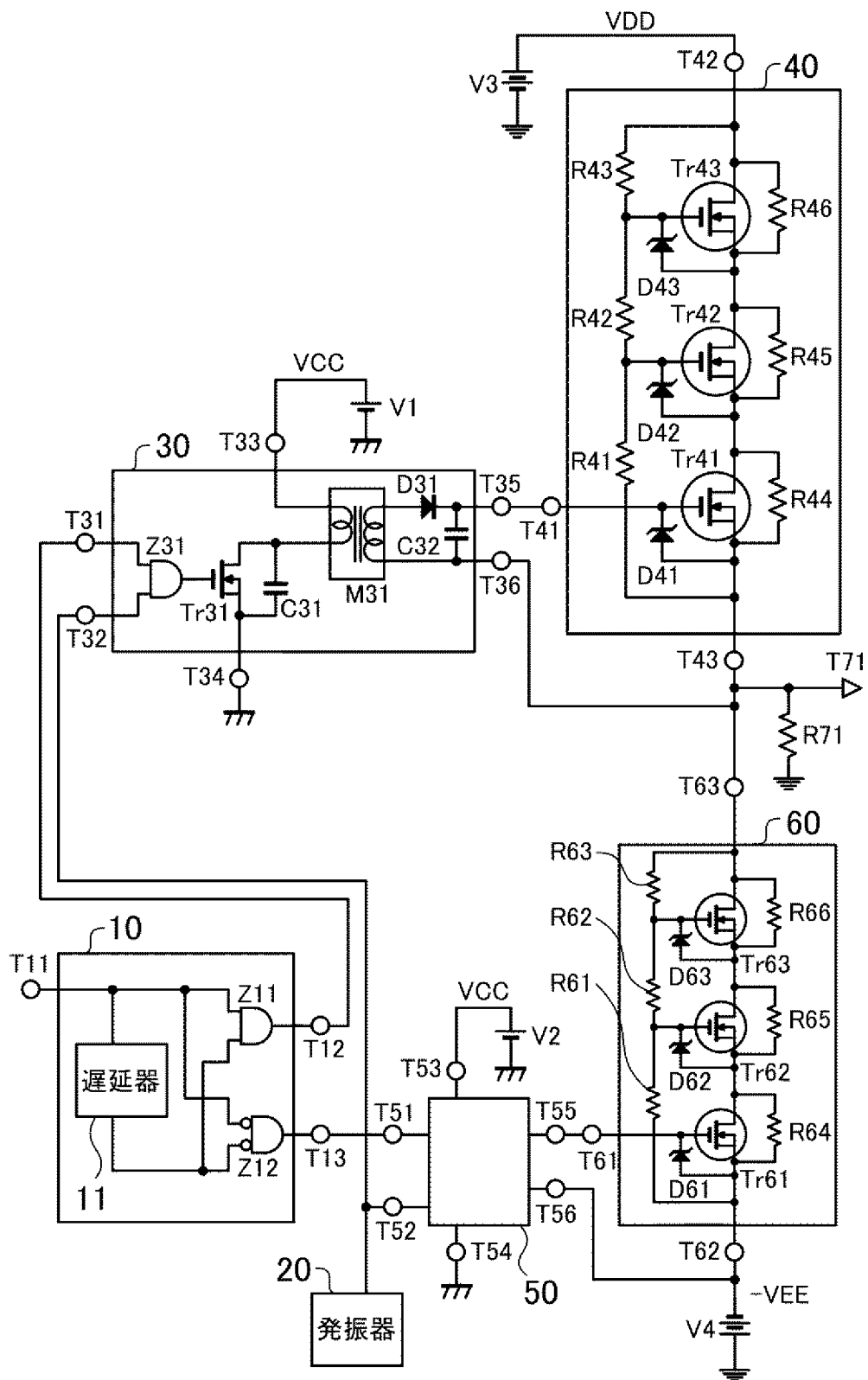
[図1]

図1

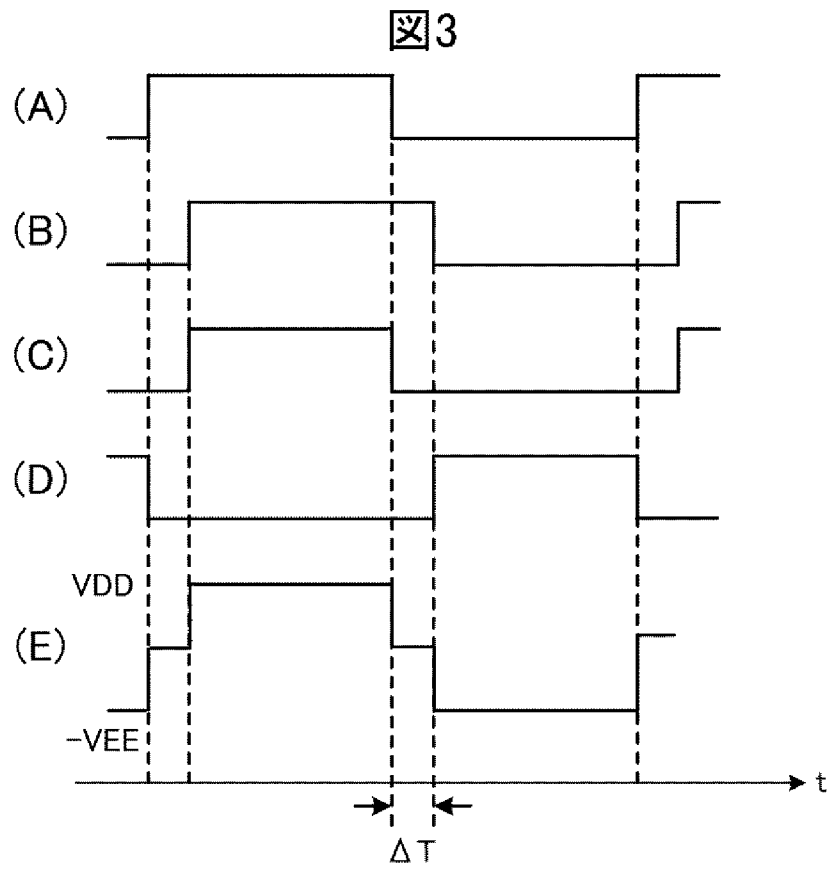


[図2]

図2

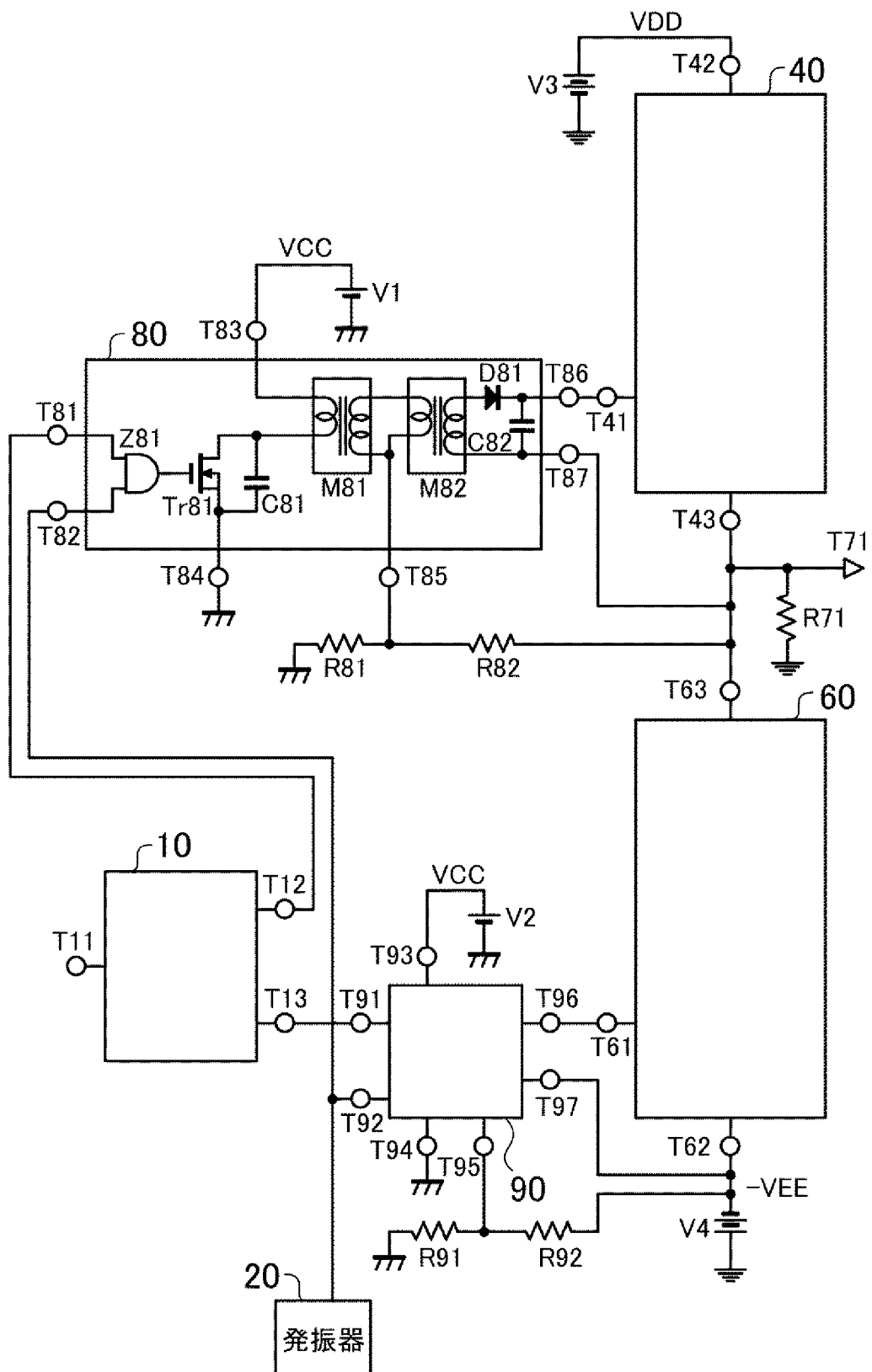


[図3]



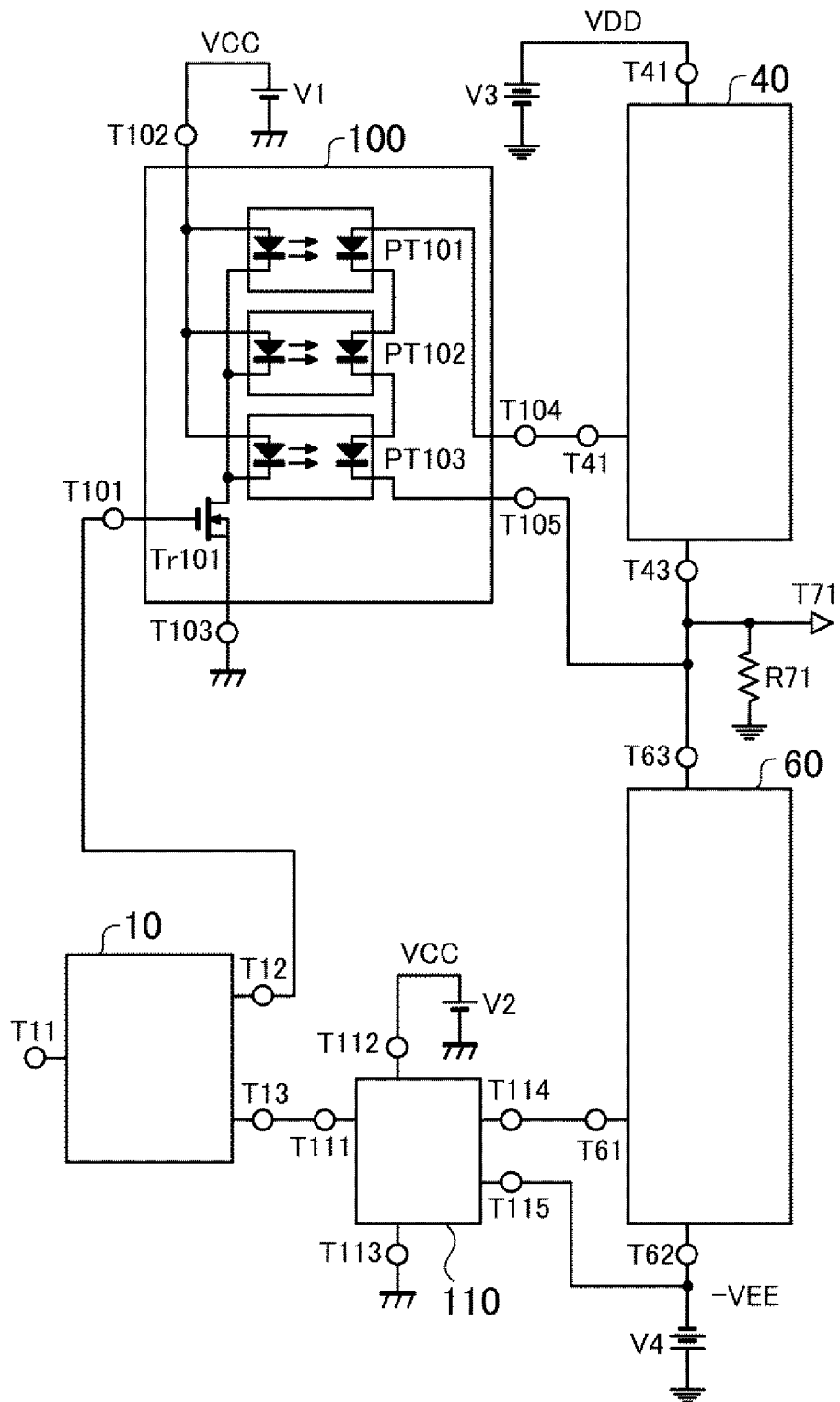
[図4]

図4



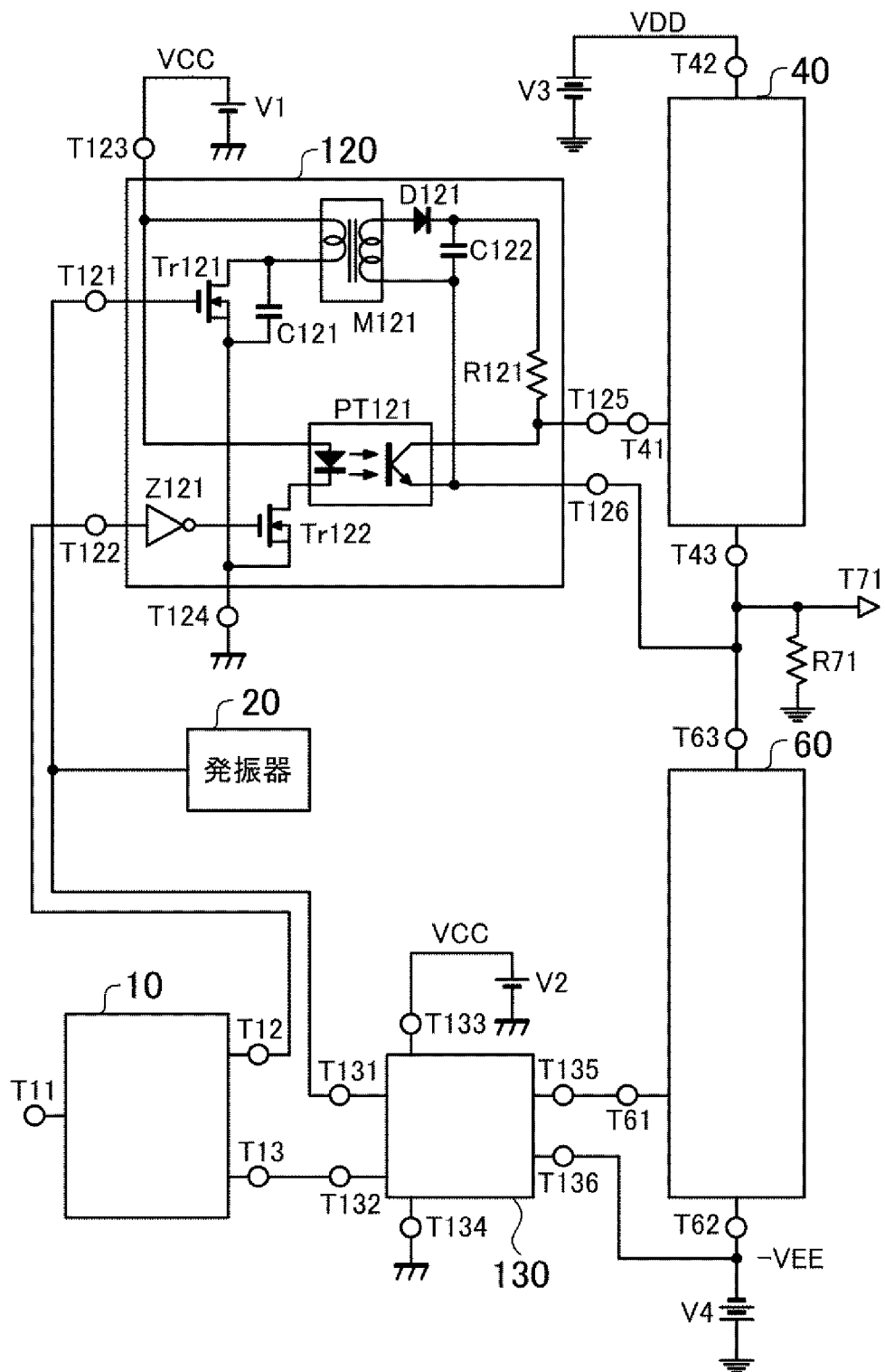
[図5]

図5



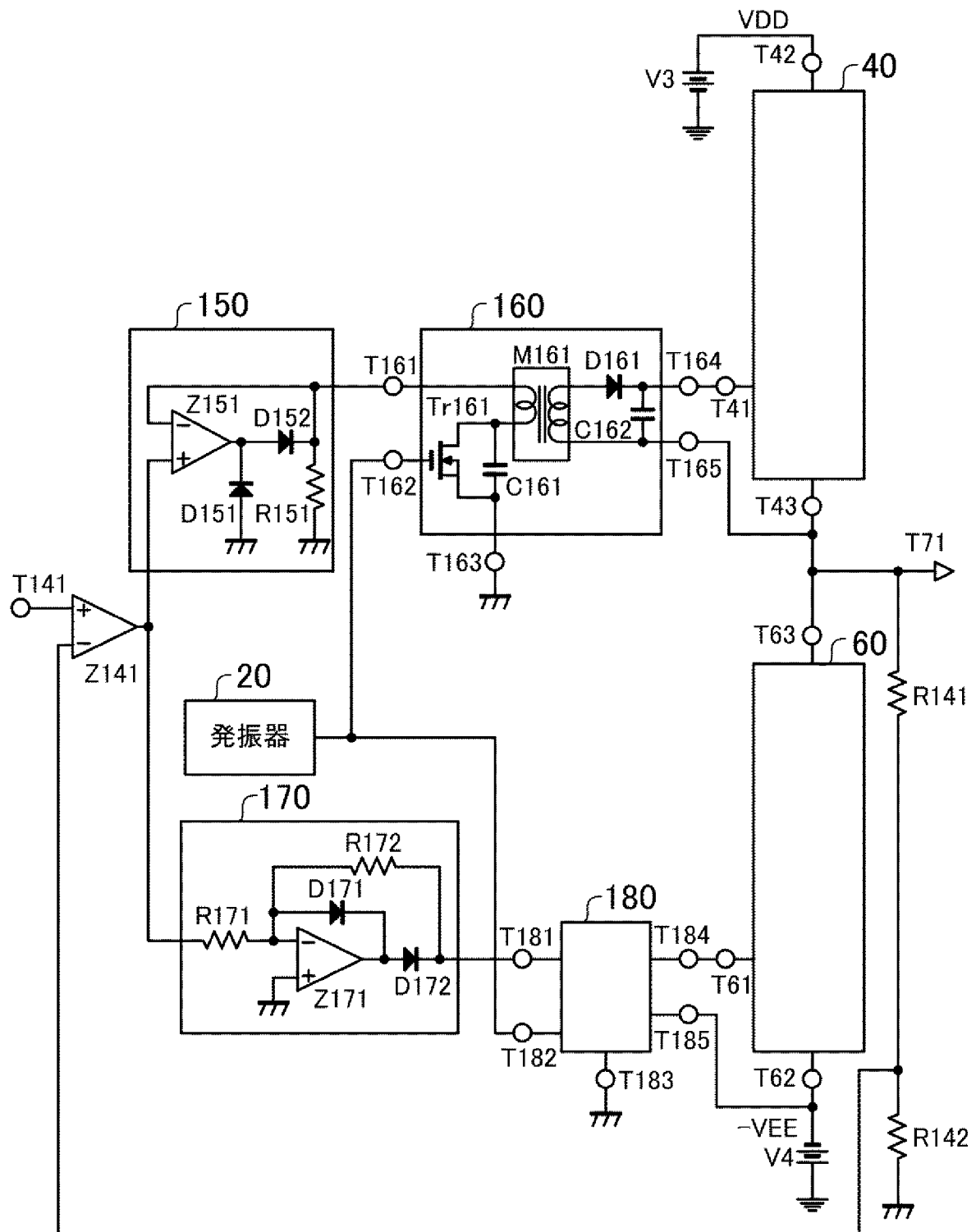
[図6]

図6



[図7]

図7



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/055677

## A. CLASSIFICATION OF SUBJECT MATTER

H02J1/00(2006.01)i, H01J49/42(2006.01)i, H02M1/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02J1/00, H01J49/42, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                       | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>Y    | JP 62-60311 A (Thomson-CSF),<br>17 March 1987 (17.03.1987),<br>page 3, upper right column, line 17 to page 6,<br>lower right column, line 4; fig. 1, 4, 6<br>& US 4751408 A<br>column 2, line 18 to column 6, line 23; fig. 1,<br>4, 6<br>& EP 215707 A1 | 1, 2, 4, 5<br>3, 6-10 |
| Y         | JP 53-24765 A (Nippon Kogaku Kogyo Kabushiki<br>Kaisha),<br>07 March 1978 (07.03.1978),<br>page 2, lower left column, line 4 to page 3,<br>upper right column, line 15; fig. 3, 4<br>(Family: none)                                                      | 3, 7                  |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
17 March 2016 (17.03.16)

Date of mailing of the international search report  
29 March 2016 (29.03.16)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/055677

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                                                 | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 6-102739 A (Casio Computer Co., Ltd.),<br>15 April 1994 (15.04.1994),<br>paragraphs [0003] to [0005]; fig. 6<br>(Family: none)                                                                                                                                                                                  | 6                     |
| Y         | Microfilm of the specification and drawings<br>annexed to the request of Japanese Utility<br>Model Application No. 9725/1982 (Laid-open<br>No. 113117/1983)<br>(The Institute of Physical and Chemical<br>Research),<br>02 August 1983 (02.08.1983),<br>page 5, line 9 to page 6, line 1; fig. 4<br>(Family: none) | 8                     |
| Y         | JP 2013-115482 A (Hitachi Kokusai Electric<br>Inc.),<br>10 June 2013 (10.06.2013),<br>paragraphs [0050] to [0064]; fig. 1<br>& US 2014/0312970 A1<br>paragraphs [0099] to [0131]; fig. 1<br>& WO 2013/077290 A1                                                                                                    | 8                     |
| Y         | WO 2014/068780 A1 (Shimadzu Corp.),<br>08 May 2014 (08.05.2014),<br>paragraphs [0002] to [0013]; fig. 1, 3<br>& US 2015/0287580 A1<br>paragraphs [0002] to [0013]; fig. 1, 3<br>& EP 2913914 A1                                                                                                                    | 9, 10                 |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02J1/00(2006.01)i, H01J49/42(2006.01)i, H02M1/08(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02J1/00, H01J49/42, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2016年 |
| 日本国実用新案登録公報 | 1996-2016年 |
| 日本国登録実用新案公報 | 1994-2016年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                      | 関連する<br>請求項の番号 |
|-----------------|----------------------------------------------------------------------------------------|----------------|
| X               | JP 62-60311 A（トムソンーサーエスエフ）1987.03.17, 3頁右上欄第17行-6頁右下欄第4行, 第1, 4, 6図                    | 1, 2, 4, 5     |
| Y               | & US 4751408 A, column 2, line 18 - column 6, line 23, Figs. 1, 4, 6<br>& EP 215707 A1 | 3, 6-10        |
| Y               | JP 53-24765 A（日本光学工業株式会社）1978.03.07, 2頁左下欄第4行-3頁右上欄第15行, 第3, 4図（ファミリーなし）               | 3, 7           |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

17.03.2016

国際調査報告の発送日

29.03.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

稲葉 崇

5 T

3 8 5 9

電話番号 03-3581-1101 内線 3568

| C (続き) . 関連すると認められる文献 |                                                                                                                                           |                |
|-----------------------|-------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                         | 関連する<br>請求項の番号 |
| Y                     | JP 6-102739 A (カシオ計算機株式会社) 1994.04.15, 段落【0003】－【0005】, 図6 (ファミリーなし)                                                                      | 6              |
| Y                     | 日本国実用新案登録出願 57-9725 号(日本国実用新案登録出願公開 58-113117 号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (理化学研究所) 1983.08.02, 5 頁第 9 行－6 頁第 1 行、第 4 図 (ファミリーなし)    | 8              |
| Y                     | JP 2013-115482 A (株式会社日立国際電気) 2013.06.10, 段落【0050】－【0064】, 図 1<br>& US 2014/0312970 A1, 段落【0099】－【0131】, Fig. 1<br>& WO 2013/077290 A1    | 8              |
| Y                     | WO 2014/068780 A1 (株式会社島津製作所) 2014.05.08, 段落【0002】－【0013】, 図 1, 3<br>& US 2015/0287580 A1, 段落【0002】－【0013】, Figs. 1, 3<br>& EP 2913914 A1 | 9, 10          |